

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2010年4月1日(01.04.2010)

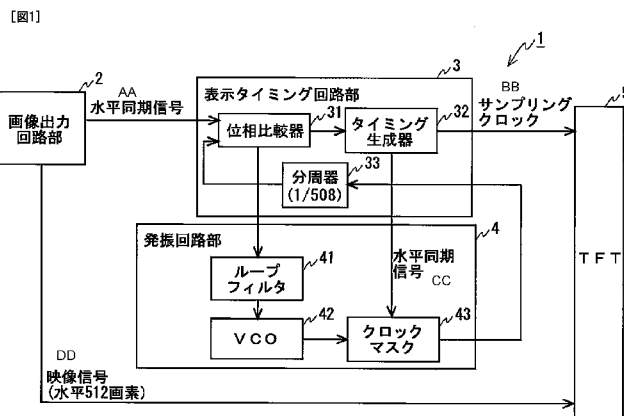
PCT

(10) 国際公開番号
WO 2010/035876 A1

- (51) 国際特許分類:
H04N 5/06 (2006.01) G09G 3/36 (2006.01)
G09G 3/20 (2006.01) H03L 7/08 (2006.01)
- (21) 国際出願番号: PCT/JP2009/066979
- (22) 国際出願日: 2009年9月29日(29.09.2009)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2008-250465 2008年9月29日(29.09.2008) JP
- (71) 出願人 (米国を除く全ての指定国について): 富士通テン株式会社 (FUJITSU TEN LIMITED)
[JP/JP]; 〒6528510 兵庫県神戸市兵庫区御所通1丁目2番28号 Hyogo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 上原 智 (UEHARA Satoru). 古川 恵嗣 (FURUKAWA Keiji).
- (74) 代理人: 内藤 照雄 (NAITO Teruo); 〒1050003 東京都港区西新橋一丁目7番13号 信栄特許事務所 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第21条(3))

(54) Title: OSCILLATION CIRCUIT AND IMAGE DISPLAY DEVICE

(54) 発明の名称: 発振回路および映像表示装置



2 IMAGE OUTPUT CIRCUIT SECTION
AA HORIZONTAL SYNCHRONIZATION SIGNAL
3 DISPLAY TIMING CIRCUIT SECTION
31 PHASE COMPARATOR
32 TIMING GENERATOR
33 DIVIDER (1/508)
BB SAMPLING CLOCK
4 OSCILLATION CIRCUIT SECTION
41 LOOP FILTER
CC HORIZONTAL SYNCHRONIZATION SIGNAL
43 CLOCK MASK
DD IMAGE SIGNAL (512 HORIZONTAL PIXELS)

(57) Abstract: Provided is an oscillation circuit. The oscillation circuit supplies predetermined oscillation signals to a generating circuit having a divider, a phase comparator and a generator. A clock signal generating section generates clock signals in a cycle that corresponds to comparison results obtained from the phase comparator. A clock signal mask section masks some of the clock signals generated by the clock signal generating section, generates the predetermined oscillation signals, and supplies the predetermined oscillation signals to the divider. The clock signal mask section masks some of the clock signals so that the cycle of sampling signals generated by the generator is the same as the predetermined cycle, i.e., the clock cycle used for generating image signals.

(57) 要約: 発振回路が提供される。発振回路は、分周器と、位相比較器と、生成器とを有する生成回路へ所定の発振信号を供給する。クロック信号生成部は、前記位相比較器における比較結果に応じた周期のクロック信号を生成する。クロック信号マスク部は、前記クロック信号生成部が生成した前記クロック信号の一部をマスクして前記所定の発振信号を生成し、該所定の発振信号を前記分周器へ供給する。前記クロック信号マスク部は、前記生成器が生成する前記サンプリング信号の周期が、前記映像信号を生成する際に用いられ

るクロックの周期である所定周期と同じになるように前記クロック信号の一部をマスクする。

明 細 書

発明の名称：発振回路および映像表示装置

技術分野

[0001] 本発明は、発振回路および映像表示装置に関する。

背景技術

[0002] 映像信号には、映像表示等を行う機器の仕様に応じて様々な処理が施される。例えば、アナログ映像を表示する場合、入力される映像信号のクロックと同じ周期のサンプリングクロックで映像信号をサンプリング処理する。図7は、映像を表示する回路の構成図である。図7に示すように、ナビゲーション映像等の各種映像を生成して出力する画像出力回路部102からの映像信号を表示するTFT（Thin Film Transistor）液晶表示装置105は、表示タイミング回路部103からのサンプリングクロックに基づいて映像信号をサンプリングし、描画処理する。表示タイミング回路部103は、画像出力回路部102からの水平同期信号と同期したサンプリングクロックを、発振回路部106で発振される信号に基づいて生成する。

[0003] 図8および図9は、入力される映像信号のクロックとサンプリングクロックとの関係を示すタイミングチャートである。図8に示すように、入力される映像信号のクロックとサンプリングクロックとが一致している場合、TFT液晶表示装置105において映像信号が正しくサンプリングされて、映像が適正に表示される。一方、図9に示すように、入力される映像信号のクロックとサンプリングクロックとが一致していない場合、TFT液晶表示装置105において映像信号が正しくサンプリングされず、映像が不適正に表示される。この場合、表示される文字のにじみや輪郭ぼやけが発生する。

[0004] 特許文献1には、PLL（Phase-Locked Loop：位相同期ループ）回路の分周器の分周比を変更する映像表示装置が開示されている。また特許文献2には、サンプリングクロックを部分的にマスクすることに

よって簡単な構成で周波数変換ができるクロック生成回路が開示されている。

先行技術文献

特許文献

[0005] 特許文献1：日本国特開平 1 0－1 7 3 5 1 8 号公報

特許文献2：日本国特開 2 0 0 6－2 7 0 4 3 8 号公報

発明の概要

発明が解決しようとする課題

[0006] 映像信号を取り扱う電子機器は、開発コスト等を抑制するため、一般に流通している（市販の）ＩＣチップを流用して映像信号を処理することが多い。つまり、一般に流通しているＩＣチップを、表示タイミング回路部として用いることが多い。このとき、入力される映像信号のクロックと一般に流通しているＩＣチップによって生成されるサンプリングクロックとが一致しないような場合がある。このような場合には、特許文献１の技術を用いて、サンプリングクロックを生成する回路の分周器の分周比を変更することによって、映像信号のクロックとサンプリングクロックを一致させることができるが、分周器の分周比を変更するには多大な費用を要する。また、特許文献２の技術を用いて、分周器の分周比を変更せずにサンプリングクロックを部分的にマスクすることによって、水平同期信号の１周期におけるサンプリングクロックの数を映像信号のクロックの数に合わせることができが、この場合は、映像信号のクロックの周期とサンプリングクロックの周期との微妙な齟齬によって、文字のにじみや輪郭ぼけが発生してしまう。

[0007] 本発明は、このような問題に鑑みなされたものであり、分周器の分周比を変更することなく、文字のにじみや輪郭ぼけを防ぐことができる発振回路および映像表示装置を提供することを課題とする。

課題を解決するための手段

[0008] 本発明は、上記課題を解決するため、分周器へ供するクロック信号の一部

をマスクする。

[0009] 詳細には、固定された分周比を有し、所定の発振信号を該分周比で分周して分周信号を出力する分周器と、映像信号に含まれる同期信号の位相と該分周器から出力される前記分周信号の位相との間の位相差を比較する位相比較器と、該位相比較器における比較結果に応じた周期のサンプリング信号を生成する生成器と、を有する生成回路へ、該所定の発振信号を供給する発振回路であって、前記位相比較器における比較結果に応じた周期のクロック信号を生成するクロック信号生成部と、前記クロック信号生成部が生成した前記クロック信号の一部をマスクして前記所定の発振信号を生成し、該所定の発振信号を前記分周器へ供給するクロック信号マスク部と、を備え、前記クロック信号マスク部は、前記生成器が生成する前記サンプリング信号の周期が、前記映像信号を生成する際に用いられるクロックの周期である所定周期と同じになるように前記クロック信号の一部をマスクする。

[0010] 上記発振回路は、生成回路に接続可能であって、該生成回路から出力されるサンプリング信号の周期を調整する。この生成回路は、上述のように、分周器と位相比較器と生成器とを有し、生成器は位相比較器における比較結果に応じた周期のサンプリング信号を生成する。生成回路における分周器は、固定された分周比を有し、何らかの発振信号が入力されるとこれを該分周比で分周し、位相比較器へ送る。分周器へ入力される発振信号を、本発明では、所定の発振信号と呼ぶ。生成回路の位相比較器では、外部から入力される同期信号の位相と分周器からの位相とを比較する。同期信号は、映像信号と同期を取るための信号であり、例えば、水平同期信号や垂直同期信号を例示できる。上記発振回路は、このような生成回路の生成器で生成されるサンプリング信号の周期を調整可能にするものである。なお、この発振回路は、生成回路に接続されて、該生成回路から出力されるサンプリング信号の周期を調整するものであるから、生成回路の動作を制御する回路として捉えることもできる。

[0011] 上記発振回路が備えるクロック信号生成部は、生成回路の位相比較器にお

ける比較結果に応じた周期のクロック信号を生成するものであり、例えば、生成回路の位相比較器が出力する電圧に応じてクロックの周期を調整することが可能な電圧制御発振器を適用することができる。

[0012] ここで、発振回路が備えるクロック信号マスク部は、クロック信号生成部が生成したクロック信号を生成回路の分周器へ送るものであるが、クロック信号の一部をマスクすることが可能なように構成されている。クロック信号の一部をマスクするとは、クロック信号生成部が生成した多数のクロックが連続しているクロック信号の中の一部のクロックを、分周器が認識できないようにすることであり、例えば、クロック信号の一部に異なる信号を重畳してクロックを無くすことをいう。

[0013] ところで、生成回路の生成器では、位相比較器の比較結果に応じた周期のサンプリング信号が生成されるため、この信号を所定周期に調整したい場合には位相比較器へ送られる信号を調整することが肝要である。ここで、所定周期とは、映像信号を生成する際に使われたクロックの周期であり、例えば、映像信号を生成する回路の画素数の仕様等から定まる周期である。上記発振回路は、生成器から出力されるサンプリング信号の周期が、この所定周期と一致するように、位相比較器へのクロック信号を一部だけマスクする。位相比較器へ送られるクロック信号の一部をマスクすることにより、位相比較器は生成器から出力されているサンプリング信号の周期が遅れていると錯誤してその出力を変えるため、生成器から出力されるサンプリングクロックの周期が結果的に早くなる。従って、上記発振回路は、生成回路に用いられている分周器の分周比を変更することなく、生成回路で生成されるサンプリングクロックを所望の周期に調整することができる。本発明によれば、このような小規模の回路追加により、既存の生成回路を有効に活用しながら映像信号のクロックの周期とサンプリングクロックの周期との齟齬を解消することが可能になる。

[0014] また、前記クロック信号マスク部は、前記クロック信号の所定個数のクロックをマスクするように構成されており、該所定個数は、前記所定周期と前

記分周器の分周比とに基づいて決定されてもよい。生成器で生成されるサンプリングクロックは、分周器の分周比とクロック信号マスク部がマスクするクロックの個数とにより定まるものであるため、サンプリングクロックの周期を所定周期にしたい場合には、所定周期と分周比との関係から、マスクすべきクロック数を決定することができる。よって、生成回路で生成されるサンプリングクロックを所望の周期に調整することが可能である。

[0015] また、前記生成器は、前記サンプリング信号と同期する同期信号を前記クロック信号マスク部に出力し、前記クロック信号マスク部は、前記生成器から出力される前記同期信号に基づいて、前記クロック信号の一部をマスクするものであってもよい。このように構成される発振回路であれば、同期信号と同期するサンプリングクロックを安定的に生成させることが可能である。前記クロック信号マスク部は、前記生成器から出力される前記同期信号が入力された直後に、前記クロック信号のマスクを開始してもよいし、前記生成器から出力される前記同期信号を受けてから一定時間が経過した後に、前記クロック信号のマスクを開始してもよい。

[0016] また、前記クロック信号マスク部は、前記生成器が前記サンプリング信号の生成を開始してから一定時間が経過した後に、前記クロック信号のマスクを開始するものであってもよい。このように構成される発振回路であれば、一定時間が経過するまでマスク処理が開始されないため、生成回路の動作を一早く安定させることが可能である。前記発振回路は、前記生成器が前記サンプリング信号の生成を開始してから一定時間の間、前記クロック信号生成部が生成したクロック信号を前記クロック信号マスク部をバイパスして前記分周器へ直接供給するように構成されているスイッチを更に有してもよいし、前記生成器が前記サンプリング信号の生成を開始してから一定時間の間、前記生成器から出力される前記同期信号をカットするように構成されているスイッチを更に有してもよい。

[0017] また、本発明は、映像信号を受け付けて映像を表示する映像表示装置であって、前記映像信号をサンプリング信号でサンプリングして映像を表示する

映像表示回路と、前記映像表示回路へ供給する前記サンプリング信号を生成する生成回路と、前記生成回路へ所定の発振信号を供給する発振回路と、を備え、前記生成回路は、固定された分周比を有し、前記所定の発振信号を該分周比で分周して分周信号を出力する分周器と、前記映像信号に含まれる同期信号の位相と該分周器から出力される前記分周信号の位相との間の位相差を比較する位相比較器と、該位相比較器における比較結果に応じた周期の前記サンプリング信号を生成する生成器と、を有し、前記発振回路は、前記位相比較器における比較結果に応じた周期のクロック信号を生成するクロック信号生成部と、前記クロック信号生成部が生成した前記クロック信号の一部をマスクして前記所定の発振信号を生成し、該所定の発振信号を前記分周器へ供給するクロック信号マスク部と、を有し、前記クロック信号マスク部は、前記生成器が生成する前記サンプリング信号の周期が、前記映像信号を生成する際に適用される所定周期と同じになるように前記クロック信号の一部をマスクするものであってもよい。

発明の効果

- [0018] 分周器の分周比を変更することなく、文字のにじみや輪郭ぼやけを防ぐことができる発振回路および映像表示装置を提供することが可能になる。

図面の簡単な説明

- [0019] [図1]映像表示装置の構成図。
[図2]クロックマスクの構成図。
[図3]タイミングチャート。
[図4]変形例に係るタイミングチャート。
[図5]変形例に係る映像表示装置の構成図。
[図6]変形例に係る映像表示装置の構成図。
[図7]従来例に係る映像表示装置の構成図。
[図8]クロックが一致しているときのタイミングチャート。
[図9]クロックが一致していないときのタイミングチャート。

発明を実施するための形態

[0020] 以下、この発明を実施するための最良の形態を例示的に説明する。以下に示す実施形態は例示であり、本発明はこれらに限定されない。

[0021] 図1は、本発明を適用した映像表示装置1の構成図である。映像表示装置1は、図1に示すように、画像出力回路部2、表示タイミング回路部3（生成回路の一例）、発振回路部4、及びTFT（Thin Film Transistor）液晶表示装置5（映像表示回路の一例）で構成される。画像出力回路部2は、カーナビゲーション画面や各種AV（Audio／Visual）機器を操作する操作画面等の映像信号を生成して、出力する。画像出力回路部2は、コンピュータプログラムを実行することで映像信号を生成する回路部である。画像出力回路部2は、各種信号の減衰を抑制するため、水平同期信号と垂直同期信号とを合わせた複合同期信号と、映像信号とをそれぞれ独立に出力する。なお、本実施形態においては、以下、複合同期信号のうち特に水平同期信号を用いた場合の動作を中心に説明するが、本発明は、垂直同期信号を用いた場合についても適用可能である。画像出力回路部2から出力される映像信号は、TFT液晶表示装置5へ送られる。また、画像出力回路部2から出力される水平同期信号は、表示タイミング回路部3へ送られる。

[0022] なお、画像出力回路部2から出力される映像信号は水平512画素の信号であり、水平同期信号の周期や映像信号を生成する際のクロックの周期（所定周期の一例）もこれに準じている。画像出力回路部2から出力される映像信号は、赤、緑、青の3つの原色信号で一画素を構成する映像信号であるため、この映像信号の一水平線を走査するには実際には、 $512 \times 3 = 1536$ クロックのサンプリング信号が必要になる。但し、説明の便宜上、以下の説明においては、3つの原色信号で構成される一画素をサンプリングする際に要するクロックを1クロックとして説明する。つまり、水平512画素の映像信号の一水平線を走査するために、512クロックのサンプリング信号が必要になることとして説明する。

[0023] 表示タイミング回路部3は、一般に流通している（市販の）映像信号処理

用の半導体装置であり、図 1 に示すように、位相比較器 3 1、タイミング生成器 3 2（生成器の一例）、及び分周器 3 3 を備える。表示タイミング回路部 3 は、水平 5 0 8 画素の映像信号を処理することを前提とする仕様になっており、このため分周器 3 3 の分周比は、 $1/508$ に設定されている。分周器 3 3 は、入力される発振信号を既定の分周比（ $1/508$ ）で分周し、分周信号を出力する。すなわち、5 0 8 クロックの発振信号が入力される毎に 1 クロックの分周信号を出力する。位相比較器 3 1 は、入力される 2 つの信号の位相を比較し、位相差に応じた電圧の信号を出力する。この位相比較器 3 1 には、画像出力回路部 2 からの水平同期信号と、分周器 3 3 からの分周信号とが入力されている。また、位相比較器 3 1 の出力は、タイミング生成器 3 2 および後述する発振回路部 4 のループフィルタ 4 1 へ送られる。つまり、位相比較器 3 1 は、画像出力回路部 2 からの水平同期信号の位相と分周器 3 3 からの分周信号の位相とを比較し、位相差に応じた電圧の信号をタイミング生成器 3 2 およびループフィルタ 4 1 へ送る。タイミング生成器 3 2 は、位相比較器 3 1 から出力される信号の電圧に応じて各種の信号を生成して出力する。すなわち、タイミング生成器 3 2 は、例えば図 1 に示すように、T F T 液晶表示装置 5 が画像出力回路部 2 からの映像信号をサンプリングするために用いるサンプリングクロックを生成して、T F T 液晶表示装置 5 へ出力し、後述する発振回路部 4 のクロックマスク 4 3 がクロック信号をマスクするタイミングを調整するために用いる水平同期信号を生成して、クロックマスク 4 3 へ出力する。

[0024] 発振回路部 4 は、図 1 に示すように、ループフィルタ 4 1、V C O（V o l t a g e C o n t r o l l e d O s c i l l a t o r）4 2（クロック信号生成部の一例）、及びクロックマスク 4 3（クロック信号マスク部の一例）で構成される。ループフィルタ 4 1 は、位相比較器 3 1 から出力される信号の高周波成分を除去するローパスフィルタである。ループフィルタ 4 1 によって高周波成分を除去された信号は V C O 4 2 へ出力される。V C O 4 2 は、入力される電圧に応じた周波数のクロック信号を生成する回路であ

り、換言すると、入力される電圧によってクロック信号の発振周波数を調整可能な電圧制御発振器である。VCO 42は、ループフィルタ41から出力される信号の電圧に応じた周波数のクロック信号を生成し、クロックマスク43へ出力する。クロックマスク43は、VCO 42から出力されるクロック信号を、タイミング生成器32から出力される水平同期信号に応じてマスクすることが可能な回路である。図2にクロックマスク43の構成を示す。クロックマスク43は、図2に示すように、VCO 42からのクロック信号を4クロック分（所定個数の一例）マスク可能なように4段のシフトレジスタが設けられている。なお、本実施形態で取り扱う映像信号はカラー信号であるため、実際には、VCO 42からのクロック信号を12クロック分マスク可能なように12段のシフトレジスタが設けられている。図2には、12段のシフトレジスタが設けられているクロックマスク43が示されている。また、クロックマスク43は、クロック信号をマスクするMASK、リセット信号が入力されるRESET端子、VCO 42からクロック信号が入力されるDCLK端子、タイミング生成器32から水平同期信号が入力されるHSYNC端子、マスクされたクロック信号を出力するDCLK__OUT端子を有する。加えて、クロックマスク43は、入力されるクロック信号をマスクしないで出力するためのXTHRU端子を備えているが、通常は使用しない。RESET端子にリセット信号が入力された後、VCO 42からDCLK端子に4クロックが入力されると、全ての段のシフトレジスタについてAND条件が成立し、5クロック目以降のVCO 42からのクロック信号がクロックマスク43を通過して、DCLK__OUT端子から出力される。図3は、クロックマスク43がクロック信号をマスクする動作のタイミングチャートを示したものである。クロックマスク43は、図3に示すように、タイミング生成器32からの水平同期信号を受けると、VCO 42からのクロック信号を4クロック分だけマスクし、5クロック目以降のクロック信号（所定の発振信号の一例）を分周器33へ出力する。なお本実施形態で取り扱う映像信号はカラー信号であるため、実際には、VCO 42からのクロック信

号を12クロック分だけマスクし、13クロック目以降のクロック信号を分周器へ出力する。図3は、VCO42からのクロック信号を12クロック分だけマスクするときのタイミングチャートである。

[0025] TFT液晶表示装置5は、薄膜トランジスタを使った液晶ディスプレイ装置であり、表示タイミング回路部3から送られるサンプリングクロックやその他の各種のタイミング信号に基づいて画像出力回路部2からの映像信号をサンプリングし、液晶パネルに描画処理する。すなわち、TFT液晶表示装置5には、タイミング生成器32から出力されるサンプリングクロックと、画像出力回路部2から出力される映像信号とが入力される。そして、TFT液晶表示装置5は、入力されたサンプリングクロックと映像信号とに基づいて映像を表示する。

[0026] このように構成される映像表示装置1では、電源が供給されて画像出力回路部2から映像信号や水平同期信号が出力されると、表示タイミング回路部3の分周器33の分周比が $1/508$ であるにも関わらず、水平512画素の映像信号に対応する周期を有するサンプリングクロックが生成される。以下、本実施形態の映像表示装置1の動作について説明する。以下の説明では、水平508画素の映像信号に対応する水平同期信号の1周期を T_0 、水平512画素の映像信号に対応する水平同期信号の1周期を T_1 とする。

[0027] 本実施形態の映像表示装置1に用いられる表示タイミング回路部3は、前述した通り、一般に流通している映像信号処理用の半導体装置であり、水平508画素の映像信号を処理することを前提として設計されている。つまり、分周器33の分周比は、 $1/508$ に固定されている。位相比較器31は、画像出力回路部2から水平508画素の映像信号に対応する水平同期信号($1\text{clk}/T_0$)が入力され、分周器33から周期 T_0 に1クロックが含まれる分周信号($1\text{clk}/T_0$)が入力されると、所定電圧 V_0 を出力するように設計されており、タイミング生成器32は、この所定電圧 V_0 に基づいて、水平508画素の映像信号に対応する水平同期信号($1\text{clk}/T_0$)、および水平508画素の映像信号に対応する周期を有するサンプリン

グクロック ($508 \text{ clk} / T_0$) を生成するように設計されている。

[0028] 最初に、発振回路部4のVCO42が周期 T_0 に508クロックが含まれるクロック信号 ($508 \text{ clk} / T_0$) を生成して、クロックマスク43に出力していることとする。クロックマスク43は、タイミング生成器32からの水平同期信号 ($1 \text{ clk} / T_0$) に同期して、VCO42からのクロック信号を4クロック分だけマスクし、周期 T_0 に504クロックが含まれるクロック信号 ($504 \text{ clk} / T_0$) を出力する。従って、周期 T_0 において、分周器33には、504クロックの発振信号しか入力されず、周期 T_0 より長い周期 T_1 において、分周器33に508クロックの発振信号が入力される。このため、分周器33は周期 T_1 に1クロックが含まれる分周信号 ($1 \text{ clk} / T_1$) を、位相比較器31に出力する。つまり、位相比較器31には、画像出力回路部2から水平512画素の映像信号に対応する水平同期信号 ($1 \text{ clk} / T_1$) が入力され、また分周器33から周期 T_1 に1クロックが含まれる分周信号 ($1 \text{ clk} / T_1$) が入力される。この場合、位相比較器31は、所定電圧 V_0 よりも高い電圧 V_1 を、ループフィルタ41、タイミング生成器32に出力する。すると、VCO42は、ループフィルタ41を介して入力された電圧 V_1 に応じて、周期 T_1 に512クロックが含まれるクロック信号 ($512 \text{ clk} / V_1$) を生成して、クロックマスク43に出力するようになる。一方、タイミング生成器32は、入力された電圧 V_1 に基づいて、周期 T_1 に512クロックが含まれるサンプリングクロック ($512 \text{ clk} / T_1$)、すなわち、水平512画素の映像信号に対応する周期を有するサンプリングクロックを生成して、TFT液晶表示装置5へ出力する。また、タイミング生成器32は、入力された電圧 V_1 に基づいて、周期 T_1 に1クロックが含まれる水平同期信号 ($1 \text{ clk} / T_1$)、すなわち、水平512画素の映像信号に対応する周期を有する水平同期信号を生成して、クロックマスク43へ出力する。

[0029] 次いで、クロックマスク43は、タイミング生成器32からの水平同期信号 ($1 \text{ clk} / T_1$) に同期して、VCO42からのクロック信号 (512

$c \mid k / V 1$) を4クロック分だけマスクし、周期 $T 1$ に508クロックが含まれるクロック信号($508 c \mid k / T 1$)を出力する。従って、周期 $T 1$ において、分周器33には、508クロックの発振信号が入力される。このため分周器33は、周期 $T 1$ に1クロックが含まれる分周信号($1 c \mid k / T 1$)を、位相比較器31に出力する。位相比較器は、画像出力回路部2から入力される水平同期信号($1 c \mid k / T 1$)と分周器33から入力される分周信号($1 c \mid k / T 1$)とを比較して、電圧 $V 1$ を、ループフィルタ41、タイミング生成器32に出力する。タイミング生成器32は、入力された電圧 $V 1$ に基づいて、水平512画素の映像信号に対応する周期を有するサンプリングクロックを生成して、TFT液晶表示装置5へ出力する。

[0030] このようにして、映像表示装置1に発振回路部4を組み込むことによって、水平508画素の映像信号を処理することを前提として設計されている表示タイミング回路部3を用いているにも関わらず、水平512画素の映像信号に対応する周期を有するサンプリングクロックを安定的に生成することができる。

[0031] なお、本実施形態の表示タイミング回路部3と発振回路部4とは、ループ回路を構成している。上記の説明では、1回目のループで、サンプリングクロックの周波数を適切に合わせて、2回目のループで、サンプリングクロックの周波数を安定させているが、実際には、複数回のループを繰り返すことによって、徐々にサンプリングクロックの周波数を変換し、安定させている。

[0032] 本実施形態によれば、上述した発振回路部4のような小規模の回路の追加により、上述した表示タイミング回路部3のような既存の回路を有効に活用しつつ、映像信号のクロックの周期とサンプリングクロックの周期との齟齬を解消することが可能になる。なお、上記発振回路部4を表示タイミング回路部3と接続する場合には、両回路間で受け渡される信号のレベルやバイアス電圧を合わせるために、信号のレベルやバイパス電圧を任意に設定できるインターフェース回路等を設けてもよい。これによれば、発振回路部4を幅広く適用することができる。

[0033] また、上記実施形態において、クロックマスク 4 3 は、タイミング生成器 3 2 からの水平同期信号を受けると、VCO 4 2 からのクロック信号を直ちにマスクしていた。しかし、クロックマスク 4 3 は、タイミング生成器 3 2 からの水平同期信号を受けてからしばらく経った後にクロック信号をマスクしてもよい。図 4 は、この場合のタイミングチャートを示した図である。図 4 に示すように、水平同期信号を受けてからしばらく経った後にクロック信号をマスクすることで、サンプリングクロックが生成されるタイミングを調整することが可能であり、例えば、TFT 液晶表示装置 5 に表示される映像の表示位置や映像処理回路における信号処理の遅れ時間等を調整することが可能である。

[0034] また、上記実施形態は、映像表示装置 1 の電源が入るとクロックマスクが直ちに行われていたが、電源が入ってから一定時間が経過後にクロックマスクを開始するようにしてもよい。図 5 および図 6 は、この場合の回路構成を示す図である。例えば、図 5 に示すように、映像表示装置 1 の電源が入ってから一定時間が経過するまでの間、クロックマスク 4 3 をバイパスし、VCO 4 2 から分周器 3 3 へクロック信号を直接送る。そして、一定時間が経過したら動くタイマー式のスイッチ 4 4 が切り替わったら、クロックマスク 4 3 のバイパスが解除されるようにする。これによれば、一定時間が経過するまでマスク処理が開始されないため、表示タイミング回路部 3 の動作を一早く安定させることが可能である。また、図 6 に示すように、映像表示装置 1 の電源が入ってから一定時間が経過するまでの間、タイミング生成器 3 2 からクロックマスク 4 3 へ送られる水平同期信号をカットする。そして、一定時間が経過したら動くタイマー式のスイッチ 4 4 がオンになったら、タイミング生成器 3 2 から出力される水平同期信号がクロックマスク 4 3 へ送られるようにする。これによっても、一定時間が経過するまでマスク処理が開始されないため、表示タイミング回路部 3 の動作を一早く安定させることが可能である。

[0035] 本出願は、2008 年 9 月 29 日出願の日本特許出願・出願番号 2008

－ 2 5 0 4 6 5 に基づくものであり、その内容はここに参照として取り込まれる。

符号の説明

- [0036] 1 映像表示装置
- 2, 1 0 2 画像出力回路部
- 3, 1 0 3 表示タイミング回路部
- 4 発振回路部
- 5, 1 0 5 T F T 液晶表示装置
- 3 1 位相比較器
- 3 2 タイミング生成器
- 3 3 分周器
- 4 1 ループフィルタ
- 4 2 V C O
- 4 3 クロックマスク
- 4 4 スイッチ
- 1 0 6 発振回路部

請求の範囲

- [請求項1] 固定された分周比を有し、所定の発振信号を該分周比で分周して分周信号を出力する分周器と、映像信号に含まれる同期信号の位相と該分周器から出力される前記分周信号の位相との間の位相差を比較する位相比較器と、該位相比較器における比較結果に応じた周期のサンプリング信号を生成する生成器と、を有する生成回路へ、該所定の発振信号を供給する発振回路であって、
- 前記位相比較器における比較結果に応じた周期のクロック信号を生成するクロック信号生成部と、
- 前記クロック信号生成部が生成した前記クロック信号の一部をマスクして前記所定の発振信号を生成し、該所定の発振信号を前記分周器へ供給するクロック信号マスク部と、を備え、
- 前記クロック信号マスク部は、前記生成器が生成する前記サンプリング信号の周期が、前記映像信号を生成する際に用いられるクロックの周期である所定周期と同じになるように前記クロック信号の一部をマスクする。
- [請求項2] 請求項 1 に記載の発振回路であって、
- 前記クロック信号マスク部は、前記クロック信号の所定個数のクロックをマスクし、当該所定個数は、前記所定周期と前記分周器の分周比とに基づいて決定される。
- [請求項3] 請求項 1 または 2 に記載の発振回路であって、
- 前記生成器は、前記サンプリング信号と同期する同期信号を前記クロック信号マスク部に出力し、
- 前記クロック信号マスク部は、前記生成器から出力される前記同期信号に基づいて、前記クロック信号の一部をマスクする。
- [請求項4] 請求項 3 に記載の発振回路であって、
- 前記クロック信号マスク部は、前記生成器から出力される前記同期信号が入力された直後に、前記クロック信号のマスクを開始する。

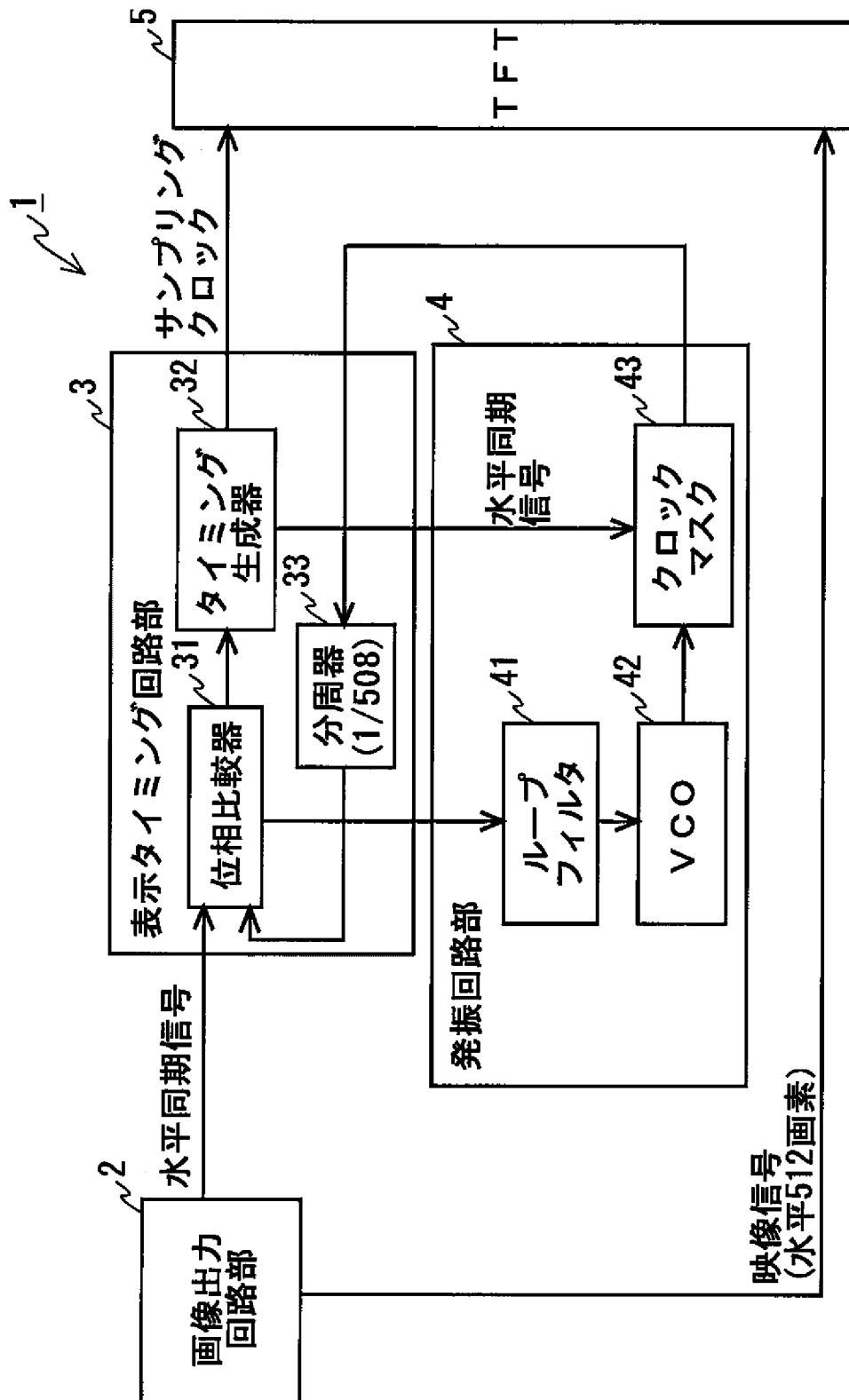
- [請求項5] 請求項3に記載の発振回路であって、
前記クロック信号マスク部は、前記生成器から出力される前記同期信号を受けてから一定時間が経過した後に、前記クロック信号のマスクを開始する。
- [請求項6] 請求項1から5の何れか一項に記載の発振回路であって、
前記クロック信号マスク部は、前記生成器が前記サンプリング信号の生成を開始してから一定時間が経過した後に、前記クロック信号のマスクを開始する。
- [請求項7] 請求項6に記載の発振回路であって、
前記生成器が前記サンプリング信号の生成を開始してから一定時間の間、前記クロック信号生成部が生成したクロック信号を前記クロック信号マスク部をバイパスして前記分周器へ直接供給するように構成されているスイッチを更に有する。
- [請求項8] 請求項6に記載の発振回路であって、
前記生成器が前記サンプリング信号の生成を開始してから一定時間の間、前記生成器から出力される前記同期信号をカットするように構成されているスイッチを更に有する。
- [請求項9] 映像信号を受け付けて映像を表示する映像表示装置であって、
前記映像信号をサンプリング信号でサンプリングして映像を表示する映像表示回路と、
前記映像表示回路へ供給する前記サンプリング信号を生成する生成回路と、
前記生成回路へ所定の発振信号を供給する発振回路と、を備え、
前記生成回路は、固定された分周比を有し、前記所定の発振信号を該分周比で分周して分周信号を出力する分周器と、前記映像信号に含まれる同期信号の位相と該分周器から出力される前記分周信号の位相との間の位相差を比較する位相比較器と、該位相比較器における比較結果に応じた周期の前記サンプリング信号を生成する生成器と、を有

し、

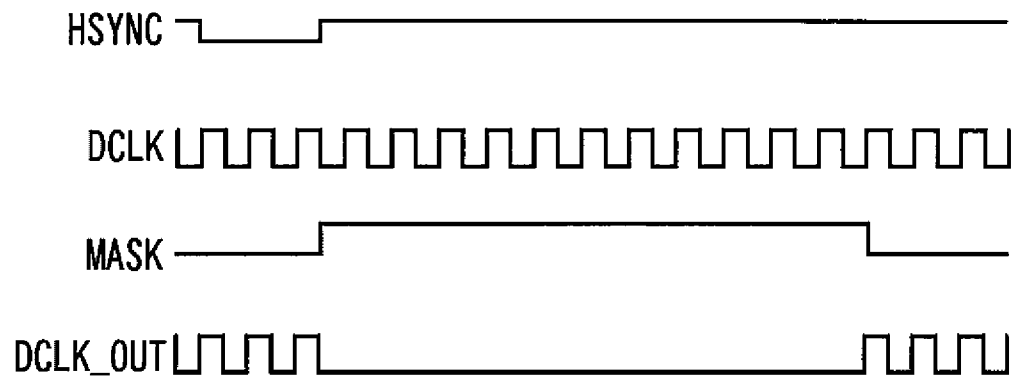
前記発振回路は、前記位相比較器における比較結果に応じた周期のクロック信号を生成するクロック信号生成部と、前記クロック信号生成部が生成した前記クロック信号の一部をマスクして前記所定の発振信号を生成し、該所定の発振信号を前記分周器へ供給するクロック信号マスク部と、を有し、

前記クロック信号マスク部は、前記生成器が生成する前記サンプリング信号の周期が、前記映像信号を生成する際に用いられるクロックの周期である所定周期と同じになるように前記クロック信号の一部をマスクする。

[図1]

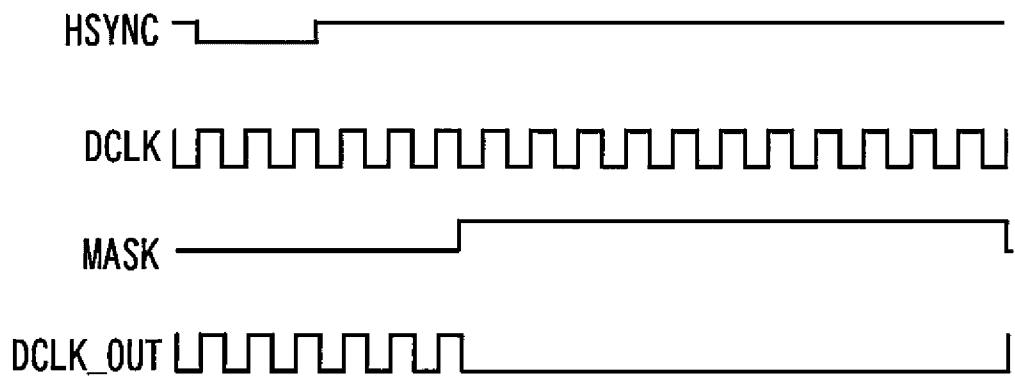


[図3]

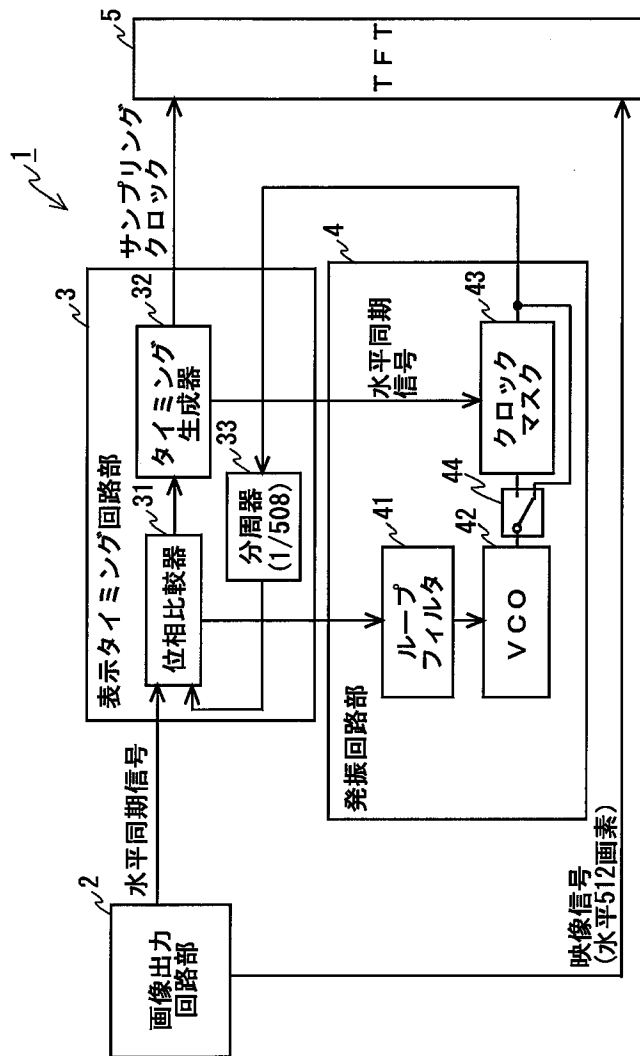


HSYNC :	水平同期信号
DCLK :	VCO出力
MASK :	マスク
DCLK_OUT :	クロックマスク出力

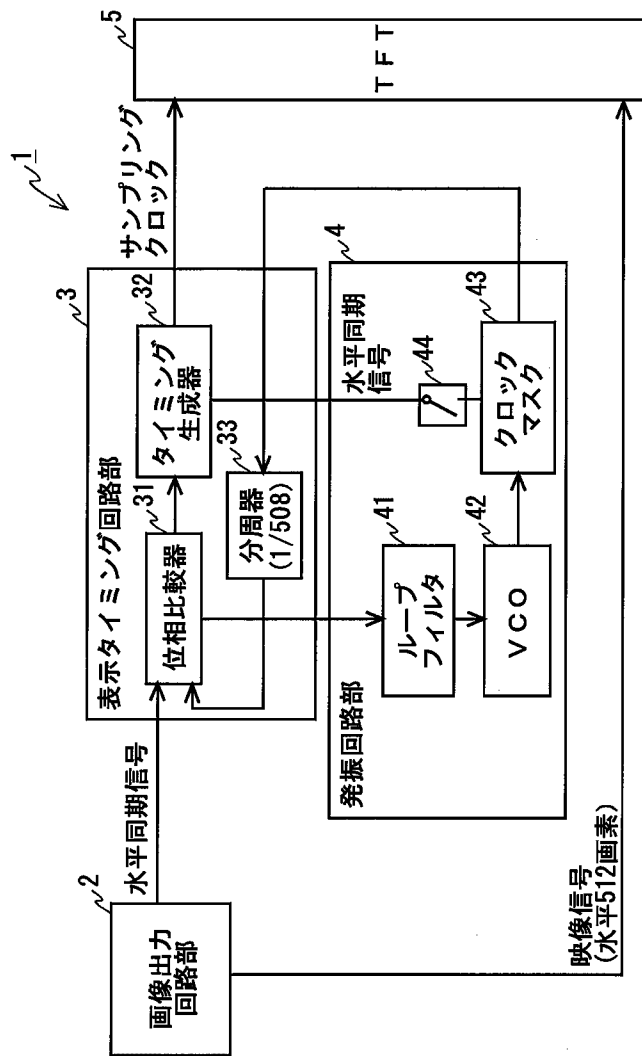
[図4]



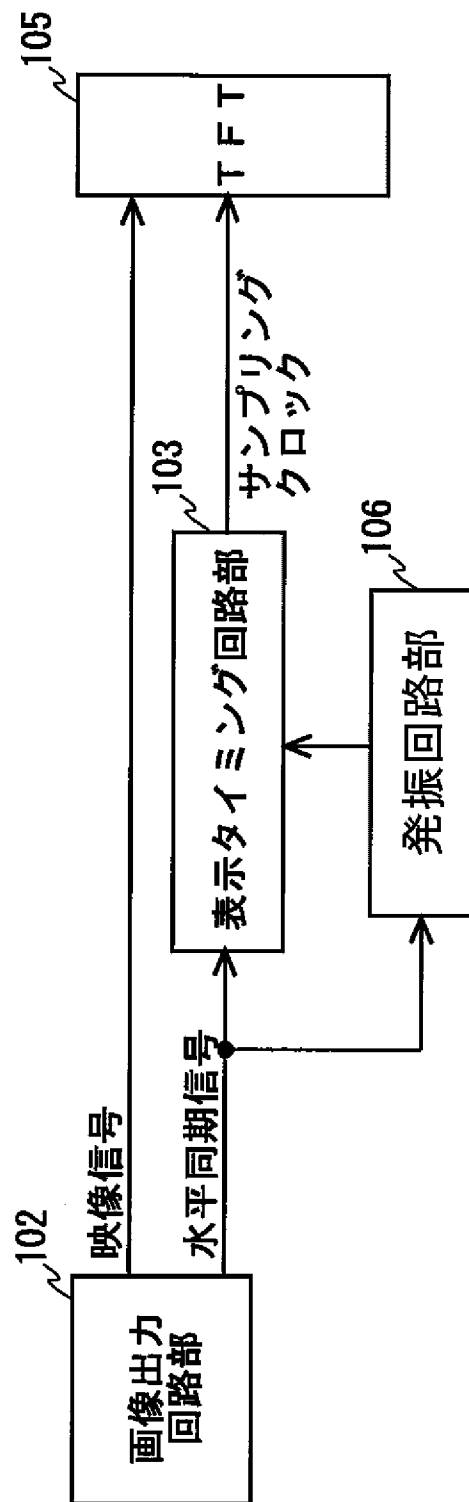
[図5]



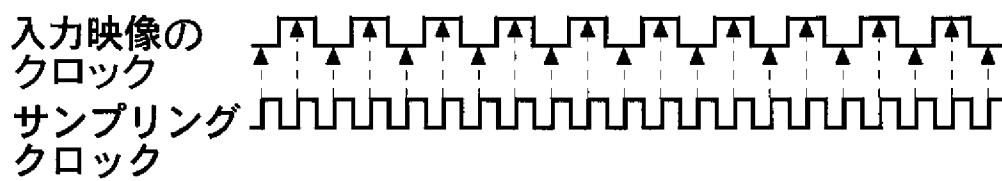
[図6]



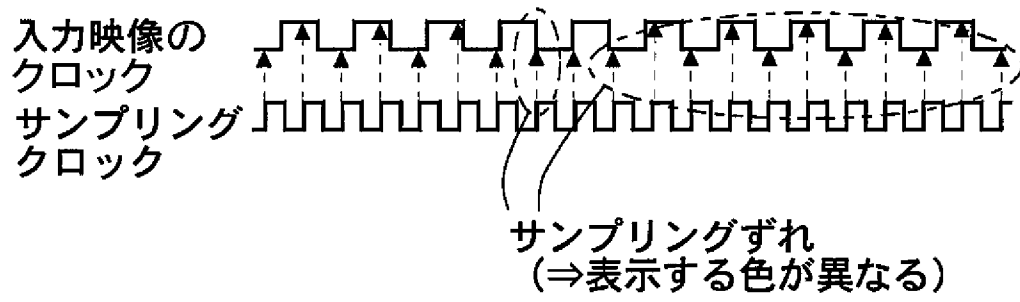
[図7]



[図8]



[図9]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/066979

A. CLASSIFICATION OF SUBJECT MATTER

H04N5/06(2006.01)i, G09G3/20(2006.01)i, G09G3/36(2006.01)i, H03L7/08(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04N5/06, G09G3/20, G09G3/36, H03L7/08

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2009
Kokai Jitsuyo Shinan Koho	1971-2009	Toroku Jitsuyo Shinan Koho	1994-2009

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 5-160721 A (Toshiba Corp.), 25 June 1993 (25.06.1993), entire text; all drawings (Family: none)	1-9
A	JP 2001-308697 A (Nippon Telegraph And Telephone Corp.), 02 November 2001 (02.11.2001), entire text; all drawings (Family: none)	1-9
A	JP 2007-248103 A (Sharp Corp.), 27 September 2007 (27.09.2007), entire text; all drawings (Family: none)	1-9



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
18 November, 2009 (18.11.09)

Date of mailing of the international search report
01 December, 2009 (01.12.09)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H04N5/06(2006.01)i, G09G3/20(2006.01)i, G09G3/36(2006.01)i, H03L7/08(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H04N5/06, G09G3/20, G09G3/36, H03L7/08

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 9 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 9 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 9 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 5-160721 A（株式会社東芝） 1993.06.25, 全文, 全図 (ファミリーなし)	1-9
A	JP 2001-308697 A（日本電信電話株式会社） 2001.11.02, 全文, 全図 (ファミリーなし)	1-9

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 8 . 1 1 . 2 0 0 9

国際調査報告の発送日

0 1 . 1 2 . 2 0 0 9

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

益戸 宏

5 P

4 5 4 7

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 8 1

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2007-248103 A (シャープ株式会社) 2007.09.27, 全文, 全図 (ファミリーなし)	1-9