



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2016년11월01일  
(11) 등록번호 10-1671205  
(24) 등록일자 2016년10월26일

(51) 국제특허분류(Int. Cl.)  
H01L 27/115 (2006.01)  
(21) 출원번호 10-2014-7004386  
(22) 출원일자(국제) 2012년07월17일  
심사청구일자 2014년02월20일  
(85) 번역문제출일자 2014년02월20일  
(65) 공개번호 10-2014-0051330  
(43) 공개일자 2014년04월30일  
(86) 국제출원번호 PCT/US2012/047080  
(87) 국제공개번호 WO 2013/016078  
국제공개일자 2013년01월31일  
(30) 우선권주장  
13/191,223 2011년07월26일 미국(US)  
(56) 선행기술조사문헌  
US20100252874 A1\*  
JP2005353912 A\*  
US06069382 A\*  
US20060284242 A1\*  
\*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
시놉시스, 인크.  
미국 94043 캘리포니아주 마운틴 뷰 이스트 미들  
필드 로드 690  
(72) 발명자  
홀치 앤드류 더블유  
미국 94043 캘리포니아주 마운틴 뷰 이스트 미들  
필드 로드 700 시놉시스, 인크. 씨/오  
(74) 대리인  
특허법인코리아나

전체 청구항 수 : 총 15 항

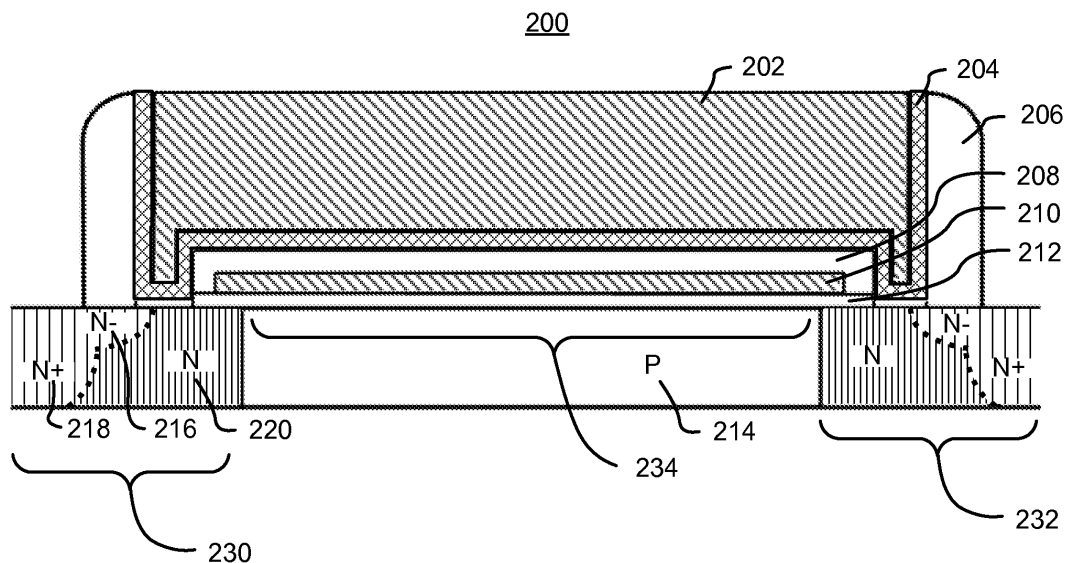
심사관 : 류정현

(54) 발명의 명칭 대체 제어 게이트 및 추가 플로팅 게이트를 갖는 NVM 비트셀

(57) 요약

실시예들은 대체 금속 제어 게이트 및 추가 플로팅 게이트를 갖는 비휘발성 메모리 ("NVM") 비트셀에 관한 것이다. 비트셀은 임의의 추가 프로세스 단계들이 없이 표준 금속 산화물 반도체 제조 프로세스들 ("CMOS 프로세스들") 을 이용하여 생성될 수도 있으며, 그렇게 함으로써 NVM 셀을 포함하는 반도체 디바이스를 제조하는 것과 연관된 비용 및 시간을 감소시킨다.

대표도 - 도2a



## 명세서

### 청구범위

#### 청구항 1

삭제

#### 청구항 2

소스, 드레인, 및 채널 영역을 포함하는 기관;

비전도성 재료;

상기 채널 영역 위의 하부 배리어;

상기 하부 배리어 위의 플로팅 게이트로서, 상기 플로팅 게이트는 상기 채널 영역을 커버하고, 상기 플로팅 게이트의 적어도 2 개의 측면들 상의 상기 비전도성 재료를 적어도 부분적으로 커버하고, 상기 소스 및 상기 드레인을 적어도 부분적으로 커버하는, 상기 플로팅 게이트;

상기 플로팅 게이트 위의 상부 배리어;

상기 상부 배리어의 유전율보다 높은 유전율을 갖는 고-K (high-K) 재료를 포함하는 유전체 층으로서, 상기 유전체 층은 상기 상부 배리어에 직접적으로 접촉하는, 상기 유전체 층;

상기 플로팅 게이트의 상부 표면 및 상기 플로팅 게이트 적어도 4 개의 측면들의 적어도 일부분을 지나 연장하며 커버하는 제어 게이트로서, 상기 제어 게이트는 상기 유전체 층에 직접적으로 접촉하고, 상기 소스 및 드레인은 상기 제어 게이트에 대해 자기 정렬되는 제 1 전하 캐리어 주입을 포함하는, 상기 제어 게이트; 및

상기 유전체 층에 인접하여 상기 기관의 상부에 위치한 스페이서로서, 상기 소스 및 드레인은 상기 스페이서에 대해 자기 정렬되는 제 2 전하 캐리어 주입을 포함하고, 상기 유전체 층은 상기 스페이서의 측면을 커버하는, 상기 스페이서

를 포함하는, 비휘발성 메모리 비트셀.

#### 청구항 3

제 2 항에 있어서,

상기 소스 및 드레인은 제 1 전도형을 포함하고, 상기 채널 영역은 제 2 전도형을 포함하는, 비휘발성 메모리 비트셀.

#### 청구항 4

제 2 항에 있어서,

상기 상부 배리어 및 상기 하부 배리어는 상기 플로팅 게이트가 상기 상부 및 하부 배리어들의 결합에 의해 둘러싸이도록 연결되는, 비휘발성 메모리 비트셀.

#### 청구항 5

제 3 항에 있어서,

상기 제 1 전하 캐리어 주입은 저농도 도핑 드레인 (lightly doped drain; LDD) 주입 (implant) 영역인, 비휘발성 메모리 비트셀.

#### 청구항 6

삭제

#### 청구항 7

삭제

#### 청구항 8

삭제

#### 청구항 9

제 2 항에 있어서,

상기 기판은 실리콘 온 인슐레이터 (silicon on insulator; SOI) 구조를 포함하고, 상기 소스 및 상기 드레인의 각각은 상기 채널 영역과 반대 극성인 바디 영역을 포함하는, 비휘발성 메모리 비트셀.

#### 청구항 10

제 9 항에 있어서,

상기 바디 영역은 상기 플로팅 게이트 아래로 일부분이 연장되고, 상기 채널 영역에 인접하는, 비휘발성 메모리 비트셀.

#### 청구항 11

제 2 항에 있어서,

상기 기판은 벌크 실리콘 구조를 포함하고, 상기 소스 및 상기 드레인의 각각은 상기 채널 영역과 반대 극성인 웰 (well) 영역을 포함하는, 비휘발성 메모리 비트셀.

#### 청구항 12

제 11 항에 있어서,

상기 웰 영역은 상기 플로팅 게이트 아래로 일부분이 연장되고, 상기 채널 영역에 인접하는, 비휘발성 메모리 비트셀.

#### 청구항 13

삭제

#### 청구항 14

제 2 항에 있어서,

얇은 트렌치 분리부 위의 상기 플로팅 게이트의 표면 영역은 상기 플로팅 게이트가 상기 제어 게이트 상의 전압의 60 % 내지 90 % 사이인 전압에 용량적으로 커플링되도록 하는, 비휘발성 메모리 비트셀.

#### 청구항 15

제 2 항에 있어서,

상기 제어 게이트는 금속 대체 게이트인, 비휘발성 메모리 비트셀.

#### 청구항 16

제 2 항에 있어서,

상기 제어 게이트는 상기 플로팅 게이트보다 두꺼운, 비휘발성 메모리 비트셀.

#### 청구항 17

제 2 항에 있어서,

상기 비휘발성 메모리 비트셀에서의 상기 유전체 층은 1.5 V 미만의 최대 동작 전압을 갖는 MOSFET 에서 또한 이용되는, 비휘발성 메모리 비트셀.

#### 청구항 18

삭제

#### 청구항 19

소스, 드레인, 및 상기 소스와 드레인 사이의 채널 영역을 포함하는 기관;

상기 채널 영역 위의 하부 배리어;

상기 하부 배리어 위의 플로팅 게이트로서, 상기 플로팅 게이트는 상기 채널 영역을 커버하고, 상기 플로팅 게이트의 상부 표면은 실질적으로 평면이며, 상기 플로팅 게이트는 상기 소스 및 상기 드레인을 적어도 부분적으로 커버하는 2 개의 측면들을 포함하는, 상기 플로팅 게이트;

상기 플로팅 게이트 위의 상부 배리어로서, 상기 상부 배리어는 상기 하부 배리어에 접촉하고 상기 소스 및 상기 드레인을 적어도 부분적으로 커버하는 상기 플로팅 게이트의 상기 측면들을 둘러싸는 측면들을 갖고, 상기 소스 및 드레인은 상기 상부 배리어에 자기 정렬되는 제 1 전하 캐리어 주입을 포함하는, 상기 상부 배리어;

상기 상부 배리어에 직접적으로 접촉하는 유전체 층으로서, 상기 유전체 층은 상기 상부 배리어의 유전율보다 높은 유전율을 갖는 고-K (high-K) 재료를 포함하는, 상기 유전체 층;

상기 유전체 층의 적어도 일부분에 직접적으로 접촉하고, 상기 소스, 드레인 및 채널 영역을 통과하는 축을 따라 상기 상부 배리어의 폭보다 폭이 좁은 제어 게이트로서, 상기 제어 게이트는 상기 유전체 층에 의해 적어도 부분적으로 둘러싸이는, 상기 제어 게이트; 및

상기 상부 배리어의 상기 측면들에 인접하여 상기 기관의 상부에 위치한 스페이서로서, 상기 소스 및 드레인은 상기 스페이서에 자기 정렬되는 제 2 전하 캐리어 주입을 포함하고, 상기 유전체 층은 상기 스페이서의 측면을 커버하는, 상기 스페이서

를 포함하는, 비휘발성 메모리 비트셀.

#### 청구항 20

삭제

#### 청구항 21

삭제

#### 청구항 22

삭제

#### 청구항 23

제 19 항에 있어서,

상기 플로팅 게이트는 비전도성 재료로 이루어진 얇은 트렌치 분리부 위로 일부분이 연장되는, 비휘발성 메모리 비트셀.

#### 청구항 24

제 23 항에 있어서,

상기 얇은 트렌치 분리부 위의 상기 플로팅 게이트의 표면 영역은 상기 플로팅 게이트가 상기 제어 게이트 상의 전압의 적어도 60 % 의 전압에 용량적으로 커플링되도록 하는, 비휘발성 메모리 비트셀.

#### 청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

청구항 29

삭제

청구항 30

삭제

## 발명의 설명

## 기술 분야

발명자:

ANDREW E. HORCH

기술분야

본 개시물을 일반적으로 비휘발성 메모리의 분야에 관한 것으로, 특히 비휘발성 메모리 비트셀 레이아웃들에 관한 것이다.

## 배경 기술

비휘발성 메모리 (nonvolatile memory; NVM) 는 전력이 공급되지 않는 경우에 정보 비트들을 지속적으로 저장하는 메모리를 지칭한다. 비휘발성 메모리 비트셀 (NVM 비트셀) 은 데이터의 단일 비트를 저장한다. 일부 유형의 NVM 비트셀들은 플로팅 게이트들을 갖는 트랜지스터들 이용하여 구현된다. 플로팅 게이트에 있는 전하의 양은 비트셀이 논리 "1" 또는 논리 "0" 을 저장할지 여부를 결정한다. 플로팅 게이트는 산화물 또는 유전체에 의해 주위의 것들로부터 게이트가 전기적으로 분리되기 때문에 "플로팅" 이라고 지칭된다. 일부 NVM 은 비트셀에 하나 이상의 상태를 저장할 수 있다.

애플리케이션들을 확대하고 메모리 디바이스들의 비용들을 감소시키기 위해, NVM 비트셀들에 대한 전력 및 사이즈 요구사항들을 줄이는 것이 바람직하다. NVM 비트셀에 대한 전력 및 사이즈 요구사항들을 감소시키는 일 방법은 플로팅 게이트로부터 전하를 추가하고 제거하는 비트셀 플로팅 게이트와 비트셀 채널 사이의 배리어의 두께를 감소시키는 것이다. 보다 얇은 배리어는 보다 작은 전체 디바이스를 허용하고, 플로팅 게이트의 논리 상태를 변화시키는데 요구되는 전력의 양을 낮춘다. 통상적으로, NVM 비트셀들은 게이트 산화물이라고도 불리는  $\text{SiO}_2$  의 배리어의 상부 상의 폴리실리콘 또는  $\text{Si}_3\text{N}_4$  플로팅 게이트로 구성된다. 보다 적은 전력을 인출하는 보다 작은 디바이스를 제작하기 위해, 비트셀 제작자들은 종래의  $\text{SiO}_2$  게이트 산화물들을 보다 높은 유전율 (고-K (high-K)) 재료들로 대체함으로써 게이트 산화물의 실질적인 두께를 줄였다. 지속적으로 상태를 저장할 필요가 없는 논리 디바이스들의 제작자들은 보다 적극적으로 게이트 산화물 두께의 크기를 조정하여 NVM 의 제작들보다 쉽게 재료를 변화시킬 수 있다.

게이트 산화물들로서 이용되는 고-K 재료들에는 트랩들이 함유되어 있다. 트랩들은 전자들이 안팎으로 이동할 수 있는, 배리어에서의 결함들이다. 트랩들이 아주 근접하여 있는 경우 전자들은 일 트랩에서 다른 트랩으로 이동할 수 있다. 이러한 트랩 hopping은 트랩 어시스트 유출로 불린다. 트랩 어시스트 유출은 NVM 비트셀에서 장기 데이터 저장을 방지한다. 전자들이 다른 노드로 유출되는 것을 방지하는 배리어가 있는 경우에도, 플로팅 게이트에 가까운 트랩들은 고-K 배리어를 포함하는 비트셀들이 메모리 효과를 경험하도록 야기할 수 있다. 전하가 플로팅 게이트로부터 추가되거나 제거되는 경우에 배리어를 통해 송신되는 전하 캐리어들로 트랩들이 채워지는 경우에 메모리 효과가 야기된다. 플로팅 게이트가 반대 상태로 프로그래밍된 경우, 트랩들에 저장된 전하는 시간이 지남에 따라 플로팅 게이트로 다시 이동한다. 이는 플로팅 게이트가 플로팅 게이트의 이전 상태로 다시 되돌아가거나 다시 부분적으로 되돌아가도록 한다. 충분히 채워진 트랩들이 있

는 경우, 비트셀 상에 2 개의 상이한 논리 상태들 (예를 들어, 0 및 1) 을 유지하는 것이 어려울 정도로 메모리 효과가 심각해질 수 있다. 메모리 효과는 오버 프로그래밍함으로써 보상될 수 있다. 그러나, 오버 프로그래밍은 배리어 유전체가 마모되거나, 추후 쓰기 동작들을 수행하는데 불가능성을 야기하는 것과 같은 다른 문제들을 야기할 수 있다.

[0008] 일반적으로 매우 적은 트랩들을 갖는 SiO<sub>2</sub> 와 같은 게이트 산화물들과 같은 종래의 게이트 산화물 유형 배리어들은, 메모리 효과가 심각한 문제가 아니다. 그러나, 고-K 재료들은 트랩이 풍부하여 메모리 효과가 심각한 문제이다. 메모리 효과 문제와 더불어, 트랩들은 랜덤 텔레그래프 노이즈 (즉, 임계 전압 변동) 와 같은 다른 문제들을 야기할 수 있다.

## 발명의 내용

### 과제의 해결 수단

[0009] 예시적인 실시예들은 2 개의 산화물 배리어들을 갖는 비휘발성 메모리 ("NVM") 비트셀을 포함하며, 2 개의 산화물 배리어들 중 제 1 산화물 배리어는 논리 플로팅 게이트를 고-K 배리어 및 대체 금속 제어 게이트로부터 분리한다. 제 2 배리어는 논리 플로팅 게이트를 기판으로부터 분리한다. 비트셀은 감소된 전력 및 사이즈 요구사항들을 가지고, 대체 금속 게이트들 및 고-K 배리어들을 이용하는 기존의 평면 비트셀들의 심각한 메모리 효과 특성을 경험하지 않는다. 비트셀은 사이즈 22 나노미터 이하인 금속 산화물 반도체 (CMOS) 논리 프로세스들을 이용하여 구성될 수 있다. 비트셀의 설계는 메모리 효과 문제들, 뿐만 아니라 비트셀의 생성 중의 열에 의해 야기되는 문제들을 방지한다. 추가 프로세스 단계들로, 비트셀은 내장형 플래시, MRAM (magnetoresistive random access memory), 또는 FRAM (ferroelectric random access memory) 을 제작하는데 이용될 수 있다.

[0010] 일 예시적인 실시예에서, 비트셀은 소스, 드레인, 및 채널 영역으로 구성되는 기판을 포함한다. 하부 배리어, 예를 들어, 실리콘 다이옥사이드 배리어가 채널 영역 위에 놓인다. 플로팅 게이트가 하부 배리어 위에 놓이고, 채널 영역을 커버한다. 상부 배리어가 플로팅 게이트 위에 놓인다. 유전체 층이 상부 배리어 위에 놓인다. 유전체 층은 상부 배리어의 유전율보다 높은 유전율을 갖는 재료로 구성된다. 유전체 층에는 SiO<sub>2</sub> 보다 상당히 많은 트랩들이 포함되어 있는 유전체 재료가 함유되어 있다. 유전체 층은 상부 배리어를 커버하고, 플로팅 게이트를 지나 연장됨으로써 상부 배리어, 하부 배리어, 및 플로팅 게이트를 적어도 부분적으로 둘러싼다. 제어 게이트가 유전체 층의 적어도 일부분 위에 놓인다. 제어 게이트는 또한 상부 배리어, 하부 배리어, 및 플로팅 게이트를 적어도 부분적으로 둘러싼다.

### 도면의 간단한 설명

[0011] 도 1a 및 도 1b 는 종래의 NVM 비트셀들의 간소화된, 단면 다이어그램들이다.

도 2a 및 도 2b 는 일 실시예에 따른 실리콘 온 인슐레이터 (SOI) 형 NVM 비트셀의 수직 단면 다이어그램들이다.

도 3 은 다른 실시예에 따른 실리콘 온 인슐레이터 (SOI) 형 NVM 비트셀의 단면 다이어그램이다.

도 4 는 일 실시예에 따른, 벌크 (bulk) 실리콘 형 NVM 비트셀의 단면 다이어그램이다.

도 5 는 다른 실시예에 따른, 벌크 실리콘 형 NVM 비트셀의 단면 다이어그램이다.

도 6 은 일 실시예에 따른, 도 2a 및 도 2b 의 NVM 비트셀을 생산하는 CMOS 프로세스의 플로 차트이다.

도 7a 내지 도 7h 는 일 실시예에 따른, 도 2a 및 도 2b 의 NVM 비트셀의 구성을 도시한다.

도 8a 는 종래의 플래시 메모리 디바이스를 도시한다.

도 8b 는 일 실시예에 따른, 메모리 디바이스를 도시한다.

### 발명을 실시하기 위한 구체적인 내용

[0012] 실시예들은 대체 금속 제어 게이트 및 추가 플로팅 게이트를 갖는 비휘발성 메모리 ("NVM") 비트셀에 관한 것이다. 비트셀은 표준 금속 산화물 반도체 제조 프로세스들 ("CMOS 프로세스들") 을 이용하여 생성될 수도 있으며, 여기서 모든 고열 단계들은 추가적인 열이 논리 디바이스들에 영향을 미치지 않도록 논리 디바이스들이

제작되기 이전에 수행된다.

- [0013] 본원에 설명된 "NVM 비트셀", "비트셀", 또는 "비트" 는 CMOS 형 (즉, 트랜지스터 기반) 비휘발성 메모리를 지칭한다. CMOS NVM 비트셀은 플로팅 디스크들에서 발견되는 바와 같은 자기 메모리, 또는 CD 들 혹은 DVD 들에서 발견되는 바와 같은 광학 메모리와 같은 다른 유형의 NVM 메모리와 구별된다. NVM 비트셀들은 제조 시설 (fab) 에서의 다수의 프로세스 단계들을 포함하는 CMOS 프로세스를 이용하여 생산된다.
- [0014] 도 1a 는 종래의 CMOS 논리 디바이스의 일 예의 간소화된 단면 다이어그램이다. 전하를 보유하기 위해 충분히 두꺼운 게이트 산화물들을 갖는 CMOS 논리 디바이스들이 플로팅 게이트 NVM 비트셀들에 이용될 수 있다. 도 1 의 논리 디바이스 (100a) 는 배리어 (112a) 를 통해 송신되는 전하를 저장하는 플로팅 게이트 (110) 로서 이용될 수 있는 전도성 게이트 재료로 이루어진 게이트 스택을 포함한다. 플로팅 게이트들 (110) 은 통상적으로 폴리실리콘으로 제작되고, 배리어들 (112a) 은 통상적으로  $\text{SiO}_2$  로 제작되고, "게이트 산화물들" 로 지칭될 수도 있다.
- [0015] 도 1b 는 고-K 유전체 스택 및 게이트 대체 프로세스를 이용하여 형성된 금속 게이트를 갖는 종래의 CMOS 논리 디바이스의 다른 예의 간소화된 단면 다이어그램이다. 도 1b 의 디바이스 (100b) 는 금속 게이트 (102), 고-K 유전체 배리어 (104) 로 구성되는 게이트 스택을 포함한다. 일부 경우들에서, 표면 산란으로 인해 채널 영역에서의 이동성 손실을 방지하고 보다 쉬운 디바이스의 구성을 가능하게 하기 위해 추가 페데스탈 산화물 (112b) 이 제시된다. 비트셀 (100b) 은 게이트 첫번째 프로세스 또는 게이트 마지막 프로세스 중 어느 일방을 이용하여 구성될 수 있다. 도 1b 에서 예시화된 바와 같은 플로팅 게이트 NVM 비트셀을 구성하는 것은 난제이다. 고-K 유전체가 플로팅 게이트와 직접적으로 연결한다. 이는 큰 메모리 효과를 초래할 것이다.  $\text{SiO}_2$  층 (112b) 이 충분히 두껍지 않은 경우, 기관으로의 트랩 어시스트 유출이 또한 있을 것이다.
- [0016] 도 2a 및 도 2b 는 일 실시예에 따른 실리콘 온 인슐레이터 (SOI) 형 NVM 비트셀 (200) 의 수직 단면 다이어그램들이다. 비트셀 (200) 은 N 형 플로팅 게이트 MOSFET 으로서 구현된다. 비트셀 (200) 은 또한 P 형 플로팅 게이트 MOSFET 으로서 구성될 수도 있다. 도 2a 는 비트셀 (200) 의 채널을 통한 전류의 흐름과 평행하는 방향에서의 NVM 비트셀 (200) 의 단면을 도시한다. 비트셀 (200) 의 플로팅 게이트 스택은, 제어 게이트 (202) 및 플로팅 게이트 (210) 가 채널 영역 (234) 위로 실질적으로 중심에 있도록, 적어도 3 개의 면들에서 폴리실리콘 플로팅 게이트 (210) 를 에워싸는 제어 게이트 (202) 를 포함한다. 일부 경우들에서, 제어 게이트 (202) 는 플로팅 게이트 (210) 보다 두껍다. 플로팅 게이트 스택의 외부에 산화물 또는 다른 비전도성 재료로 제작되는 스페이서들 (206) 이 있을 수도 있다.
- [0017] 제어 게이트 (202) 와 플로팅 게이트 (210) 사이에는 높은 유전율 (고-K) 을 갖는 재료의 층 (204) 및  $\text{SiO}_2$  와 같은 비전도성 재료의 상부 배리어 (208) 가 있다. 상부 배리어 (208) 는 또한 상부 산화물 층이라고 지칭될 수도 있다. 고-K 층 (204) 이 제어 게이트 (202) 와 상부 산화물 층 (208) 사이에 위치되고, 상부 산화물 층 (208) 이 고-K 층 (204) 과 플로팅 게이트 (210) 사이에 위치되도록 층들이 배열된다. 플로팅 게이트 (210) 와 비트셀 (200) 의 나머지를 형성하는 실리콘의 기관 사이에 하부 배리어 (212) 가 위치된다. 하부 배리어 (212) 는 또한  $\text{SiO}_2$  로 제작될 수도 있고, 하부 산화물 층으로 지칭될 수도 있다. 상부 산화물 층 및 하부 산화물 층 양자 모두에서, 재료들이 상대적으로 적은 개수의 전하 캐리어 트랩들을 갖는 한,  $\text{SiO}_2$  이외의 재료들이 이용될 수도 있다. 배리어들 (208 및 212) 은 고-K 층 (204) 에 존재하는 트랩들의 개수에 비해 보다 적은 트랩들을 갖는다. 배리어들 (208 및 212) 은 일반적으로 고-K 층 (204) 과 비교하여 낮은 유전율을 가질 것이다. 배리어들 (208 및 212) 의 각각은 적어도 43 옹스트롬 두께이고, 200 옹스트롬만큼 두꺼울 수도 있다. 60 옹스트롬이 배리어들 (208 및 212) 의 전형적인 두께이다.
- [0018] 하부 산화물 층 (212) 아래에, 인슐레이터 (미도시) 의 상부에 실리콘 기관이 위치된다. 비트셀 (200) 은 실리콘 온 인슐레이터 (SOI) 형 구조이다. 인슐레이터는, 예를 들어, 매립된 산화물 층 (미도시) 일 수도 있다. 기관은 플로팅 게이트 (210) 아래에 P 형 바디 영역 (214) 을 포함한다. 플로팅 게이트 (210) 및 하부 배리어 (212) 는 P 형 바디 영역 (214) 의 길이 너머로 연장된다. 디바이스가 활성화되는 경우, 소스 영역 (230) 과 드레인 영역 (232) 사이에, 하부 배리어 (212) 의 바로 아래의 P 형 영역의 부분에 채널 영역 (234) 이 형성된다. 채널 영역 (234) 의 사이즈는 소스 (230), 드레인 (232) 에서의 전압에 따른 소스 영역 (230) 과 드레인 영역 (232) 사이의 캐리어들의 흐름, 플로팅 게이트 (210) 상의 전하, 제어 게이트 (202) 상의 전하, 및 소스 (230) 와 드레인 (232) 의 도핑들/주입 (implant) 들에 의해 특징지어진다.
- [0019] 기관은 또한 소스 (230) 및 드레인 (232) 을 포함하는 N 형 바디 영역들 (220) 을 포함한다. N 형 바디 영



역들 (220) 은 플로팅 게이트 (210) 및 하부 배리어 (212) 아래로 일부분이 연장된다. N 형 바디 영역들 (220) 은 또한 플로팅 게이트 (210) 를 둘러싸는 제어 게이트 (202) 및 고-K 층의 일부분 아래로 연장된다. N 형 바디 영역들 (220) 은 또한 스페이서들 (206) 의 가장자리들을 지나 연장된다. N 형 바디 영역들 (220) 은 소스 영역 (230) 또는 드레인 영역 (232) 및 채널 영역 (234) 사이의 저항을 감소시키기 위해 P 형 바디 영역 (214) 과 반대 극성 (또는 전도형) 인 도핑된/주입된 전하 캐리어들의 기본 양을 갖는다. 플로팅 게이트 (210) 와 소스/드레인 영역들 (230, 232) 사이에 갭이 있는 프로세스들에서, 프로세스는 플로팅 게이트 (210) 아래에서 소스/드레인 영역들 (230, 232) 과 채널 영역 (234) 을 전기적으로 연결시키는 주입 단계들을 포함한다. 일 경우에서, N 형 바디 영역들 (220) 이 이용될 수도 있다. P 바디 및 N 바디 영역들 (220) 은 큐빅 센티미터당  $10^{17}$  내지  $10^{18}$  원자의 범위에서 도핑될 수도 있다.

[0020] N 형 바디 영역들은 또한 소스 (230) 및 드레인 (232) 을 형성하는 전자들의 추가 주입들을 포함한다. 소스 및 드레인 양자 모두는 저농도 도핑 드레인 (lightly doped drain; LDD) 영역 (218) 을 포함한다. LDD 영역 (218) 은 N 형 바디 영역의 표면에서 또는 그에 매우 가까이에서 가장 높은 도펀트 농도를 가지고, 웰 (well) 쪽으로 갈수록 농도가 떨어진다. LDD 도핑 (218) 의 양은 대략 큐빅 센티미터당  $10^{19}$  전하 캐리어이다. LDD 영역들 (218) 은 제어 게이트 (202) 및 고-K 재료 (204) 의 경계를 이루는 스페이서들 (206) 아래로 일부분이 연장된다.

[0021] (이러한 버전의 전자들에서) 전하 캐리어들의 추가 주입들을 통해 소스 및 드레인 양자 모두에서의 N 형 영역들에 추가 LDD 영역들 (216) 이 또한 형성된다. LDD 도핑 (216) 의 양은 거의 대략 큐빅 센티미터당  $10^{19}$  -  $10^{20}$  전하 캐리어이다. LDD 영역들 (216) 은 다른 LDD 영역들 (218) 에 인접하게 위치된다. LDD 영역들 (216) 은 플로팅 게이트 (210) 를 둘러싸는 제어 게이트 (202) 및 고-K 층 (204) 의 부분 아래로 일부분이 연장된다. 비트셀 (200) 에서, LDD 영역들 (216) 은 플로팅 게이트 영역 (210) 아래로 연장되지 않고, N 형 바디 영역 (220) 과 P 형 바디 영역 (214) 사이의 경계까지 연장되지 않는다.

[0022] 프로세스가 LDD 영역들이 N 형 바디 영역 (220) 과 접촉하는 것을 방지하는 LDD 의 부분에서 할로 (halo) 주입을 갖는 경우, 할로 주입 (halo implant) 이 차단된다.

[0023] 도 2b 는 비트셀 (200) 의 채널에서의 전류 흐름에 수직인 방향에서의 NVM 비트셀 (200) 의 단면을 도시한다. 수직 방향에서, P 형 바디 영역 (214) 은 얇은 트렌치 분리부 (STI) (shallow trench isolation; 222) 에 의해 양측면들에서 경계가 이루어진다. STI (222) 는 비트셀들 (200) 사이의 전류의 유출을 방지하는데, 여기서 다수의 비트셀들 (200) 이 아주 근접하여 배치되어 다중 비트 메모리 디바이스를 형성한다.

[0024] 제어 게이트 (202) 가 STI (222) 위의 플로팅 게이트 (210) 에 커플링하는 비트셀 (200) 의 이러한 구역들에서, 제어 게이트 (202) 대 플로팅 게이트 (210) 의 커패시턴스는 플로팅 게이트 (210) 대 기판 (예를 들어, P 형 영역 (214), 소스 (230), 및 드레인 (232)) 의 커패시턴스를 증가시키지 않으면서 증가된다. 따라서, STI (222) 위로 제어 게이트 (202) 와 플로팅 게이트 (210) 사이의 오버랩되는 표면 구역을 증가시키는 것은 제어 게이트 (202) 에 대한 플로팅 게이트 (210) 의 커패시턴스를 증가시킨다. 유사하게, 제어 게이트 (202) 와 플로팅 게이트 (210) 사이의 오버랩되는 표면 구역을 줄이는 것은 제어 게이트 (202) 에 대한 플로팅 게이트 (210) 의 커패시턴스를 줄인다. 커패시턴스는 0 % 와 100 % 에 매우 가까운 것 사이의 임의의 곳에 있을 수도 있다.

[0025] NVM 디바이스에서, 메모리 블록은 많은 메모리의 비트셀들을 포함한다. 메모리 블록은 종종 각각의 비트를 블록에서의 다른 비트셀들로부터 구별하도록 어느 비트가 기록, 판독, 또는 삭제되는지를 제어하는 매커니즘을 포함한다. 일부 경우들에서, 제어 매커니즘은 메모리의 각각의 비트 내에 구현된다. 각각의 비트에 대한 제어 매커니즘을 구현하는 것은 각각의 개개 비트에 대한 판독, 기록, 및 삭제 제어를 허용한다. 비트셀 (200) 은 제어 게이트 (202) 의 형태로 제어 매커니즘을 포함한다.

[0026] 제어 게이트 (202) 는 플로팅 게이트 (210) 를 온 또는 오프로 전하를 이동시킴으로써 플로팅 게이트 (210) 를 기록 또는 삭제하는데 이용될 수 있다. 플로팅 게이트 (210) 와 제어 게이트 (202) 사이의 커패시턴스가 클수록, 제어 게이트 (202) 와 플로팅 게이트 (210) 가 보다 가깝게 커플링될 것이어서, 플로팅 게이트 (210) 상의 전압이 제어 게이트 (202) 상의 전압을 보다 가깝게 트래킹할 것이다. 플로팅 게이트가 0 볼트 (V) 에서 시작하는 경우, 제어 게이트 (202) 는 높은 전압, 예를 들어, 9 V 에 있게 되고, 비트셀 (200) 의 소스 (230) 및 드레인 (232) 은 0 V 에 있으며, 플로팅 게이트로부터 제어 게이트로의 80 % 커플링 비율을 가정하면, 플로



팅 게이트는 최대 7.2 V 까지 커플링될 것이다. 플로팅 게이트와 기판 사이의 7.2 V 차이로, 하나 이상의 동시적인 전송 매커니즘들에 의해 게이트 산화물을 통해 전자들이 이동될 수 있으며, 그렇게 함으로써 플로팅 게이트 전압이 강화하도록 한다. 전송 매커니즘들은 이를테면 FN (Fowler-Nordheim) 터널링, CHI (channel hot injection), IHEI (impact ionized hot electron injection), 또는 BTBT (band to band tunneling) 이다.

[0027] 플로팅 게이트 (210) 상의 전하를 판독하는데 제어 게이트 (202) 가 이용될 수 있다. 제어 게이트 (202) 는 판독 전압, 예를 들어, 0 V 또는 1 V 로 설정된다. 소스와 드레인 사이에 전압 강하를 갖도록 소스 (230) 와 드레인 (232) 에 전압이 인가되며, 플로팅 게이트가 비트셀 (200) 의  $V_T$  보다 약간 큰 전압을 갖는 경우 소스로부터 드레인으로의 채널 (234) 을 형성할 것이다. 플로팅 게이트 전압이  $V_T$  보다 낮은 경우, 채널 (234) 을 형성하지 않을 것이다. 채널 (234) 은 플로팅 게이트 (210) 가 제 1 논리 상태 (예를 들어, 1 또는 논리 하이) 에 있는 경우 소스 (230) 와 드레인 (232) 사이에 전류를 통과시킬 것이고, 제 2 논리 상태에 (예를 들어, 0 또는 논리 로우) 있는 경우 전류가 통과시키지 않을 것이다.

[0028] 도 3 은 다른 실시예에 따른 실리콘 온 인슐레이터 (SOI) 형 NVM 비트셀의 단면 다이어그램이다. 비트셀 (200) 과 같이, 비트셀 (300) 은 SOI 구성을 이용하여 N 형 플로팅 게이트 MOSFET 으로 구현된다. 비트셀 (300) 은 또한 P 형 플로팅 게이트 MOSFET 으로서 구성될 수도 있다. 도 3 은 비트셀 (300) 의 채널에서의 전류 흐름에 평행한 방향에서의 NVM 비트셀 (300) 의 단면을 도시한다. 이러한 경우에, 비트셀 (300) 은 대체로 비트셀 (200) 과 동일한 요소들을 갖는다. 그러나, 비트셀 (300) 은 이들의 요소들의 사이즈 및 형상에서 상당히 상이하다.

[0029] 비트셀 (300) 의 플로팅 게이트 스택은 폴리실리콘 플로팅 게이트 (310) 의 상부에 놓인 금속 제어 게이트 (302) 를 포함한다. 비트셀 (200) 의 제어 게이트 (202) 와 대조적으로, 비트셀 (300) 의 제어 게이트 (302) 는 플로팅 게이트 (310) 를 둘러싸지 않는다. 제어 게이트 (302) 는 채널 영역 (334) 의 방향에서 플로팅 게이트 (310) 만큼 길거나, 플로팅 게이트 (310) 보다 좁은 것 중 어느 일방이다. 제어 게이트 (302) 및 플로팅 게이트 (310) 는 채널 영역 (334) 위로 실질적으로 중심에 있다. 플로팅 게이트의 외측면에 스페이서들 (306) 이 있다.

[0030] 비트셀 (200) 에서와 같이, 비트셀 (300) 에서는 고-K (304), 비전도성 재료의 상부 배리어 (308), 및 하부 배리어 (312) 가 있다. 이러한 층들은 일반적으로 채널 영역 (334) 위로 위치된 이러한 층들의 부분들에 대해 비트셀 (200) 에서와 동일한 방식으로, 수직으로 배열된다. 비트셀 (200) 에서와 대조적으로, 그러나, 비트셀 (300) 에서는, 제어 게이트 (304) 가 플로팅 게이트 (310) 를 둘러싸지 않는다는 사실로 인해 이러한 층들의 길이 및 형상이 상이하다. 비트셀 (300) 에서, 고-K 층 (304) 은 플로팅 게이트 (310) 를 둘러싸지 않는다. 고-K 층 (304) 은 제어 게이트 (302) 를 감싼다. 상부 배리어 (308) 및 하부 배리어 (312) 는 플로팅 게이트 (310) 의 길이로 연장되고, 제어 게이트 (302) 및 고-K 층 (304) 을 둘러싸는 스페이서 (306) 의 상부 부분 아래로 연장된다. 스페이서들 (306) 및 배리어들 (308 및 312) 양자 모두가 비전도성 재료로 형성되기 때문에, 스페이서들의 정확한 배열 및 구성은 달라질 수도 있다. 플로팅 게이트 (310) 및 배리어들 (308 및 312) 과 평면에 위치된 스페이서 (306) 의 하부 부분은 스페이서 (306) 의 상부 부분보다는 P 형 바디 영역 (314) 위로 더 연장될 수도 있다.

[0031] 비트셀 (300) 은 P 형 바디영역 (314) 을 갖는다. 디바이스가 활성화되는 경우, 소스 영역 (330) 과 드레인 영역 (332) 사이에, 하부 배리어 (312) 의 바로 아래의 P 형 영역 (314) 의 부분에 채널 영역 (334) 이 형성된다. 비트셀 (300) 은 소스 및 드레인에 위치된 N 형 바디 영역들을 갖지 않는다. 대신, P 형 바디 영역 (314) 과 반대 극성 (또는 전도형) 의 전하 캐리어들로 P 형 바디 영역 (314) 을 도핑하는 것을 통해 소스 (330) 및 드레인 (332) 이 형성된다. 소스 및 드레인 양자 모두는 전자들로 도핑된 저농도 도핑 드레인 (LDD) 영역 (318) 을 포함한다. LDD 도핑 (318) 의 양은 대략 큐빅 센티미터당  $10^{19}$  전하 캐리어이다. LDD 영역들 (318) 은 플로팅 게이트 (310) 의 경계를 이루는 스페이서들 (306) 아래의 제한된 거리로 연장된다. LDD 영역들 (318) 은 플로팅 게이트 (310) 에 대해 대칭적이다.

[0032] 추가 LDD 영역들 (316) 이 LDD 영역들 (318) 에 인접하게 위치된다. LDD 주입들 (318) 과 대조적으로, LDD 영역들 (316) 은 제어 게이트 (302) 에 대해 대칭적이다. LDD 영역들 (316) 은 스페이서들 (306) 아래로 연장되고, 플로팅 게이트 (310) 아래로 일부분이 연장된다. 그 결과, 소스 (330) 및 드레인 (332) 은 일반적으로 플로팅 게이트 (310) 아래로 연장된다.

[0033] p 형 도펀트들의 추가 도핑들을 통해 소스 (330) 및 드레인 (332) 양자 모두에서 LDD 주입들 바로 옆에 할로 영

역들 (미도시) 이 형성될 수도 있다.

- [0034] 도 4 는 일 실시예에 따른, 벌크 실리콘 형 NVM 비트셀의 단면 다이어그램의 예이다. 비트셀 (400) 은 N 형 플로팅 게이트 MOSFET 으로서 구현된다. 비트셀 (400) 은 또한 P 형 플로팅 게이트 MOSFET 으로서 구성될 수도 있다. 도 4 는 비트셀 (400) 의 채널 (434) 에 평행한 방향에서 NVM 비트셀 (400) 의 단면을 도시한다. 도 4 의 예시적인 비트셀 (400) 은 도 2 의 비트셀 (200) 과 유사한 구조를 갖는다.
- [0035] 비트셀 (400) 은 SOI 대신 벌크 실리콘을 이용하여 구성된다. 따라서, 비트셀 (400) 의 채널 영역 (434) 은 벌크 P 형 실리콘 기판 (414) 에 놓인다. 소스 (430) 및 드레인 (432) 은, N 형 바디 영역들에 형성되는 대신에, 추가 N 형 도펀트들로 P 웰 (414) 기판을 도핑함으로써 생성된 N 웰들 (420) 에 형성된다. N 웰들은 일반적으로 큐빅 센티미터당  $10^{17}$  도펀트 원자의 농도를 갖는다. LDD 주입들 (418) 은 제어 게이트 (402) 에 정렬된다. 하나 이상의 웰 주입들, 예를 들어, 할로 주입들 또는  $V_T$  조정 주입 (미도시) 이 디바이스의  $V_T$  를 조정하는데 이용된다.
- [0036] 도 5 는 다른 실시예에 따른, 벌크 실리콘 형 NVM 비트셀의 단면 다이어그램의 예이다. 도 5 의 예시적인 비트셀 (500) 은 도 4 의 비트셀 (400) 과 유사한 게이트 스택 컴포넌트들의 레이아웃을 가지고, SOI 대신에 벌크 실리콘 상에 유사하게 구성된다. 도 5 의 비트셀은, 그러나, 소스 (530) 와 드레인 (532) 을 채널 (534) 에 커플링하는 도핑에서의 차이들로 인해, 도 4 의 비트셀 (400) 보다 작은 사이즈를 갖는다.
- [0037] 비트셀 (500) 은 추가 제어 게이트 (502) 및 스페이서들 (506) 이전에 P 웰 기판 (514) 에 주입되는 추가 도핑 임계 전압 조정 주입 (524) ( $V_T$  조정 주입) 을 포함한다.  $V_T$  조정 주입 (524) 은 추가 p 형 도펀트 원자들의 도핑을 포함하는데, 여기서 전하 농도는 대략 큐빅 센티미터당  $10^{17}$  전하 캐리어이다.  $V_T$  조정 주입 (524) 은 제어 게이트 (502) 및 플로팅 게이트 (510) 를 둘러싸는 고-K 층 (504) 의 부분 아래로 연장된다.  $V_T$  조정 주입 (524) 은 또한 플로팅 게이트 (510) 의 가장자리를 지나 연장된다.  $V_T$  조정 주입 (524) 은 플로팅 게이트 아래의 소스 (530) 및 드레인 (532) 의 도핑을 확장시키는 것을 돕는다.
- [0038] 비트셀이 구성되는 프로세스는 달라질 수도 있다. 비트셀은 게이트 첫번째 프로세스 또는 게이트 마지막 프로세스 중 어느 일방을 이용하여 생산될 수도 있으며, 여기서 지칭되는 "게이트" 는 제어 게이트이다. 프로세스 단계들이 일어나는 순서는 가열하기 위해 요구되는 이온 주입들의 민감도에 따라 또한 달라질 수도 있으며, 이는 프로세스 중에 비트셀에 플로팅 게이트가 추가되는 때에 영향을 미친다. 도 6 은 일 실시예에 따른, 도 2a 및 도 2b 의 NVM 비트셀을 생산하는 CMOS 프로세스의 플로 차트이다. 도 7a 내지 도 7h 는 일 실시예에 따른, 도 2a 및 도 2b 의 NVM 비트셀의 구성을 도시한다. 도 6 에 대해 설명된 프로세스가 도 7 에 도시된다. 시작 웨이퍼가 SOI 인지 벌크인지 여부가 최종 디바이스들이 SOI 디바이스 또는 벌크 디바이스인지를 결정한다. SOI 의 경우에 대한 단계들은 벌크 실리콘의 경우에 대한 단계들과 유사하다.
- [0039] 활성 표면 영역을 다른 근처의 활성 영역들로부터 분리하기 위해 실리콘 웨이퍼에 얇은 트렌치 분리부가 형성된다 (602). 얇은 트렌치 분리부는 산화물 층 및 질화물 층을 성막하며, 포토 레지스트를 현상하고, 산화물 층, 질화물 층, 및 실리콘 웨이퍼를 에칭함으로써 형성된다 (602).
- [0040] 부분적으로 얇은 트렌치 분리부의 구역 위로, 그리고 실리콘 웨이퍼 기판을 커버하면서, 실리콘 웨이퍼 상에 하부 배리어 (212) 가 형성된다 (604). 하부 배리어 (212) 는 실리콘 다이옥사이드 ( $\text{SiO}_2$ ) 와 같이 상대적으로 적은 트랩들을 갖는 비전도성 재료로 형성된다. 하부 배리어 (212) 는, 고-K 층 (204) 및 금속 대체 게이트 (202) 의 추가 이전에 통상적으로 제거된다는 사실로 인해, 희생 산화물 층, 또는 Sac-Ox 층으로 지칭될 수도 있다. 통상적으로 Sac-Ox 층은 금속 이온들과 같은 불순물들이 이온 주입 중에 기판에 진입하는 것, 및 비트셀 생성 프로세스의 다른 해로운 단계들을 방지하기 위해 추가된다. 그러나, 비트셀 (200) 에서, 하부 배리어 (212) 는 제거되지 않고, 대신 플로팅 게이트 (210) 와 기판 (214) 사이에 배리어로서 기능하여, 기판 (214) 으로부터 플로팅 게이트 (210) 를 분리한다.
- [0041] 하부 배리어 (212) 상에 플로팅 게이트 (210) 가 성막된다 (606). 플로팅 게이트 (210) 는 폴리실리콘,  $\text{Si}_3\text{N}_4$ , 또는 다른 유사한 반도체 혹은 전도성 재료로 제작될 수도 있다. 플로팅 게이트 (210) 는 그 다음에 원하는 형상 (예를 들어, 길이, 너비, 또는 임의의 추가 형상 특성들) 으로 에칭된다 (608). 도 7a 는 형성된 플로팅 게이트 (210) 및 하부 배리어 (212) 의 예를 도시한다. STI (222) 는 도 7a 에 도시되지 않는다.

- [0042] 상부 배리어 (208) 가 그 다음에 플로팅 게이트 (210) 의 상부에 형성된다 (610). 상부 배리어 (208) 는 플로팅 게이트 (210) 를 제작하는 재료에 따라 상이한 방식으로 형성될 수 있다 (610). 예를 들어, 상부 배리어 (208) 는 플로팅 게이트가 폴리실리콘으로 제작되는 경우 산화에 의해 형성되거나 (610), 플로팅 게이트가  $\text{Si}_3\text{N}_4$  로 제작되는 경우 성막될 수도 있다. 도 7b 는 형성 후의 상부 배리어 (208) 를 도시한다.
- [0043] 이온 주입을 통해 실리콘 기판에 P 형 바디 영역 (214) 및 N 형 바디 영역 (220) 이 형성된다 (612). 벌크 프로세스가 이용되는 경우, 바디 영역들 대신 P 웰 영역 (414) 및 N 웰 영역 (420) 이 형성된다. 도 7c 는 SOI 프로세스에 있어서의 형성 후의 N 형 바디 영역들 (220) 및 P 형 바디 영역들 (214) 의 예를 도시한다. P 형 바디 영역들 (214) 및 N 형 바디 영역들 (220) 은 상부 배리어 (208), 하부 배리어 (212), 또는 플로팅 게이트 (210) 의 생성 전 또는 후에 기판에 형성될 수도 있다. P 형 영역 (214) 의 생성은 비트셀의 트랜지스터가 "온" 상태에 있는 경우 소스 (230) 로부터 드레인 (232) 으로 전류가 흐르도록 채널 (234) 이 생성될 구역을 형성한다. N 형 영역들 (220) 은 소스 (230) 및 드레인 (232) 의 위치들이다.
- [0044] 일부 경우들에서, P 형 영역 (214) 및 N 형 영역 (220) 을 주입하기 전에 배리어들 (208 및 212) 및 플로팅 게이트 (210) 를 형성하는 것이 유리하다. 이는 P 형 영역 및 N 형 영역을 형성하는 이온 주입들이 열에 민감한 경우 바람직하다. 이온 주입들이 고온을 받는 경우, 원치않는 이온 확산이 일어날 수 있다. 플로팅 게이트 (210) 의 생성은 기판이 다량의 열을 받도록 한다. P 형 영역 및 N 형 영역을 형성하는 이온 주입들이 이전에 플로팅 게이트 (210) 가 형성되는 경우, P 형 영역 및 N 형 영역의 주입들은 플로팅 게이트의 생성으로부터 열을 받지 않는다.
- [0045] 일부 경우들에서, 플로팅 게이트 (210) 또는 배리어들 (208 및 212) 이 비트셀에 추가되기 전에 N 형 영역 (220) 및 P 형 영역 (214) 을 형성하는 것이 유리하다. 이는 P 형 영역 및 N 형 영역을 형성하는 이온 주입들이 열에 상대적으로 둔감한 경우 바람직하다. 비록 이온 주입들이 배리어 층들 (208 및 212) 및 플로팅 게이트 (210) 를 관통하여 기판으로 주입할 수 있을지라도, 프로세스에서 일부 이온들은 보통 뒤에 남게 된다. 배리어들 (208 및 212) 및 플로팅 게이트 (210) 의 형성 전에 N 형 영역 및 P 형 영역을 형성함으로써, 남은 이온들이 배리어들 (208 및 212) 및 플로팅 게이트 (210) 에 주입되지 않을 것이다. 먼저 주입하는 것은 따라서, 배리어들 또는 플로팅 게이트의 임의의 불필요한 오염을 방지한다.
- [0046] 상부 배리어 (208) 의 상부에 희생 게이트 (240) 가 추가된다 (614). 희생 게이트는 통상적으로 추가하고 제거하기 쉬운 재료, 예를 들어, 게르마늄으로 제작된다. 희생 게이트 (240) 는 상부 배리어 (208) 를 둘러싸고, 외부 가장자리들에서 하부 배리어 (212) 의 상부에 놓인다. 도 7d 는 형성 후의 희생 게이트 (240) 의 예를 도시한다.
- [0047] 이온 주입을 통해 N 형 영역들 (220) 에 LDD 영역들 (216) 이 주입된다 (616). 도 7e 는 LDD 영역들 (216) 이 N 형 영역들 (220) 에 주입된 후의 비트셀 (200) 의 예를 도시한다. 스페이서들 (206) 이 희생 게이트 (204) 의 측면에 추가된다. 스페이서들의 추가는 또한 하부 배리어 (212) 의 일부를 제거할 수 있는 에칭을 포함할 수도 있다. 일부 경우들에서, 스페이서들 (206) 은 하부 배리어 (212) 상에 놓일 수도 있다. 다른 경우들에서, 스페이서들 (206) 은 기판 상에 놓일 수도 있다. 이온 주입을 통해 N 형 영역들 (220) 에 LDD 영역들 (218) 이 주입된다 (616). 스페이서들 (206) 의 너비는 주입되는 전하 캐리어들이 얼마나 멀리 실리콘 기판으로 관통하는지에 영향을 미친다. 도 7f 는 추가적인 LDD 영역들 (218) 이 N 형 영역들 (220) 에 주입된 후의 비트셀 (200) 을 도시한다.
- [0048] 산화물 (226) 이 희생 게이트 (240) 를 둘러싸기 위해 추가된다. 도 7g 는 산화물 (226) 이 추가된 후의 비트셀 (200) 을 도시한다.
- [0049] 희생 게이트 (240) 가 제거된다 (618). 희생 게이트 (240) 의 제거 이전에 포토리소그래피 단계 (미도시) 가 추가되어 희생 게이트 (240) 가 제거되는 경우에 상부 배리어 (208) 가 제거되는 것을 방지한다. 페테스탈 산화물 (또는 상부 배리어) 이 형성된다. 프로세스가 상이한 전압들에서 동작하는 논리 디바이스들을 갖는 경우, 보다 높은 전압 디바이스에서의 이용을 위해 보다 두꺼운 상부 배리어가 형성된다. 희생 게이트 (24) 가 제거된 것과 동일한 표면 상에 고-K 층 (204) 이 추가된다 (620). 이전에 희생 게이트에 의해 차지되었던 공간의 나머지에서 고-K 층 (204) 의 상부에 금속 게이트 (202) 가 추가된다 (622). 금속 게이트가 희생 게이트를 대체한다고 한다. 도 7h 는 제어 게이트 (202) 및 고-K 층이 추가되어, 고-K 층 (204) 을 제외하고 희생 게이트의 대부분이 대체된 후의 비트셀 (200) 을 도시한다.
- [0050] 비트셀을 발생시키는 프로세스의 다른 버전 (미도시) 에서, 플로팅 게이트 (210), 상부 배리어 (208), 및 하부

배리어 (212) 의 추가는 모든 이온 주입들이 완료된 이후까지 지연될 수도 있다. 얇은 트렌치 분리가 기판에 형성된다. 바디 영역들 (214 및 220) 을 주입하는데 뿐만 아니라, 할로 영역들 (216), LDD 영역들 (218), 및 임의의  $V_T$  조정 주입들을 주입하는데 마스크들이 이용된다. 마스크와 연계하여, 희생 게이트 (240) 및 스페이서들 (206) 을 추가한 후에 주입들 중 하나 이상의 주입이 추가되어 주입들이 전하 캐리어들을 추가할 기판의 영역들을 정의하는 것을 돕는다.

[0051] 모든 주입들이 완료되면, 희생 게이트 (240) 가 제거될 수도 있다. 하부 배리어 (212), 플로팅 게이트 (210), 및 상부 배리어 (208) 가 도 6 에 대해 위에서 설명된 바와 같이 추가된다. 고-K 층 (204) 및 대체 금속 게이트 (202) 가 그 다음에 추가된다.

[0052] 도 8a 는 종래의 플래시 메모리 디바이스를 도시한다. 종래의 플래시 메모리 디바이스들 (800a) 에서, 데이터의 단편, 예를 들어, 논리 1 또는 논리 0 을 저장하는데 비트셀 (860a) 이 이용된다. 비트셀 (860a) 이 많은 다른 유사한 비트셀들 (860) 과 연계하여 이용될 경우, 판독될 행을 선택하는데, 논리 디바이스 (850a) 라고 지칭되는 제 2 디바이스가 이용된다. 논리 디바이스는 또한 선택 디바이스라고 지칭되고, 비트셀들 (860) 의 하나의 행을 다른 행으로부터 전기적으로 분리함으로써 동작된다. 플래시 플로팅 게이트 (810a) 상의 전하가 판독될 경우 워드 라인 제어 게이트 (802a) 는 그에 인가된 전압을 갖는다. 플로팅 게이트 (810a) 상의 전하의 양에 따라 제어 게이트 (802a) 에 전압이 인가되는 경우 비트셀 (860a) 의 채널이 활성화되거나 활성화되지 않을 것이다. 플래시 메모리 비트셀에서, 제어 게이트 (802a) 는 플로팅 게이트 (810a) 에 대해 자기 정렬된다.

[0053] 제어 게이트 (802a) 를 플로팅 게이트 (810a) 로부터 분리하기 위해 플래시가 고-K 유전체 층 (804a) 을 이용하지만, 플래시는 논리 디바이스 (850a) 의 선택 게이트 (852a) 를 기판으로부터 분리하기 위해 고-K 유전체 층을 이용하지 않는다. 대신, 논리 디바이스들 (850a) 은 종래의  $\text{SiO}_2$  게이트 산화물 (854a) 로 구성된다.

[0054] 비트셀 사이즈를 최소화하기 위해, 플래시 비트셀들은 게이트 스택 (860a) 을 비교적 높게 제작하여 플로팅 게이트에 대한 측면 용량 결함을 최소화한다. 대조적으로, 비트셀 (200) 에서는, 스택 높이를 논리 디바이스들과 거의 동일하게 유지하도록 게이트 스택 높이가 최소화된다. 플래시 유형 비트셀들과 비교하여 비교적 짧은 게이트 스택 높이를 갖는 것은 게이트 스택 높이를 증가시킴으로써 야기되는 토폴로지적 문제들로 인해 프로세스를 수정할 필요성을 피한다.

[0055] 도 8b 는 일 예시적인 실시예에 따른, 메모리 디바이스를 도시한다. 메모리 디바이스 (800b) 에서, 데이터의 단편, 예를 들어, 논리 1 또는 논리 0 을 저장하는데 비트셀 (200) 이 이용된다. 논리 디바이스 (850b) 는 선택 디바이스로서 작동한다. 논리 디바이스 (850) 는 선택 게이트 (852a) 를 포함한다. 선택 게이트 (852a) 는 고-K 층 (856b) 및 배리어 (854b) 에 의해, 기판, 및 비트셀 (200) 의 채널 영역 (234) 과는 상이한 채널 영역 (미도시) 으로부터 분리된다. 고-K 층 (856b) 은 선택 게이트 (852b) 와 배리어 (854b) 사이에 위치된다. 배리어 (854b) 는 고-K 층 (856b) 과 기판 사이에 위치된다. 논리 디바이스는 CMOS 논리 프로세스에서 추가 프로세스 단계들을 이용하지 않고 비트셀 (200) 과 함께 생성될 수 있다.

#### [0056] 추가 고려사항들

[0057] 개시된 실시예들은 이롭게는 감소된 전력 및 사이즈 요구사항들을 갖는 NVM 비트셀을 허용한다. 구성을 위해 22 nm 이하의 CMOS 논리 프로세스를 이용하여 생산될 수 있기 때문에 비트셀은 감소된 전력 및 사이즈 요구사항들을 갖는다. 또한, 비트셀은 대체 금속 게이트들 및 고-K 유전체 배리어들을 수반하는 게이트 마지막 프로세스들의 해로운 효과들을 무효화한다. 가외의 논리 플로팅 및 새로운 플로팅 게이트를 커버하는 산화물의 추가 층의 추가는 프로세스 단계들의 열이 논리 디바이스에 영향을 미침으로 인해 기존의 기술들에서 일어나는 비트셀의 문제들을 방지한다. 열이 프로세스에서 다른 디바이스들의 성능에 영향을 미치지 않도록 프로세스의 어느 지점에서 가외의 산화물 층이 형성된다.

[0058] 또한, 비트셀은 고-K 배리어들에 의해 트랜지스터 채널들로부터 분리된, 대체 금속 제어 게이트들을 이용하는 기존의 비트셀들을 괴롭히는 메모리 효과 문제들을 피한다. 비트셀에서, 대체 금속 게이트는 논리 게이트 그 자체로 작동하는 대신에, 분리된 논리 플로팅 게이트 상의 전압을 제어하기 위한 제어 게이트로서의 역할을 한다. 제어 게이트가 항상 소정의 전압에 걸려 있기 때문에 메모리 효과가 개입하지 않고, 따라서 메모리 효과가 제어 게이트에 영향을 미치지 않는다. 또한, 논리 값을 운반하는 플로팅 게이트는 산화물의 배리어에 의해 고-K 층으로부터 분리되어, 전하가 플로팅 게이트의 논리 상태가 되돌리는 것을 방지한다.



[0059] 비트셀은 폭넓은 응용가능성을 갖는다. 예를 들어, 고가의 플래시 메모리의 대용으로 비트셀이 이용될 수도 있다. 플래시 메모리는 생성을 위해 표준 CMOS 논리 프로세스의 일부분이 아닌 다수의 추가 프로세스 단계들을 요구하고, 상당한 양의 열을 추가하기 때문에 고가이다. 대조적으로, 비트셀은 보다 적은 추가 단계들을 갖는 기존의 CMOS 논리 프로세스를 이용하여 구성될 수 있다. 또한, 비트셀에서의 차이들로 인해, 동일한 기관 상에서 플래시 유사 메모리를 구현하는데 이용되는 임의의 연관된 논리 디바이스들은, 예를 들어, 논리 디바이스에 고-K 층들을 포함하는, 보다 이로운 구성을 또한 가질 수 있다.

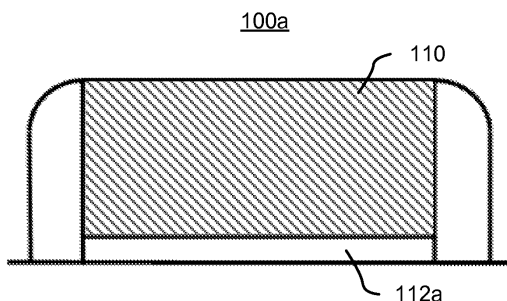
[0060] 플래시 메모리는 게이트 커패시턴스를 제어하기 위한 높은 양의 플로팅 게이트 (예를 들어, 70 % 커패시턴스)로 특징지어진다. 이러한 커패시턴스 중 많은 양이 플로팅 게이트의 측벽 상에 있으며, 이는 고 성능 고-K 금속 게이트 트랜지스터들과 쉽게 통합될 수 없는 높은 게이트 스택을 초래한다. 대조적으로, 본 설명의 비트셀들은 얇은 트렌치 분리부 위에 위치된 플로팅 게이트 및 제어 게이트의 표면 구역을 증가시킴으로서 플로팅 게이트 커패시턴스 (예를 들어, 70 % 보다 높거나 보다 낮음)에 대해 높은 양의 제어 게이트를 생성할 수 있다. 따라서, 본 비트셀들은 높은 게이트 스택을 제작하지 않으면서 플래시 유사 커패시턴스들을 달성할 수 있다.

[0061] 이러한 개시물을 읽을 시에, 본원에 개시된 원리들을 통해 여전히 추가적인 대안 구조 및 기능 설계들이 있음을 당업자들은 이해할 것이다. 따라서, 특정 구체예들 및 어플리케이션들이 예시되고 설명되었지만, 개시된 실시예들은 본원에 개시된 엄밀한 구성 및 컴포넌트들에 제한되지 않는다는 것이 이해될 것이다. 첨부된 청구항들에서 정의된 사상 및 범위를 벗어나지 않으면서 본원에 개시된 방법 및 장치의 배열, 동작, 및 세부사항들에, 당업자들에게 자명할 다양한 수정들, 변경들, 및 변형들이 이루어질 수도 있다.

## 도면

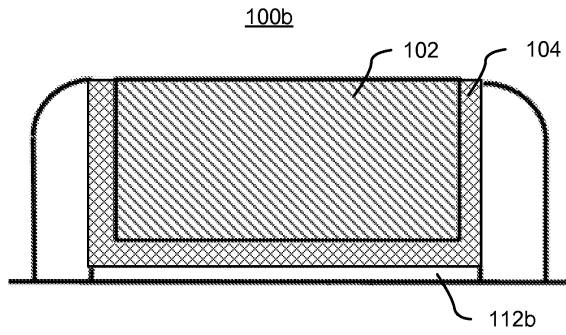
### 도면1a

## 종래 기술

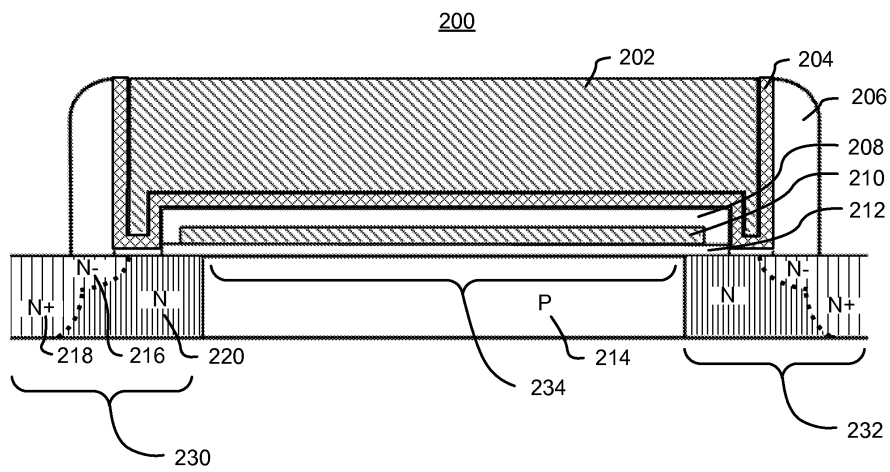


도면1b

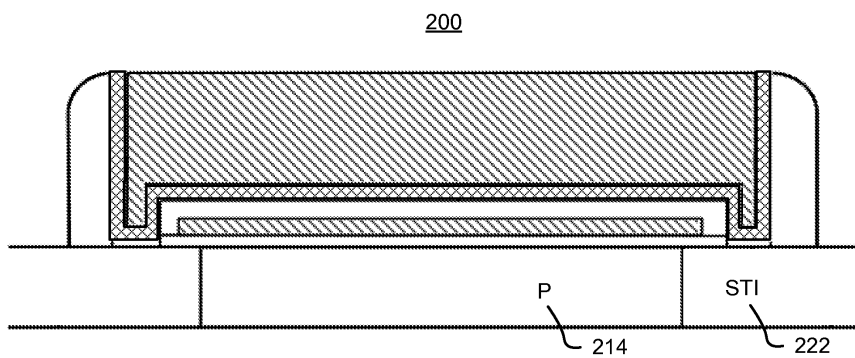
# 종래 기술



도면2a

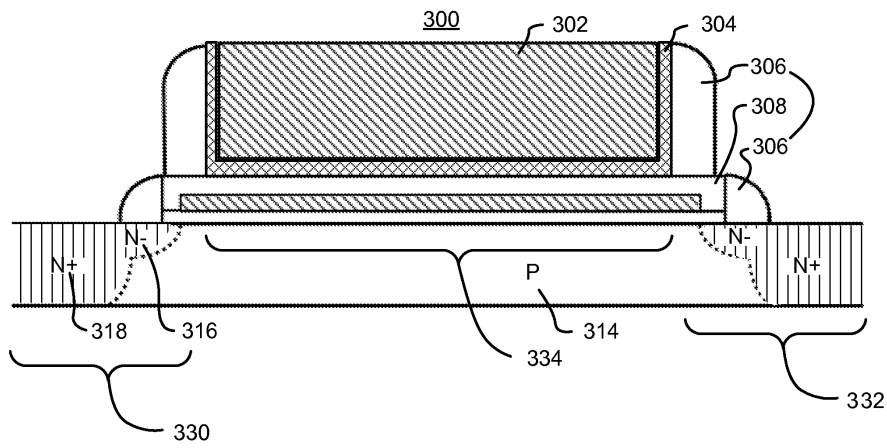


도면2b

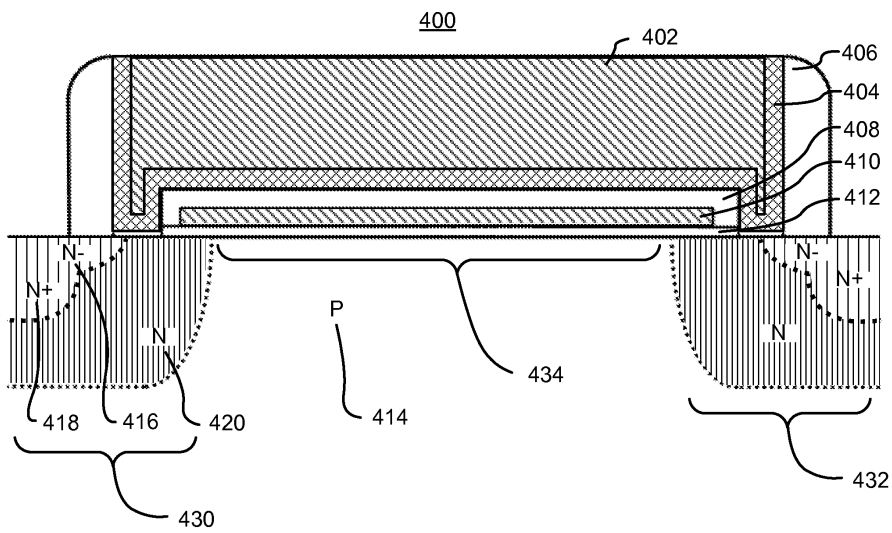




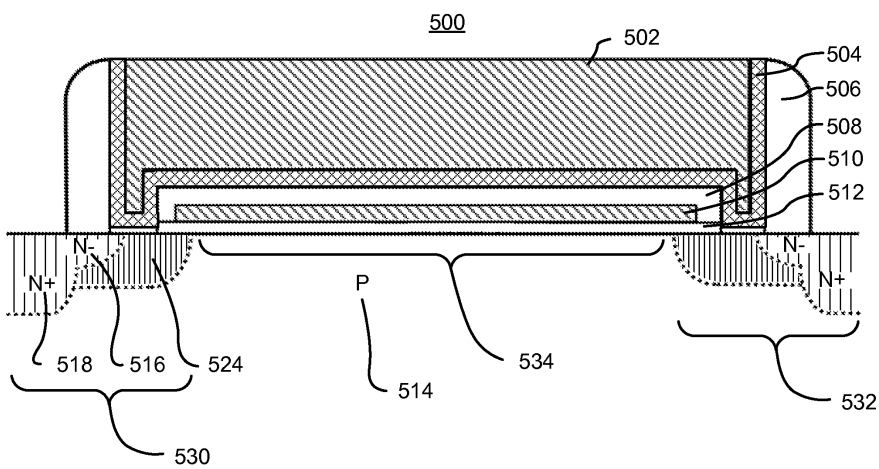
도면3



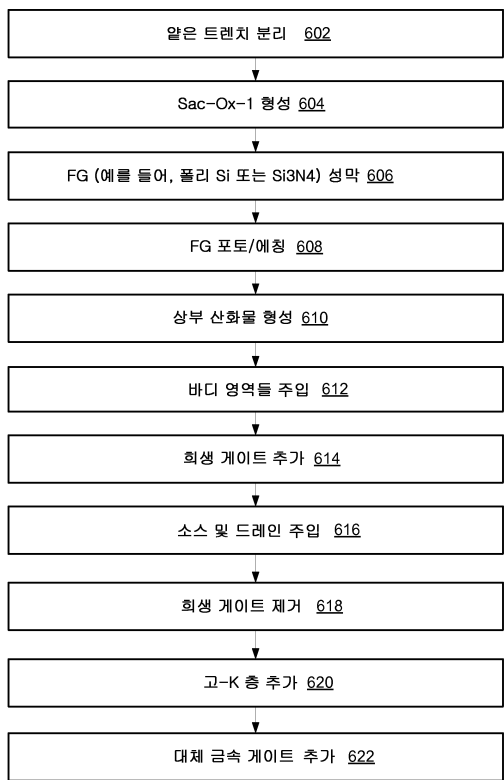
도면4



도면5



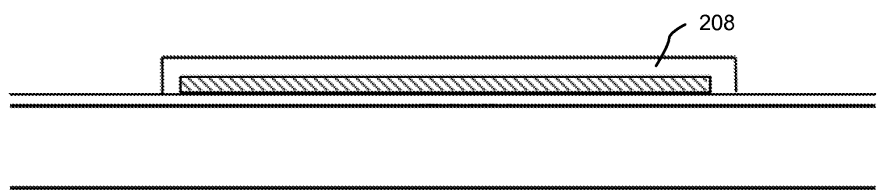
도면6



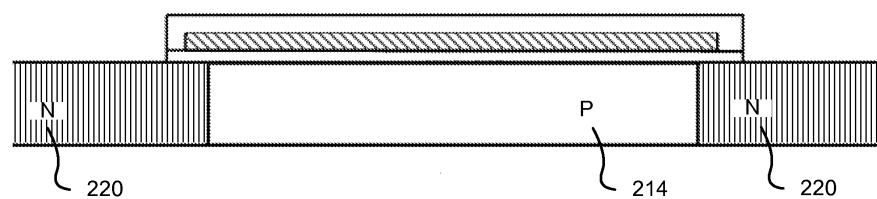
도면7a



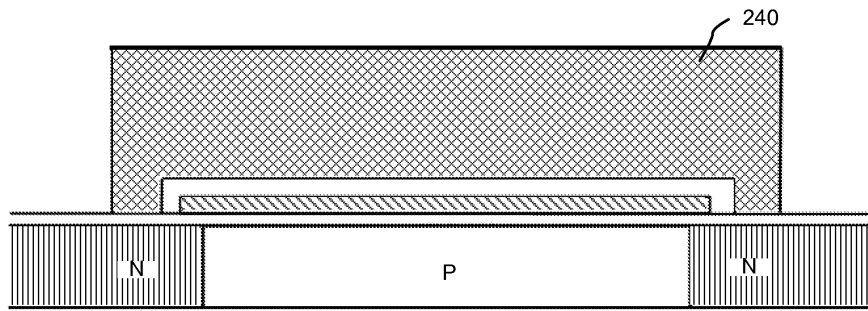
도면7b



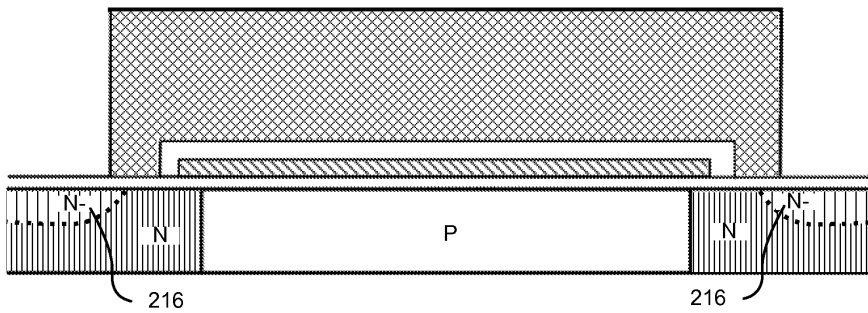
도면7c



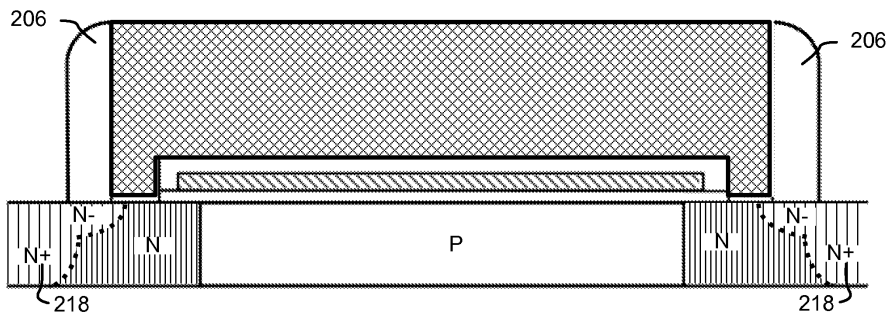
도면7d



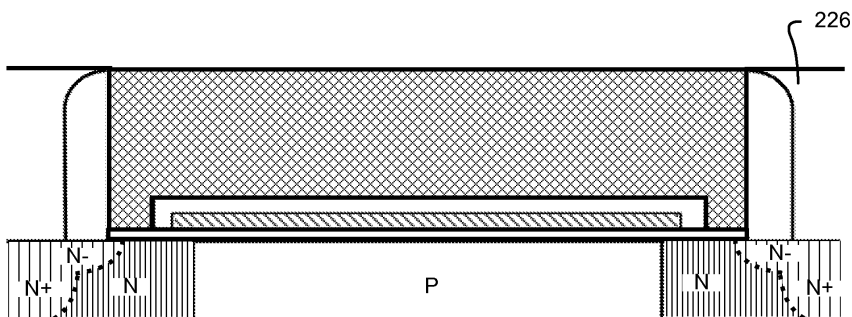
도면7e



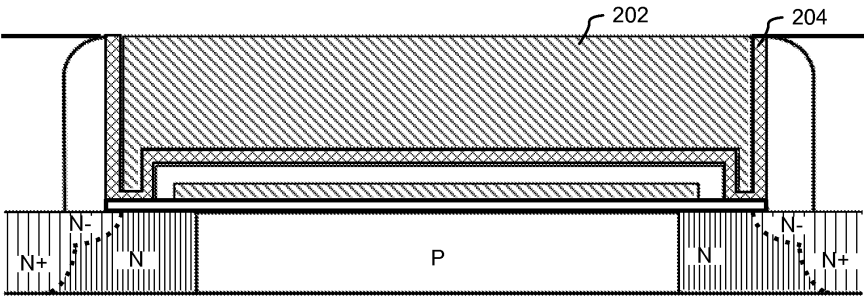
도면7f



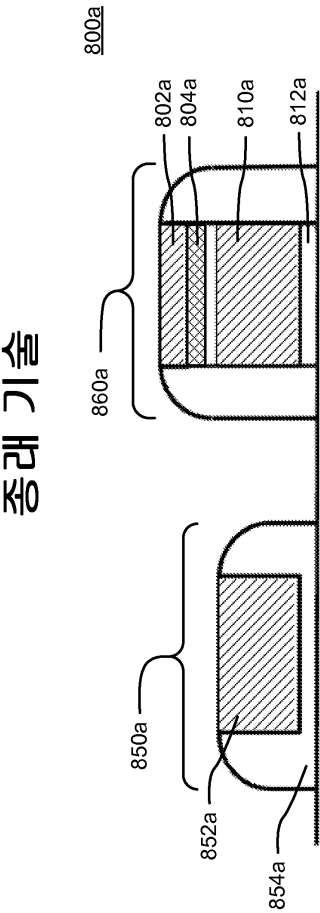
도면7g



도면7h



도면8a



종래 기술

도면 8b

