

發明專利說明書

200529228

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：93132384

※申請日期：93 年 10 月 26 日

※IPC 分類：

G11C¹¹/₃₄

一、發明名稱：

(中) 半導體積體電路

(英) Semiconductor integrated circuit

二、申請人：(共 1 人)

1. 姓 名：(中) 瑞薩科技股份有限公司

(英) RENESAS TECHNOLOGY CORP.

代表人：(中) 1. 伊藤達

(英)

地 址：(中) 日本國東京都千代田區丸之內二丁目四番一號

(英) 日本国東京都千代田区丸の内二丁目 4 番 1 号

國籍：(中英) 日本 JAPAN

三、發明人：(共 2 人)

1. 姓 名：(中) 布萊恩 阿特烏德

(英) ATWOOD, BRYAN

國 籍：(中) 美國

(英) U.S.A.

2. 姓 名：(中) 渡部隆夫

(英) WATANABE, TAKAO

國 籍：(中) 日本

(英) JAPAN

四、聲明事項：

◎本案申請前已向下列國家(地區)申請專利 ☐ 主張國際優先權：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

1. 日本 ; 2004/02/24 ; 2004-047508 ☒ 有主張優先權

發明專利說明書

200529228

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：93132384

※申請日期：93 年 10 月 26 日

※IPC 分類：

G11C¹¹/₃₄

一、發明名稱：

(中) 半導體積體電路

(英) Semiconductor integrated circuit

二、申請人：(共 1 人)

1. 姓 名：(中) 瑞薩科技股份有限公司

(英) RENESAS TECHNOLOGY CORP.

代表人：(中) 1. 伊藤達

(英)

地 址：(中) 日本國東京都千代田區丸之內二丁目四番一號

(英) 日本国東京都千代田区丸の内二丁目 4 番 1 号

國籍：(中英) 日本 JAPAN

三、發明人：(共 2 人)

1. 姓 名：(中) 布萊恩 阿特烏德

(英) ATWOOD, BRYAN

國 籍：(中) 美國

(英) U.S.A.

2. 姓 名：(中) 渡部隆夫

(英) WATANABE, TAKAO

國 籍：(中) 日本

(英) JAPAN

四、聲明事項：

◎本案申請前已向下列國家(地區)申請專利 ☐ 主張國際優先權：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

1. 日本 ; 2004/02/24 ; 2004-047508 ☒ 有主張優先權

(1)

九、發明說明

【發明所屬之技術領域】

本發明係關於半導體積體電路，特別是使用洩漏電流少之 3 電晶體型動態單元之半導體積體電路。

【先前技術】

3 電晶體型動態單元及使用其之半導體積體電路，很久以前即為眾所周知。與使用 6 個電晶體之靜態單元（以下，6T 單元）相比，元件數少之故，集成度高，與 1 電晶體型動態單元（1T 單元）不同，有讀出時之增益故，可高速動作為其特長。

關於 3 電晶體單元（以下，3T 單元）之文獻例，則有專利文獻 1。此發明係在 3T 單元之讀出時，藉由令積蓄 T_r 之源極由 0V 成為負電位，以謀求讀出動作之高速化的實現。

關於藉由使用通道極為薄之半導體，利用膜厚方向之量子力學性關閉效果，以降低洩漏電流之電晶體，則揭示在專利文獻 2。

[專利文獻 1]日本專利特開 2000-11642 號公報

[專利文獻 2]USP6576943

【發明內容】

在前述習知例中，雖然考慮到讀出動作之高速化，但是，關於待機時之消耗電力，則未考慮到。

3T 單元係被利用於活用其特徵之高集成性或高速性。因此，並未下工夫於消耗電力之降低，例如在攜帶機器等，要求消耗電力特別是待機電力低之領域則不適用。

在 3T 單元中，於讀出動作時，選擇電晶體成為導通狀態，積蓄電晶體流通與導通狀態或關閉狀態有相關之電流，在讀出位元線有電位變化出現。藉由檢測此而進行讀出動作。在待機時，全部的單元之選擇電晶體關閉故，不管積蓄電晶體之狀態，由讀出位元線流向蓄積電晶體之源極電極之電流幾乎被遮斷。

但是，選擇電晶體為 MOS 電晶體故，即使為關閉狀態，也存在微小之洩漏電流。記憶體之容量如大至數百萬位元，即使 1 個單元之洩漏電流小，合計之電流值也變得很大。本發明想要解決之課題，即是在 3T 單元中待機時所流通之洩漏電流的降低。

[解決課題用手段]

如簡單說明在本申請案所揭示發明中之代表性者的概要，則如下述：

連接複數之 3 電晶體記憶體單元之積蓄電晶體的源極，在前述源極與電源之間設置開關手段。動作時，令前述開關手段導通，令積蓄電晶體之源極偏壓為所期望之電壓值。另一方面，在待機時，藉由關閉前述開關手段，以遮斷流經記憶體單元之洩漏電流路徑。

進而，3 電晶體記憶體單元之寫入電晶體係使用以通

道領域之膜厚 5 nm 程度以下之膜所形成的電晶體。

[發明之效果]

在本發明中，於包含以 3 電晶體記憶體單元所構成之記憶體之半導體積體電路中，可大幅降低其之待機狀態的電力。

【實施方式】

以下，利用圖面，說明本發營之實施例。

第 1 圖係顯示基於使用 3T 單元 MC 所構成之本發明的記憶體之基本構造圖。第 2 圖係顯示 3T 單元 MC 之電路構造。

如第 2 圖所示般，本單元 MC 係以選擇電晶體 MR1、積蓄電晶體 MR2、寫入電晶體 MW 之 3 個電晶體所構成，記憶體單元之寫入電晶體 MW 的閘極係連接於寫入字元線 WWL，寫入電晶體 MW 之源極、汲極之一方係連接於寫入位元線 WBL，選擇電晶體 MR1 之閘極係連接於讀出字元線 RWL，選擇電晶體 MR1 之源極、汲極之一方係連接於讀出位元線 RBL，寫入電晶體 MW 之源極、汲極之另一方係與積蓄電晶體 MR2 之閘極連接，積蓄電晶體 MR2 之汲極係與選擇電晶體 MR1 之源極、汲極之另一方連接。記憶體單元所使用之電晶體都是 N 通道型電晶體。第 1 圖中，只顯示記憶體陣列的構造即接近記憶體陣列之周邊電路。更新控制電路、控制脈衝產生電路等予以省略。另

(4)

外，此處，雖顯示記憶體之構造，本發明可以適用於作為單體之記憶體而動作之半導體積體電路，在記憶體之外，當然也可以適用於搭載微處理器或邏輯電路等之半導體積體電路。

第 1 圖中，3T 單元 MC 係 2 維配置，讀出字元線 RWL、寫入字元線 WWL、讀出位元線 RBL、寫入位元線 WBL 係相連接。另外，與複數之寫入位元線與複數之寫入字元線連接之複數的記憶體單元之積蓄電晶體 MR2 的源極 S2 係藉由共通配線而連接於洩漏遮斷電路 LC。

寫入、讀出字元線係藉由 X 解碼器 XDEC、X 驅動器 WDRV 所選擇控制，延伸在第 1 方向。讀出位元線與寫入位元線係延伸在與第 1 方向交叉之第 2 方向。另外，將寫入位元線驅動為因應寫入資訊之電位的寫入放大器 WA、檢測放大讀出於讀出位元線之訊號的感測放大器 SA 係由 Y 解碼器即輸入輸出電路 IO 所控制。關於本實施例之讀出寫入動作，由於與通常的記憶體為相同之控制故，省略說明，針對洩漏遮斷做敘述。

在第 1 圖之實施例中，源極 S2 係連接於洩漏遮斷電路。因此，例如在動作時間，令洩漏遮斷電路成為低阻抗狀態，將 S2 之電位固定為接地電位，在待機時，令 LC 變成高阻抗狀態，以令 S2 成為浮置狀態，藉此可以有效地遮斷全部記憶體單元之洩漏電流。另外，由第 2 圖可以明白，積蓄電晶體 MR2 之源極 S2 即使成為浮置狀態，記憶資訊也可在記憶於閘極電容下加以保持。

第 3 圖係顯示洩漏遮斷電路 LC 之具體的實施例。第 3 圖係使用 N 通道型 MOS 電晶體 MSW 作為洩漏遮斷電路 LC。將 3T 單元之源極 S2 連接於電晶體 MSW 之汲極，將 MSW 之源極電位連接於接地電位。藉此，藉由切換 MSW 之閘極 GSW 之電位，可以控制洩漏遮斷電路 LC 之阻抗。第 4 圖係顯示第 3 圖之實施例的閘極 GSW 之電位控制方法。第 1 圖之記憶體在動作狀態 ACT 之情形，將 GSW 驅動為高電位，在待機狀態 ST 時，將 GSW 驅動為低電位。藉此，在動作狀態中，S2 成為接地電位故，變成可以進行 3T 單元之讀出動作，在待機狀態中，S2 成為浮置狀態故，可以有效地遮斷流過 3T 單元之源極 S2 的洩漏電流。電晶體 MSW 之大小係因應在讀出時同時所選擇之 3T 單元的數目，決定為在讀出時可以獲得足夠之電流。如依據第 3、4 圖所示之實施例，藉由以 MOS 電晶體所構成之簡單的開關，可以有效地遮斷 3T 單元之洩漏電流。另外，3T 單元係動態單元故，即使在待機時，也需要更新動作。3T 單元之更新係藉由由單元讀出資訊，再度予以寫入而進行。因此，即使在待機時，於進行更新動作之情形，也令前述洩漏遮斷電路 LC 成為低阻抗狀態以進行更新。因此，更新之間雖有洩漏電流流通，但是，其期間短之故，不會損及待機電流削減效果。另外，在前述中，雖只在待機時遮斷洩漏電流，但是，也可以因應需要而在寫入動作時加以遮斷。在該情形下，記憶體在動作狀態時之電力降低成為可能。

第 5 圖係洩漏遮斷電路 LC 之別的實施例，第 6 圖之顯示其動作之實施例。在第 4 圖之實施例中，藉由令源極 S2 成為浮置狀態，以遮斷洩漏電流，但是，在第 5 圖之實施例中，藉由設為固定電位，以遮斷洩漏電流。具體為，如第 6 圖之實施例所示般，在動作時，藉由設閘極 GSW 成為高電位，令 N 通道型電晶體 MSW1 成為導通狀態，令 P 通道型電晶體 MSW2 成為關閉狀態，以將 S2 保持為接地電位。另外，在待機時，藉由設 GSW 成為低電位，令 MSW1 成為關閉狀態，MSW2 成為導通狀態，將 S2 之電位保持在與讀出位元線的預先充電電壓相等之電位 VBP。流經 S2 之洩漏電流的主成分係由被預先充電為高電位之都位元線 RBL 通過積蓄電晶體 MR2 之閘極為高電位狀態之單元而流通之副臨界電流。因此，如將源極 S2 保持在與讀出位元線 RBL 之預先充電電壓相同之電壓，則可以遮斷洩漏電流。在前述說明之第 5 圖的實施例中，構成洩漏遮斷電路 LC 之電晶體數雖然增加，但是，將 S2 控制為固定電位故，與設為浮置狀態之情形相比，在 S2 之電位由於耦合等之影響而變動，洩漏電流有增加之顧慮的情形下有效。

在前述之實施例中，說明藉由控制積蓄電晶體 MR2 之源極 S2，以遮斷洩漏電流之實施例。接著，利用第 7 圖與第 8 圖，說明藉由讀出位元線之預先充電電路的控制以削減洩漏之實施例。第 7 圖係讀出位元線之預先充電電路之實施例，於連接有複數之記憶體單元 MC 之讀出位元

線 RBL 連接預先充電用之 p 通道型電晶體 MPR。如將閘極 GPR 設為低電位，則電晶體 MPR 導通，讀出位元線被預先充電為電極 SPR 之電位。第 8 (a)、(b) 圖係說明第 7 圖之電路的動作之時序圖的實施例。第 8 (a) 圖係藉由與源極 S2 之控制的實施例之第 3、4 圖之實施例組合，以提高洩漏電流之遮斷效果的實施例，第 8 (h) 圖係不使用源極側之電流開關，在預先充電電路側遮斷洩漏電流之實施例。

首先，說明第 8 (a) 圖之實施例。在動作時 ACT，於讀出動作 READ 時，除了讀出來自記憶體單元之訊號的期間，設 MPR 之閘極 GPR 為低電位，令電晶體 MPR 導通。藉此，讀出位元線 RBL 被充電為與 MPR 之源極電位 SPR 相同的高電位。另一方面，在待機時 ST，設 MPR 之閘極 GPR 成為高電位，令 MPR 關閉。進而，併用第 3、4 圖之實施例故，在待機時，設置在源極 S2 之電晶體 MSW 也關閉。此結果為，洩漏電流被遮斷。如依據本實施例，源極 S2 側與預先充電電路側之兩方的電晶體關閉故，與關閉單方之電晶體的情形相比，洩漏電流之遮斷效果變高。

接著，說明第 8 (b) 圖之動作。依據記憶體單元之佈置或構造或可以使用之配線數，S2 之配線有變得困難之情形。另外，依據記憶體單元陣列之佈置等，設置於源極 S2 之開關電晶體或其控制電路的面積、電力的額外負擔會有變成問題之情形。在該種情形下，此實施例為有效

。如第 8 (b) 圖所示般，在動作時 ACT，於讀出動作 READ 時，除了讀出來自單元之訊號的期間，令 MPR 之閘極 GPR 為低電位，令電晶體 MPR 導通。另外，在待機時，同樣令 GPR 為低電位，令電晶體 MPR 導通。藉此，讀出位元線 RBL 被預先充電。動作時 ACT，SPR 之電位成為高電位 VBP，讀出位元線 RBL 被預先充電為高電位 VBP。另一方面，在待機時，SPR 之電位被控制為接地電位 GND 故，讀出位元線放電至接近電晶體 MPR 之臨界值電壓的絕對值之電位，之後，以 MPR 之洩漏電流或對於接地之源極 S2 之洩漏電流而逐漸接近接地電位，洩漏電流被遮斷。如此依據本實施例，即使不在積蓄電晶體 MR2 之源極 S2 設置開關電晶體，待機時，也不會有洩漏電流經常由讀出位元線 RBL 流通。另外，在第 8 (b) 圖中，雖將預先充電電路的源極 SPR 之電位於待機時設為接地電位，但是，基於電極 SPR 之配線電容大等之理由，有時也有驅動 SPR 之電位的電路的額外負擔成為問題之情形。在該種情形下，SPR 之電位，在動作時、待機時都同樣設為高電位，在待機時，將預先充電用之電晶體 MPR 之閘極 GPR 之電位設為高電位之方法為有效。如此一來，待機時，電晶體 MPR 關閉故，由電極 SPR 來的電流幾乎不會流通。在待機時，讀出字元線 RWL 為低電位，記憶體單元之電晶體 MR1 也關閉。因此，即使 SPR 為高電位，對於 S2 之洩漏電流也被遮斷。此方法也不需要電極 SPR 之驅動電路故，具有面積或電力之額外負擔少

之特長。另外，關於此方法之動作，由前述之說明可以容易明白故，省略時序圖。如前述般，藉由在位元線預先充電電路側下工夫，可以遮斷洩漏電流。另外，在前述第 8 (a)、(b) 圖之實施例中，在待機時之更新動作時，進行讀出動作故，當然需要將讀出位元線 RBL 預先充電為必要之電位。另外，依據感測放大器等之構造，雖也有產生新的洩漏電流之路徑的可能性，但是，在該種情形下，適當地設置洩漏電流遮斷用之開關，在待機時，令其成為關閉狀態，將成為洩漏之原因的電極之電位控制為待機時，藉此，與前述相同，不用說也可以遮斷洩漏電流。

以上，敘述了遮斷 3T 單元之洩漏電流的方法。如依據這些實施例，可以大幅削減待機時之消耗電流，可將使用 3T 單元之記憶體活用於目前為止無法適用之低電力領域。

且說，如前述般，3T 單元為動態單元之一種，必須要更新動作。因此，待機時之消耗電力在單元的洩漏電流以外，也消耗更新所伴隨之電流。在 3T 單元中，保持資訊之積蓄電晶體 MR2 的閘極電容小故，一般保持特性不好。因此，需要頻繁地進行更新，會有無法忽視為此之電力的情形。在此情形，減少來自積蓄電容的洩漏電流故，作為積蓄電晶體 MR2 之絕緣膜係使用閘極電流可忽視之材料，或者可令絕緣膜厚充分變厚。例如，使用 4.5 nm 程度以上之氧化膜有效。在此情形下，如於電晶體 MR1、MR2 設為共通之絕緣膜厚，則面積或製造製程之額外

負擔可變少。進而，爲了令來自寫入電晶體之洩漏電流變小，使用如第 9 (a) 、 (b) 圖所示之通道的膜厚爲 5 nm 以下之非常薄的多晶矽 TFT (薄膜電晶體) 電晶體爲有效。

在第 9 (a) 圖所示之實施例中，將電晶體 MW 平面地形承載形成於半導體基板 SUB 內之元件分離領域 ISO 之上。在本實施例中，CH 係以厚度 5 nm 程度以下之薄膜多晶矽形成的通道部，如之後敘述般，藉此，可令洩漏電流變得非常小，可以提升保持特性。OX 爲絕緣膜，WWL 爲成爲寫入字元線之電晶體 MW 的閘極，WBL 爲成爲寫入位元線之源極，SN 爲積蓄電極，相當於電晶體 MW 之汲極。在本實施例中，電晶體 MW 係與通常的電晶體相同，平面性地形成在基板上。因此，在形成有電晶體 MW 處與沒有形成處，沒有大的段差。因此，具有連接電晶體 MW 與通常之電晶體用的配線、接觸等之工程變得容易之優點。

第 9 (b) 圖所示的，是在改善保持特性後，進而爲了高集成地實現 3T 單元所合適之實施例，在前述平面型之構造中，面積的增加成爲問題之情形下特別有效。本實施例係形成在開孔於 3T 單元之積蓄電晶體 MR2 的閘極上之孔的內部具有縱型之構造的電晶體 MW。CH 爲電晶體 MW 之通道部，藉由具有 5 nm 程度以下之厚度的多晶矽等之薄膜所形成。電晶體 MW 之閘極爲圓筒狀，其周圍以氧化膜 OX 與通道部 CH 所包圍。WBL 係相當於寫入位元

線之部份。電晶體 MW 之源極、汲極領域之一方 (SN) 係成為電晶體 MW2 之閘極，控制介由閘極氧化膜 (OX) 而流經形成在半導體基板 (SUB) 內之半導體領域 (S2、D2) 間之電流。

在第 9 (a)、(b) 圖之任何一種情形中，相當於閘極之 WWL 的電位一成為高電位，則通道部 CH 導通，一成為低電位，則成為非導通狀態。通道 CH 之厚度非常薄至 5 nm 程度以下故，關閉時之洩漏電流與通常之電晶體相比，可以極端地小。相對於通常之電晶體之關閉時的洩漏電流為 10^{-10} 至 10^{-12} 安培之程度，如本實施例般，在通道 5 nm 程度以下之薄膜電晶體中，膜厚方向之量子力學性關閉效果故，可以使洩漏電流成為 10^{-19} 之程度。關於具有此種構造之薄膜通道的場效型電晶體，例如題為半導體元件即半導體積體電路之發明，則記載於專利文獻 2。如依據本實施例，電晶體 MW 的洩漏電流非常小之故，可以長時間保持積蓄接點 SN 所保持之資訊。可以積蓄在相當於 SN 之閘極的電荷量大約為 10^{-15} C (庫倫) 之等級故，如假定 MW 的洩漏電流為 10^{-19} ，則洩漏至 10% 的電荷之時間大約為 1000 秒。如電晶體 MW 的洩漏電流的偏差或高溫之動作，設計上之保證值雖有必要考慮設定為更小值之情形，總之，在降低待機電流上，可以期待充分之效果。因此，藉由在先前所述之 3T 單元併用洩漏電流降低用之實施例，可以實現包含待機電流非常少之記憶體之半導體積體

電路。

以下，針對至目前為止所述之實施例的變形實施例，或實施例的詳細動作，進而在使用如第 2 圖之記憶體單元之記憶體有效，且與目前為止所述之實施例組合，實施例的效果更為提升之實施例。

第 10 圖係將積蓄電晶體之源極 S2 的配線與位元線平行配置之實施例。在第 1 圖之實施例中，雖將 S2 以與讀出字元線平行之配線延長於陣列之外，而連接於洩漏遮斷電路，但是，在本實施例中，在設為與讀出位元線平行之配線外，連接於由設置在個讀出位元線之洩漏遮斷電路 LC-1 至 LC-n。一般，在存取記憶體陣列時，讀出字元線只選擇 1 條。因此，在如本實施例之構造中，洩漏遮斷電路 LCi (i 由 1 至 n) 只要能供給 1 個之記憶體單元的讀出電流即可。因此，可使構成 LCi 之開關電路的規模變小。因此，依據情形可使包含至控制 LCi 之周邊電路之記憶體電路整體的面積變小。在第 1 圖之實施例中，雖可將洩漏遮斷電路分個配置於個字元線，但是，在本實施例中，進而具有如下之效果。第 2 圖之 3 電晶體單元即使選擇讀出字元線，使電晶體 MR1 導通，積蓄在 MR2 之閘極的資訊也不會被破壞。即非破壞讀出成為可能。因此，在本實施例中，在所被選擇的讀出字元線上之記憶體單元中，可只使連接於想要讀出資訊之單元的洩漏遮斷電路活化。此種控制如使用 Y 解碼器之訊號，可以容易地實現。此結果為，如依據本實施例，讀出時之洩漏電流也可以限制

為最小限度。

接著，使用第 11 圖、第 12 圖、第 13 圖，說明關於第 3 圖、第 5 圖、第 7 圖所示之洩漏遮斷的實施例之動作。關於原理性之動作，已經在第 4 圖、第 6 圖、第 8 圖中說明，此處，對應記憶體的动作狀態而說明。在第 11 圖、第 12 圖、第 13 圖中，將記憶體的動作模式顯示為 Active（動作狀態）、Standby（待機狀態）、Refresh（更新狀態）。在顯示第 3 圖、第 5 圖、第 7 圖之基本動作的第 4 圖、第 6 圖、第 8 圖中，雖也說明寫入動作，此處，為了簡化故，只顯示讀出動作。另外，第 13（a）、（b）圖分別為對應第 8（a）、（b）圖之實施例。此處，更新雖在待機狀態之間進行，但是，當然也可因應需要而在動作狀態之間進行。在第 11 圖、第 12 圖、第 13 圖中，RFCLK 係顯示進行伴隨更新動作之讀出、寫入用之更新控制時鐘脈衝。在第 3 圖之記憶體單元的更新上，雖需要再度寫入讀出之資訊，但是，為了簡化，在第 13（a）、（b）圖中，只顯示讀出位元線的波形。另外，在第 3 圖之記憶體單元中，讀出用與寫入用之位元線係被分開故，可以高速地進行更新動作。另外，此處，雖將訊號的電位位準假定為 0V 至 1V 而顯示，但是，當然不限定於此。另外，S2 在浮置狀態之情形的電位雖設為 0.3V，此也是一個例子而已，當然依據電路構造或電晶體常數，並不限定為變成 0.3V。

首先，使用第 11 圖說明第 3 圖之動作。記憶體一在

動作狀態之情形，於更新中，閘極 GSW 之電位變成 1V，第 3 圖之電晶體 MSW 導通，藉此，積蓄電晶體之源極 S2 成為 0V。此結果為，記憶體單元之讀出動作成為可能。另外，在更新狀態中，藉由更新控制時鐘脈衝 RFCLK 之輸入，由記憶體單元讀出資訊，再度反轉寫入，藉此進行 3 電晶體之更新。另一方面，在待機狀態中，GSW 成為 0V，第 3 圖之電晶體 MSW 關閉。此結果為，積蓄電晶體之源極 S2 成為浮置狀態，通過積蓄電晶體所流通之洩漏電流被遮斷。此結果為，可以降低待機狀態之消耗電流。

接著，使用第 12 圖，令第 5 圖之動作與記憶體的狀態相對應而做說明。在動作狀態與更新動作狀態上，藉由使閘極 GSW 成為 1V，使電晶體 MSW1 成為導通狀態，MSW2 成為關閉狀態。藉此，與第 11 圖之實施例相同，將 S2 保持為接地電位。另一方面，在待機時，藉由使 GSW 成為低電位，使 MSW1 成為關閉狀態，MSW2 成為導通狀態，將 S2 的電位保持為與讀出位元線之預先充電電壓相等之電位 VBP。如在第 5 圖之說明所記載的，流經 S2 之洩漏電流的主成分，係由預先充電為高電位之讀出位元線 RBL 通過積蓄電晶體 MR2 之閘極電壓為高電位狀態之單元而流通之負臨界電流。因此，如將源極 S2 保持在與讀出位元線 RBL 之預先充電電壓相同之電壓，則可以遮斷洩漏電流。

在第 11 圖之實施例中，與第 12 圖比較，由待機狀態移往動作狀態時之 S2 的電位變動小之故，在速度方面，

會有變得較為有利之情形。另一方面，在使 S2 成為浮置狀態之情形，依據位於同一晶片上之邏輯電路動作之情形的雜訊等，也有 S2 的電位變動，未預期之洩漏電流通過之情形。在有該種顧慮之情形，可以使用將 S2 設為固定電位之第 5 圖與第 12 圖之實施例。

最後，使用第 13 圖，使第 7 圖的動作與記憶體的状态相對應而做說明。作為第 7 圖之實施例的動作方法，先顯示第 8 (a) 圖與 (b) 圖之 2 個實施例。此處，將對應第 8 (a) 圖之實施例顯示於第 13 (a) 圖，將對應第 8 (b) 圖之實施例顯示於第 13 (b) 圖。在第 13 (a) 圖之實施例中，將第 7 圖之電晶體 MPR 的源極 SPR 的電位設定為高電位（此處，為 1V）。MPR 的閘極 GPR 的電位，在動作時 Active 中的讀出動作或更新動作 Refresh 中的讀出動作中，於讀出位元線讀出記憶體單元之資訊時，當然設為 1V，但是，在此以外，即使在待機時 Standby 中，也設為 1V。藉此，在待機時，預先充電用之電晶體 MPR 成為關閉狀態。另外，在待機狀態中，設置於源極 S2 之第 3 圖的電晶體 MSW 的閘極 GSW 成為 0V，MSW 關閉。藉此，如第 8 (a) 圖所說明的，可以有效地遮斷洩漏電流。待機時，讀出位元線、源極 S2 都成為浮置狀態故，如第 13 (a) 圖所示般，兩者的電位逐漸接近（圖中，作為一例係設為 0.3V）。如此，依據本實施例，併用源極 S2 側與預先充電電路側之電晶體以遮斷洩漏故，變成可以有效地降低待機電流。

另外，在讀出動作時，讀出位元線之電位係藉由積蓄在記憶體單元之資訊而由預先充電電位變動。記憶體單元之積蓄節點的電位如為高電位，則降低，如為低電位，則不降低。在第 13 (a)、(b) 圖中，顯示每一讀出便降低之例子。另外，雖將讀出位元線 RBL 降低之情形的電位假定為 0.7V，此係一例而已，依據感測放大器等之設計，當然並不限定於此。

在第 13 (b) 圖之實施例中，於記憶體為動作狀態或更新狀態時，將第 7 圖之電晶體 MPR 的源極 SPR 之電位設定在 1V，在待機狀態時，設定為 0V。藉此，依據電晶體 MPR 之閘極 GPR 成為 0V，所設定的讀出位元線 RBL 之預先充電電位，在動作狀態、更新狀態中成為 1V 之高電位。另一方面，在待機狀態時，閘極 GPR 成為 0V 即源極電位 SPR 為 0V 故，讀出位元線之電位降低，p 通道型電晶體 MPR 之臨界值電壓的絕對值 V_{tp} 之位準降低，之後，朝向 0V 而慢慢降低。如此，讀出位元線 RBL 的電位幾乎一成為 0V 時，由讀出位元線 RBL 流向記憶體單元之積蓄電晶體的源極之洩漏被遮斷。如此，如依據本實施例，藉由在預先充電電路側下工夫，可以遮斷洩漏故，可以適用於記憶體單元之積蓄電晶體的源極電位之配線因某種不當而有困難之情形。另外，在前述所述之外，如第 8 圖之說明所附隨記載般，SPR 之電位雖保持為高電位，但是，在待機時，令預先充電用之電晶體 PMR 關閉，不進行預先充電之方法亦屬有效；另外，在 MPR 之源極進而設

置開關，以該開關遮斷洩漏等各種變形當然也可以，但是，如參考目前為止之實施例，構造簡單故，其說明予以省略。

目前為止，以待機狀態之洩漏電流的遮斷方法為中心而說明了實施例。接著，針對讀出動作所必要之參照電壓的產生方法之實施例做說明。本發明雖然主要以 3 電晶體單元為前提，但是，此形式之單元係讀出位元線為 1 條故，在使用一般的差動型之感測放大器以進行讀出動作時，需要產生參照電壓之電路。在讀出時，為了不令感測放大器產生誤動作，參照電壓必須為所選擇單元之內容為 0 之情形，出現在讀出位元線之訊號電壓，以及 1 之情形的訊號電壓之間的電壓。差動型之感測放大器通常可以檢測數 10 mV 至數 100 mV 之訊號故，在產生參照電壓之電路上，需要抑制產生電壓的偏差之工夫。以下，使用第 14 圖至第 17 圖，顯示高精度地產生參照電壓所適合實施例。

第 14 圖係顯示產生參照電壓之電路的原理的實施例。使用此圖說明動作原理，使用第 15 圖至第 16 圖，具體顯示適合於記憶體陣列之方法。另外，此處所述之參照電壓的產生方法當然可以與目前為止所述之洩漏電流遮斷用的實施例，或寫入電晶體使用通道薄之電晶體之實施例等適當地組合使用，但是，單獨與 3 電晶體型之記憶體單元等組合使用，也是高精度之參照電壓的有效之產生方法。

第 14 (a) 圖中，DMC-H、DMC-L 係 1 訊號產生虛擬單元與 0 訊號產生虛擬單元。這些虛擬單元之佈置及

構成虛擬單元之電晶體 MR1、MR2、MW 之尺寸常數係儘可能設為與記憶體單元者相同。另外，連接於讀出位元線 RBL1、RBL2 及連接於未圖示出之感測放大器之讀出位元線之記憶體單元 MC 之數目設為相等，設連接於感測放大器之位元線的電容相等。於讀出位元線 RBL1、RBL2 雖分別連接複數之記憶體單元與差動型之感測放大器等，在第 14 圖中，予以省略。

使用第 14 (b) 圖說明動作。首先，藉由提升虛擬寫入字元線 DWWL，進行虛擬單元之更新 D-REF。由第 14 (a) 圖可以明白，一提升虛擬寫入字元線 DWWL，虛擬單元內之寫入電晶體 MW 變成導通狀態，於 1 訊號產生虛擬單元 MC-H 寫入高電壓 VDH，於 0 訊號產生虛擬單元 DMC-L 寫入低電位 VDL。虛擬單元係具有與記憶體單元同樣的常數故，以與記憶體單元相同之週期進行更新。接著，說明進行參照訊號之產生的虛擬單元之讀出動作 D-READ。如第 14 (b) 圖所示般，將虛擬控制訊號 DCTL 提升為高電位。此結果為，電晶體 MD1、MD2 成為導通狀態，讀出位元線 RBL1、RBL2 被短路，藉由從保持在高電位之電晶體 MPR 之源極 SPR 之電流，成為相同電位。此處，SPR 之電位，即預先充電電位高之情形，雖也有電晶體 MD1、MD2 沒有充分導通之情形，但是，在該情形下，將 DCTL 之電位昇壓為比 SPR 高的電壓，或者使用 P 通道型電晶體即可。在使用 P 通道型電晶體之情形，當然要反轉訊號 DCTL 之電位關係。接著，令預先充電讀出位

元線用之電晶體 MPR 的閘極 GPR 成為高電位，使電晶體 MPR 成為關閉狀態，將虛擬讀出字元線 DRWL 提升為高電位。此結果為，被短路之讀出位元線 RBL1、RBL2 同時被以來自 2 個虛擬單元 DMC-H、DMC-L 之讀出電流所驅動。如前述般，這些虛擬單元係與記憶體單元 MC 為相同的尺寸常數、佈置形狀。因此，1 訊號產生虛擬單元 DMC-H 之讀出電流幾乎與從記憶 1 之記憶體單元 MC 的電流相等，0 訊號產生虛擬單元 DMC-L 之讀出電流幾乎與從記憶 0 之記憶體單元 MC 之電流相等。進而，如前述般，讀出位元線 RBL1、RBL2 之電容係設計為與連接在未圖示出之感測放大器的一方之輸入的讀出位元線相同故，讀出位元線 RBL1、RBL2 所產生之電位，即參照電位係成為讀出 1 之情形的讀出位元線電位 SIG1 與讀出 0 之情形的讀出位元線電位 SIG0 之中間電位。在本實施例中，虛擬單元係使用與記憶體單元 MC 為相同尺寸常數及同一佈置形狀者之故，即使由於電晶體的製造製程的偏差等，使用本實施例之晶片上的記憶體單元 MC 之特性產生偏差，虛擬單元之讀出訊號也同樣偏差故，可以期待非常穩定之讀出動作。

第 15 圖係依據前述實施例之原理所構成之記憶體單元陣列的實施例。MC 係目前為止以實施例所說明之 3 電晶體型之記憶體單元。另外，為了避免圖面變得反雜，寫入字元線或寫入位元線、寫入電晶體的源極 S2 之配線、洩漏遮斷電路 LC、解碼器、輸入輸出電路、讀出位元線

之預先充電用之電路等雖予以省略，但是，這些如參照目前為止所說明之實施例，可以容易地構成。另外，關於虛擬單元，也與記憶體單元相同，當然可以使用洩漏電流遮斷之手段。第 15 圖中，夾住讀出用之感測放大器 RSA1、RSA2、… RSA_n 而在圖面之上與下構成記憶體陣列。為了區別上陣列與下陣列故，在記憶體單元 MC 以外加上字尾 a 與 b。另外，DMC-La、DMC-Lb 係第 14 圖之實施例所說明之 0 訊號產生虛擬單元，DMC-Ha、DMC-Hb 係第 14 圖之實施例所說明之 1 訊號產生虛擬單元。如第所示般，這些虛擬單元係 0 訊號產生虛擬單元與 1 訊號產生虛擬單元交互排列配置於相鄰之位元線。即在各記憶體陣列中，各有 $n/2$ 個（ n 為讀出位元線之數目）之 0 訊號產生虛擬單元與 1 訊號產生虛擬單元。

以下，說明本實施例之讀出動作。

在本實施例中，對於感測放大器，於選擇圖面上位於上側之記憶體單元時，令位於圖面下側之虛擬單元 DMC-Lb、DMC-Hb 動作，產生參照電壓，於選擇圖面上位於下側之記憶體單元時，令位於圖面上側之虛擬單元 DMC-La、DMC-Ha 動作而產生參照電壓。舉其一例而說明選擇連接於讀出字元線 RWL-a1 之記憶體單元 MC 之情形。基本動作係以第 14 (b) 圖所示之步驟進行。首先，讀出位元線之預先充電用之電晶體 MPR（第 15 圖中未圖示出）成為導通狀態時，提升虛擬控制訊號 DCTL-b，使讀出位元線 RBL-b1、…、RBL-b_n 短路。接著，

使未圖示出之預先充電用之電晶體 MPR 成為關閉狀態後，選擇讀出字元線 $RWL - a1$ 與虛擬讀出字元線 $DRWL - b$ ，提升為高電位。此結果為，在圖上側之記憶體單元陣列的讀出位元線 $RBL - a1$ 、 $\dots$ $RBL - an$ ，依據記憶在連接於個別之讀出位元線之記憶體單元的資訊而出現電位變化。記憶體單元之資訊為 1 之情形，變成第 14 (b) 圖之 $SIG1$ ，在 0 之情形，變成 $SIG0$ 之電位而變化。另一方面，在下側之記憶體單元陣列中，藉由 $n/2$ 個之 1 訊號產生虛擬單元 $DMC - Hb$ 與 $n/2$ 個之 0 訊號產生虛擬單元 $DMC - Lb$ ，被短路之讀出位元線受到驅動而產生參照電位。1 訊號產生虛擬單元 $DMC - Hb$ 與 0 訊號產生虛擬單元 $DMC - Lb$ 之數目相等故，參照電壓變成由記憶 1 之記憶體單元 MC 之讀出訊號（讀出位元線的電位變化）與由記憶 0 之記憶體單元 MC 之讀出訊號的中間電位。此結果為，從上側之記憶體單元陣列之記憶體單元的讀出訊號與從下側之記憶體單元陣列之參照電壓輸入各讀出用之感測放大器而被放大，該電位差被放大，通過未圖示出之輸入輸出電路而讀出於外部。在讀出動作循環之最後，將讀出字元線 $RWL - a1$ 與虛擬讀出字元線 $DRWL - b$ 之電位降低為低電位，預先充電讀出位元線後，將虛擬控制訊號 $DCTL - b$ 之電位降低為低電位。在本實施例中，使用各 $n/2$ 個之虛擬單元以產生參照電壓。此處， n 係讀出位元線之數目，在通常之設計中，為數 10 至數 1000 程度。因此，可使個虛擬單元之偏差的影響變小，可以期待更為穩定之讀出

動作。如設虛擬單元之電流的偏差為高斯分布，可以期待該偏差與虛擬單元之數目的平方根（ $\sqrt{n/2}$ ）成反比而減少。另外，在前述中，雖設 0 訊號產生虛擬單元與 1 訊號產生虛擬單元之數目相等，但是，依據記憶體單元之保持特性等，也有期望取得多一點之 0 訊號 SIG0 或 1 訊號 SIG1 之其中一種的讀出之餘裕的情形。在該種情形下，因應需要，藉由改變 1 訊號產生虛擬單元與 0 訊號產生虛擬單元之數目，可以調整參照電位之值。在此情形下， n 也是很大故，具有可以微妙地調整之優點。第 15 圖之實施例雖係所謂 1 交點型構造之例子，但是，在讀出動作時，讀出字元線與虛擬讀出字元線係同時提升故，在輸入於感測放大器之 2 條的讀出位元線會有同相而且幾乎相同量之雜訊載入。因此，也具有可以避免讀出時之雜訊所帶來的不好影響之優點。但是，依據情形，也有要使雜訊的影響更小，因為佈置之關係，期望所謂 2 交點構造之情形。在該情形下，做成如第 16 圖之實施例所示之構造即可。在本圖中，在輸入於感測放大器之左側的讀出位元線或連接於其之虛擬單元等加上字尾 c ，在輸入於感測放大器之右側的讀出位元線或連接於其之虛擬單元等加上字尾 d 而顯示。由第 15 圖之說明可以容易類推，在選擇連接於輸入於感測放大器之左側的讀出位元線之記憶體單元之情形，則驅動連接於輸入於感測放大器之右側的讀出位元線之虛擬單元的虛擬字元線、虛擬控制訊號 DCTL d ，反之，在選擇連接於輸入於感測放大器之右側的讀出位元線之記

憶體單元的情形，則驅動連接於輸入於感測放大器之左側的讀出位元線之虛擬單元的虛擬字元線、虛擬控制訊號 DCTLc。本實施例之特長係讀出字元線與虛擬讀出字元線與全部的讀出位元線交叉。因此，伴隨讀出字元線、虛擬讀出字元線之電位變化，載入讀出位元線之雜訊成為相同量。如前述般，在先前的 1 交點之實施例中，載入輸入於感測放大器之讀出位元線的雜訊雖也幾乎相等，但是，在構成讀出位元線之配線的電阻大之情形等，依據由感測放大器至所選擇的讀出字元線之距離與由感測放大器至虛擬讀出字元線之距離的差，會有雜訊之量產生微妙差之情形。在該狀況變成問題之情形，本實施例有效。

第 17 圖係適用於削減更新所伴隨之電力之實施例。已經介紹過藉由遮斷流經記憶體單元之源極的洩漏電流，可以削減待機時之電流的實施例。3 電晶體單元由於係動態單元故，需要更新。因此，在源極電流之削減外，如可削減更新所伴隨之電力，則可以實現待機電力非常低之記憶體。如在第 9 圖、第 10 圖之實施例所說明的，在寫入電晶體藉由使用通道薄之電晶體，可以改善保持時間。本實施例係適合於進一步削減更新之電力的方法。在本實施例中，藉由分割位元線，以削減更新所伴隨之充放電電流。但是，在 3 電晶體單元中，與 1 電晶體單元不同，為了更新，需要進行讀出動作與寫入動作。因此，如下述般，在感測電路等需要下工夫。

第 17 圖中，LBLKi-j (字尾 i、j 分別是由 1 至 q、l

至 m 之整數) 係區域區塊，內部具備有，區域讀出位元線 $LRBLi-j$ 與區域寫入位元線 $LWBLi-j$ 與連接於其之 p 個記憶體單元 MC ，及預先充電區域感測放大器 LSA 或區域位元線用之 MOS 電晶體 MPR 、 MPW 等。前述區域區塊 $LBLKi-j$ 係配置為 2 維狀，藉由全域讀出位元線 $GRBL1$ 、 $\dots$ 、 $GRBLm$ 、全域寫入位元線 $GWBL1$ 、 $\dots$ 、 $GWBLm$ 及讀出字元線 $RWLj-j$ 、寫入字元線 $WWLi-j$ (字尾 i 、 j 分別為由 1 至 q 、1 至 p 之整數) 等而連接為如圖示般。 $LCTL$ 係區域控制電路。如之後敘述般，此電路係因應讀出、寫入、更新之各動作，而控制資料的流動者。另外，前述區域感測放大器 LSA 係以輸入輸出為反轉關係之反相器所構成，電源端子 Cj (字尾係 1 至 q 之整數) 的電位一成為高電位，便被活化。另外，為了不令圖面變得繁雜，顯示源極 $S2$ 等之連接配線或前述預先充電用 MOS 電晶體之閘極的連接線則省略。位於全域位元線之一端的 $MRSA$ 、 MWA 分別係主讀出感測放大器、主寫入放大器，係將讀出於全域寫入位元線上之訊號輸出於記憶體陣列以外之電路，及將寫入資料輸出於全域寫入位元線用之電路。另外，在本圖中，省略解碼器或共通輸入輸出線等。以下，利用第 18 圖，以區域控制電路 $LCTL$ 之動作為中心來說明本實施例的動作。第 18 圖係顯示讀出 $Read$ 、寫入 $Write$ 、更新 $Refresh$ 之各動作的主要部份之動作波形。另外，與前述的實施例相同，橫軸為時間之經過，縱軸為顯示電位的變化。此處，舉例顯示連接於區域區塊 $LBLKj-$

k (字尾 k 係 1 至 m 之整數) 的第 i 號之讀出、寫入字元線之記憶體單元的動作。基於記憶體陣列之性質，同一字元線狀的單元受到並列選擇。另外，在實際動作中，電位的變化係如本圖般，不是矩形，在上升、下降需要有限的時間，角部也變得和緩，但是，此處，爲了容易理解故，顯示爲矩形。進而，電位的變化也只顯示高電位 (High)、低電位 (Low) 之不同。具體之電位位準雖未顯示出來，但是，例如在施加於 nMOS 電晶體 (n 型金氧半導體) 的閘極之電壓中，當然可將其之高電位位準設定爲源極電位的最大值，設定在加上臨界值電壓之電壓以上等，因應需要而個別加以最佳化。

首先，由讀出動作 Read 說明起。如第 18 圖所示般，設端子 GPR_j 爲高電位，令預先充電用 pMOS 電晶體 (p 型金氧化半導體) MPR 關閉，一使讀出字元線 $RWL_j - i$ 成爲高電位，則訊號由記憶體單元 MC 而讀出於區域讀出位元線 $LRBL_j - k$ (字尾 k 係 1 至 m 之整數)。所被選擇之記憶體單元 MC 的積蓄節點之電位如爲高電位，則區域位元線的電位降低，積蓄節點之電位如爲低電位，則維持爲預先充電電位之高電位。圖中，前者之例子以 '1' 顯示，後者之例子以 '0' 顯示。接著，藉由使端子 C_j 與 R_j 的電位成爲高電位，活化區域感測放大器 LSA ，令電晶體 MRa 導通。其結果爲，藉由區域感測放大器 LSA 所被反轉之訊號傳至電晶體 MRb 之閘極。區域讀出位元線之電位爲低電位之情形，區域感測放大器的輸出成爲高電

位，電晶體 MRb 導通。其結果為，全域讀出位元線 GRBLk（字尾 k 為 1 至 m 之整數）的電位成為低電位。反之，區域位元線的電位為高電位之情形，區域感測放大器之輸出變成低電位，電晶體 MRb 關閉。在此情形下，全域讀出位元線 GRBLk（字尾 k 為 1 至 m 之整數）的電位維持為預先充電電位（高電位）而沒有變化（第 17 圖中，省略全域讀出位元線之預先充電電路）。如此所產生之全域位元線的電位變化係以主讀出感測放大器 MRSA 加以檢測放大，讀出於記憶體陣列之外。

接著，說明寫入動作 Write。使端子 GPWj 成為高電位，令預先充電用 pMOS 電晶體 MPW 關閉，使寫入字元線 WWLj-i 及端子 Wj 之電位成為高電位。其結果為，記憶體單元之寫入電晶體（第 17 圖中省略）與電晶體 MWb 導通，藉由寫入放大器 WA 而設定在全域寫入位元線 GWBLj-k（字尾 k 為 1 至 m 之整數）的電位傳至區域寫入位元線 LWBLj-k（字尾 k 為 1 至 m 之整數），而寫入記憶體單元。

最後，說明更新動作。更新係以藉由區域感測放大器以反轉讀出於區域讀出位元線之資訊，通過區域寫入位元線而寫回記憶體單元 MC 而達成。首先，使端子 GPRj 成為高電位，令預先充電用 pMOS 電晶體 MPR 關閉，一使讀出字元線 RWLj-i 成為高電位，則訊號由記憶體單元 MC 而讀出於區域讀出位元線 LRBLj-k（字尾 k 為 1 至 m 之整數）。此時，與前述讀出動作不同，端子 Rj 之電位

維持在低電位。在此狀態下，區域感測放大器 LSA 之輸入電壓係設定為因應積蓄在記憶體單元之資訊的電壓。接著，進入寫回記憶體單元之動作。將端子 GPRj 保持為高電位，維持預先充電用電晶體 MPR 為關閉下，使端子 GPWj 之電位成為高電位，使區域寫入位元線用預先充電電晶體 MPW 關閉，使端子 Cj、Fj 及寫入字元線 WWLj-i 之電位成為高電位。其結果為，區域感測放大器被活化，通過電晶體 MWa，區域寫入位元線 LRBLj-k（字尾 k 為 1 至 m 之整數）之電位反轉而寫入記憶體單元 MC。將此種動作針對全部的記憶體單元在保持時間內進行即可。另外，在第 15 圖、第 16 圖之實施例中，使用差動型之感測放大器與虛擬單元。將同樣的電路使用於第 17 圖之實施例的區域感測放大器當然也可以，但是，在第 17 圖之實施例中，並非差動型而係使用輸入為 1 個者。在此情形下，讀出位元線之電位一降低為比反相器電路的臨界值低時，輸出會變化故，不需要使用虛擬單元。另外，區域感測放大器之輸出可以取得大些故，更新時，以區域感測放大器可以直接驅動區域寫入位元線。因此，具有可使區域感測放大器部份的佔有面積變小之優點。如第 17 圖所示般，在分割位元線之情形，會有面積增加而成為問題之情形故，在該種情形下，期望此種區域感測放大器。另外，前述邏輯臨界值可藉由改變構成反相器之電晶體的常數或臨界值而容易予以變更。例如，在前述實施例中，將區域位元線預先充電為高電位故，如將邏輯臨界值設定高些，則

在速度方面變得有利。

如前述說明般，如依據第 17 圖、第 18 圖所示之實施例，在分割位元線之記憶體單元陣列中，可以進行讀出、寫入、更新動作。記憶體的消耗電流係驅動之位元線的電容愈小則可以更為削減故，如依據本實施例，可以實現低消耗電力的記憶體。特別是，藉由只驅動區域位元線使得更新動作成為可能故，在待機電流之削減上有效。本實施例在使用 3 電晶體型之記憶體單元等之記憶體上，即使單獨使用，雖當然也可以獲得更新時之消耗電流削減的效果，但是，藉由與目前為止所敘述之洩漏電流削減用之實施例的組合，可以大幅削減待機電流。

例如，在第 9 (a)、(b) 圖中，敘述為了提升記憶體單元之保持特性，在寫入電晶體使用薄膜通道之實施例。如與這些實施例組合，進行更新之頻度減少故，併同依據第 17 圖、第 18 圖之實施例的更新時，驅動之位元線電容的削減效果，可使基於更新之消耗電流變得非常小。另外，如與削減流經在第 1 圖至第 8 圖等之圖面中所說明之 3 電晶體單元之源極與讀出位元線間之洩漏電流的實施例組合，則更新以外之待機電流的成分受到削減故，可以實現待機電流少之記憶體。當然，也可同時組合前述之保持特性提升用的實施例與讀出位元線及源極間之洩漏電流防止用之實施例與第 17 圖、第 18 圖之實施例之 3 種。在該情形下，可以實現待機電力極端小之記憶體。

【圖式簡單說明】

第 1 圖係顯示本發明之半導體積體電路之記憶體部份的基本構造之實施例圖。

第 2 圖係顯示第 1 圖之實施例的記憶體單元 MC 之等效電路的實施例。

第 3 圖係顯示洩漏遮斷電路 LC 之第一實施例圖。

第 4 圖係顯示第 3 圖之實施例的時序圖之實施例圖。

第 5 圖係顯示洩漏遮斷電路 LC 之第二實施例圖。

第 6 圖係顯示第 5 圖之實施例的時序圖之實施例圖。

第 7 圖係顯示讀出位元線之預先充電電路的實施例圖。

。

第 8 圖係顯示第 7 圖之實施例的時序圖之實施例圖。

第 9 圖係顯示改善 3T 單元之保持特性用之寫入電晶體的剖面圖之實施例。

第 10 圖係設源極 S2 的配線與位元線平行之方向的實施例。

第 11 圖係顯示第 3 圖之實施例的詳細動作之時序圖的實施例。

第 12 圖係顯示第 5 圖之實施例之詳細動作之時序圖的實施例。

第 13 圖係顯示第 7 圖之實施例的詳細動作之時序圖的實施例。

第 14 圖係顯示使用複數之虛擬單元，高精度地產生讀出時之參照電壓之方法的原理之實施例。

第 15 圖係將第 14 圖的原理使用於 1 交點之佈置的實施例。

第 16 圖係將第 14 圖之原理使用於 2 交點之佈置的實施例。

第 17 圖係顯示只驅動區域位元線以進行更新用之記憶體陣列的構造之實施例。

第 18 圖係顯示第 17 圖的動作之時序圖的實施例。

【主要元件符號說明】

以下之符號中，x，y 係顯示圖中所使用之數字或英文字母之字尾字。

例如，RWLx - y 係表示 RWL1 - 1、RWL1 - p、RWLq - p 等。

MC：3 電晶體型動態單元

MR1：選擇電晶體

MR2：積蓄電晶體

MW：寫入電晶體

S2、S2 - x：積蓄電晶體之源極

SN：資訊記憶節點（積蓄節點）

LC、LC - x：洩漏電流遮斷電路

XDEC：X 解碼器

XDRV：X 驅動器

YDEC：Y 解碼器

YDRV：Y 驅動器

(31)

IO：輸入輸出電路

RSA、RSAx：讀出感測放大器

WA：寫入放大器

RBL、RBLx：讀出位元線

WBL、WBLx：寫入位元線

RWL、RWLx、RWLx-y：讀出字元線

WWL、WWLx、WWLx-y：寫入字元線

VBP：讀出位元線預先充電電壓

CH：通道部

OX：氧化膜

ISO：元件分離領域

MSW、MSW1、MSW2：構成洩漏電流遮斷電路之

MOS 電晶體

MPR：讀出位元線預先充電用之 MOS 電晶體

SPR：MOS 電晶體 MPR 之源極

GPR、GPRx：MOS 電晶體 MPR 之閘極

MPW：寫入位元線預先充電用之 MOS 電晶體

SPW：MOS 電晶體 MPW 之源極

GPW、GPWx：MOS 電晶體 MPW 之閘極

GSW：洩漏電流遮斷電路之控制訊號

RFCLK：更新控制時鐘脈衝

ACT、Active：動作狀態

ST、Standby：待機狀態

READ、Read：讀出動作

(32)

WRITE、Write：寫入動作

Refresh：更新動作

DMC-H、DMC-Hx：1 訊號產生虛擬單元

DMC-L、DMC-Lx：0 訊號產生虛擬單元

VDH：1 訊號產生虛擬單元之寫入電壓

VDL：0 訊號產生虛擬單元之寫入電壓

DRWL、DRWLx：虛擬讀出字元線

DWWL、DWWL-x：虛擬寫入字元線

MDx：輸入以虛擬控制訊號之 MOS 電晶體 DCTL

DCTL-x：讀出 1 時之讀出位元線電位

LBLKx-y：區域區塊

LCTL：區域控制電路

LBLKx-y：區域區塊

LSA：區域放大器

MWa、MWb、MRa、MRb：區域控制電路內部之 MOS

電晶體

LRBLx-y：區域讀出位元線

LWBLx-y：區域寫入位元線

GRBLx：全域讀出位元線

GWBLx：全域寫入位元線

Rx：MOS 電晶體 MRa 之閘極端子

Cx：區域放大器啓動訊號

Fx：MOS 電晶體 MWa 之閘極端子

Wx：MOS 電晶體 MWb 之閘極端子

五、中文發明摘要

發明名稱：半導體積體電路

[課題]

在待機時減少伴隨通過 3 電晶體型動態單元之積蓄電晶體而流通之洩漏電流等的電力。

[解決手段]

連接構成記憶體陣列之複數的 3 電晶體型動態單元內之積蓄電晶體的源極，在與電源端子之間設置開關。動作時，令前述開關導通，在待機時，令成為非導通，藉此以遮斷待機時之洩漏電流。

六、英文發明摘要

發明名稱：

(1)

十、申請專利範圍

1. 一種半導體積體電路，其特徵為具有：

由在閘極電容積蓄電荷之積蓄電晶體，及由寫入位元線對前述積蓄電晶體之閘極寫入電荷用之寫入電晶體，及控制讀出位元線與積蓄電晶體之汲極的導通用之選擇電晶體所成之記憶體單元，及

位於前述積蓄電晶體之源極與電源之間的開關元件。

2. 如申請專利範圍第 1 項所記載之半導體積體電路，其中，進而具備：延伸存在於第 1 方向之複數的寫入字元線，及延伸存在於前述第 1 方向之複數的讀出字元線，及延伸存在於與第 1 方向交叉之第 2 方向的複數之讀出位元線，及延伸存在於前述第 2 方向之複數的寫入位元線；

前述記憶體單元具有複數個，前述複數之記憶體單元的前述寫入電晶體之閘極係連接在前述複數的寫入字元線，前述寫入電晶體之源極、汲極的一方係連接於前述複數之寫入位元線，前述選擇電晶體之閘極係連接於複數之讀出字元線，前述選擇電晶體之源極、汲極之一方係連接於前述複數之讀出位元線，前述寫入電晶體之源極、汲極之另一方係分別連接於前述積蓄電晶體的閘極，前述積蓄電晶體之汲極係分別連接於前述選擇電晶體之源極、汲極之另一方。

3. 如申請專利範圍第 2 項所記載之半導體積體電路，其中，前述寫入電晶體之通道領域係以膜厚 5 nm 程度以下之膜所形成，形成為介由絕緣膜而包圍前述寫入電晶

體之閘極。

4. 如申請專利範圍第 3 項所記載之半導體積體電路，其中，前述寫入電晶體之源極、汲極路徑係形成在與形成有前述積蓄電晶體之源極、汲極路徑之方向垂直的方向。

5. 如申請專利範圍第 3 項所記載之半導體積體電路，其中，前述開關元件係具備：在電源電位與前述積蓄電晶體之源極之間具有源極、汲極路徑之 N 通道型 MOS 電晶體，控制前述積蓄電晶體之源極在第 1 狀態下為浮置狀態，在第 2 狀態下為電位成為電源電位。

6. 如申請專利範圍第 2 項所記載之半導體積體電路，其中，前述開關元件係共通地設置在連接於前述複數之寫入位元線與複數之寫入字元線之複數的記憶體單元。

7. 一種半導體積體電路，乃為包含：由在閘極電容積蓄電荷之積蓄電晶體，及由寫入位元線對前述積蓄電晶體之閘極寫入電荷用之寫入電晶體，及控制讀出位元線與積蓄電晶體之汲極的導通用之選擇電晶體所成之記憶體單元而構成之半導體積體電路，其特徵為具有：在前述半導體積體電路為動作狀態時，及為待機狀態時，令前述積蓄電晶體之源極的電位改變之第 1 電路。

8. 如申請專利範圍第 7 項所記載之半導體積體電路，其中，進而具備：延伸存在於第 1 方向之複數的寫入字元線，及延伸存在於前述第 1 方向之複數的讀出字元線，及延伸存在於與第 1 方向交叉之第 2 方向的複數之讀出位

(3)

元線，及延伸存在於前述第 2 方向之複數的寫入位元線；前述記憶體單元具有複數個，前述複數之記憶體單元的前述寫入電晶體之閘極係連接在前述複數的寫入字元線，前述寫入電晶體之源極、汲極的一方係連接於前述複數之寫入位元線，前述選擇電晶體之閘極係連接於複數之讀出字元線，前述選擇電晶體之源極、汲極之一方係連接於前述複數之讀出位元線，前述寫入電晶體之源極、汲極之另一方係分別連接於前述積蓄電晶體的閘極，前述積蓄電晶體之汲極係分別連接於前述選擇電晶體之源極、汲極之另一方。

9. 如申請專利範圍第 8 項所記載之半導體積體電路，其中，前述寫入電晶體之通道領域係以膜厚 5nm 程度以下之膜所形成，形成爲介由絕緣膜而包圍前述寫入電晶體之閘極。

10. 如申請專利範圍第 9 項所記載之半導體積體電路，其中，前述寫入電晶體之源極、汲極路徑係形成在與形成有前述積蓄電晶體之源極、汲極路徑之方向垂直的方向。

11. 如申請專利範圍第 8 項所記載之半導體積體電路，其中，前述第 1 電路係具備：在電源電位與前述積蓄電晶體之源極之間具有源極、汲極路徑之 N 通道型 MOS 電晶體，控制前述積蓄電晶體之源極在第 1 狀態下爲浮置狀態，在第 2 狀態下爲電位成爲電源電位。

12. 如申請專利範圍第 11 項所記載之半導體積體電

路，其中，前述電路係係共通地設置在連接於前述複數之寫入位元線與複數之寫入字元線之複數的記憶體單元。

13. 一種半導體積體電路，乃為包含：由在閘極電容積蓄電荷之積蓄電晶體，及由寫入位元線對前述積蓄電晶體之閘極寫入電荷用之寫入電晶體，及控制讀出位元線與積蓄電晶體之汲極的導通用之選擇電晶體所成之記憶體單元而構成之半導體積體電路，其特徵為：具有，

使讀出位元線成為所期望電位用之預先充電電晶體；

前述預先充電電晶體的汲極或者源極係連接於讀出位元線，在前述半導體積體電路為動作狀態時與待機狀態時，令另一端之源極或汲極的電位變化。

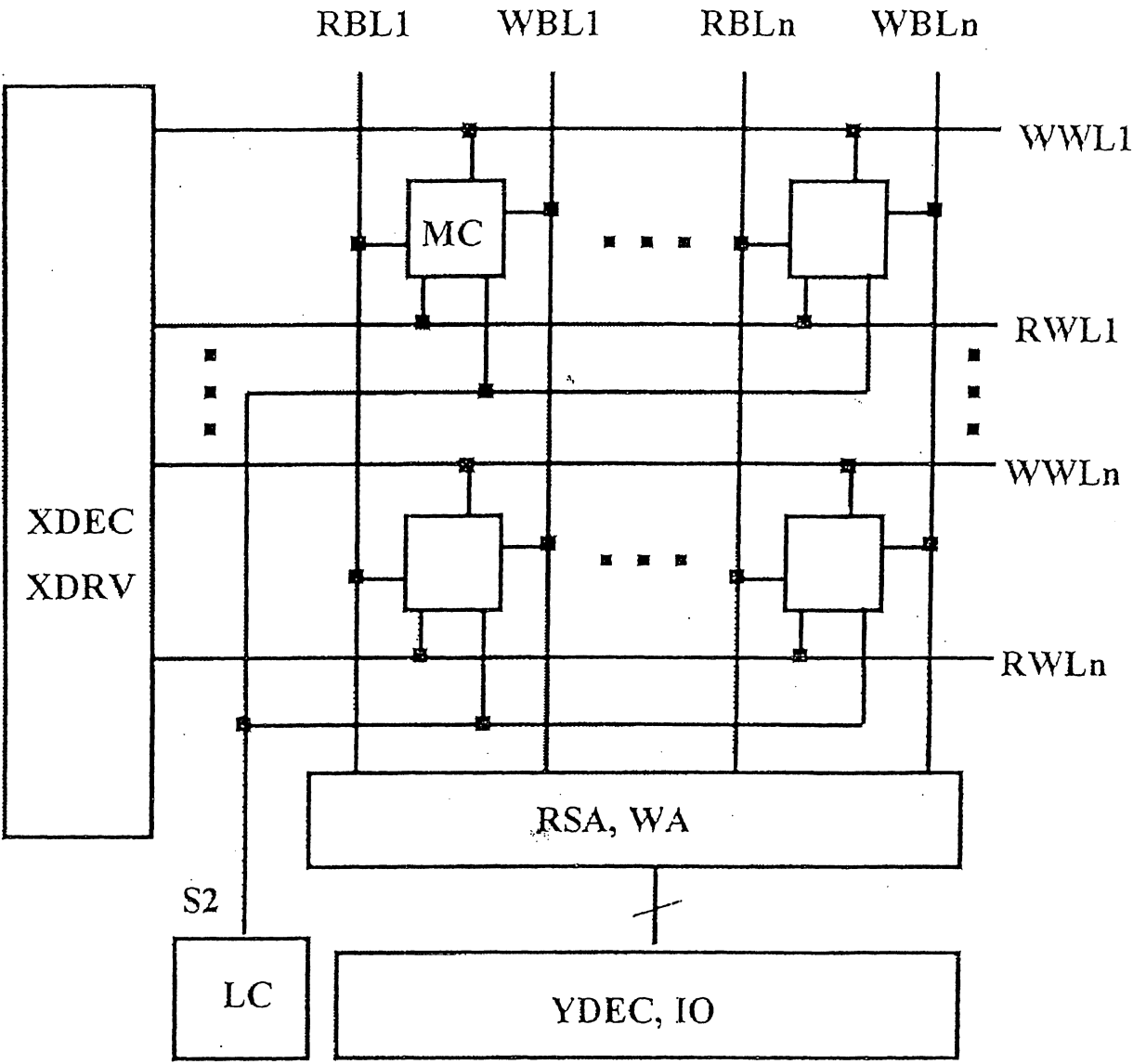
14. 如申請專利範圍第 13 項所記載之半導體積體電路，其中，進而具備：延伸存在於第 1 方向之複數的寫入字元線，及延伸存在於前述第 1 方向之複數的讀出字元線，及延伸存在於與第 1 方向交叉之第 2 方向的複數之讀出位元線，及延伸存在於前述第 2 方向之複數的寫入位元線，及選擇前述複數之讀出字元線與前述複數之寫入字元線之 X 解碼器，及選擇前述複數之讀出位元線與前述複數之寫入位元線之 Y 解碼器；前述記憶體單元具有複數個，前述複數之記憶體單元的前述寫入電晶體之閘極係連接在前述複數的寫入字元線，前述寫入電晶體之源極、汲極的一方係連接於前述複數之寫入位元線，前述選擇電晶體之閘極係連接於複數之讀出字元線，前述選擇電晶體之源極、汲極的一方係連接於前述複數之讀出位元線，前述寫

入電晶體之源極、汲極之另一方係分別連接於前述積蓄電晶體的閘極，前述積蓄電晶體之汲極係分別連接於前述選擇電晶體之源極、汲極之另一方。

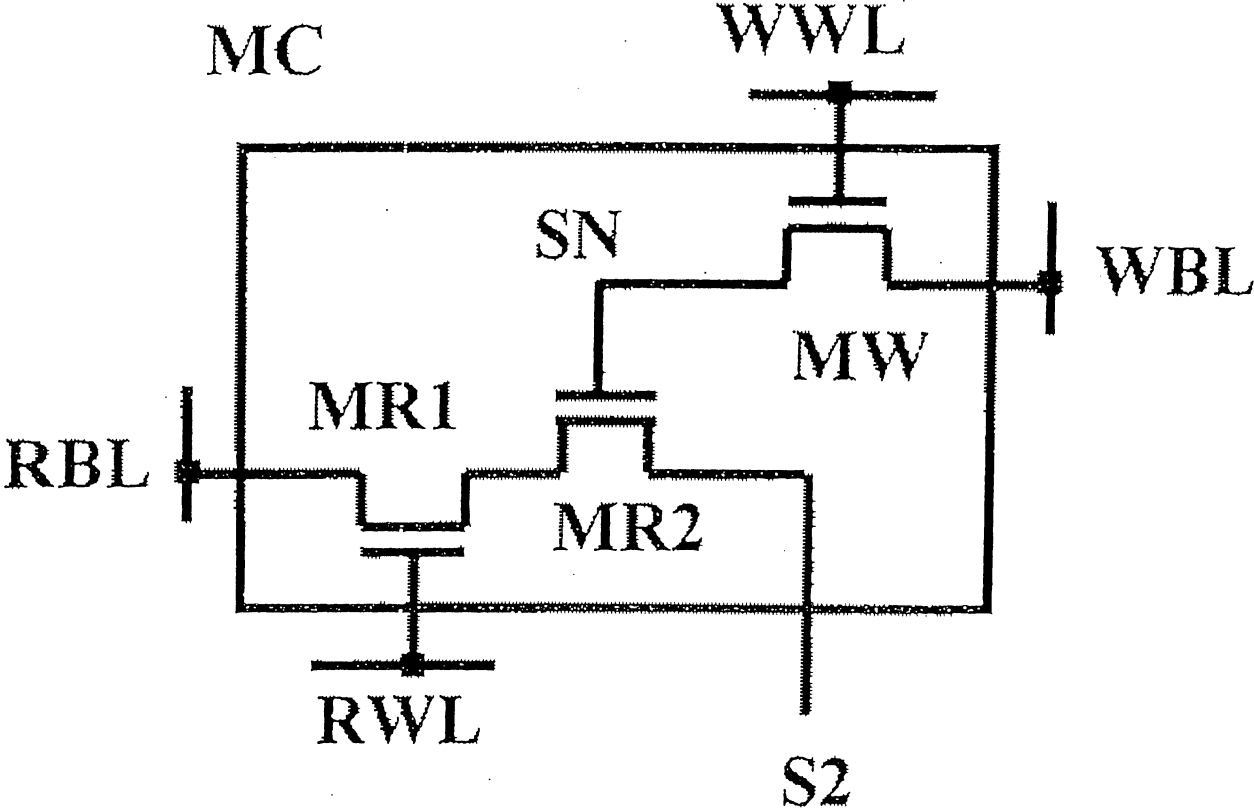
15. 如申請專利範圍第 14 項所記載之半導體積體電路，其中，前述寫入電晶體之通道領域係以膜厚 5 nm 程度以下之膜所形成，形成爲介由絕緣膜而包圍前述寫入電晶體之閘極。

16. 如申請專利範圍第 15 項所記載之半導體積體電路，其中，前述寫入電晶體之源極、汲極路徑係形成在與形成有前述積蓄電晶體之源極、汲極路徑之方向垂直的方向。

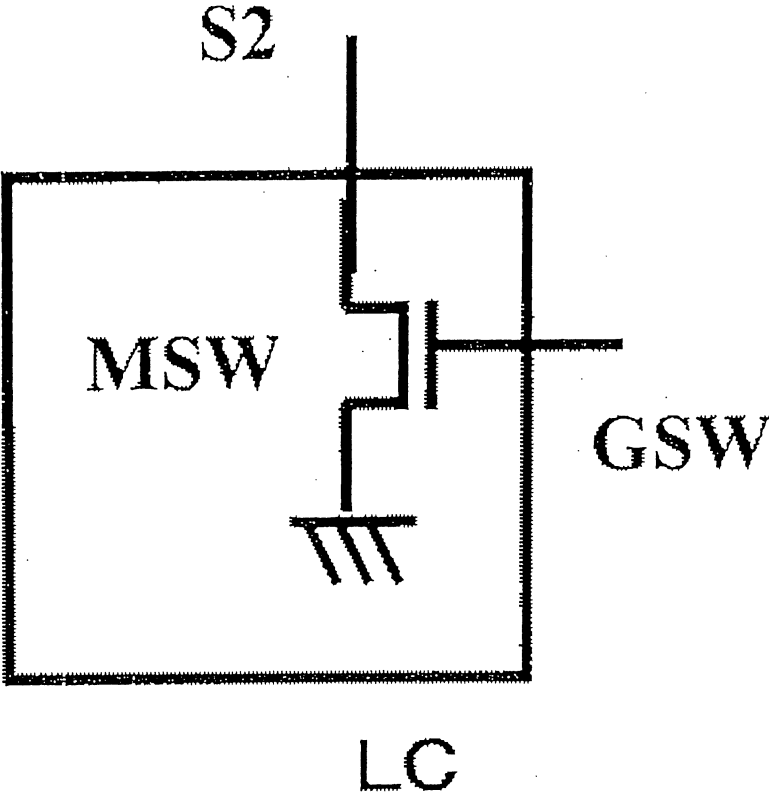
第1圖



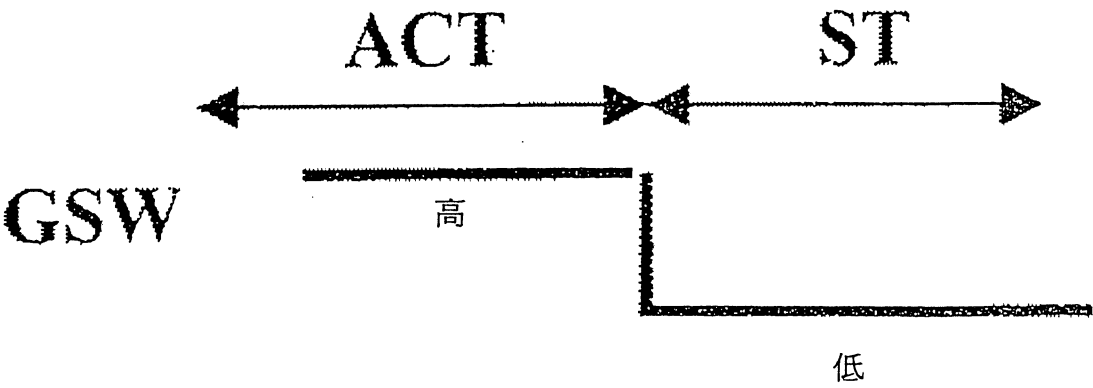
第2圖



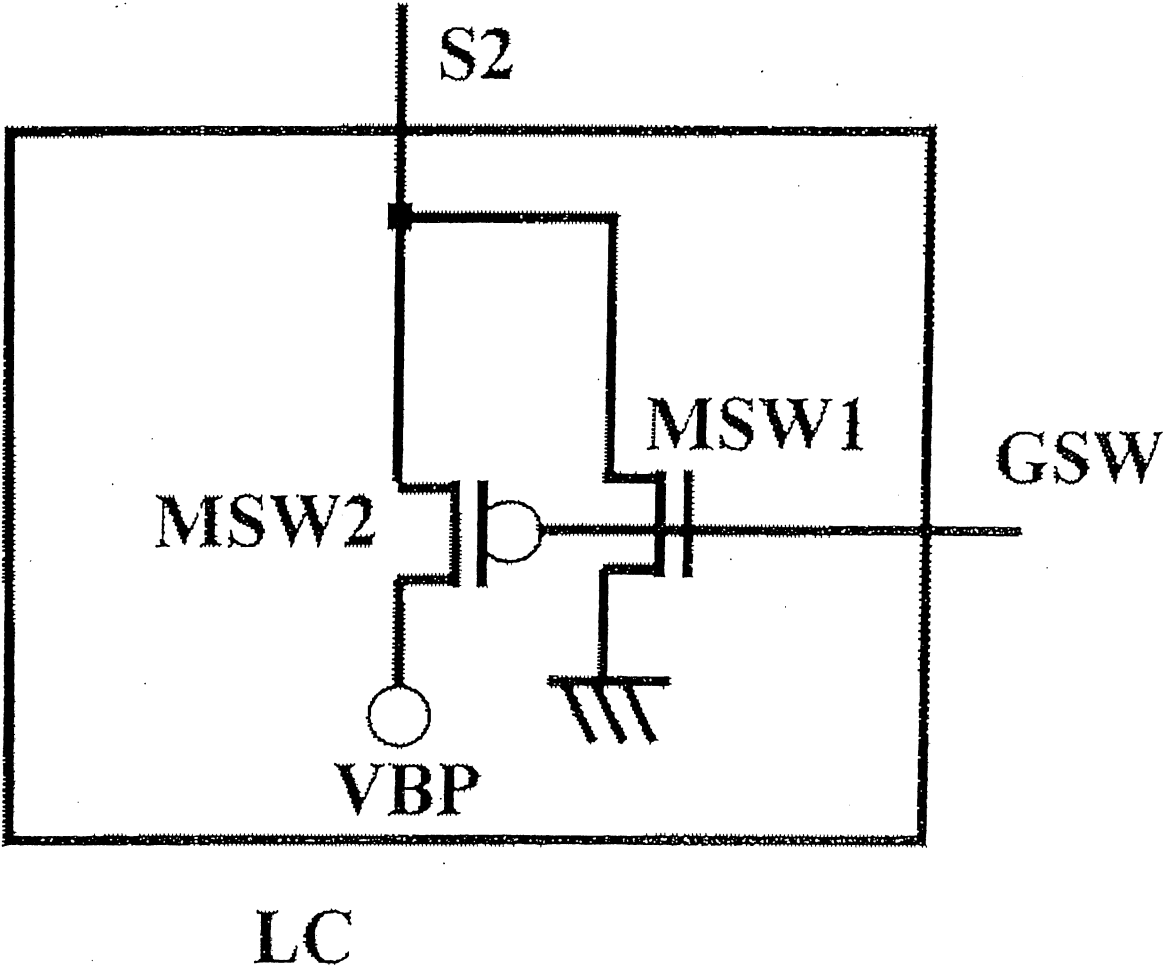
第3圖



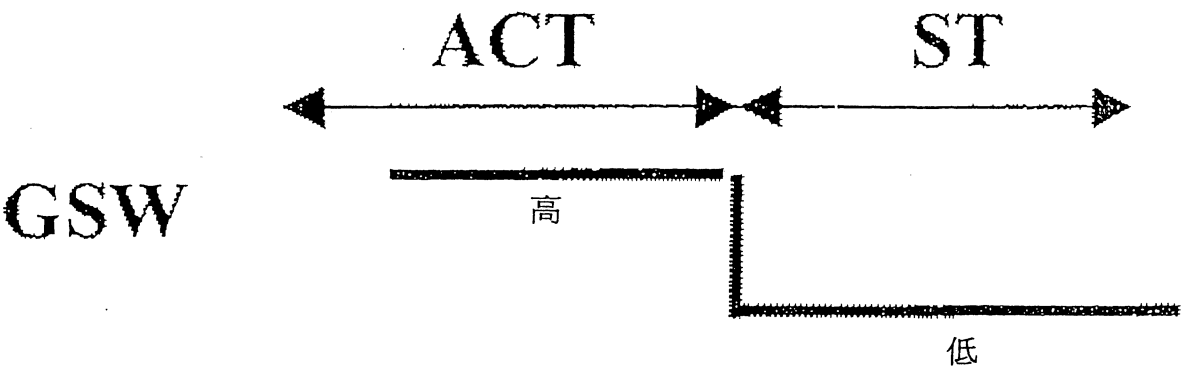
第4圖



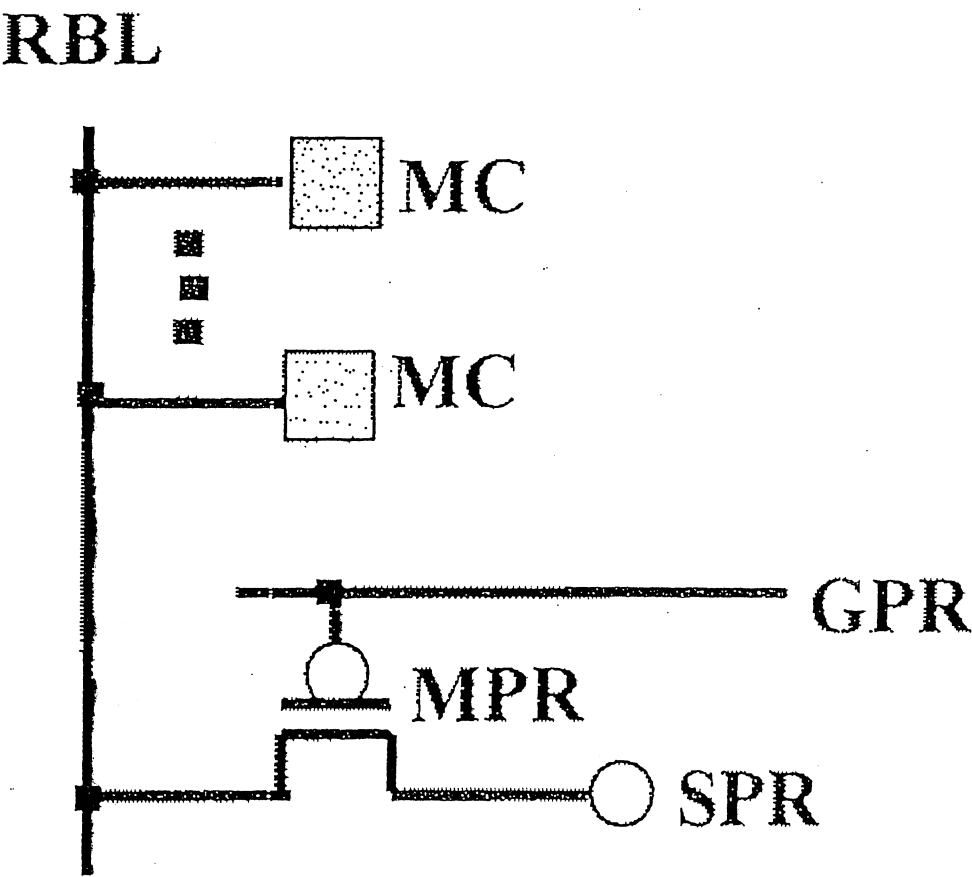
第5圖



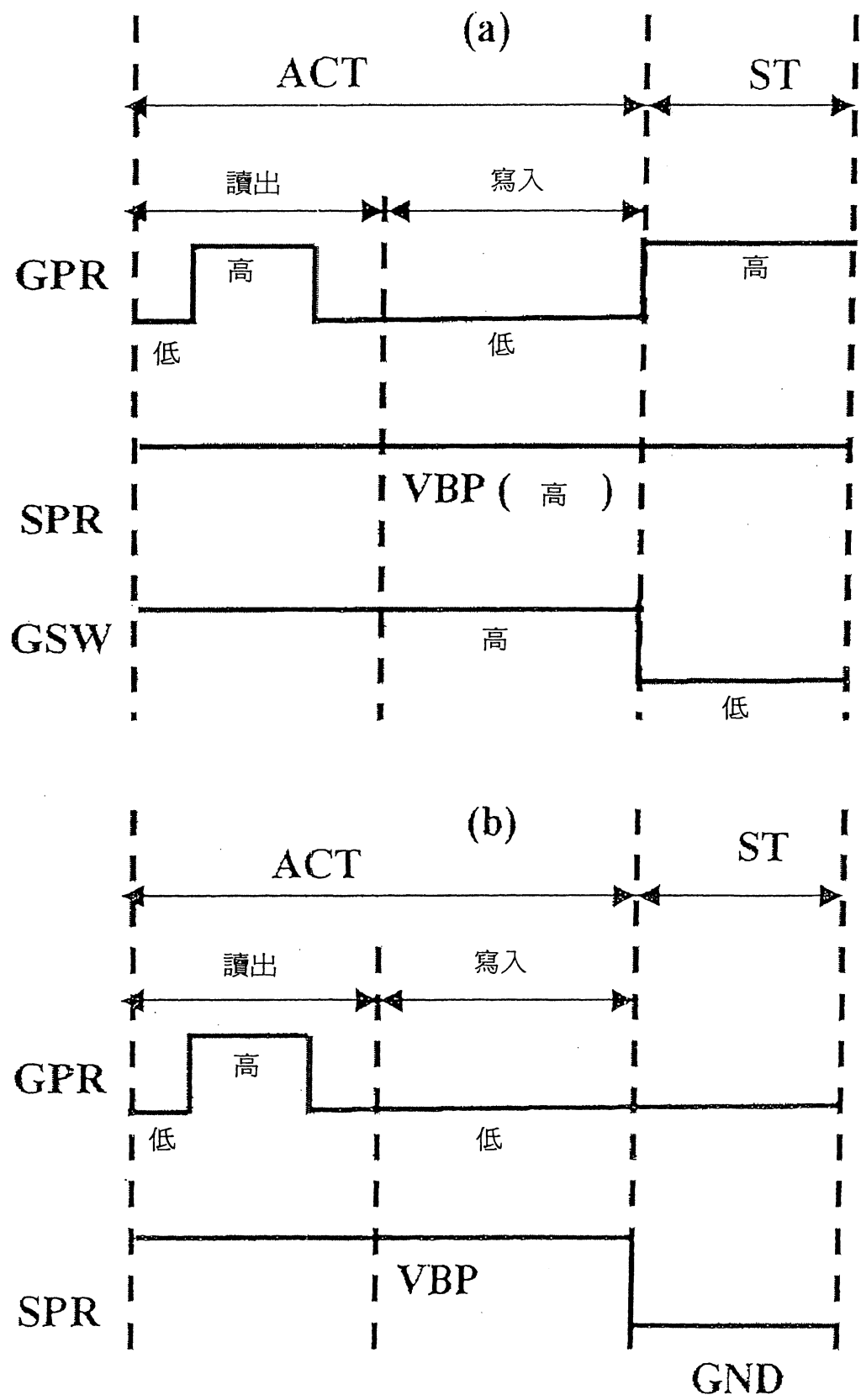
第6圖



第7圖

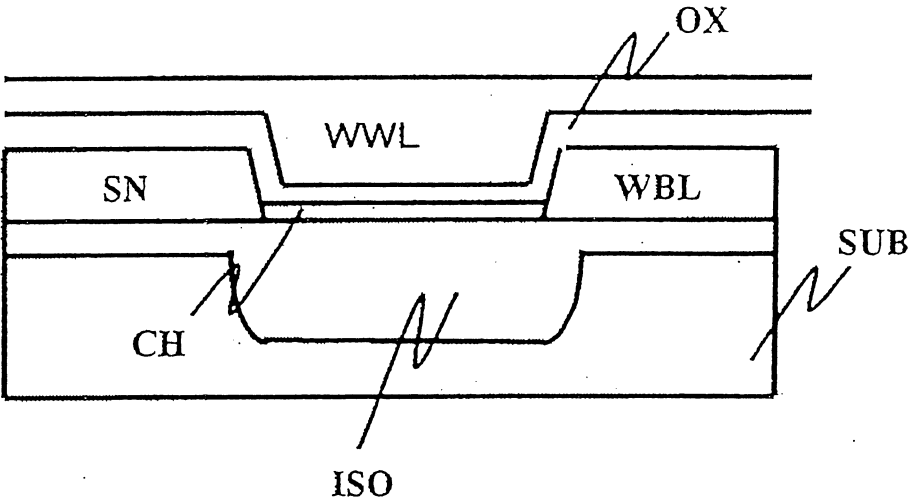


第8圖

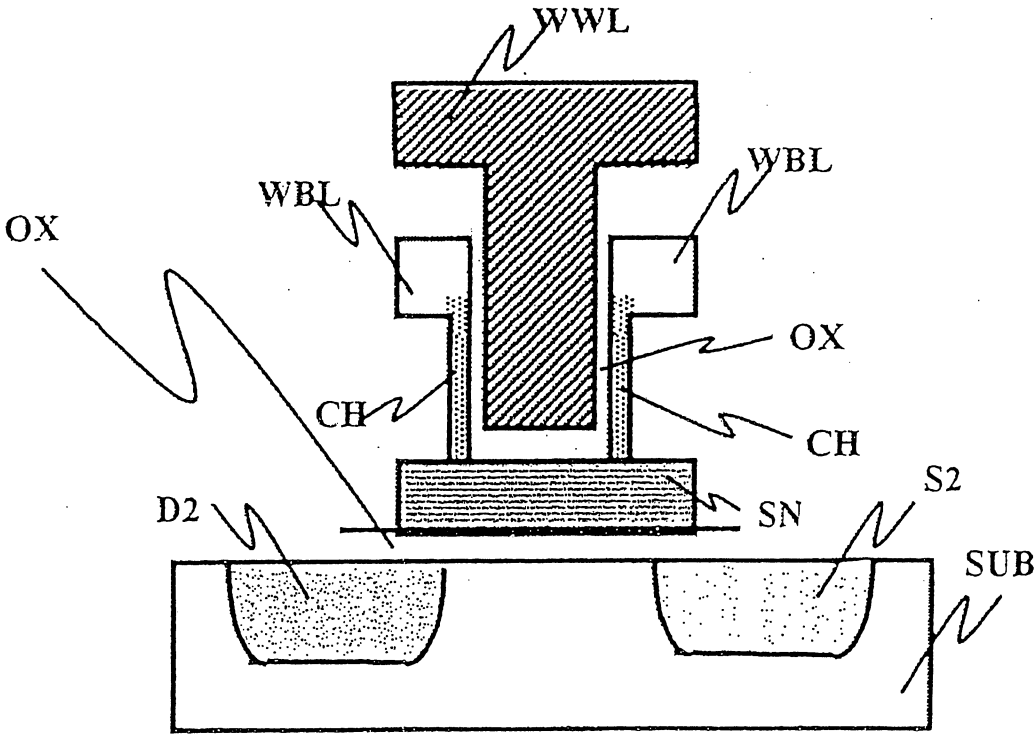


第9圖

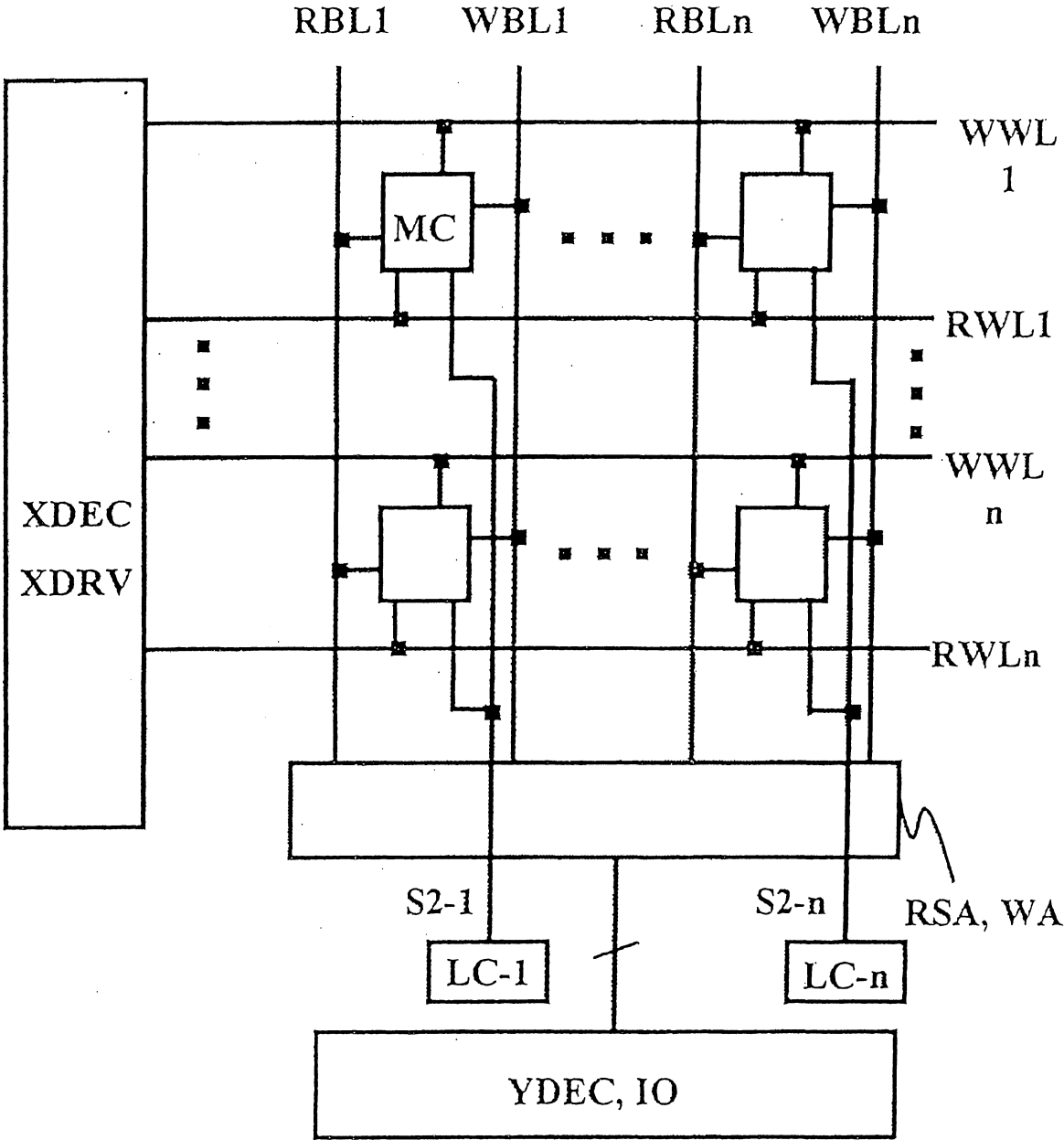
(a)



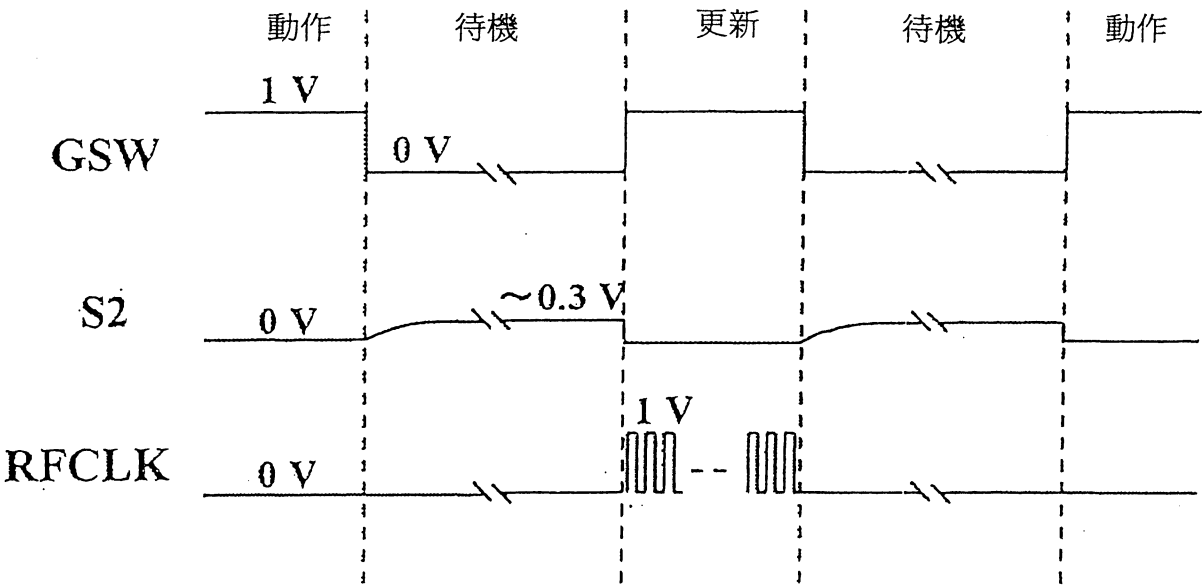
(b)



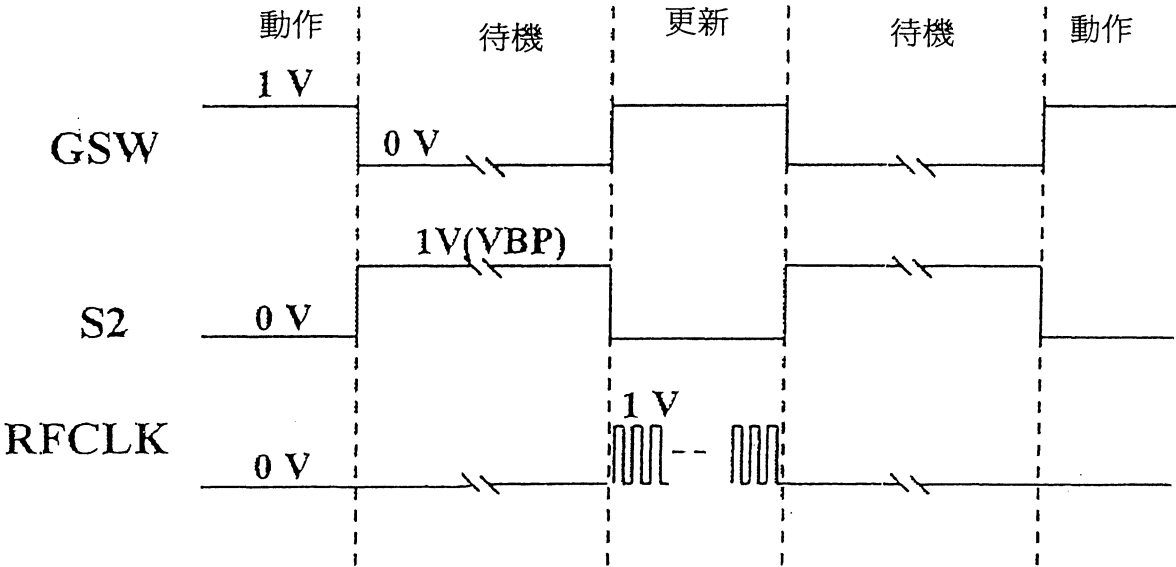
第10圖



第11圖

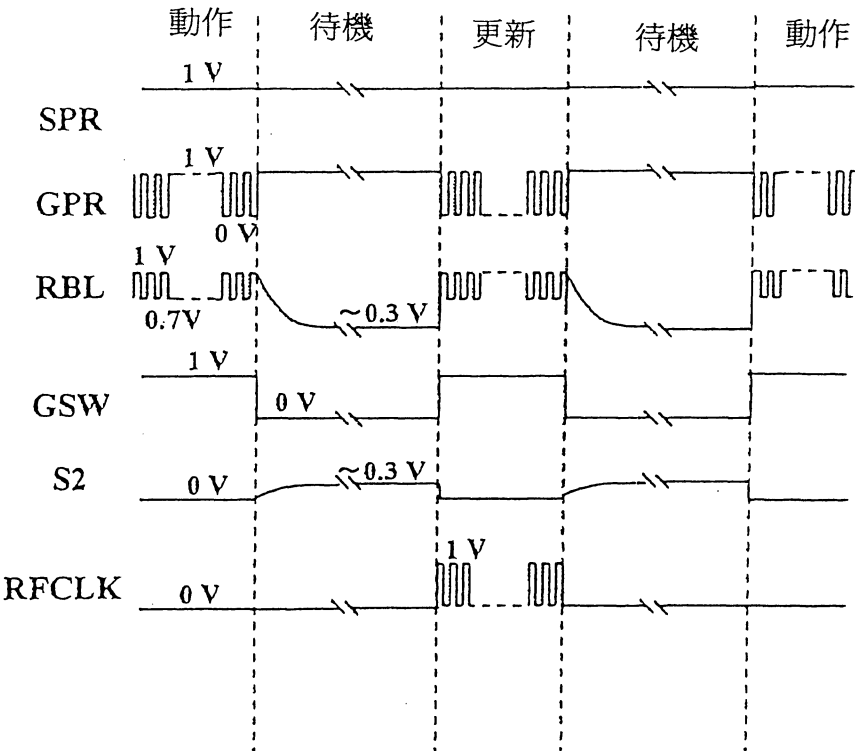


第12圖

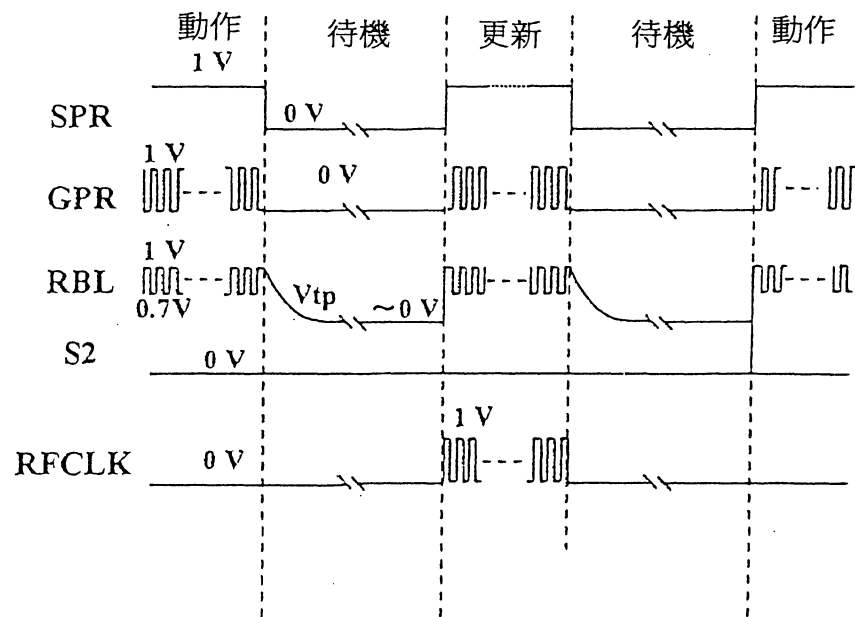


第13圖

(a)

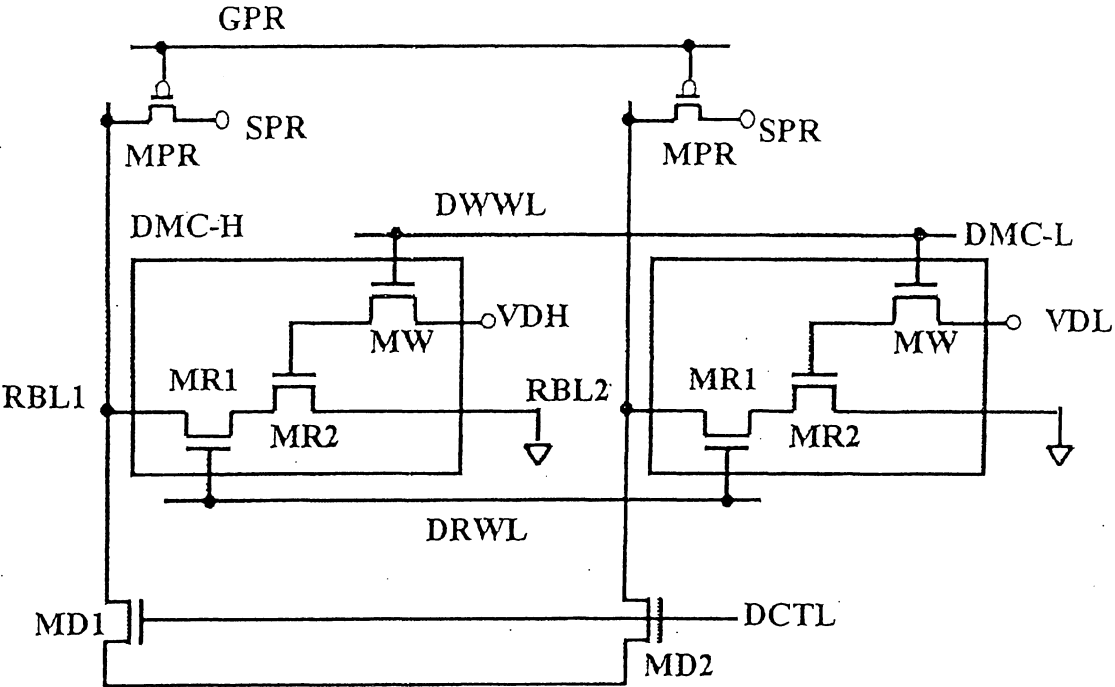


(b)

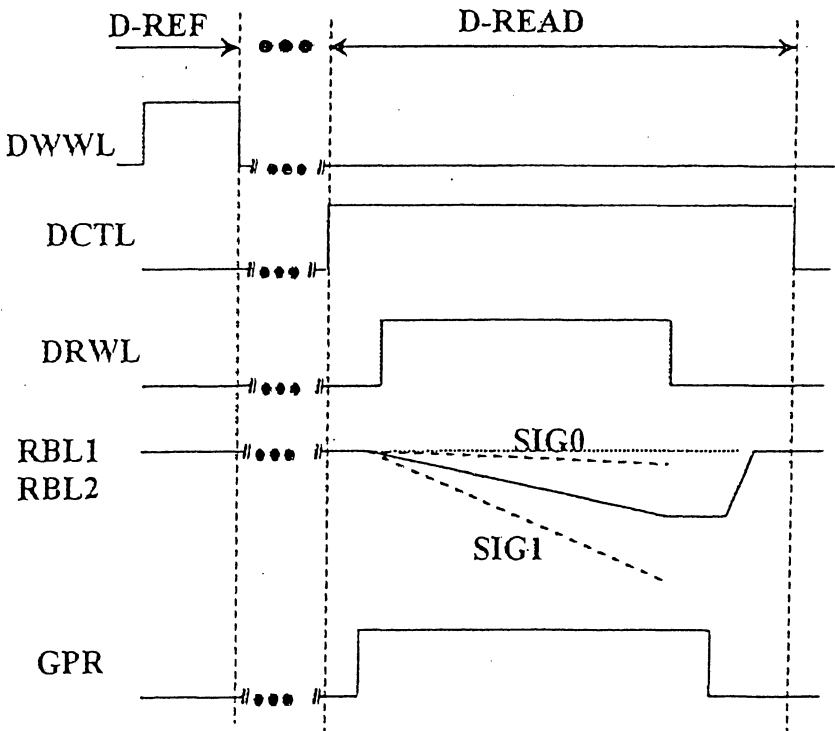


第14圖

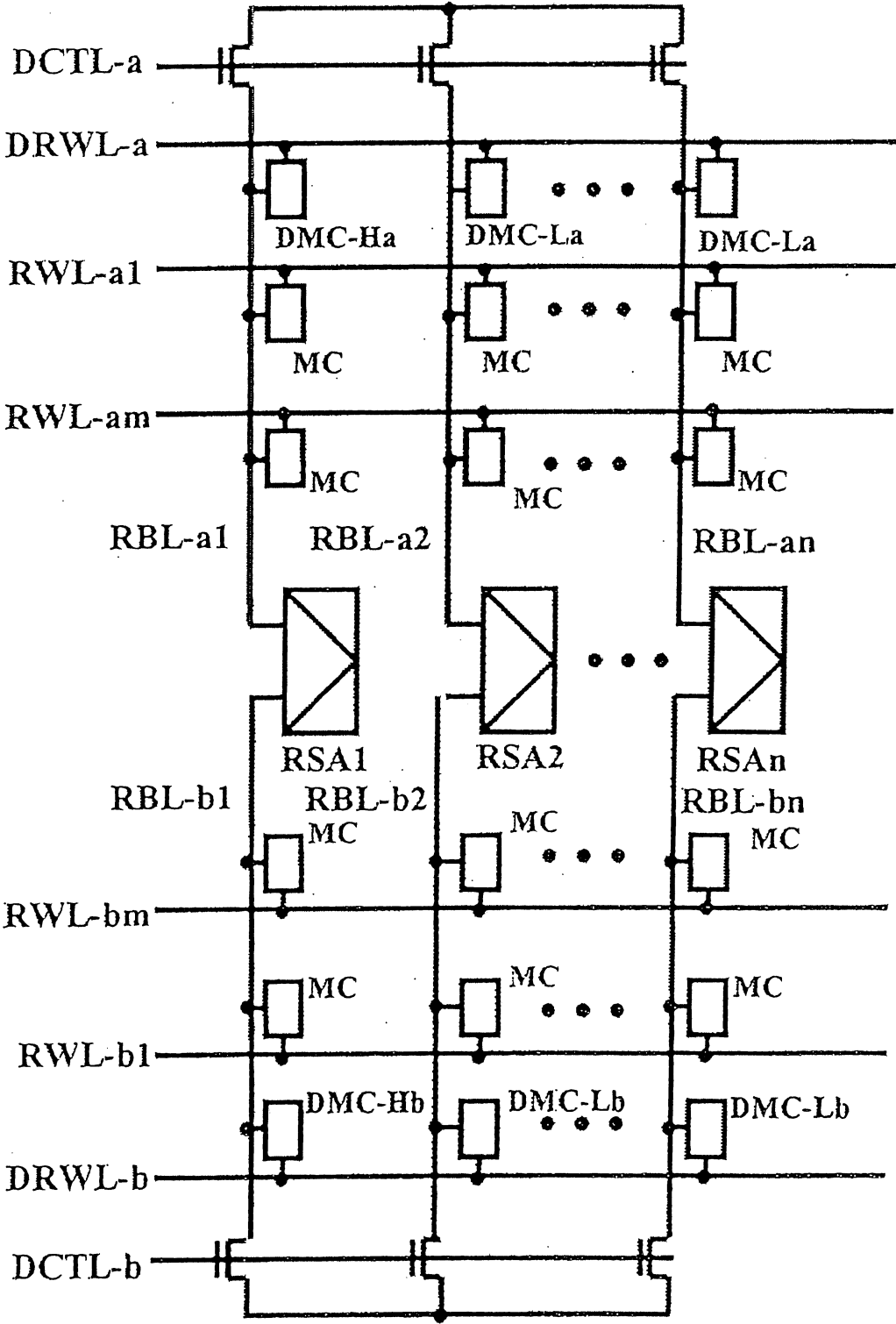
(a)



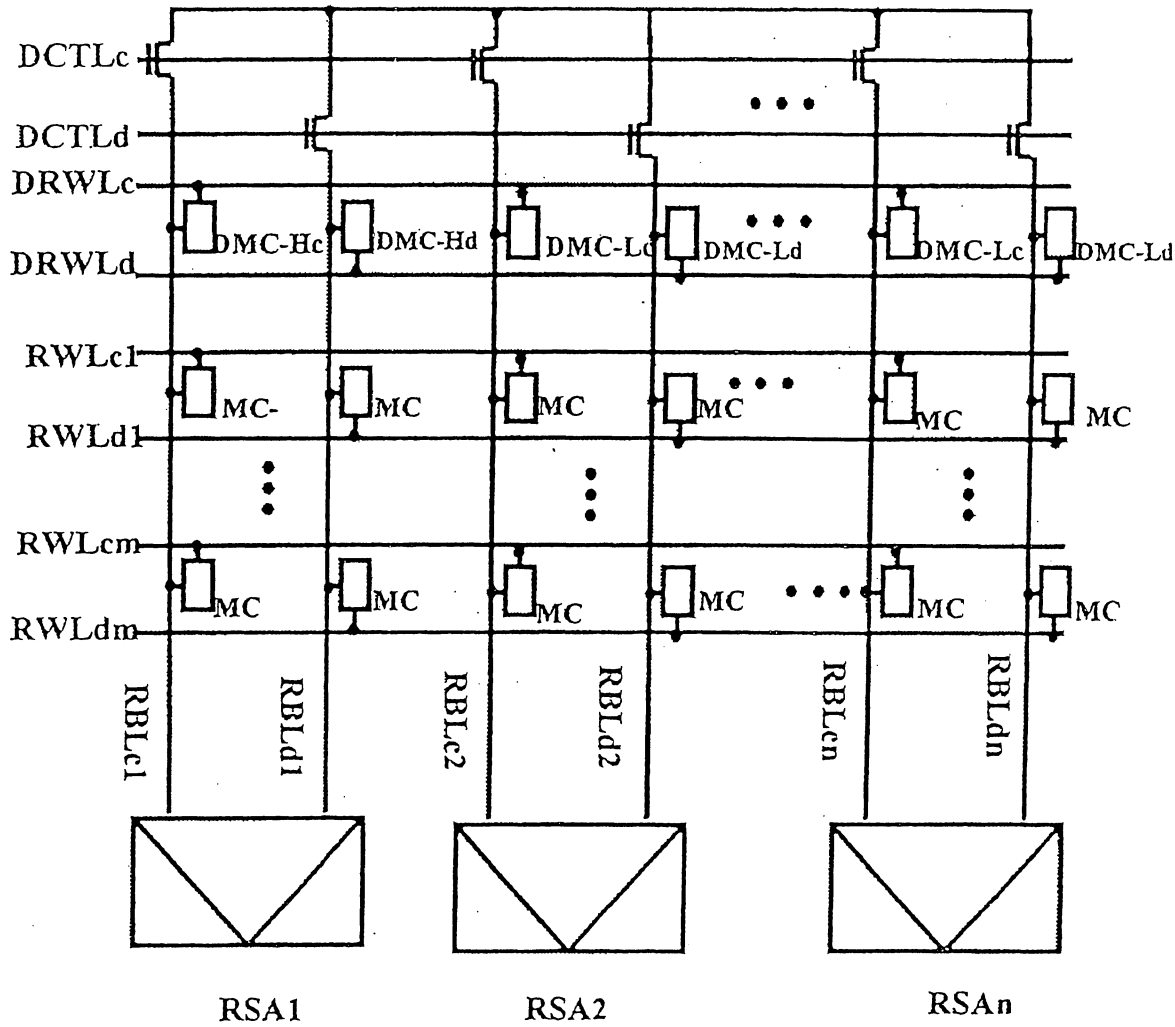
(b)



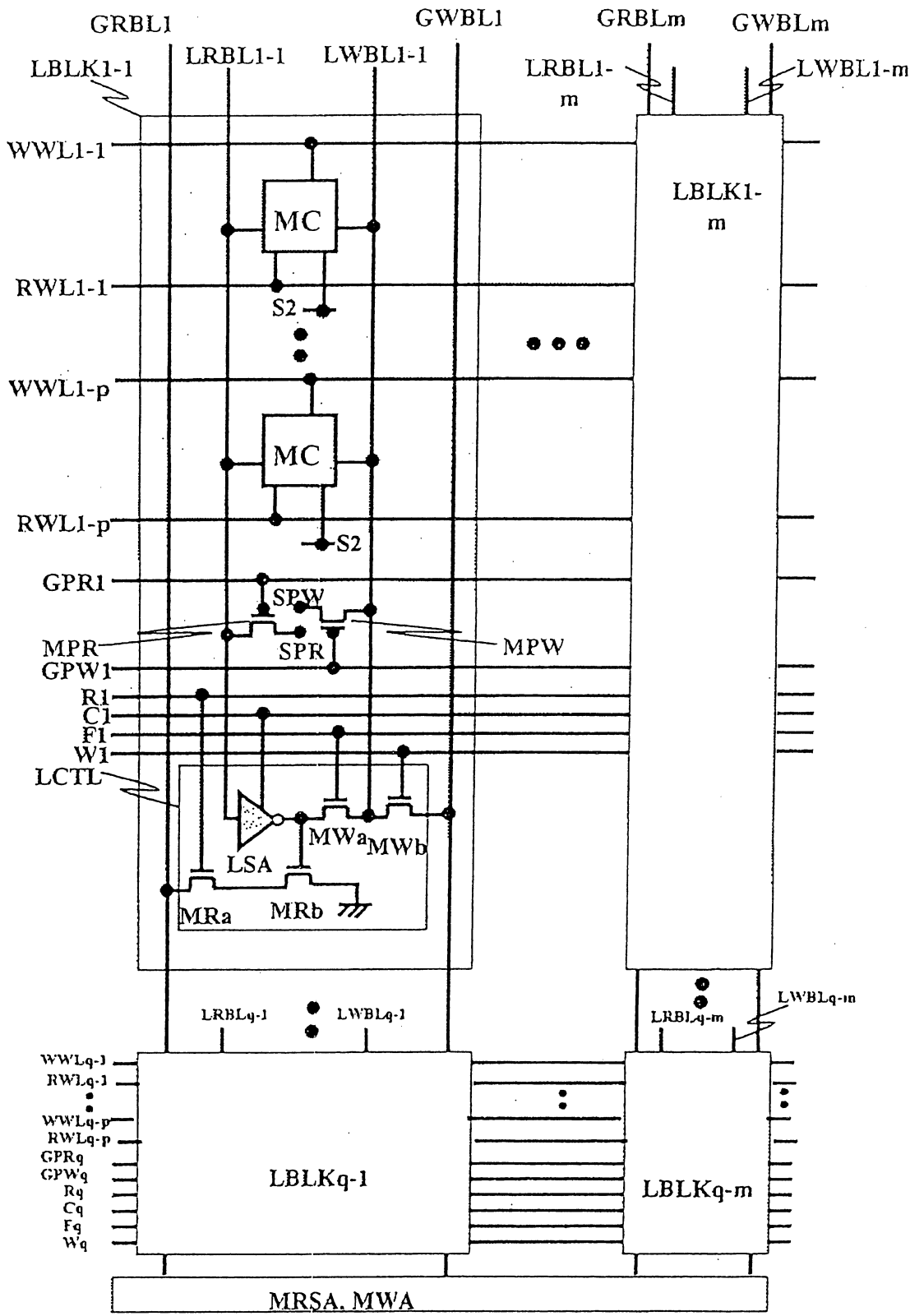
第15圖



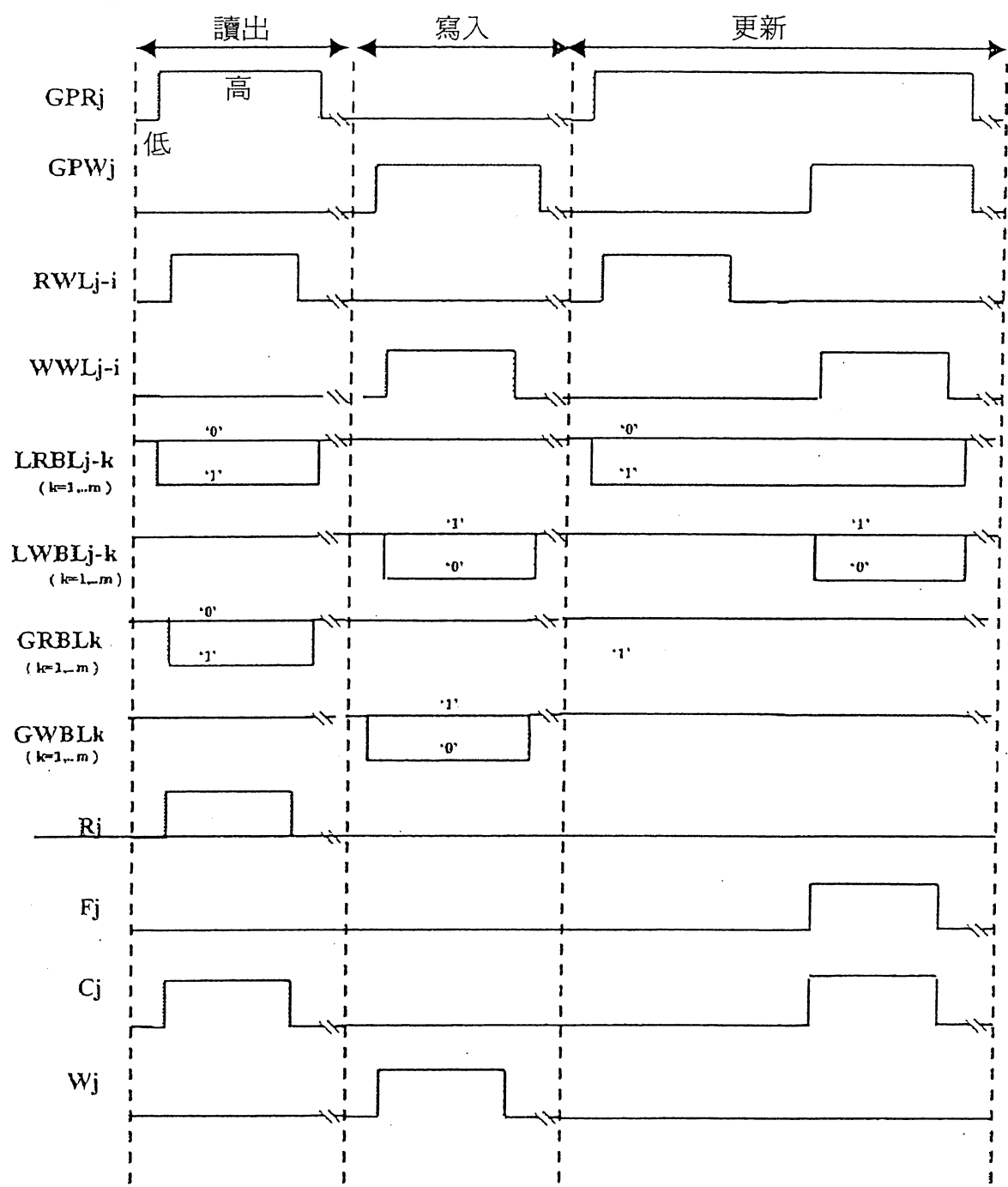
第16圖



第17圖



第18圖



七、指定代表圖：

(一)、本案指定代表圖為：第 (1) 圖

(二)、本代表圖之元件代表符號簡單說明：

LC：洩漏遮斷電路

MC：3 電晶體動態單元

RBL1~RBLn：讀出位元線

RSA：讀出感測放大器

RWL1~RWLn：讀出字元線

WA：寫入放大器

WBL1~WBLn：寫入位元線

WWL1~WWLn：寫入字元線

IO：輸入輸出電路

XDEC：X 解碼器

XDRV：X 驅動器

YDEC：Y 解碼器

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：