



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0121177  
(43) 공개일자 2012년11월05일

(51) 국제특허분류(Int. Cl.)  
H01L 27/115 (2006.01) H01L 21/8247 (2006.01)

(21) 출원번호 10-2011-0038998  
(22) 출원일자 2011년04월26일  
심사청구일자 2011년04월26일

(71) 출원인  
에스케이하이닉스 주식회사  
경기도 이천시 부발읍 경충대로 2091

(72) 발명자  
서순욱  
광주광역시 북구 첨단과기로 123, 생활관 1209호 (오룡동, 광주과학기술원)

이상범  
인천광역시 부평구 원적로 361, 한화2단지아파트 206동 507호 (산곡동)

김세준  
경기도 이천시 대산로288번길 89, 고담기숙사 10 1동 507호 (고담동)

(74) 대리인  
신영무

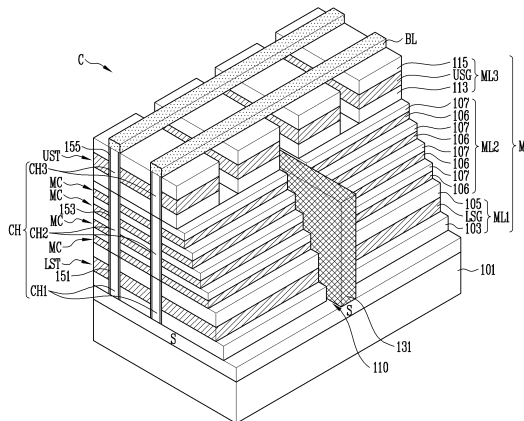
전체 청구항 수 : 총 28 항

(54) 발명의 명칭 반도체 메모리 소자 및 그 제조방법

**(57) 요약**

본 발명에 따른 반도체 메모리 소자는 소스 영역을 갖는 하부 구조 상부에 3차원 구조로 형성되며 슬릿에 의해 분리되는 다수의 메모리 블록들, 상기 메모리 블록들의 각 스트링에 연결되며 상기 메모리 블록들의 상부에 배치된 다수의 비트 라인들, 및 상기 슬릿의 내부를 통해 상기 소스 영역에 연결되며, 상기 다수의 비트 라인들과 교차하는 방향으로 배치된 소스 콘택 플러그를 포함한다.

**대표도** - 도4



**특허청구의 범위**

**청구항 1**

소스 영역을 갖는 하부 구조 상부에 3차원 구조로 형성되며 슬릿에 의해 분리되는 다수의 메모리 블록들; 상기 메모리 블록들의 각 스트링에 연결되며 상기 메모리 블록들의 상부에 배치된 다수의 비트 라인들; 및 상기 슬릿의 내부를 통해 상기 소스 영역에 연결되며, 상기 다수의 비트 라인들과 교차하는 방향으로 배치된 소스 콘택 플러그를 포함하는 반도체 메모리 소자.

**청구항 2**

제 1 항에 있어서,  
상기 소스 콘택 플러그는 판 형태를 가지며 상기 반도체 기판에 대해 수직하게 배치된 반도체 메모리 소자.

**청구항 3**

제 1 항에 있어서,  
상기 스트링은 상기 소스 영역 상에 적층된 하부 선택 트랜지스터;  
상기 하부 선택 트랜지스터 상에 적층된 다수의 메모리 셀; 및  
상기 메모리 셀 상에 적층된 상부 선택 트랜지스터를 포함하는 반도체 메모리 소자.

**청구항 4**

제 3 항에 있어서,  
상기 소스 콘택 플러그는 상기 소스 영역으로부터 상기 다수의 메모리 셀의 높이까지 형성된 반도체 메모리 소자.

**청구항 5**

제 4 항에 있어서,  
상기 소스 콘택 플러그 및 상기 다수의 비트 라인을 덮는 층간 절연막;  
상기 층간 절연막을 관통하여 상기 소스 콘택 플러그에 연결된 비아 콘택 플러그; 및  
상기 소스 콘택 플러그와 나란한 방향으로 상기 층간 절연막 상부에 형성되며 상기 비아 콘택 플러그에 연결된 공통 소스 라인을 더 포함하는 반도체 메모리 소자.

**청구항 6**

제 5 항에 있어서,  
상기 비아 콘택 플러그는 상기 다수의 비트 라인들 사이마다 배치된 반도체 메모리 소자.

**청구항 7**

제 4 항에 있어서,  
상기 슬릿의 내벽면과 상기 소스 콘택 플러그 사이에 형성된 블록 절연막을 더 포함하는 반도체 메모리 소자.

**청구항 8**

제 3 항에 있어서,  
상기 소스 콘택 플러그는 상기 소스 영역으로부터 상기 하부 선택 트랜지스터의 높이까지 형성된 반도체 메모리 소자.

**청구항 9**

제 8 항에 있어서,

상기 슬릿의 내벽면과 상기 소스 콘택 플러그 사이에 형성된 제1 블록 절연막을 더 포함하는 반도체 메모리 소자.

**청구항 10**

제 9 항에 있어서,

상기 제1 블록 절연막과 상기 소스 콘택 플러그 상부에 형성되어 상기 슬릿 내부를 채우는 제2 블록 절연막;

상기 제2 블록 절연막을 관통하여 상기 소스 콘택 플러그에 연결된 제1 비아 콘택 플러그;

상기 제1 비아 콘택 플러그 및 상기 비트 라인을 덮는 층간 절연막;

상기 층간 절연막을 관통하여 상기 제1 비아 콘택 플러그에 연결된 제2 비아 콘택 플러그; 및

상기 소스 콘택 플러그와 나란한 방향으로 상기 층간 절연막 상부에 형성되어 상기 제2 비아 콘택 플러그에 연결된 공통 소스 라인을 더 포함하는 반도체 메모리 소자.

**청구항 11**

제 10 항에 있어서,

상기 제1 및 제2 비아 콘택 플러그는 상기 다수의 비트 라인들 사이마다 배치된 반도체 메모리 소자.

**청구항 12**

제 1 항에 있어서,

상기 하부 구조는

반도체 기판; 및

상기 반도체 기판 상에 형성되어 상기 소스 영역이 되는 도프트 폴리 실리콘막을 포함하는 반도체 메모리 소자.

**청구항 13**

제 12 항에 있어서,

상기 슬릿 하부의 상기 도프트 폴리 실리콘막을 관통하여 형성된 소스 트렌치;

상기 소스 트렌치의 표면 상에 형성된 접착막; 및

상기 접착막 상부에 형성되며 상기 소스 트렌치 내부를 채우는 하부 소스 콘택 플러그를 더 포함하는 반도체 메모리 소자.

**청구항 14**

소스 영역을 갖는 하부 구조 상부에 다수의 하부 선택 트랜지스터들을 형성하는 단계;

상기 다수의 하부 선택 트랜지스터들 상에 다수의 메모리 스트링들을 형성하는 단계;

상기 다수의 하부 선택 트랜지스터들 및 상기 다수의 메모리 스트링들을 메모리 블록 단위로 분할하는 슬릿을 형성하는 단계;

상기 슬릿 내부에 상기 소스 영역과 연결되는 소스 콘택 플러그를 형성하는 단계;

상기 다수의 메모리 스트링들 상부에 다수의 상부 선택 트랜지스터들을 형성하는 단계; 및

상기 상부 선택 트랜지스터들 상부에 일 방향으로 배치된 다수의 비트 라인들을 형성하는 단계를 포함하는 반도체 메모리 소자의 제조방법.

**청구항 15**

제 14 항에 있어서,

상기 소스 콘택 플러그를 형성하는 단계는

상기 슬릿을 블록 절연막으로 채우는 단계;

상기 블록 절연막을 식각하여 상기 슬릿 내부에 상기 소스 영역을 노출시키는 트렌치를 형성하는 단계; 및

상기 트렌치 내부를 도전성 물질로 채우는 단계를 포함하는 반도체 메모리 소자의 제조방법.

#### 청구항 16

제 14 항에 있어서,

상기 다수의 비트 라인들을 형성하는 단계 이 후,

상기 소스 콘택 플러그 및 상기 비트 라인들을 덮는 층간 절연막을 형성하는 단계;

상기 층간 절연막을 관통하여 상기 소스 콘택 플러그에 연결된 비아 콘택 플러그를 형성하는 단계; 및

상기 층간 절연막 상부에 상기 비아 콘택 플러그에 연결되며 상기 소스 콘택 플러그에 나란한 방향으로 배치된 공통 소스 라인을 형성하는 단계를 더 포함하는 반도체 메모리 소자의 제조방법.

#### 청구항 17

제 16 항에 있어서,

상기 비아 콘택 플러그는 상기 다수의 비트 라인들 사이마다 형성된 반도체 메모리 소자의 제조방법.

#### 청구항 18

제 14 항에 있어서,

상기 하부 구조는

반도체 기관; 및

상기 반도체 기관 상에 형성되어 상기 소스 영역이 되는 도프트 폴리 실리콘막을 포함하는 반도체 메모리 소자의 제조방법.

#### 청구항 19

제 18 항에 있어서,

상기 하부 트랜지스터를 형성하는 단계 이전,

상기 도프트 폴리 실리콘막을 식각하여 소스 트렌치를 형성하는 단계;

상기 소스 트렌치의 표면을 따라 접착막을 형성하는 단계; 및

상기 소스 트렌치 내부를 채우는 하부 소스 콘택 플러그를 상기 접착막 상부에 형성하는 단계를 더 포함하고,

상기 소스 콘택 플러그는 상기 하부 소스 콘택 플러그 상부에 형성되는 반도체 메모리 소자의 제조방법.

#### 청구항 20

제 14 항에 있어서,

상기 다수의 비트 라인들과 상기 소스 콘택 플러그는 서로 교차하는 방향으로 형성된 반도체 메모리 소자의 제조방법.

#### 청구항 21

소스 영역을 갖는 하부 구조 상부에 다수의 하부 선택 트랜지스터들을 형성하는 단계;

상기 하부 선택 트랜지스터들을 메모리 블록 단위로 분할하는 제1 슬릿을 형성하는 단계;

상기 제1 슬릿 내부에 상기 소스 영역과 연결되는 소스 콘택 플러그를 형성하는 단계;  
 상기 다수의 하부 선택 트랜지스터들 상에 다수의 메모리 스트링들을 형성하는 단계;  
 상기 다수의 메모리 스트링들을 상기 메모리 블록 단위로 분할하는 제2 슬릿을 형성하는 단계;  
 상기 제2 슬릿 내부에 상기 소스 콘택 플러그에 연결되는 제1 비아 콘택 플러그를 형성하는 단계;  
 상기 다수의 메모리 스트링들 상부에 다수의 상부 선택 트랜지스터들을 형성하는 단계; 및  
 상기 상부 선택 트랜지스터들 상부에 일 방향으로 배치된 다수의 비트 라인들을 형성하는 단계를 포함하는 반도체 메모리 소자의 제조방법.

**청구항 22**

제 21 항에 있어서,  
 상기 소스 콘택 플러그를 형성하는 단계는  
 상기 제1 슬릿을 제1 블록 절연막으로 채우는 단계;  
 상기 제1 블록 절연막을 식각하여 상기 제1 슬릿 내부에 상기 소스 영역을 노출시키는 트렌치를 형성하는 단계;  
 및  
 상기 트렌치 내부를 도전성 물질로 채우는 단계를 포함하는 반도체 메모리 소자의 제조방법.

**청구항 23**

제 21 항에 있어서,  
 상기 제1 비아 콘택 플러그를 형성하는 단계는  
 상기 제2 슬릿 내부에 제2 블록 절연막을 형성하는 단계;  
 상기 제2 블록 절연막을 식각하여 상기 소스 콘택 플러그를 노출시키는 제1 비아홀을 형성하는 단계; 및  
 상기 제1 비아홀 내부를 도전성 물질로 매립하는 단계를 포함하는 반도체 메모리 소자의 제조방법.

**청구항 24**

제 21 항에 있어서,  
 상기 제1 비아 콘택 플러그 및 상기 비트 라인들을 덮는 층간 절연막을 형성하는 단계;  
 상기 층간 절연막을 관통하여 상기 제1 비아 콘택 플러그에 연결된 제2 비아 콘택 플러그를 형성하는 단계; 및  
 상기 층간 절연막의 상부에 상기 제2 비아 콘택 플러그에 연결되며 상기 소스 콘택 플러그에 나란한 방향으로 배치된 공통 소스 라인을 형성하는 단계를 더 포함하는 반도체 메모리 소자의 제조방법.

**청구항 25**

제 24 항에 있어서,  
 상기 제1 및 제2 비아 콘택 플러그는 상기 다수의 비트 라인들 사이마다 형성되는 반도체 메모리 소자의 제조방법.

**청구항 26**

제 21 항에 있어서,  
 상기 하부 구조는  
 반도체 기판; 및  
 상기 반도체 기판 상에 형성되어 상기 소스 영역이 되는 도프트 폴리 실리콘막을 포함하는 반도체 메모리 소자의 제조방법.

**청구항 27**

제 26 항에 있어서,  
 상기 하부 트랜지스터를 형성하는 단계 이전,  
 상기 도프트 폴리 실리콘막을 식각하여 소스 트렌치를 형성하는 단계;  
 상기 소스 트렌치의 표면을 따라 접착막을 형성하는 단계; 및  
 상기 소스 트렌치 내부를 채우는 하부 소스 콘택 플러그를 상기 접착막 상부에 형성하는 단계를 더 포함하고,  
 상기 소스 콘택 플러그는 상기 하부 소스 콘택 플러그 상부에 중첩되는 반도체 메모리 소자의 제조방법.

**청구항 28**

제 21 항에 있어서,  
 상기 다수의 비트 라인들과 상기 소스 콘택 플러그는 서로 교차하는 방향으로 형성된 반도체 메모리 소자의 제조방법.

**명세서**

**기술분야**

[0001] 본 발명은 반도체 메모리 소자 및 그 제조방법에 관한 것으로, 특히 3차원 구조를 갖는 반도체 메모리 소자 및 그 제조방법에 관한 것이다.

**배경기술**

[0002] 플래시 메모리 소자의 동작 시 다수의 비트 라인들로부터 공통 소스 라인에 연결된 소스 콘택 플러그로 많은 전류가 흐르는 경우 소스 콘택 플러그의 저항 때문에 공통 소스 라인의 전압이 변동하는 소스 라인 바운싱 현상이 발생한다. 이러한 소스 라인 바운싱 현상은 플래시 메모리 소자의 특성을 저하시킨다. 이하, 소스 라인 바운싱 현상으로 인한 플래시 메모리 소자의 특성 저하에 대해 구체적으로 설명한다.

[0003] 플래시 메모리 소자의 메모리 셀 어레이는 다수의 메모리 스트링들을 포함한다. 각각의 메모리 스트링은 직렬로 연결된 메모리 셀들로 구성된다. 그리고 각각의 메모리 스트링의 드레인 비트 라인에 연결된다. 각각의 비트 라인에 연결된 다수의 메모리 스트링들은 소스 콘택 플러그를 통해 공통 소스 라인에 공통으로 연결된다. 그리고 메모리 스트링을 구성하는 각각의 메모리 셀의 게이트는 워드 라인에 연결된다. 각각의 워드 라인에는 다수의 메모리 스트링들의 메모리 셀들이 연결된다.

[0004] 선택된 메모리 셀에 데이터를 기록하기 위하여 선택된 메모리 셀이 프로그램될 때까지 정해진 횟수 범위 내에서 프로그램 동작과 검증 동작을 반복 실시한다. 검증 동작시 선택된 메모리 셀에 연결된 비트 라인을 하이 레벨로 프리차지시킨 후, 선택된 메모리 셀에 연결된 워드 라인에 검증 전압을 인가하여 비트 라인의 전압 레벨이 변경되는지 여부를 근거로 선택된 메모리 셀의 프로그램 완료 여부를 판단한다. 즉, 선택된 메모리 셀의 문턱 전압 레벨이 검증 전압 이상이 되어 프로그램이 완료되면 비트 라인은 하이 레벨을 유지하고, 선택된 메모리 셀의 문턱 전압 레벨이 검증 전압에 도달하지 못하여 프로그램이 완료되지 않으면 공통 소스 라인을 통해 비트 라인의 전압 레벨이 프리차지 레벨로부터 접지 전압으로 디스차지된다. 이 때, 공통 소스 라인에 연결된 소스 콘택 플러그의 저항으로 인해 공통 소스 라인의 전압이 높아지면 선택된 메모리 셀의 소스 전압도 높아지게 된다. 공통 소스 라인의 전압 레벨은 선택된 메모리 셀과 동일한 워드 라인에 연결된 메모리 셀들의 프로그램 상태에 따라 변동될 수 있다. 예를 들어, 동일한 워드 라인에 연결된 메모리 셀들이 모두 프로그램되지 않은 상태에서 선택된 메모리 셀의 검증 동작을 실시하면, 공통 소스 라인의 전압이 높아져서 선택된 메모리 셀의 프로그램이 완료되지 않았음에도 불구하고 비트 라인의 전압 레벨이 프리차지레벨로부터 디스차지되지 않아 프로그램 완료된 것으로 검증될 수 있다. 이 후 동일한 워드 라인에 연결된 메모리 셀들이 모두 프로그램되어 공통 소스 라인의 노이즈가 감소된 상태에서 선택된 메모리 셀의 독출 동작을 수행하면, 선택된 메모리 셀의 문턱 전압 레벨은 검증 동작시에 비하여 낮게 독출된다.

[0005] 상술한 바와 같이 주변 셀의 프로그램 상태에 따라 공통 소스 라인의 전압 레벨이 변동하는 소스 라인 바운싱 현상으로 인하여 프로그램되지 않은 셀임에도 불구하고 프로그램된 것으로 판단되는 언더 프로그램 셀이 발생하게 된다. 언더 프로그램 셀은 특정 프로그램 상태에 대한 메모리 셀들의 문턱 전압 분포를 증가시키는 요인이 된다. 이와 같이 플래시 메모리 소자의 특성 저하를 야기하는 소스 라인 바운싱은 공통 소스 라인에 연결된 소스 콘택 플러그의 저항이 클수록 심해진다. 그런데, 최근 메모리 셀의 집적도를 높이기 위해 메모리 셀들을 반도체 기판으로부터 수직으로 적층한 3차원 구조의 반도체 메모리 소자는 구조적인 특성상 저항이 낮은 소스 콘택 플러그에 다수의 셀 스트링들이 공통으로 연결되므로 소스 라인 바운싱 현상이 더욱 심하여 이를 개선하기 위한 방안이 요구된다.

**발명의 내용**

**해결하려는 과제**

[0006] 본 발명은 3차원 구조를 갖는 반도체 메모리 소자의 소스 라인 바운싱 현상을 개선할 수 있는 반도체 메모리 소자 및 그 제조방법을 제공한다.

**과제의 해결 수단**

[0007] 본 발명에 따른 반도체 메모리 소자는 소스 영역을 갖는 하부 구조 상부에 3차원 구조로 형성되며 슬릿에 의해 분리되는 다수의 메모리 블록들, 상기 메모리 블록들의 각 스트링에 연결되며 상기 메모리 블록들의 상부에 배치된 다수의 비트 라인들, 및 상기 슬릿의 내부를 통해 상기 소스 영역에 연결되며, 상기 다수의 비트 라인들과 교차하는 방향으로 배치된 소스 콘택 플러그를 포함한다.

[0008] 본 발명의 제1 실시 예에 따른 반도체 메모리 소자의 제조방법은 소스 영역을 갖는 하부 구조 상부에 다수의 하부 선택 트랜지스터들을 형성하는 단계, 상기 다수의 하부 선택 트랜지스터들 상에 다수의 메모리 스트링들을 형성하는 단계, 상기 다수의 하부 선택 트랜지스터들 및 상기 다수의 메모리 스트링들을 메모리 블록 단위로 분할하는 슬릿을 형성하는 단계, 상기 슬릿 내부에 상기 소스 영역과 연결되는 소스 콘택 플러그를 형성하는 단계, 상기 다수의 메모리 스트링들 상부에 다수의 상부 선택 트랜지스터들을 형성하는 단계, 및 상기 상부 선택 트랜지스터들 상부에 일 방향으로 배치된 다수의 비트 라인들을 형성하는 단계를 포함한다.

[0009] 본 발명의 제2 실시 예에 따른 반도체 메모리 소자의 제조방법은 소스 영역을 갖는 하부 구조 상부에 다수의 하부 선택 트랜지스터들을 형성하는 단계, 상기 하부 선택 트랜지스터들을 메모리 블록 단위로 분할하는 제1 슬릿을 형성하는 단계, 상기 제1 슬릿 내부에 상기 소스 영역과 연결되는 소스 콘택 플러그를 형성하는 단계, 상기 다수의 하부 선택 트랜지스터들 상에 다수의 메모리 스트링들을 형성하는 단계, 상기 다수의 메모리 스트링들을 상기 메모리 블록 단위로 분할하는 제2 슬릿을 형성하는 단계, 상기 제2 슬릿 내부에 상기 소스 콘택 플러그에 연결되는 제1 비아 콘택 플러그를 형성하는 단계, 상기 다수의 메모리 스트링들 상부에 다수의 상부 선택 트랜지스터들을 형성하는 단계, 및 상기 상부 선택 트랜지스터들 상부에 일 방향으로 배치된 다수의 비트 라인들을 형성하는 단계를 포함한다.

**발명의 효과**

[0010] 본 발명은 3차원 구조의 메모리 스트링들을 포함하는 메모리 블록들을 분할하며 비트 라인들과 교차하는 슬릿 내부에 소스 영역에 연결되며 비트 라인들과 교차하는 소스 콘택 플러그를 형성함으로써, 콘택홀 내부에 소스 콘택 플러그를 형성하는 경우보다 소스 콘택 플러그의 면적을 넓게 형성할 수 있으므로 소스 콘택 플러그의 저항을 개선할 수 있다. 그 결과, 본 발명은 소스 콘택 플러그의 저항을 개선하여 소스 라인 바운싱 현상을 개선할 수 있다.

**도면의 간단한 설명**

[0011] 도 1은 반도체 메모리 소자의 평면도이다.

도 2a는 도 1의 A부분의 단면도이다.

도 2b는 도 1의 B부분의 단면도이다.

도 3은 본 발명의 제1 실시 예에 따른 반도체 메모리 소자의 평면도이다.

도 4는 도 3의 C부분의 개략적인 사시도이다.

도 5a 내지 도 11a는 본 발명의 제1 실시 예에 따른 반도체 메모리 소자의 제조 방법을 설명하기 위한 평면도들이다.

도 5b 내지 도 11b는 도 5a 내지 도 11a의 선 "I-I'"를 따라 절취한 단면도들이다.

도 12는 도 11b의 선 "II-II'"를 따라 절취한 단면도이다.

도 13은 본 발명의 제2 실시 예에 따른 반도체 메모리 소자를 설명하기 위한 평면도이다.

도 14a 내지 도 14e는 본 발명의 제3 실시 예에 따른 반도체 메모리 소자 및 그 제조 방법을 설명하기 위한 사시도들이다.

도 15a 내지 도 15c는 본 발명의 제4 실시 예에 따른 반도체 메모리 소자의 제조방법을 설명하기 위한 단면도들이다.

### 발명을 실시하기 위한 구체적인 내용

[0012] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시 예를 설명하기로 한다. 그러나, 본 발명은 이하에서 개시되는 실시 예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 본 발명의 범위가 다음에 상술하는 실시 예에 한정되는 것은 아니다. 단지 본 실시 예는 본 발명의 개시가 완전하도록 하며 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명의 범위는 본원의 특허 청구 범위에 의해서 이해되어야 한다.

[0013] 한편, 어떤 막이 다른 막 또는 반도체 기관의 '상'에 있다라고 기재되는 경우에 상기 어떤 막은 상기 다른 막 또는 반도체 기관에 직접 접촉하여 존재할 수 있고, 또는 그 사이에 제3의 막이 개재되어질 수도 있다. 또한 도면에서 각 층의 두께나 크기는 설명의 편의 및 명확성을 위하여 과장되었다. 도면상에서 동일 부호는 동일한 요소를 지칭한다.

[0014] 도 1은 반도체 소자의 평면도이다. 도 1을 참조하면, 반도체 소자의 메모리 블록들(MB)은 슬릿(10)에 의해 분할된다. 각각의 메모리 블록(MB) 양단(A, B)은 각 층의 도전막에 콘택 플러그를 연결시키기 위해 계단구조(step structure)로 형성된다.

[0015] 도 2a는 도 1의 A부분의 단면도이고, 도 2b는 도 1의 B부분의 단면도이다. 도 2a 및 도 2b를 참조하면, 메모리 셀들을 반도체 기관(21)으로부터 수직으로 적층하여 반도체 소자의 고집적화를 달성하기 위해, 소스 영역(S)이 구비된 반도체 기관(21)의 상부에 제1 내지 제3 적층 구조(ML1, ML2, ML3)를 형성한다. 제1 적층 구조(ML1)은 소스 영역(S) 상부에 형성된 제1 절연막(23), 제1 절연막(23) 상부에 형성되며 도전막인 하부 선택 게이트막(LSG), 하부 선택 게이트막(LSG) 상부에 형성된 제2 절연막(25)을 포함한다. 제2 적층 구조(ML2)는 제1 적층 구조(ML1) 상부에 형성되며, 도전막들인 다수의 셀 게이트 막들(26) 및 다수의 절연막들(27)을 교대로 적층하여 형성한다. 제3 적층 구조(ML3)는 제2 적층 구조(ML2) 상에 형성되며, 제3 절연막(28), 제3 절연막(28) 상에 형성되며 도전막인 상부 선택 게이트막(USG), 상부 선택 게이트막(USG) 상부에 형성된 제4 절연막(29)을 포함한다.

[0016] 상술한 제1 내지 제3 적층 구조(ML1, ML2, ML3)는 도 1에서 상술한 슬릿(10)에 의해 다수의 메모리 블록으로 분할된다. 그리고, 각각의 메모리 블록을 구성하는 제1 내지 제3 적층 구조의 양단(A, B)은 제1 내지 제3 적층 구조(ML1, ML2, ML3)의 도전막들(LSG, 26, USG) 각각에 콘택 플러그가 연결될 수 있도록 계단구조로 형성된다. 계단 구조는 상부의 도전막(예를 들어 26) 양단에 비해 하부의 도전막(LSG) 양단이 돌출되게 제1 및 제2 적층 구조(ML1, ML2)를 계단형으로 패터닝함으로써 형성된다. 제1 및 제2 적층 구조(ML1, ML2)를 계단형으로 패터닝하는 공정을 슬리밍(slimming) 공정이라 한다. 슬리밍 공정은 포토레지스트 패틴을 식각 베리어로 하여 포토레지스트 패틴의 폭을 점차 감소시키면서 도전막들(LSG, 26) 간에 단차가 발생할 수 있도록 식각 공정을 반복 수행하여 실시된다. 도면에 도시하진 않았으나, 계단구조를 통해 돌출된 도전막들(LSG, 26, USG) 각각에는 제1 내지 제3 적층 구조(ML1, ML2, ML3)를 덮는 중간 절연막(31)을 판통하는 콘택 플러그가 연결되어 전압 공급원으로

로부터 신호를 인가받는다.

- [0017] 한편, 계단 구조를 통해 소스 영역(S)이 메모리 블록 양단에서 노출된다. 이러한 소스 영역(S)에는 층간 절연막(31)을 관통하는 콘택홀 내부에 소스 콘택 플러그(33)가 연결되어 층간 절연막(31) 상부의 공통 소스 라인(35)으로부터 인가받은 신호를 소스 영역(S)에 인가한다. 비아 콘택 플러그(33)는 층간 절연막(31)을 관통하는 콘택홀 내부에 형성되며 그 형성 면적이 좁아 저항이 크다. 본 발명은 비아 콘택 플러그(33)에 비해 작은 저항으로 소스 영역(S)에 연결된 구조물을 갖는 반도체 메모리 소자 및 그 제조 방법에 관한 것이다. 이하, 도면을 참조하여 본 발명의 실시 예들을 구체적으로 설명한다.
- [0018] 도 3은 본 발명의 제1 실시 예에 따른 반도체 메모리 소자의 평면도이다. 도 3을 참조하면, 반도체 메모리 소자의 메모리 블록들(MB)은 슬릿(110)을 통해 분리된다. 본 발명은 소스 영역(S)에 연결되는 소스 콘택 플러그(131)를 슬릿(110) 내부에 형성한다. 슬릿(110) 내부에 형성되는 소스 콘택 플러그(131)는 판 형태를 가지며 메모리 블록들(MB) 사이에 적층 구조의 적층 방향을 따라 반도체 기판에 대해 수직인 방향으로 형성된다. 따라서, 본 발명에 따른 소스 콘택 플러그(131)는 도 2에 도시된 소스 콘택 플러그에 비해 넓은 면적으로 형성될 수 있으므로 도 2에 도시된 소스 콘택 플러그에 비해 낮은 저항을 가진다. 그 결과, 본 발명은 슬릿(110) 내부에 형성되어 도 2에 도시된 소스 콘택 플러그보다 넓은 면적을 갖는 소스 콘택 플러그(131)를 통해 소스 라인 바운딩 현상을 개선할 수 있다.
- [0019] 도 4는 도 3의 C부분의 개략적인 사시도이다. 도 4를 참조하면, 본 발명의 제1 실시 예에 따른 반도체 메모리 소자는 고집적화를 위해 3차원 구조의 메모리 블록들을 포함한다. 3차원 구조의 메모리 블록은 소스 영역(S)을 갖는 하부 구조 상부에 수직으로 적층된 메모리 셀들(MC)로 구성된 메모리 스트링을 포함한다. 도면에 도시된 바와 같이 하부 구조는 소스 영역(S)인 불순물 주입 영역을 갖는 반도체 기판(101)일 수 있다. 이와는 달리 소스 영역(S)은 반도체 기판(101) 상부에 형성된 도프트 폴리 실리콘막일 수 있다. 본 발명에서는 메모리 스트링이 네 개의 적층된 메모리 셀들(MC)로 구성된 경우를 예시적으로 도시하였으나, 메모리 스트링을 구성하며 적층된 메모리 셀들(MC)의 수는 임의로 형성될 수 있다. 반도체 기판(101) 상에 수직으로 적층된 메모리 셀들(MC)은 하부 선택 트랜지스터(LST)와 상부 선택 트랜지스터(LST) 사이에 직렬로 연결되어 수직 구조의 스트링을 구성한다. 이러한 스트링은 다수의 행 및 다수의 열을 구비하는 매트릭스 형태로 배치된다. 한편, 소스 영역(S)은 적어도 하나 이상의 메모리 블록들을 공유한다.
- [0020] 하부 선택 트랜지스터들(LST)의 제1 수직 채널들(CH1) 각각은 소스 영역(S) 상부에 형성된 제1 적층 구조(ML1)를 관통하여 소스 영역(S)을 노출시키는 제1 홀들 내부에 형성된다. 제1 적층 구조(ML1)는 소스 영역(S) 상부에 형성된 제1 절연막(103), 제1 절연막(103) 상부에 형성되며 도전막인 하부 선택 게이트막(LSG), 하부 선택 게이트막(LSG) 상부에 형성된 제2 절연막(105)으로 구성된다. 제1 홀들 각각의 내벽에는 제1 게이트 절연막(151)이 판 형상으로 형성된다. 이로써, 제1 수직 채널(CH1)은 제1 게이트 절연막(151)을 사이에 두고 하부 선택 게이트막(LSG)에 의해 둘러싸인 구조로 형성된다.
- [0021] 메모리 스트링의 제2 수직 채널들(CH2) 각각은 제1 적층 구조(ML1) 상부에 형성된 제2 적층 구조(ML2)를 관통하여 제1 수직 채널들(CH1) 각각을 노출시키는 제2 홀들 내부에 형성된다. 제2 적층 구조(ML2)는 제1 적층 구조(ML1) 상부에 교대로 적층된 셀 게이트막들(106)과 절연막들(107)로 구성된다. 셀 게이트막들(106) 각각은 도전막이다. 제2 홀들 각각의 내벽에는 전하 차단막, 전하 저장막(153) 및 터널 절연막이 판 형상으로 형성된다. 도면에서는 전하 차단막과 터널 절연막 사이의 전하 저장막(153)만을 도시하였다. 이로써, 제2 수직 채널(CH2)은 셀 게이트막(106)들에 의해 둘러싸인 구조로 형성된다. 셀 게이트막들(106) 각각과 제2 수직 채널(CH2)의 교차부에는 채널이 셀 게이트막(106)에 의해 둘러싸인 구조를 갖는 메모리 셀(MC)이 형성된다. 상기에서 전하 저장막(153)은 실질적인 데이터 저장소로서 트랩 사이트에 전하를 트랩/방출하여 데이터를 저장/소거한다. 전하 차단막은 전하 저장막(153)에 저장된 전하들이 셀 게이트막(106)으로 이동하는 것을 차단한다. 터널 절연막은 제2 수직 채널(CH2)로부터 전하 저장막(153) 내로 전하가 주입될 때 또는 전하 저장막(153) 내에 축적된 전하가 제2 수직 채널(CH2) 내부로 이동할 때 전위 장벽막 역할을 한다.
- [0022] 상부 선택 트랜지스터들(UST)의 제3 수직 채널들(CH3) 각각은 제2 적층 구조(ML2) 상부에 형성된 제3 적층 구조(ML3)를 관통하여 제2 수직 채널들(CH2) 각각을 노출시키는 제3 홀들 내부에 형성된다. 제3 적층 구조(ML3)는 제2 적층 구조(ML2) 상부에 형성된 제3 절연막(113), 제3 절연막(113) 상부에 형성되며 도전막인 상부 선택 게이트막(USG), 상부 선택 게이트막(USG) 상부에 형성된 제3 절연막(115)으로 구성된다. 상기에서 제3 및 제4 절연막(113, 115)은 생략될 수 있다. 제3 홀들 각각의 내벽에는 제2 게이트 절연막(155)이 판 형상으로 형성된다. 이로써, 제3 수직 채널(CH3)은 제2 게이트 절연막(155)을 사이에 두고 상부 선택 게이트막(USG)에

의해 둘러싸인 구조로 형성된다.

- [0023] 그리고, 순차적으로 적층된 제1 내지 제3 수직 채널(CH1, CH2, CH3)을 포함하는 수직 채널(CH)은 반도체 기판(101)으로부터 돌출되며, 제3 수직 채널(CH3)은 비트 라인(BL)에 연결된다. 이로써, 비트 라인(BL)이 메모리 스트링에 연결된다. 비트 라인(BL)은 다수로 형성되며, 다수의 비트 라인들(BL)은 일 방향으로 형성된다. 이로써 다수의 비트 라인들(BL) 각각은 다수의 수직 채널들(CH)에 연결된다. 또한, 순차적으로 적층된 제1 내지 제3 적층 구조(ML1, ML2, ML3)를 포함하는 적층 구조(ML)는 메모리 블록 단위로 분리된다. 특히, 제1 및 제2 적층 구조(ML1, ML2)는 슬릿(110)을 통해 다수의 메모리 블록들로 분리된다. 본 발명은 소스 콘택 플러그(131)를 비트 라인들(BL)에 교차하는 방향으로 배치된 슬릿(110) 내부에 형성한다. 이로써 본 발명의 소스 콘택 플러그(131)는 콘택홀 내부에 형성되는 소스 콘택 플러그보다 넓은 면적으로 형성될 수 있다. 소스 콘택 플러그(131)는 슬릿(110) 내부를 채우는 블록 절연막을 관통하여 형성된다. 그리고 소스 콘택 플러그(131)는 소스 콘택 플러그(131)와 나란한 방향으로 형성되며 비트 라인(BL) 상부에 형성된 공통 소스 라인에 연결된다.
- [0024] 비트 라인들(BL)에 나란한 방향으로 배치된 메모리 블록들 각각의 양단에는 도전막들(LSG, 106, USG) 각각에 콘택 플러그가 연결될 수 있도록 계단 구조가 형성된다.
- [0025] 상기에서 비트 라인(BL)에 교차하는 방향으로 배치된 슬릿(110) 내부에 형성되는 소스 콘택 플러그(131)는 콘택홀 내부에 형성되는 소스 콘택 플러그에 비해 넓은 면적으로 형성할 수 있다. 이에 따라 본 발명은 도 2에 도시된 소스 콘택 플러그(33)에 비해 작은 저항을 가지며 소스 영역(S)에 연결된 소스 콘택 플러그(131)를 통해 3차원 반도체 메모리 소자의 소스 라인 바운싱을 개선할 수 있다.
- [0026] 도 5a 내지 도 11a는 본 발명의 제1 실시 예에 따른 반도체 메모리 소자의 제조 방법을 설명하기 위한 평면도들이다. 도 5b 내지 도 11b는 도 5a 내지 도 11a의 선 "I-I'"를 따라 절취한 단면도들이다. 도 12는 도 11b의 선 "II-II'"를 따라 절취한 단면도이다.
- [0027] 도 5a 및 도 5b를 참조하면, 소스 영역(S)을 가진 하부 구조를 제공한다. 소스 영역(S)은 반도체 기판(101) 내에 불순물을 주입하여 형성하거나, 반도체 기판(101)의 상부에 불순물이 도핑된 도프트 폴리 실리콘막을 형성한 후 도프트 폴리 실리콘막을 패터닝하여 형성할 수 있다. 소스 영역(S)은 다수로 분리될 수 있으며, 소스 영역(S) 각각의 면적은 칩 사이즈에 따라 다양하게 제어될 수 있다.
- [0028] 상기에서 반도체 기판(101)에는 웰(well) 영역 형성을 위한 불순물이 주입될 수 있으며, 불순물을 주입하여 소스 영역(S)을 형성하는 경우, 소스 영역(S)은 웰 영역 내에 형성된다.
- [0029] 도 6a 및 도 6b를 참조하면, 소스 영역(S)이 구비된 반도체 기판(101)의 상부에 제1 적층 구조(ML1)를 위한 제1 절연막(103), 하부 선택 게이트막(LSG), 및 제2 절연막(105)을 적층한다. 이 후, 제1 적층 구조(ML1)를 식각하여 소스 영역을 노출시키는 제1 홀들을 형성한다. 이어서 제1 홀의 표면을 따라 제1 홀이 형성된 전체 구조 상부에 제1 게이트 절연막을 형성한다. 제1 게이트 절연막은 제1 홀의 내벽뿐 아니라 제1 적층 구조(ML1)의 상면과 제1 홀의 바닥면을 통해 노출된 소스 영역(S) 상에도 형성된다. 이 후, 에치-백등의 식각 공정으로 제1 적층 구조(ML1)의 상면과 제1 홀의 바닥면에 형성된 제1 게이트 절연막을 제거하여 제1 게이트 절연막을 제1 홀 내벽에만 잔류시킨다. 이어서, 제1 홀들 각각의 내부를 폴리 실리콘으로 매립하여 소스 영역(S)에 연결된 제1 수직 채널들을 형성한다. 이에 따라 하부 선택 트랜지스터들이 형성된다.
- [0030] 이 후, 제1 수직 채널들이 형성된 제1 적층 구조(ML1)의 상부에 제2 적층 구조(ML2)를 위한 셀 게이트막들(106) 및 절연막들(107)을 교대로 증착한다. 셀 게이트막들(106) 및 절연막들(107)의 개수는 적층하고자 하는 메모리 셀의 개수에 따라 임의로 형성할 수 있다. 상기에서 셀 게이트막(106)은 실리콘막일 수 있고, 절연막(107)은 산화막일 수 있다.
- [0031] 이어서, 제2 적층 구조(ML2)를 식각하여 제1 수직 채널들 각각을 노출시키는 제2 홀들을 형성한다. 이어서 제2 홀의 표면을 따라 제2 홀이 형성된 전체 구조 상부에 전하 차단막, 전하 저장막(153), 터널 절연막을 순차적으로 형성한다. 전하 차단막 및 터널 절연막은 실리콘 산화막으로 형성되고, 전하 저장막(153)은 전하들을 구속하기 위한 트랩을 포함하는 실리콘 질화막으로 형성될 수 있다. 즉, 제2 홀이 형성된 전체 구조 상부에 ONO(Oxide/Nitride/Oxide)막을 형성한다. 전하 차단막, 전하 저장막(153), 터널 절연막은 제2 홀의 내벽뿐 아니라 제2 적층 구조(ML2)의 상면과 제2 홀의 바닥면을 통해 노출된 제1 수직 채널 상에도 형성된다. 이 후, 에치-백등의 식각 공정으로 제2 적층 구조(ML2)의 상면과 제2 홀의 바닥면에 형성된 전하 차단막, 전하 저장막(153), 터널 절연막을 제거하여 전하 차단막, 전하 저장막(153), 터널 절연막을 제2 홀 내벽에만 잔류시킨다. 이어서, 제2 홀들 각각의 내부를 폴리 실리콘으로 매립하여 제1 수직 채널들 각각에 연결된 제2 수직 채널들

(CH2)을 형성한다. 이에 따라 메모리 셀들이 형성된다.

- [0032] 이 후, 제1 및 제2 적층 구조(ML1, ML2)를 메모리 블록 단위로 분할하기 위해 제1 및 제2 적층 구조(ML1, ML2)를 식각하여 슬릿들(110)을 형성한다. 이러한 슬릿(110)을 통해 소스 영역(S)이 노출된다. 본 발명의 제1 실시 예에서 슬릿(110)은 소스 영역(S)의 표면으로부터 제2 적층 구조(ML2)의 높이(즉, 메모리 셀들이 적층된 메모리 스트링의 높이)까지 형성된다.
- [0033] 도 7a 및 도 7b를 참조하면, 슬릿들 각각의 내부를 블록 절연막(111)으로 채운다. 블록 절연막(111)은 슬릿들(110)이 형성된 전체 구조 상부에 슬릿(110) 내부를 채우도록 증착된 후 CMP(Chemical Mechanical Polishing: 화학적 기계적 연마)등의 평탄화 공정을 통해 평탄화된다. 블록 절연막(111)은 산화막으로 형성될 수 있으며, 블록 절연막(111)의 평탄화 공정시 식각 정지층 역할을 하는 질화막이 블록 절연막(111) 형성 전 제2 적층 구조(ML2)의 최상층에 더 형성될 수 있다. 이러한 블록 절연막(111)을 통해 블록들 사이가 절연된다.
- [0034] 이어서 소스 영역(S)에 증착되는 블록 절연막(111)을 식각하여 슬릿 내부에 블록 절연막(111)을 관통하여 소스 영역(S)을 노출시키는 트렌치(T)를 형성한다.
- [0035] 한편, 상술한 바와는 달리 블록 절연막(111)은 전체 구조의 표면을 따라 증착된 후, 에치-백등의 식각 공정으로 슬릿(110)의 바닥면과 제2 적층 구조(ML2)의 상부면 상에 형성된 블록 절연막(111)을 제거하여 블록 절연막(111)을 슬릿(110)의 측벽에만 잔류시킬 수 있다. 이로써, 슬릿(110) 내부의 블록 절연막들(111) 사이에 트렌치(T)가 정의될 수 있다.
- [0036] 이 후, 트렌치(T)가 형성된 전체 구조 상부에 트렌치(T) 내부가 채워지도록 도전막을 형성한다. 도전막은 폴리 실리콘막, 금속막, 금속 합금막, 또는 금속 실리사이드막일 수 있다. 금속막으로서 저항이 낮은 텅스텐(W), 구리(Cu)등이 이용될 수 있으며, 실리사이드막으로서 저항이 낮은 니켈 실리사이드막(NiSix), 텅스텐 실리사이드막(WSix)이 이용될 수 있다(여기서, x는 자연수이다). 이어서 도전막을 CMP 방법등으로 평탄화하여 트렌치(T) 내부에만 잔류시킨다. 이로써, 슬릿 내부의 트렌치(T) 내부에 소스 영역(S)에 연결되며 슬릿과 동일한 높이의 소스 콘택 플러그(131)가 형성된다. 소스 콘택 플러그(131)와 슬릿의 내벽면 사이에는 블록 절연막(111)이 잔류한다.
- [0037] 이 후, 도면에 도시하진 않았으나, 메모리 블록 단위로 분할된 제1 및 제2 적층 구조(ML1, ML2) 양단에 상부의 도전막(예를 들어 106) 양단에 비해 하부의 도전막(LSG) 양단이 돌출되도록 계단구조를 형성한다. 계단구조는 제1 및 제2 적층 구조(ML1, ML2)를 슬리밍 공정을 통해 계단형으로 패터닝함으로써 형성된다. 슬리밍 공정은 포토레지스트 패턴을 식각 베리어로 하여 포토레지스트 패턴의 폭을 점차 감소시키면서 도전막들(LSG, 106) 양단에 계단 구조가 형성될 수 있도록 식각 공정을 반복 수행하여 실시된다.
- [0038] 도 8a 및 도 8b를 참조하면, 제2 적층 구조(ML2) 상에 제3 적층 구조(ML3)를 위한 제3 절연막(113), 상부 선택 게이트막(USG), 및 제4 절연막(115)을 적층한다. 이 후, 제3 적층 구조(ML3)를 식각하여 제2 수직 채널들 각각을 노출시키는 제3 홀들을 형성한다. 이어서 제3 홀의 표면을 따라 제3 홀이 형성된 전체 구조 상부에 제2 게이트 절연막(155)을 형성한다. 제2 게이트 절연막(155)은 제3 홀의 내벽뿐 아니라 제2 적층 구조(ML2)의 상면과 제3 홀의 바닥면을 통해 노출된 제2 수직 채널 상에도 형성된다. 이 후, 에치-백등의 식각 공정으로 제2 적층 구조(ML2)의 상면과 제3 홀의 바닥면에 형성된 제2 게이트 절연막(155)을 제거하여 제2 게이트 절연막(155)을 제3 홀 내벽에만 잔류시킨다. 이어서, 제3 홀들 각각의 내부를 폴리 실리콘으로 매립하여 제2 수직 채널들 각각에 연결된 제3 수직 채널들(CH3)을 형성한다. 이에 따라 상부 선택 트랜지스터들이 형성된다. 이 후, 제3 수직 채널들(CH3)이 형성된 제3 적층 구조(ML3)를 식각하여 제3 적층 구조(ML3)를 다수의 메모리 블록 단위로 분리하거나, 메모리 블록 단위보다 작은 단위로 분리한다.
- [0039] 도 9a 및 도 9b를 참조하면, 제3 수직 채널(CH3)이 형성된 전체 구조 상부에 제1 층간 절연막(121)을 형성한다. 이 후, 제1 층간 절연막(121)을 식각하여 제3 수직 채널들을 노출시키는 트렌치들을 형성한다. 이 후, 트렌치들 각각이 채워지도록 금속등의 도전성 물질을 전체 구조 상부에 형성한 후 CMP 또는 패터닝 공정을 실시하여 서로 이격된 다수의 비트 라인(BL)을 형성한다. 비트 라인(BL)은 트렌치들 각각의 내부에 형성되며 제3 수직 채널들에 연결된다. 그리고 비트 라인(BL)은 소스 콘택 플러그(131)에 교차하는 방향으로 형성된다.
- [0040] 도 10a 및 도 10b를 참조하면, 비트 라인들(BL)이 형성된 전체 구조 상부에 제2 층간 절연막(123)을 형성한다. 이 후, 제2 층간 절연막(123) 및 제1 층간 절연막(121)을 식각한다. 이로써, 제2 층간 절연막(123) 및 제1 층간 절연막(121)을 관통하여 소스 콘택 플러그(131) 일부를 노출시키는 비아홀들이 형성된다. 이어서, 비아홀들 내부가 도전성 물질로 채워지도록 도전성 물질을 증착한 후, CMP 등의 평탄화 공정으로 도전성 물질을 평탄화한

다. 이로써, 비아홀들 각각의 내부에 제2 층간 절연막(123) 및 제1 층간 절연막(121)을 관통하여 소스 콘택 플러그(131)에 연결된 비아 콘택 플러그(133)가 형성된다. 비아홀 및 비아 콘택 플러그(133)는 소스 콘택 플러그(131) 각각에 하나씩 연결된다. 비아 콘택 플러그(133)를 구성하는 도전성 물질은 금속막, 금속 합금막, 또는 실리사이드막일 수 있다.

- [0041] 도 11a 및 도 11b를 참조하면, 비아 콘택 플러그(133)가 형성된 전체 구조 상부에 소스 콘택 플러그(131)에 나란한 방향으로 형성되며 다수의 비아 콘택 플러그(133)를 연결하는 공통 소스 라인(135)이 더 형성된다. 이러한 공통 소스 라인(135)을 통해 소스 콘택 플러그(131)에 전기적인 신호를 인가할 수 있다.
- [0042] 비트 라인(BL) 방향을 따라 절취한 반도체 소자의 단면은 도 12에 도시된 바와 같다.
- [0043] 한편, 도면에 도시하진 않았으나, 계단구조의 메모리 블록 양단에서 돌출된 도전막들 각각은 적어도 한층의 층간 절연막을 관통하여 형성된 콘택 플러그들에 연결된다.
- [0044] 상술한 바와 같이 본 발명의 제1 실시 예에서는 소스 영역(S)에 연결된 소스 콘택 플러그(131)를 관 형태로 반도체 기관(101)에 대해 수직인 방향으로 형성하여 넓은 면적을 갖도록 형성할 수 있으므로 소스 영역(S)에 연결된 소스 콘택 플러그(131)의 저항을 개선하여 소스 라인 바운싱 현상을 개선할 수 있다.
- [0045] 도 13은 본 발명의 제2 실시 예에 따른 반도체 소자를 설명하기 위한 평면도이다. 도 13을 참조하면, 도 10a 및 도 10b에서 상술한 비아홀 및 비아 콘택 플러그(133)는 다수의 비트 라인(BL) 사이마다 형성되어 소스 콘택 플러그 각각에 다수로 연결될 수 있다.
- [0046] 도 14a 내지 도 14e는 본 발명의 제3 실시 예에 따른 반도체 소자 및 그 제조 방법을 설명하기 위한 사시도들이다.
- [0047] 도 14a를 참조하면, 소스 영역(S)이 구비된 하부 구조를 제공한다. 소스 영역(S)은 반도체 기관(201) 내부에 불순물을 주입하여 형성하거나, 반도체 기관(201)의 상부에 불순물이 도핑된 도프트 폴리 실리콘막을 형성한 후 도프트 폴리 실리콘막을 패터닝하여 형성할 수 있다. 소스 영역(S)은 다수로 이격되어 형성될 수 있으며, 이 경우, 소스 영역(S)의 면적은 칩 사이즈에 따라 다양하게 제어될 수 있다.
- [0048] 상기에서 반도체 기관(201)에는 웰(well) 영역 형성을 위한 불순물이 주입될 수 있으며, 소스 영역(S)이 불순물을 주입하여 형성된 경우, 소스 영역(S)은 웰 영역 내에 형성된다.
- [0049] 소스 영역(S)이 구비된 반도체 기관(201)의 상부에 제1 적층 구조(ML1)를 위한 제1 절연막(203), 하부 선택 게이트막(LSG), 및 제2 절연막(205)을 적층한다. 이후, 제1 적층 구조(ML1)를 식각하여 소스 영역을 노출시키는 제1 홀들을 형성한다. 이어서 제1 홀의 표면을 따라 제1 홀이 형성된 전체 구조 상부에 제1 게이트 절연막(251)을 형성한다. 제1 게이트 절연막(251)은 제1 홀의 내벽뿐 아니라 제1 적층 구조(ML1)의 상면과 제1 홀의 바닥면을 통해 노출된 소스 영역(S) 상에도 형성된다. 이후, 에치-백등의 식각 공정으로 제1 적층 구조(ML1)의 상면과 제1 홀의 바닥면에 형성된 제1 게이트 절연막(251)을 제거하여 제1 게이트 절연막(251)을 제1 홀 내벽에만 잔류시킨다. 이어서, 제1 홀들 각각의 내부를 폴리 실리콘으로 매립하여 소스 영역(S)에 연결된 제1 수직 채널들(CH1)을 형성한다. 이에 따라 하부 선택 트랜지스터들이 형성된다.
- [0050] 이어서, 제1 적층 구조(ML1)를 메모리 블록 단위로 분할하기 위해 제1 적층 구조(ML1)를 식각하여 제1 슬릿들(210a)을 형성한다. 이러한 제1 슬릿(210a)을 통해 소스 영역(S)이 노출된다. 제1 슬릿(210a)은 소스 영역(S)의 표면으로부터 하부 선택 트랜지스터가 형성되는 제1 적층 구조(ML1)의 높이까지 형성된다.
- [0051] 도 14b를 참조하면, 제1 슬릿들(210a) 각각의 내부를 제1 블록 절연막(211a)으로 채운다. 제1 블록 절연막(211a)은 제1 슬릿들(210a)이 형성된 전체 구조 상부에 제1 슬릿(210a) 내부를 채우도록 증착된 후 CMP(Chemical Mechanical Polishing: 화학적 기계적 연마)등의 평탄화 공정을 통해 평탄화된다. 제1 블록 절연막(211a)은 산화막으로 형성될 수 있다. 이러한 제1 블록 절연막(211a)을 통해 메모리 블록 단위로 분리된 제1 적층 구조(ML1)들 사이가 절연된다.
- [0052] 이어서 소스 영역(S)에 중첩되는 제1 블록 절연막(211a)을 식각하여 제1 슬릿 내부에 제1 블록 절연막(211a)을 관통하여 소스 영역(S)을 노출시키는 트랜치(T)를 형성한다.
- [0053] 한편, 상술한 바와는 달리 제1 블록 절연막(211a)은 전체 구조의 표면을 따라 증착된 후, 에치-백등의 식각 공정으로 제1 슬릿(210a)의 바닥면과 제1 적층 구조(ML1)의 상부면 상에 형성된 제1 블록 절연막(211a)을 제거하여 제1 블록 절연막(211a)을 제1 슬릿(210a)의 측벽에만 잔류시킬 수 있다. 이로써, 제1 슬릿(210a) 내부의 제1

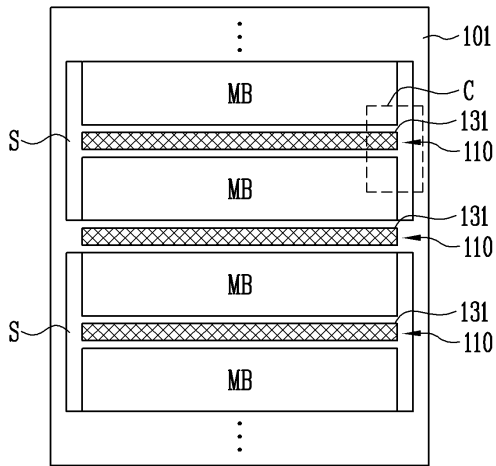
블록 절연막들(211a)들 사이에 트렌치(T)가 정의될 수 있다.

- [0054] 이 후, 트렌치(T)가 형성된 전체 구조 상부에 트렌치(T) 내부가 채워지도록 도전막을 형성한다. 도전막은 폴리 실리콘막, 금속막, 금속 합금막, 또는 금속 실리사이드막일 수 있다. 금속막으로서 저항이 낮은 텅스텐(W), 구리(Cu)등이 이용될 수 있으며, 실리사이드막으로서 저항이 낮은 니켈 실리사이드막(NiSix), 텅스텐 실리사이드막(WSix)이 이용될 수 있다(여기서, x는 자연수이다). 이어서 도전막을 CMP 방법등으로 평탄화하여 트렌치(T) 내부에만 잔류시킨다. 이로써, 트렌치(T) 내부에 소스 영역(S)에 연결되며 제1 슬릿과 동일한 높이를 가진 소스 콘택 플러그(231)가 형성된다. 소스 콘택 플러그(231)와 제1 슬릿의 내벽면 사이에는 제1 블록 절연막(211a)이 잔류한다.
- [0055] 이와 같이 본 발명의 제2 실시 예에서는 제1 실시 예에서와 마찬가지로 슬릿 내부에 소스 콘택 플러그(231)를 형성하므로 콘택홀 내부에 형성되는 콘택 플러그에 비해 넓은 면적을 갖도록 소스 콘택 플러그(231)를 형성할 수 있다. 그 결과, 본 발명의 제2 실시 예는 소스 콘택 플러그(231)의 저항을 개선하여 소스 라인 바운싱 현상을 개선할 수 있다.
- [0056] 한편, 본 발명의 제2 실시 예에서는 제2 적층 구조 형성 전, 제1 적층 구조(ML1)를 식각하여 형성한 제1 슬릿 내부의 제1 블록 절연막(211a)을 식각하여 트렌치(T)를 형성하므로, 트렌치(T)의 종횡비를 개선할 수 있다. 이에 따라, 본 발명의 제2 실시 예에서는 반도체 소자의 고집적화를 위해 슬릿의 폭을 줄이더라도 트렌치(T)의 종횡비를 개선할 수 있으므로 트렌치(T)를 매립하는 소스 콘택 플러그(231) 내부에 보이드가 형성되는 현상을 개선할 수 있다.
- [0057] 도 14c를 참조하면, 소스 콘택 플러그(231)가 형성된 전체 구조 상부에 제2 적층 구조(ML2)를 위한 셀 게이트막들(206) 및 절연막들(207)을 교대로 증착한다. 셀 게이트막들(206) 및 절연막들(207)의 개수는 적층하고자 하는 메모리 셀의 개수에 따라 임의로 형성할 수 있다. 상기에서 셀 게이트막(206)은 실리콘막일 수 있고, 절연막(207)은 산화막일 수 있다.
- [0058] 이어서, 제2 적층 구조(ML2)를 식각하여 제1 수직 채널들 각각을 노출시키는 제2 홀들을 형성한다. 이어서 제2 홀의 표면을 따라 제2 홀이 형성된 전체 구조 상부에 전하 차단막, 전하 저장막(253), 터널 절연막을 순차적으로 형성한다. 전하 차단막 및 터널 절연막은 실리콘 산화막으로 형성되고, 전하 저장막(253)은 전하들을 구속하기 위한 트랩을 포함하는 실리콘 질화막으로 형성될 수 있다. 즉, 제2 홀이 형성된 전체 구조 상부에 ONO(Oxide/Nitride/Oxide)막을 형성한다. 전하 차단막, 전하 저장막(253), 터널 절연막은 제2 홀의 내벽뿐 아니라 제2 적층 구조(ML2)의 상면과 제2 홀의 바닥면을 통해 노출된 제1 수직 채널 상에도 형성된다. 이 후, 에치-백등의 식각 공정으로 제2 적층 구조(ML2)의 상면과 제2 홀의 바닥면에 형성된 전하 차단막, 전하 저장막(253), 터널 절연막을 제거하여 전하 차단막, 전하 저장막(253), 터널 절연막을 제2 홀 내벽에만 잔류시킨다. 이어서, 제2 홀들 각각의 내부를 폴리 실리콘으로 매립하여 제1 수직 채널들 각각에 연결된 제2 수직 채널들(CH2)을 형성한다. 이에 따라 메모리 셀들이 형성된다.
- [0059] 이 후, 제2 적층 구조(ML2)를 메모리 블록 단위로 분할하기 위해 제2 적층 구조(ML2)를 식각하여 제2 슬릿들(210b)을 형성한다. 제2 슬릿들(210b) 각각은 제1 슬릿에 중첩되며 소스 콘택 플러그(231) 및 제1 블록 절연막(211a)을 노출시킨다.
- [0060] 도 14d를 참조하면, 제2 슬릿들 각각의 내부를 제2 블록 절연막(211b)으로 채운다. 제2 블록 절연막(211b)은 제2 슬릿들이 형성된 전체 구조 상부에 제2 슬릿 내부를 채우도록 증착된 후 CMP등의 평탄화 공정을 통해 평탄화된다. 제2 블록 절연막(211b)은 산화막으로 형성될 수 있으며, 제2 블록 절연막(211b)의 평탄화 공정시 식각 정지층 역할을 하는 질화막이 제2 적층 구조(ML2)의 최상층에 더 형성될 수 있다. 이러한 제2 블록 절연막(211b)을 통해 제2 슬릿에 의해 분리된 제2 적층 구조들(ML2) 사이가 절연된다.
- [0061] 도 14e를 참조하면, 소스 콘택 플러그(231)에 중첩된 제2 블록 절연막(211b)을 식각함으로써 제2 블록 절연막(211b)을 관통하여 소스 콘택 플러그(231)의 일부를 노출시키는 제1 비아홀들을 형성한다. 이 후, 제1 비아홀들이 형성된 전체 구조 상부에 제1 비아홀 내부가 채워지도록 도전막을 형성한다. 도전막은 폴리 실리콘막, 금속막, 금속 합금막, 또는 금속 실리사이드막일 수 있다. 금속막으로서 저항이 낮은 텅스텐(W), 구리(Cu)등이 이용될 수 있으며, 실리사이드막으로서 저항이 낮은 니켈 실리사이드막(NiSix), 텅스텐 실리사이드막(WSix)이 이용될 수 있다(여기서, x는 자연수이다). 이어서 도전막을 CMP 방법등으로 평탄화하여 제1 비아홀 내부에만 잔류시킨다. 이로써, 제1 비아홀 내부에 소스 콘택 플러그(231)에 연결된 제1 비아 콘택 플러그(233a)가 형성된다.

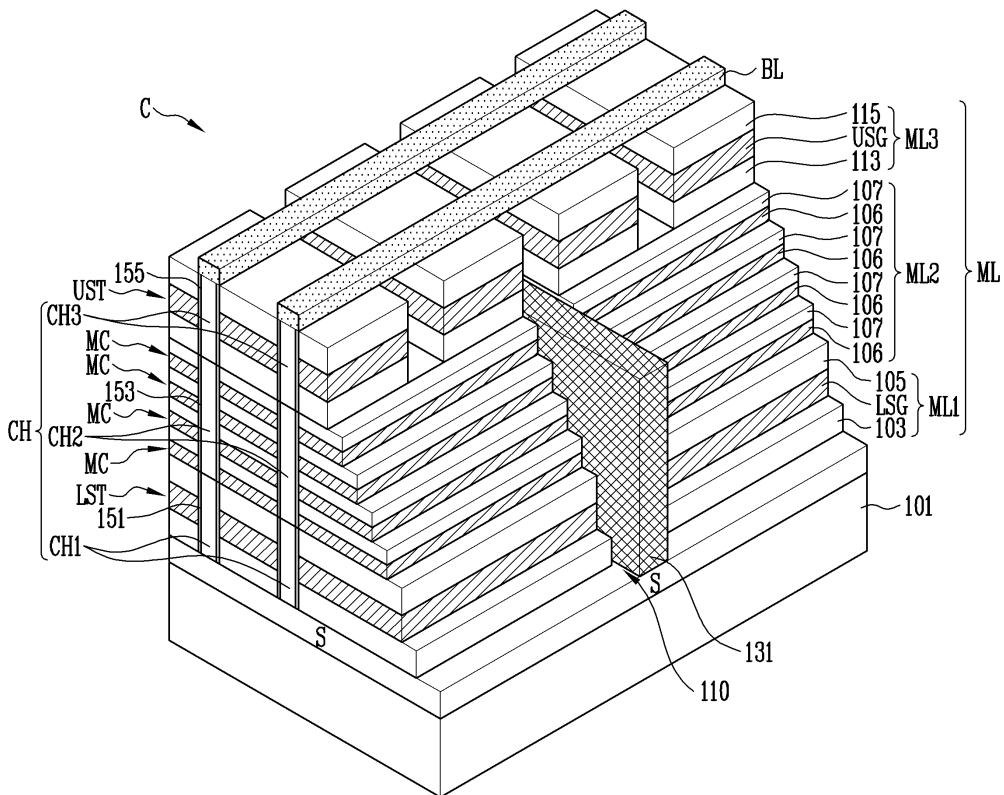




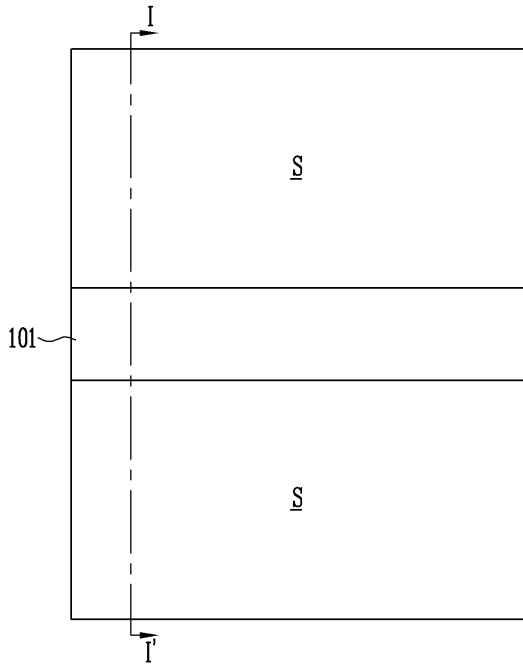
도면3



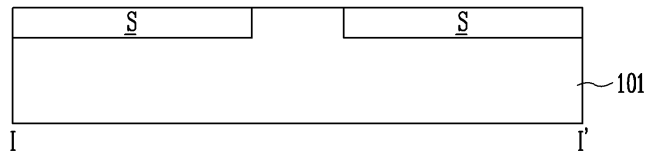
도면4



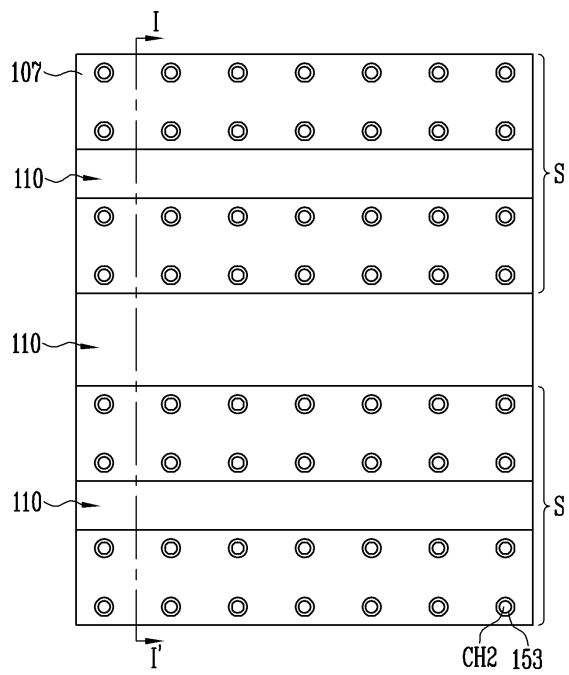
도면5a



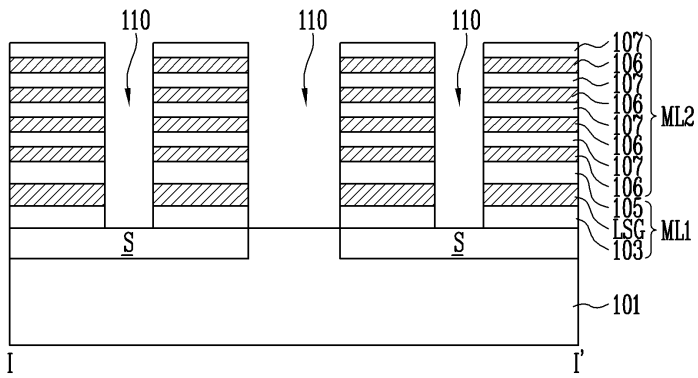
도면5b



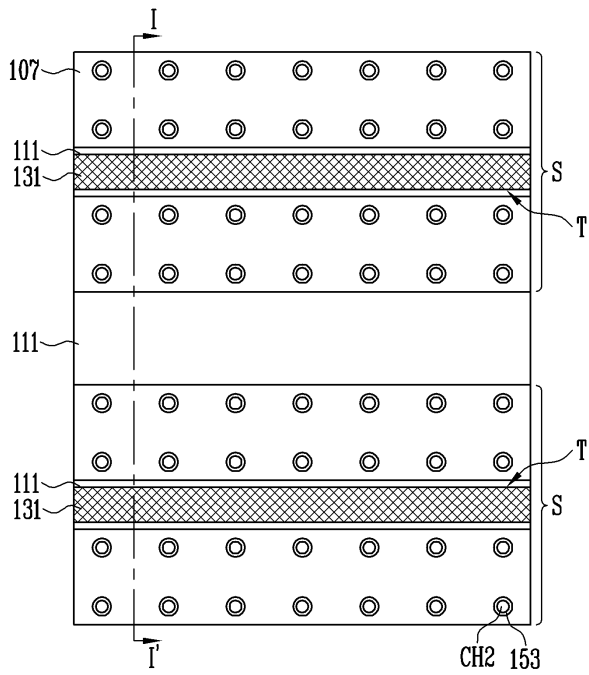
도면6a



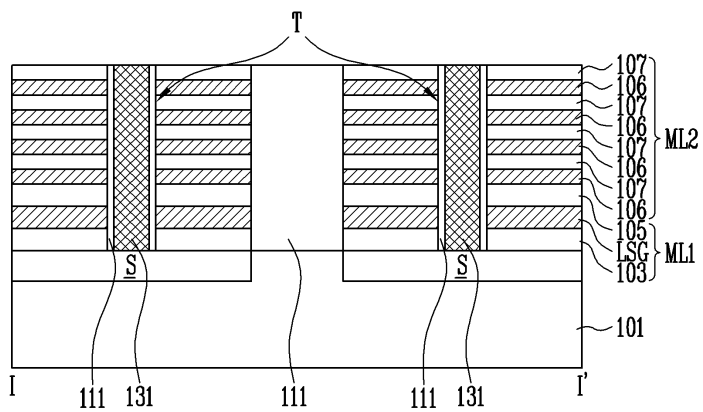
도면6b



도면7a

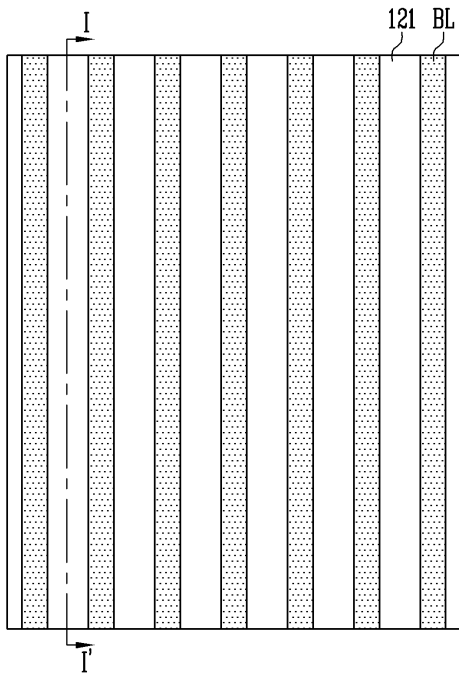


도면7b

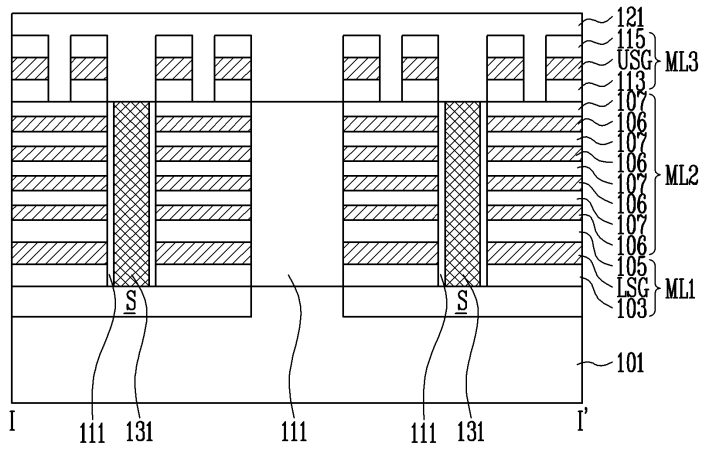




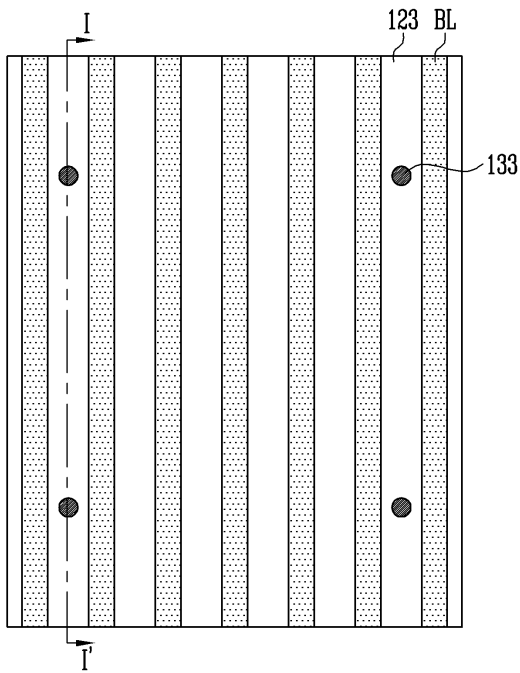
도면9a



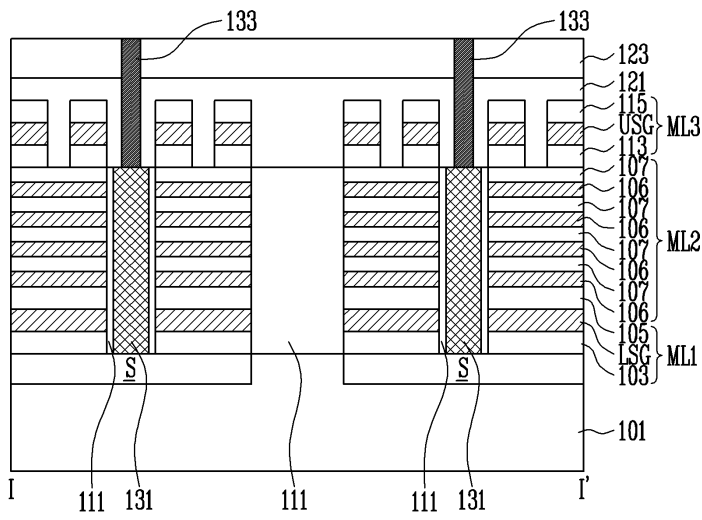
도면9b



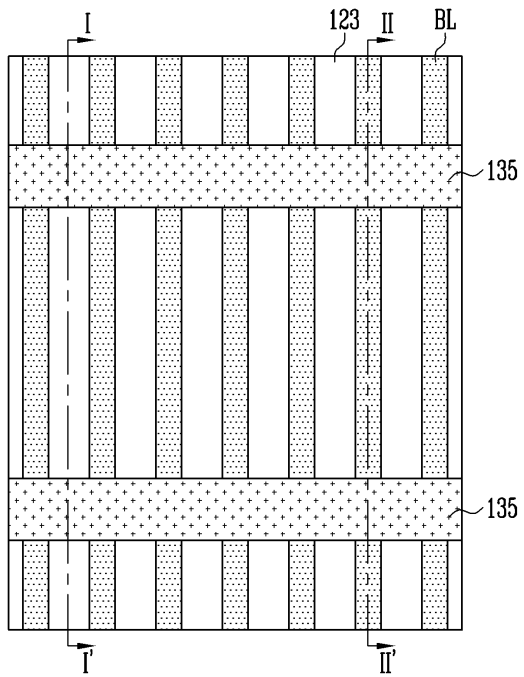
도면10a



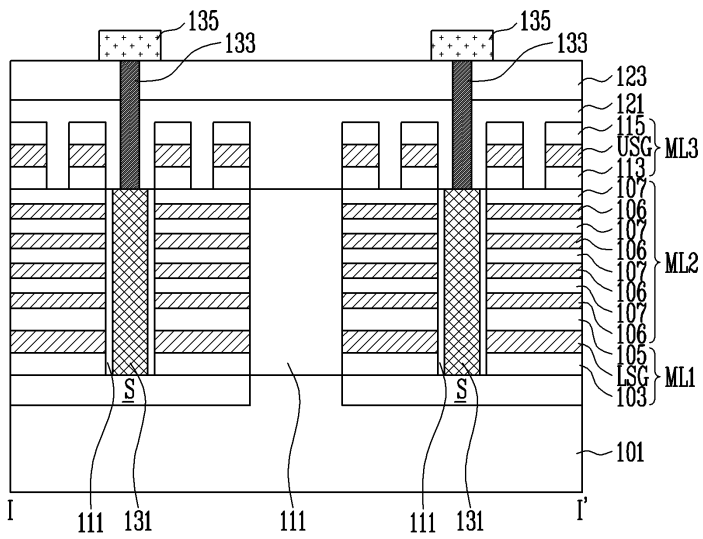
도면10b



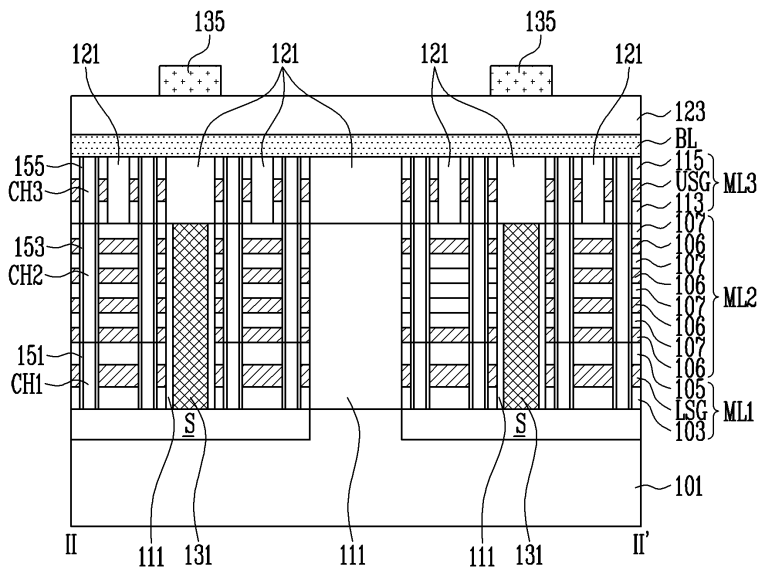
도면11a



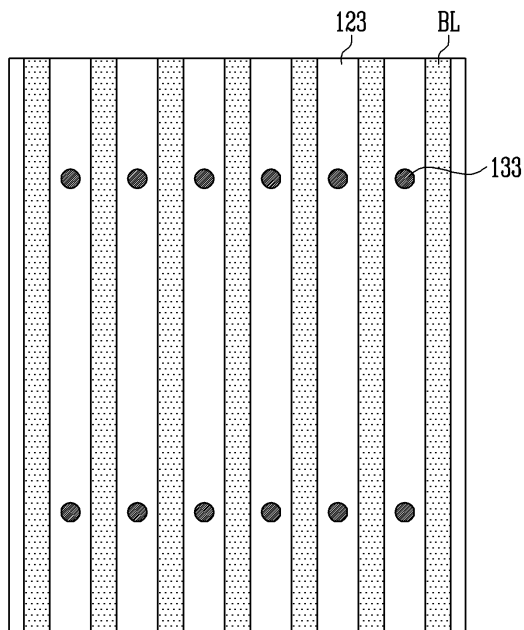
도면11b



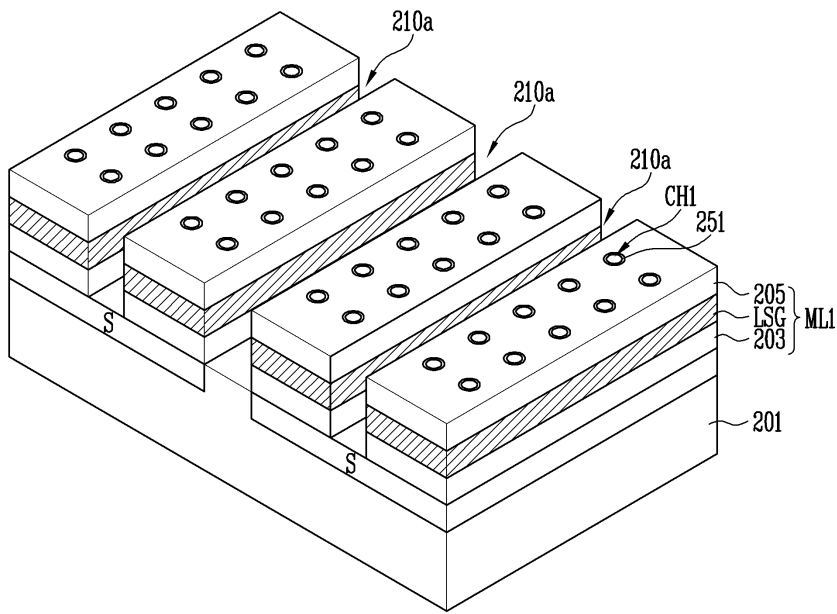
도면12



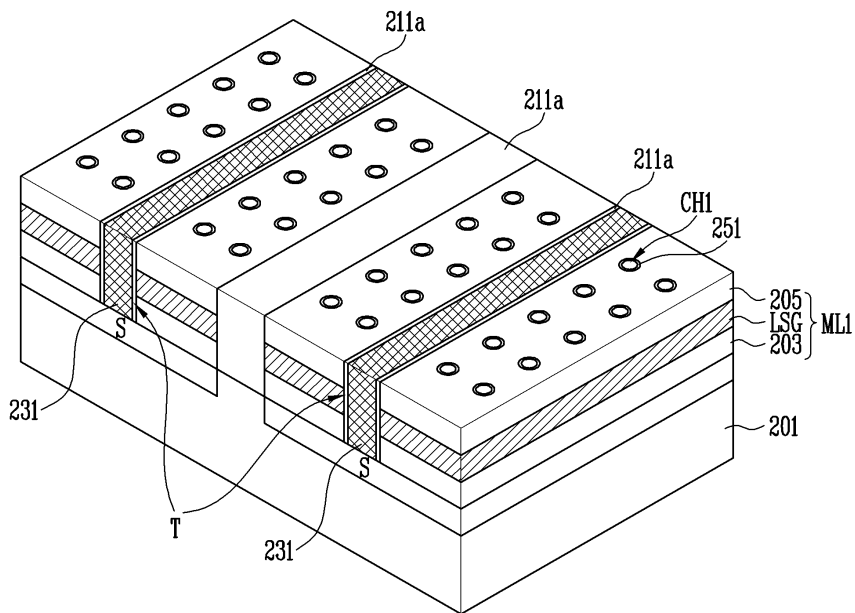
도면13



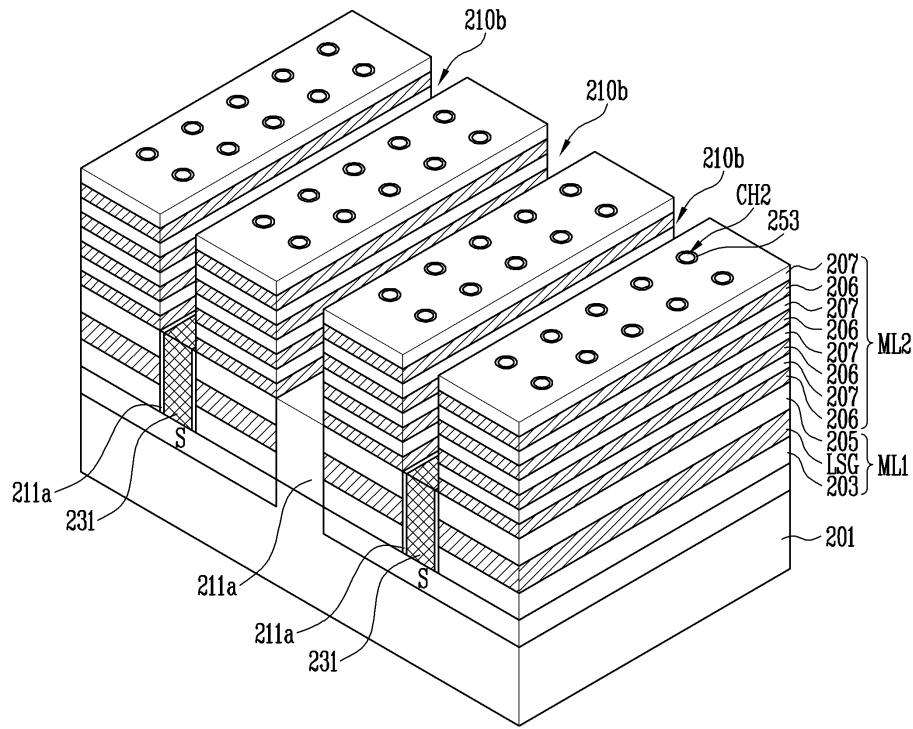
도면14a



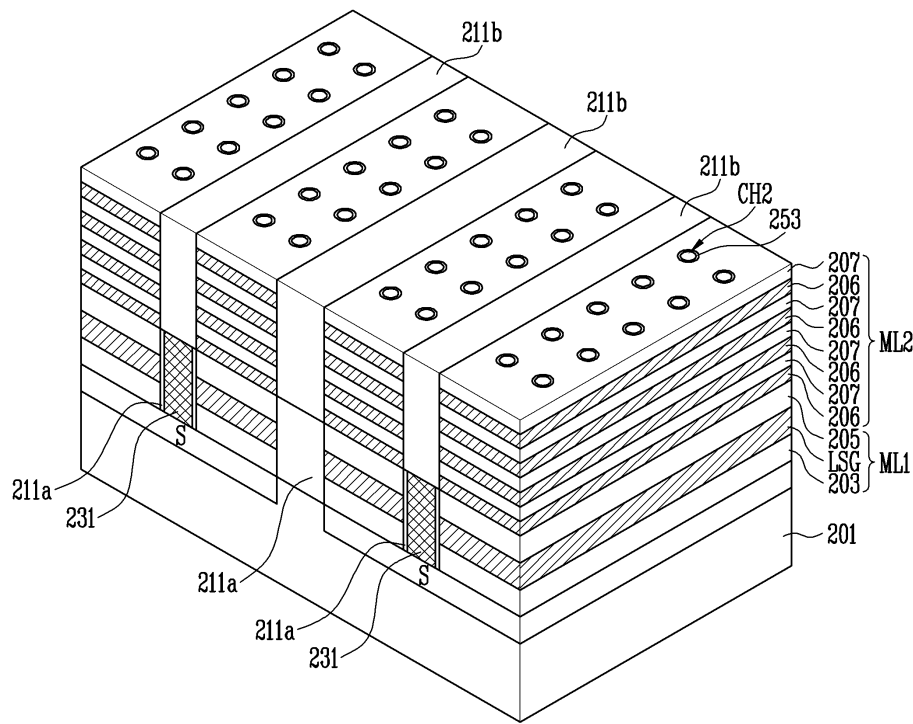
도면14b



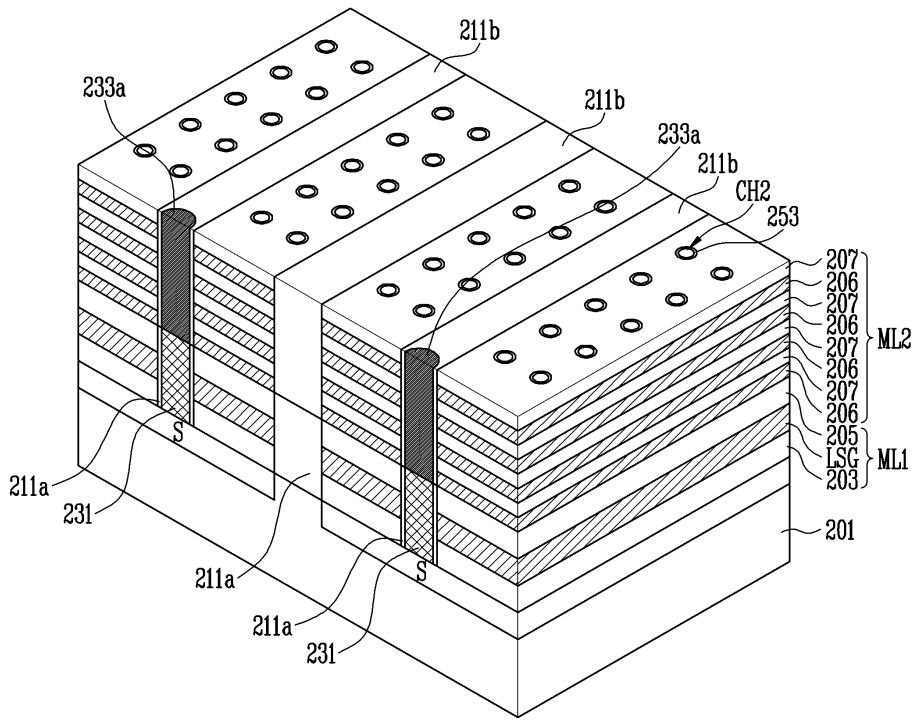
도면14c



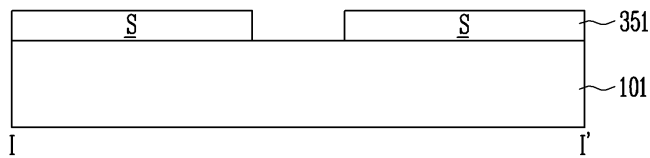
도면14d



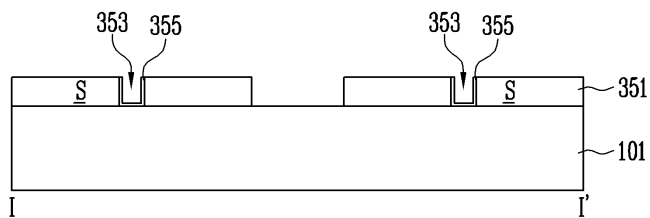
도면14e



도면15a



도면15b



도면15c

