

# 公告本

88.12.30

修正  
補充

申請日期	87.12.19
案號	871212II
類冊	H01L 2/8247

396549

A4  
C4

396549

(以上各欄由本局填註)

## 發明專利說明書

一、發明 名稱	中文	快閃記憶體之製造方法
	英文	
二、發明 創作人	姓名	陳輝煌
	國籍	中華民國
	住、居所	新竹市光復路一段 376 巷 343 號 2 樓
三、申請人	姓名 (名稱)	聯華電子股份有限公司
	國籍	中華民國
	住、居所 (事務所)	新竹科學工業園區新竹市力行二路三號
	代表 姓名	曹興誠

裝  
訂  
線

經濟部智慧財產局員工消費合作社印製

# 公告本

88.12.30 修正  
補充

申請日期	87.12.19
案號	871212II
類冊	H01L 2/8247

396549 A4  
C4

396549

(以上各欄由本局填註)

## 發明專利說明書

一、發明 名稱	中文	快閃記憶體之製造方法
	英文	
二、發明 創作人	姓名	陳輝煌
	國籍	中華民國
	住、居所	新竹市光復路一段 376 巷 343 號 2 樓
三、申請人	姓名 (名稱)	聯華電子股份有限公司
	國籍	中華民國
	住、居所 (事務所)	新竹科學工業園區新竹市力行二路三號
	代表 姓名	曹興誠

經濟部智慧財產局員工消費合作社印製

裝  
訂  
線

## 五、發明說明 ( )

本發明是有關於一種積體電路的製造方法，且特別是有關於一種快閃記憶體之製造方法。

快閃記憶體係電氣抹除式可編程唯讀記憶體 (EEPROM) 的一種，其具有可寫入、可抹除、以及斷電後仍可保存數據的優點，是個人電腦和電子設備所廣泛採用的一種記憶體元件。

第 1A 圖是習知一種快閃記憶體的剖面示意圖。請參照第 1A 圖，習知快閃記憶體的製作係先以隔離區 101 定義基底 100 的記憶胞區 102 與周邊電路區 104。然後，再於記憶胞區 102 的主動區上形成快閃記憶胞的堆疊閘 106，並在周邊電路區 104 的主動區上形成金氧半電晶體之金氧半電容 108。其中，堆疊閘 106 係由遂穿氧化層 110、浮置閘 112、介電層 114 與控制閘 116 所組成，而金氧半電容 108 則是由閘極氧化層 118 以及閘極導體層 120 所構成。接著，再分別於記憶胞區 102 與周邊電路區 104 上形成源極/汲極區 138 與源極/汲極區 140，以在記憶胞區 102 完成快閃記憶胞之製作，並在周邊電路區 104 完成金氧半場效電晶體之製作。

請參照第 1B 圖，通常，為了增加快閃記憶胞的可靠度 (Reliability)，常需要在製程上加入氧化步驟，以使堆疊閘 106 的浮置閘 112 在遂穿氧化層 110 上方的邊角處 132 產生部份氧化，而形成氧化層 134。其方法係藉由氧化層 134 的形成，使位於堆疊閘 106 周緣之遂穿氧化層 110 的厚度增加，以藉以提昇快閃記憶胞之可靠度。然而，在施行氧化步驟時，周邊電路區 104 的金氧半電容 108 亦暴露於氧

(請先閱讀背面之注意事項再填寫本頁)

訂

## 五、發明說明( 2 )

氣環境之中，因此，金氧半電容 108 之導體閘極層 120 亦會發生氧化現象，而在原閘極氧化層 118 的邊角處 133 形成氧化層 135，使得最終所形成之金氧半場效電晶體之閘極氧化層 118 的厚度增加，而造成周邊電路區 104 上所形成之金氧半場效電晶體其飽和電流的下降，使得元件的操作速度降低。

有鑑於此，本發明的目的就是在提供一種快閃記憶體之製造方法，可增加快閃記憶胞之遂穿氧化層之厚度，以提昇元件之可靠度。

本發明的另一目的是提供一種快閃記憶體之製造方法，可以維持快閃記憶體其周邊電路之飽和電流，以提昇元件之操作速度。

根據本發明的上述目的及其他目的，提出一種快閃記憶體之製造方法，此方法係在基底的記憶胞區形成堆疊閘，並且在周邊電路區上形成金氧半電容之後，在基底上形成一層介電層，以覆蓋周邊電路區，並於堆疊閘之側壁形成一層薄間隙壁。然後，進行離子植入步驟，以形成摻雜區。之後，進行熱製程，使摻雜區之摻雜驅入於基底中，並使部份堆疊閘之遂穿氧化層其邊角上方之部份浮置閘氧化。

依照本發明實施例所述，上述在周邊電路區所覆蓋之介電層與間隙壁的步驟，係在基底上先全面性形成一層介電層，經罩幕覆蓋周邊電路區之介電層之後，經由回蝕刻製程，以在堆疊閘之側壁形成薄間隙壁。而後續所進行之熱製程，則可以是堆疊閘形成後，對基底施行的任何摻雜

(請先閱讀背面之注意事項再填寫本頁)

訂

## 五、發明說明( ㄉ )

步驟之後所進行的熱驅入製程。依照本發明實施例所述，此熱製程可以是形成源極/汲極區之離子植入步驟後的熱驅入製程，或是形成源極/汲極區其周緣之摻雜區其離子植入步驟之後的熱驅入製程。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

圖式之簡單說明：

第 1A 圖係繪示習知之快閃記憶體之剖面示意圖；

第 1B 圖係繪示第 1A 圖之快閃記憶體進行氧化製程之後的剖面示意圖；以及

第 2A 圖至第 2F 圖係繪示根據本發明之一較佳實施例，一種快閃記憶體之製造流程的剖面示意圖。

圖式之標記說明：

- |         |       |
|---------|-------|
| 100、200 | 基底    |
| 101、201 | 隔離區   |
| 102、202 | 記憶胞區  |
| 104、204 | 周邊電路區 |
| 106、206 | 堆疊閘   |
| 108、208 | 金氧半電容 |
| 110、210 | 遂穿氧化層 |
| 112、212 | 浮置閘   |
| 114、214 | 介電層   |
| 116、216 | 控制閘   |
| 118、218 | 閘極氧化層 |

(請先閱讀背面之注意事項再填寫本頁)

訂

## 五、發明說明(ψ)

- 120、220 閘極導體層
- 132、133 區域
- 134、135、234 氧化層
- 138、140 源極/汲極區
- 222 介電層
- 223、226 罩幕層
- 224 間隙壁之厚度
- 225 介電層之厚度
- 227、236 離子植入
- 228、228a、238、240 摻雜區
- 230、242 熱製程
- 232 浮置閘之邊角區
- 238a、240a 源極/汲極區

### 實施例

第 2A 圖至第 2F 圖係繪示根據本發明之一較佳實施例，一種快閃記憶體之製造流程的剖面示意圖。

首先，請參照第 2A 圖，在基底 200 中形成隔離區 201，以定義出基底 200 之記憶胞區 202 與周邊電路區 204 的主動區。接著，在記憶胞區 202 的主動區上形成快閃記憶胞的堆疊閘 206，並在周邊電路區 204 的主動區上形成金氧半電晶體之金氧半電容 208，此金氧半電容 208 或可稱為閘極 208。其中，快閃記憶胞之堆疊閘 206 係由遂穿氧化層 210、浮置閘 212、介電層 214 與控制閘 216 所組成。而金氧半電晶體之金氧半電容 208 則是由閘極氧化層 218 以及閘極導體層 220 所構成。遂穿氧化層 210 與閘極氧化層

## 五、發明說明（ $\zeta$ ）

218 可以經由熱氧化法以形成之。浮置閘 212 以及控制閘 216 則均可經由化學氣相法沈積複晶矽層以獲致。閘極導體層 220 其材質可為化學氣相沈積之複晶矽單獨形成，亦可再與金屬結合，而產生金屬複晶矽化合物和複晶矽之雙層結構，以提昇閘極導體層 220 之導電性。複晶矽之導電性係藉由摻入其中之雜質而產生，而雜質摻入的方法可以採用沈積時同時摻入，或沈積後藉離子佈植程序而達到目的。而介電層 214 之材質例如為氧化矽/氮化矽/氧化矽之結構所構成。

接著，請參照第 2B 圖，在基底 200 上形成一層介電層 222 以覆蓋記憶胞區 202 與周邊電路區 204。介電層 222 之材質例如是化學氣相沈積法所形成之氧化矽或氮化矽，其厚度係足以在後續熱製程中防止氧氣滲入此介電層 222 而與閘極導體層 220 產生氧化者，其較佳的厚度約為  $50\text{\AA}\sim 200\text{\AA}$  左右。然後，在基底 200 上形成一層罩幕層 223，以覆蓋基底 200 之周邊電路區 204，裸露出基底 200 的記憶胞區 202。罩幕層 223 之材質例如是光阻，其形成的方法例如是以塗佈的方式在基底 200 上先全面性圖形成一層光阻層，再經由曝光與顯影以定義其圖案。

其後，請參照第 2C 圖，進行非等向性回蝕刻，較佳的方式例如是以電漿蝕刻法，以去除未被罩幕層 223 所覆蓋的部份介電層 222，並使留在堆疊閘 206 之側壁的介電層 222 形成薄間隙壁 222b，而位於周邊電路 204 上的介電層 222a 則因為罩幕層 223 的保護而保留下來。薄間隙壁 222b 將因為非等向性回蝕刻製程，而使其之厚度 224 減少，而

## 五、發明說明(6)

低於介電層 222a 之厚度 225。其後，去除罩幕層 223，並在基底 200 上形成另一層罩幕層 226，此罩幕層 226 之材質例如是光阻，其覆蓋基底 200 的周邊電路區 204 與部份的記憶胞區 202。接著，進行離子植入製程 227，以將摻雜植入於記憶胞區 202，而在記憶胞區 202 中形成摻雜區 228。

之後，請參照第 2D 圖，去除罩幕層 226。然後，進行熱製程 230，以使摻雜區 228 之摻雜活化、並驅入於基底 200 之中，而形成摻雜區 228a。由於熱製程係在含有氧氣的環境下進行，因此，在此過程中，氧氣將會由薄間隙壁 222b 與基底 200 之介面滲入，而使遂穿氧化層 210 之邊角處 232 上方的浮置閘 212 部份氧化，而形成氧化層 234，以提昇快閃記憶胞的可靠度。而周邊電路區 204 則有厚度足以防止氧氣滲入之介電層 222a 的保護，因此，在進行熱製程時，周邊電路區 204 上所形成之金氧半電容 208 其閘極導體層 220 並不會發生氧化的作用，使整個金氧半電容 208 之閘極氧化層 218 的厚度維持一定，而不會影響周邊電路區 204 上所形成之金氧半電晶體的飽和電流。

其後，請參照第 2E 圖，進行離子植入製程 236，以將摻雜植入於基底 200 之中，而在記憶胞區 202 與周邊電路區 204 分別形成摻雜區 238 與摻雜區 240。

最後，請參照第 2F 圖，進行熱製程 242，以使摻雜區 238 與摻雜區 240 之摻雜活化、並驅入於基底 200 之中，以做為源極/汲極區 238a 與源極/汲極區 240a。由於熱製程 242 係在含有氧氣的環境下進行，因此，上述使閘極氧化

(請先閱讀背面之注意事項再填寫本頁)

訂



## 五、發明說明( )

層 210 之邊角處 232 上方的閘極導體層 212 部份氧化而形成氧化層 234 的步驟亦可以選擇在此過程中進行。

事實上，本發明形成氧化層 234 的熱製程，並不限定於上述較佳實施例之所述的二種情況之下，而是可以適用於各種型態的快閃記憶胞之製程當中，且其施行的步驟可以是進行各種離子植入步驟之後的熱驅入製程、回火製程或製程之中所另外施加的熱製程。

綜上所述，本發明的優點在於：

1. 本發明可以增加快閃記憶體之可靠度。
2. 本發明可以在增加快閃記憶體之可靠度的同時兼顧其周邊電路區上所形成之金氧半電晶體的飽和電流。
3. 本發明的製程均與現有的製程相容，極適合廠商的生產安排。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

裝

四、中文發明摘要(發明之名稱：快閃記憶體之製造方法)

一種快閃記憶體之製造方法，此方法係先在基底的記憶胞區形成堆疊閘，並且在周邊電路區上形成金氧半電容，之後，在基底上形成一層介電層，以覆蓋周邊電路區，並於堆疊閘之側壁形成一層薄間隙壁。然後，進行離子植入步驟，以形成摻雜區。之後，進行熱製程，使摻雜區之摻雜驅入於基底中，並使部份堆疊閘之遂穿氧化層其邊角上方之部份浮置閘氧化。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

英文發明摘要(發明之名稱：)

經濟部中央標準局員工消費合作社印製

## 六、申請專利範圍

1. 一種快閃記憶體的製造方法，包括下列步驟：

提供一基底，該基底具有一記憶胞區與一周邊電路區，且該記憶胞區已形成形成一堆疊閘，該周邊電路區已形成一金氧半電容，其中該堆疊閘至少具有一遂穿氧化層與一浮置閘；

於該周邊電路區上覆蓋一介電層；

於該堆疊閘之側壁形成一薄間隙壁；以及

進行熱製程，使所使用之氣體由該薄間隙壁與該基底之界面滲透，以氧化部份該遂穿氧化層之邊角上方的部份該浮置閘。

2. 如申請專利範圍第 1 項所述之快閃記憶體之製造方法，其中形成該介電層之步驟包括以化學氣相沈積法形成氧化矽與氮化矽其中之一。

3. 如申請專利範圍第 1 項所述之快閃記憶體之製造方法，其中該介電層之厚度係足以防止該熱製程所使用之氣體滲入而使該金氧半電容產生氧化者。

4. 如申請專利範圍第 1 項所述之快閃記憶體之製造方法，其中該薄間隙壁之材質包括以化學氣相沈積法形成氧化矽與氮化矽其中之一。

5. 如申請專利範圍第 1 項所述之快閃記憶體之製造方法，其中該熱製程所使用之氣體包括氧氣。

6. 一種快閃記憶體的製造方法，包括下列步驟：

提供一基底，該基底具有一記憶胞區與一周邊電路區，且該記憶胞區已形成形成一堆疊閘，該周邊電路區已形成一金氧半電容，其中該堆疊閘至少具有一遂穿氧化層

## 六、申請專利範圍

與一浮置閘；

於該基底上形成一介電層；

於該基底上形成一罩幕層以覆蓋該周邊電路區上方之該介電層；

進行非等向性回蝕刻，以去除部份該介電層，並使留下之該介電層在該堆疊閘之側壁形成一薄間隙壁；

去除該罩幕層；

進行離子植入步驟，以將摻雜植入於部份該記憶胞區與部份該周邊電路區；以及

進行熱驅入步驟，以使該摻雜驅入於部份該基底之中，而在該記憶胞區形成一第一源極/汲極區、在該周邊電路區形成一第二源極/汲極區，並使該熱驅入步驟所使用之氣體由該薄間隙壁與該基底之界面滲透，使部份該遂穿氧化層之邊角上方的部份該浮置閘氧化。

7. 如申請專利範圍第 6 項所述之快閃記憶體之製造方法，其中該介電層之厚度係足以防止該熱製程所使用之氣體滲入而使該金氧半電容產生氧化者。

8. 如申請專利範圍第 6 項所述之快閃記憶體之製造方法，其中形成該介電層之步驟包括以化學氣相沈積法形成氧化矽與氮化矽其中之一。

9. 如申請專利範圍第 6 項所述之快閃記憶體之製造方法，其中該罩幕層之材質包括光阻。

10. 如申請專利範圍第 6 項所述之快閃記憶體之製造方法，其中該熱驅入步驟所使用之氣體包括氧氣。

11. 如申請專利範圍第 6 項所述之快閃記憶體之製造方

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 六、申請專利範圍

法，其中該非等向性回蝕刻之方法包括電漿蝕刻法。

12. 一種快閃記憶體之製造方法，包括下列步驟：

提供一基底，該基底具有一記憶胞區與一周邊電路區，且該記憶胞區已形成形成一堆疊閘，該周邊電路區已形成一金氧半電容器，其中該堆疊閘至少具有一透穿氧化層與一浮置閘；

於該基底上形成一介電層；

於該基底上形成一第一罩幕層以覆蓋該周邊電路區上方之該介電層；

進行非等向性回蝕刻，以在該堆疊閘之側壁形成一間隙壁；

去除該第一罩幕層；

於該基底上形成一第二罩幕層，以覆蓋該周邊電路區與部份該記憶胞區；

進行一第一離子植入步驟，以將一第一摻雜植入於部份該記憶胞區；

去除該第二罩幕；

進行一第一熱驅入步驟，以使該第一摻雜驅入於部份該基底之中，而在該記憶胞區形成一摻雜區，並使該第一熱驅入步驟所使用之氣體由該間隙壁與該基底之界面滲透，以氧化部份該透穿氧化層之邊角上方的部份該浮置閘；

進行一第二離子植入步驟，以將一第二摻雜植入於部份該記憶胞區與部份該周邊電路區；以及

進行一第二熱驅入步驟，以使該第二摻雜驅入於部份

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 六、申請專利範圍

該基底之中，而在該記憶胞區形成一第一源極/汲極區，並在該周邊電路區形成一第二源極/汲極區。

13.如申請專利範圍第 12 項所述之快閃記憶體之製造方法，其中該介電層之厚度係足以防止該熱製程所使用之氣體滲入而使該金氧半電容產生氧化者。

14.如申請專利範圍第 12 項所述之快閃記憶體之製造方法，其中形成該介電層之步驟包括以化學氣相沈積法形成氧化矽與氮化矽其中之一。

15.如申請專利範圍第 12 項所述之快閃記憶體之製造方法，其中該第一與該第二罩幕層之材質包括光阻。

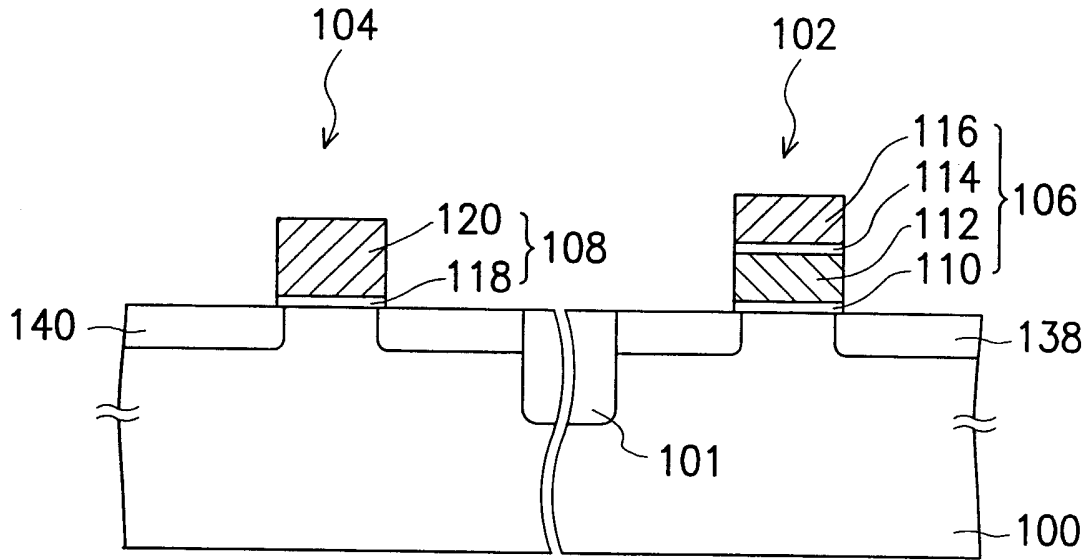
16.如申請專利範圍第 12 項所述之快閃記憶體之製造方法，其中該第二熱驅入步驟所使用之氣體包括氧氣。

17.如申請專利範圍第 12 項所述之快閃記憶體之製造方法，其中該非等向性回蝕刻之方法包括電漿蝕刻法。

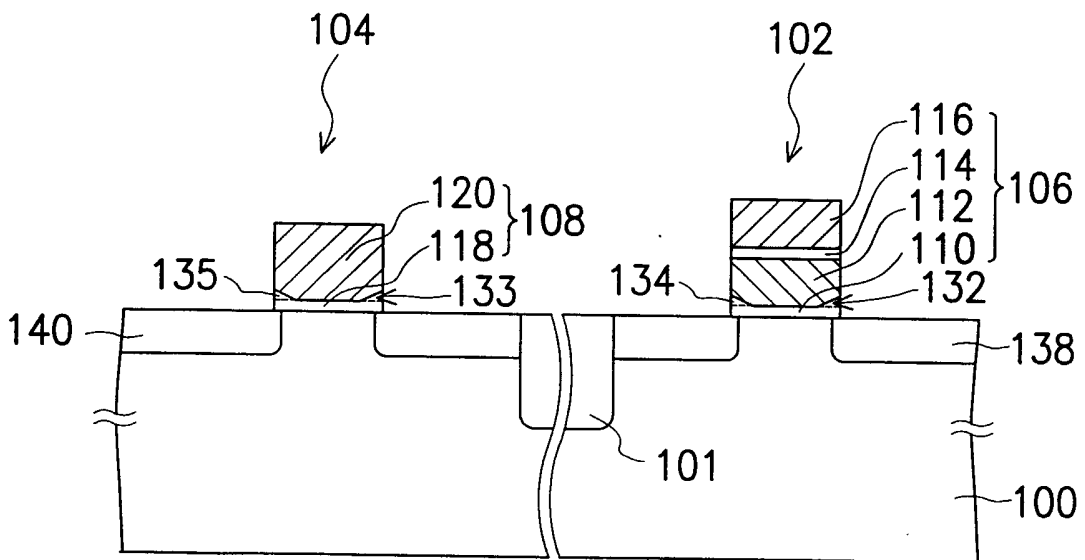
(請先閱讀背面之注意事項再填寫本頁)

裝

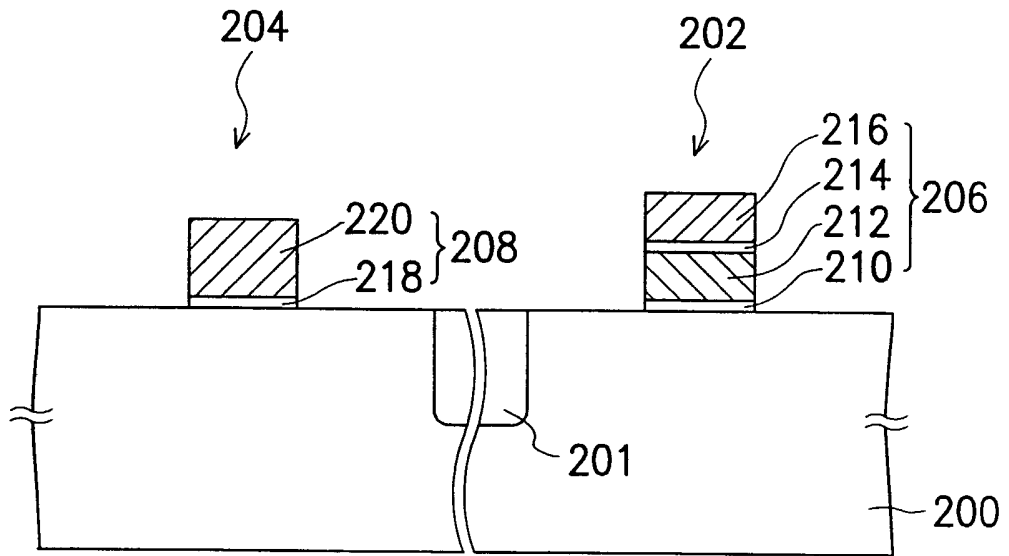
訂



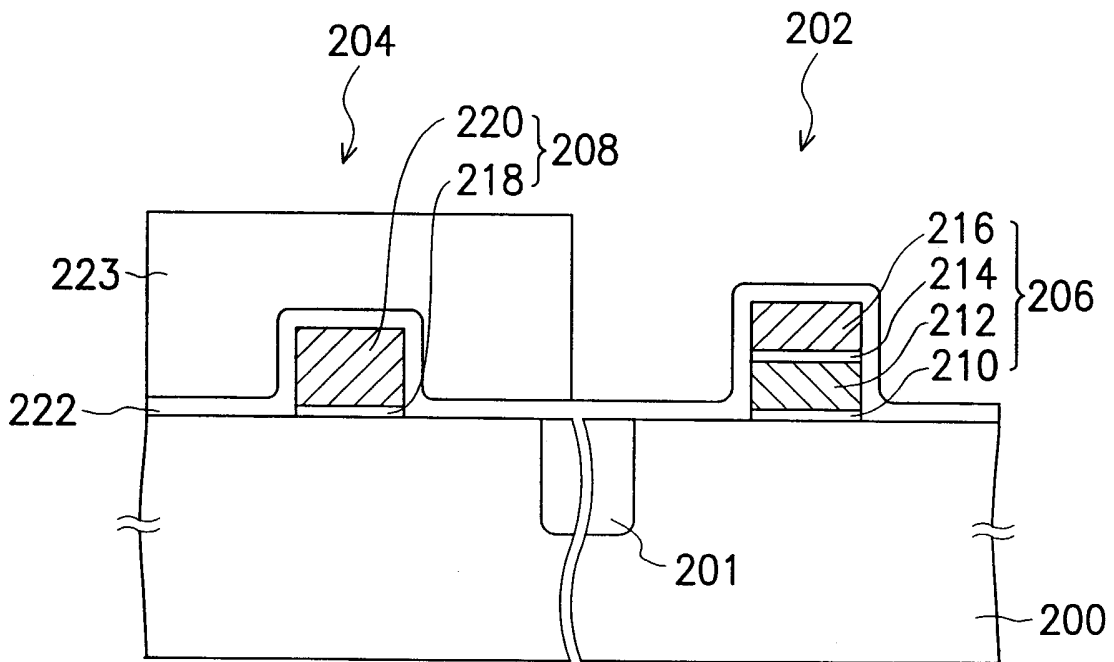
第 1A 圖



第 1B 圖

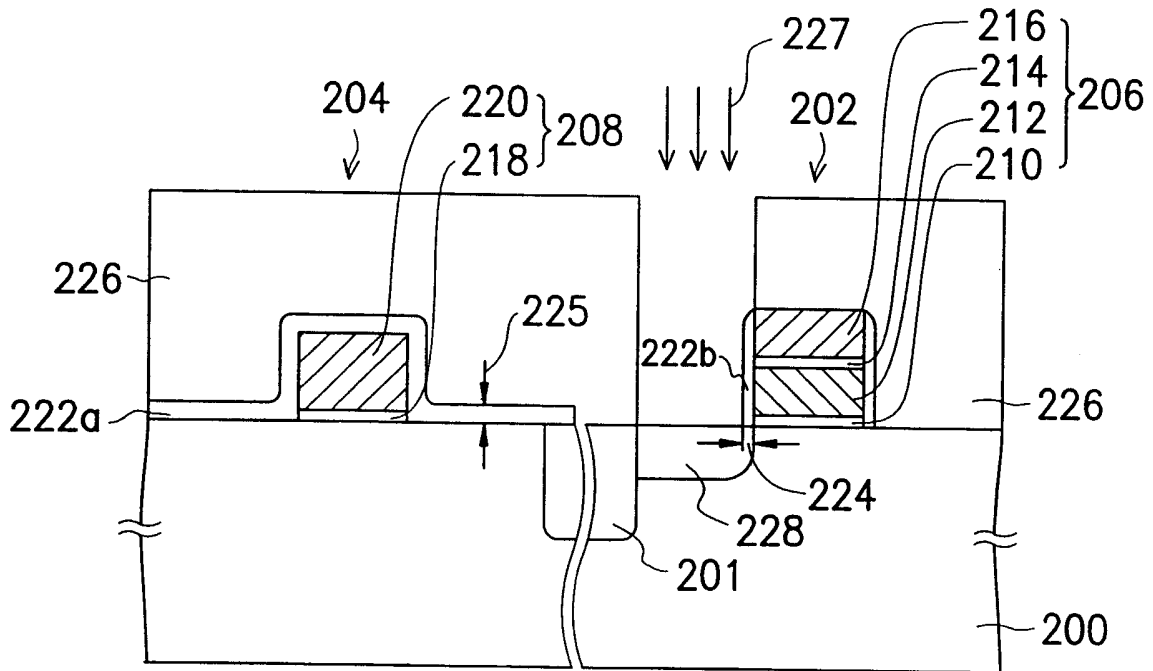


第2A圖

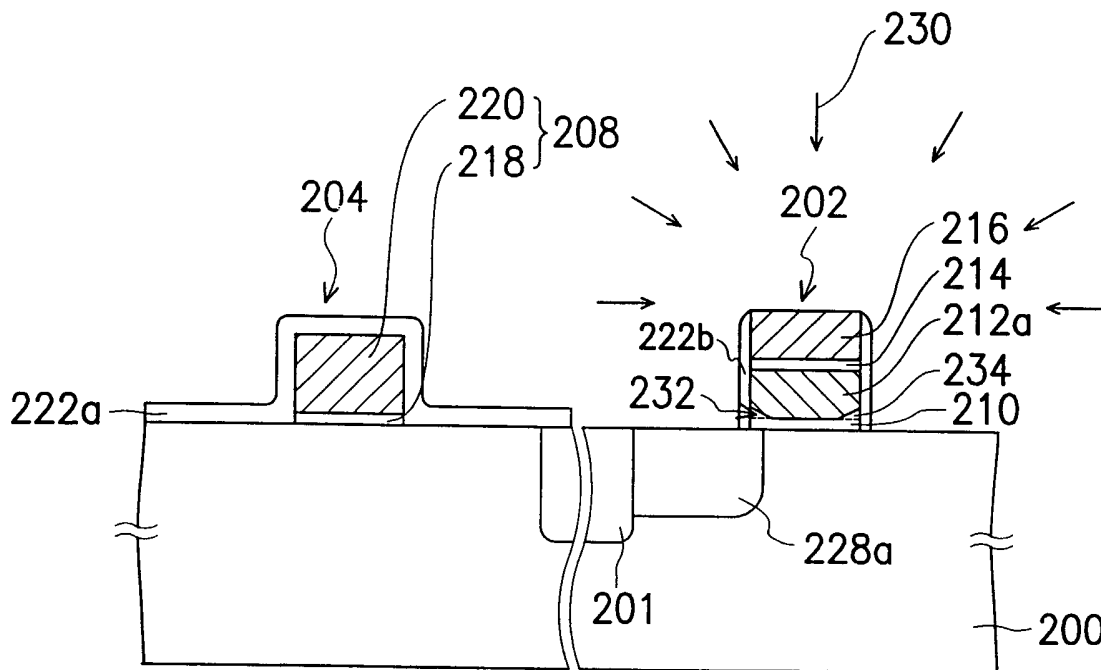


第2B圖

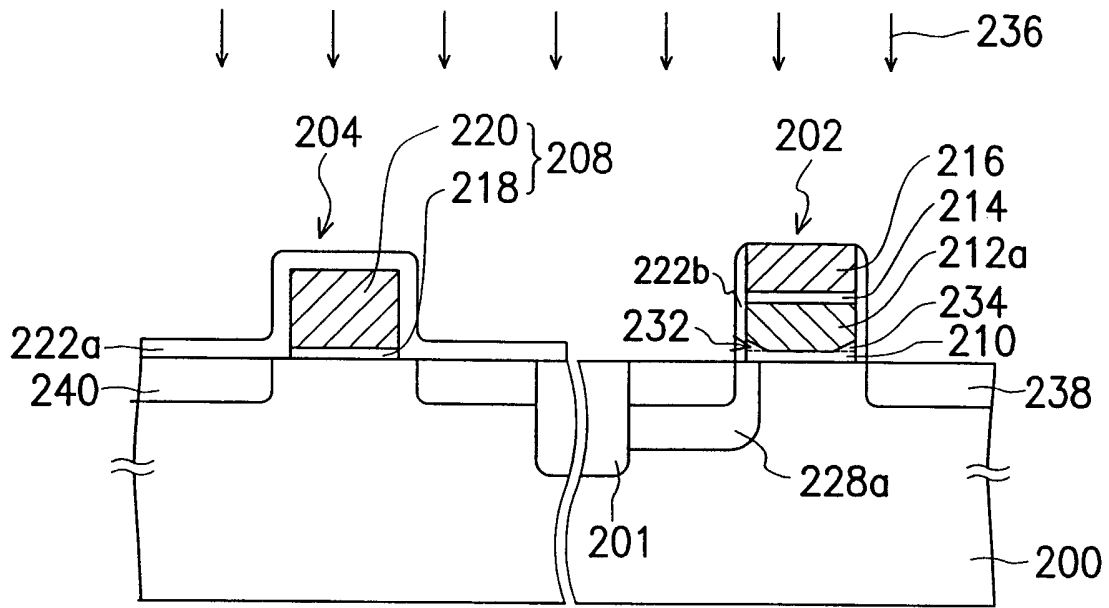




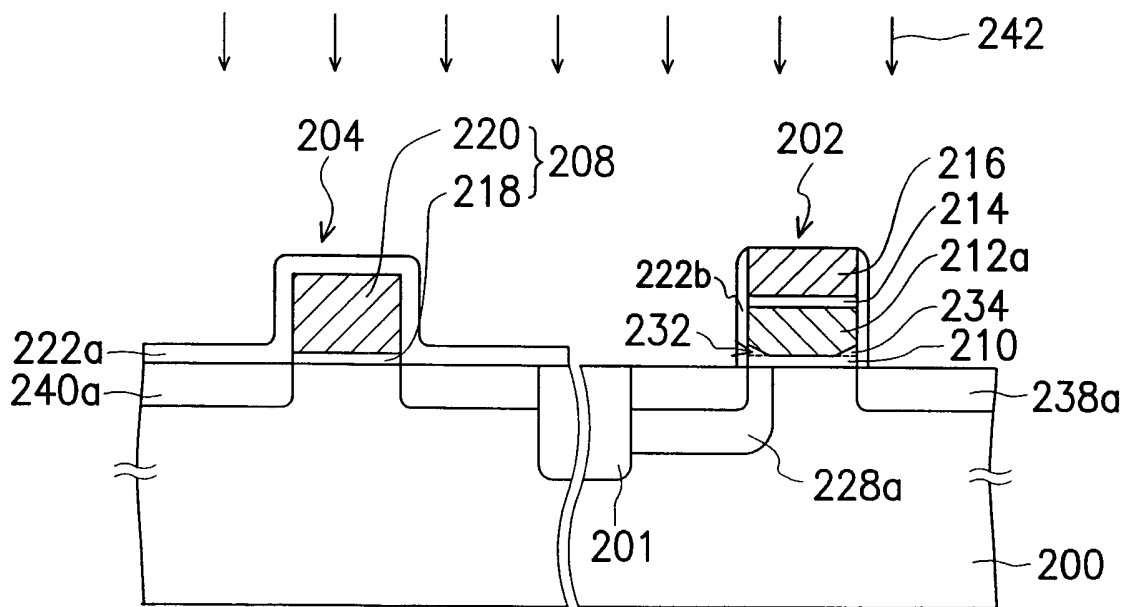
第2C圖



第2D圖



第 2E 圖



第 2F 圖