



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I675557 B

(45)公告日：中華民國 108 (2019) 年 10 月 21 日

(21)申請案號：107140044

(22)申請日：中華民國 107 (2018) 年 11 月 12 日

(51)Int. Cl. : H03M13/37 (2006.01)

H03M13/01 (2006.01)

(30)優先權：2017/11/27 日本

2017-227015

(71)申請人：日商索尼半導體解決方案公司(日本) SONY SEMICONDUCTOR SOLUTIONS CORPORATION (JP)

日本

(72)發明人：白石淳也 SHIRAISHI, JUNYA (JP)

(74)代理人：林志剛

(56)參考文獻：

TW M446399U

CN 103460659B

JP 2011165245A

US 6862552B2

US 9118518B2

US 2007/0237059A1

審查人員：范士隆

申請專利範圍項數：9 項 圖式數：16 共 70 頁

(54)名稱

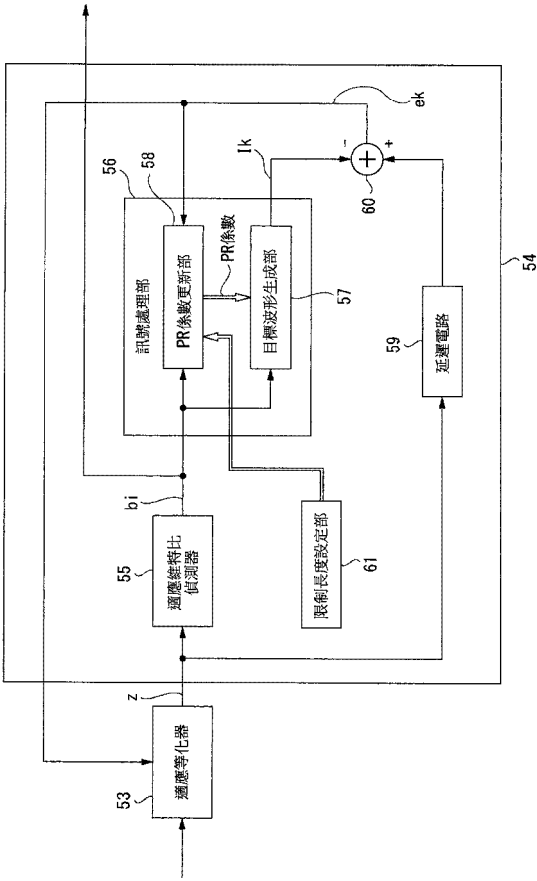
解碼裝置、解碼方法

(57)摘要

可抑制因長限制長度化所帶來的係數更新的收斂性能或動作穩定性之降低，謀求解碼性能之提升。

本技術所述之解碼裝置，係具備：適應等化部，係進行適應等化；和適應最大似然解碼部，係令最大似然解碼中的識別點適應性地追隨於輸入訊號之特性；和目標波形生成部)，係藉由對解碼值摺積部分響應係數，以生成關於適應等化部所致之適應等化的等化目標波形；和誤差訊號生成部，係生成等化目標波形與等化訊號之誤差訊號來作為等化誤差訊號；和係數更新部，係藉由使解碼值與等化誤差訊號之相關呈最小化的最小平方方法演算，而將目標波形生成部在等化目標波形之生成時所使用之部分響應係數，予以更新。

指定代表圖：



【圖 5】

- 符號簡單說明：
- 53：適應等化器
 - 54：適應維特比解碼器
 - 55：適應維特比偵測器
 - 56：訊號處理部
 - 57：目標波形生成部
 - 58：PR 係數更新部
 - 59：延遲電路
 - 60：減算器
 - 61：限制長度設定部

【發明說明書】

【中文發明名稱】

解碼裝置、解碼方法

【技術領域】

【0001】本技術係有關於藉由PRML解碼(部分響應最大似然解碼(PRML: Partial Response Maximum Likelihood))來進行資料解碼的解碼裝置、解碼方法之技術領域。

【先前技術】

【0002】例如，高密度的磁性記錄再生裝置或光記錄再生裝置中，在從記錄媒體所讀出的資訊訊號的2值化解碼時，一般會使用PRML解碼。PRML解碼裝置，係由部分響應等化電路、和最大似然解碼電路所構成。

【0003】在部分響應等化電路中，為了追隨於記錄特性之參差、或再生狀態之變動，以使得等化特性會近似於理想部分響應的方式來進行適應控制的適應等化，係為一般常用。

可是磁性記錄再生、光記錄再生的傳輸路，係並非可以完全視為理想部分響應傳輸路，即使採用適應等化，然會與理想值發生偏差，具有如此缺點。

【0004】在最大似然解碼電路中，根據每一樣本時刻的，似然度對解碼資料之履歷，而決定最有可能的解碼資料列，此種維特比演算法係為一般所常用，亦被稱為維特

比解碼電路。

又，傳輸路在非理想部分響應傳輸路的部分中的偏差(等化誤差)、或為了補正起因於非線性的RF波形之上下非對稱性(Asymmetry)、在光學/電性系雙方中可能發生的失真成分，而將維特比解碼電路之輸入段的識別點，隨應於輸入資料而做適應性控制的適應維特比電路，也會被使用於高密度記錄再生電路中。

適應維特比電路之構成例係被記載於下記專利文獻1。此處，雖然針對PR(部分響應)的限制長度(碼間干擾長度)為2或3之PR級別做說明，但識別點(振幅基準位準)之更新方法，係即使PR的限制長度為4以上，仍可一般化。

【0005】又，在下記專利文獻2中係揭露，作為部分響應等化是採用如上記的進行適應等化的適應等化電路，同時，作為維特比解碼電路是採用，適應維特比電路。亦即，是併用適應等化電路與適應維特比電路之構成。具體而言，在專利文獻2中，是將適應等化電路中的適應等化之目標值，置換成被適應維特比電路所控制的振幅基準位準(識別點)，來計算用來更新PR係數所需之LMS(最小平方方法)演算中所使用的等化誤差(等化電路輸出與目標值之誤差)。在適應等化電路中，藉由該LMS演算，以進行使得等化誤差呈最小的PR係數之設定(更新)。

[先前技術文獻]

[專利文獻]

【0006】

[專利文獻1] 日本專利第324349號公報

[專利文獻2] 日本特開2011-165245號公報

【發明內容】

[發明所欲解決之課題]

【0007】然而，作為併用適應等化電路與適應維特比電路之構成，若採用如專利文獻2般地將適應等化電路中的適應等化之目標值置換成被適應維特比電路做適應控制的識別點之構成，則在PR的限制長度被設成較長時，會有無法妥善支援之疑慮。例如，近年來為了支援高記錄密度化，現狀的限制長度已經達到10以上，例如，在限制長度=11的情況下，被適應維特比電路所控制的識別點之數量甚至會多達288。在如此以處理多數之識別點(等化目標值)為前提的情況下，要使其適切地收斂於以11個PR係數而被表現的線性之等化目標並且穩定動作，是非常地困難。

【0008】本技術係有鑑於上記情事而研發，其目的在於，抑制因長限制長度化所帶來的係數更新的收斂性能或動作穩定性之降低，並謀求解碼性能之提升。

[用以解決課題之手段]

【0009】本技術所涉及之解碼裝置，係具備：適應等化部，係為對輸入訊號進行部分響應係數之摺積所致之部分響應等化的等化部，進行令前記輸入訊號之特性適應性

地追隨於前記部分響應係數的適應等化；和適應最大似然解碼部，係為對已被前記適應等化部所等化之前記輸入訊號也就是等化訊號進行最大似然解碼而輸出解碼值的最大似然解碼部，令前記最大似然解碼中的識別點適應性地追隨於前記輸入訊號之特性；和目標波形生成部，係藉由對前記解碼值摺積部分響應係數，以生成關於前記適應等化部所致之前記適應等化的等化目標波形；和誤差訊號生成部，係生成前記等化目標波形與前記等化訊號之誤差訊號來作為等化誤差訊號；和係數更新部，係藉由使前記解碼值與前記等化誤差訊號之相關呈最小化的最小平方方法演算，而將前記目標波形生成部在前記等化目標波形之生成時所使用之前記部分響應係數，予以更新。

【0010】藉由設計成併用適應等化與適應最大似然解碼之構成，對於輸入訊號特性的參差，自動地設定被認為是最佳的等化目標，可謀求穩定的解碼性能之維持。

又，藉由設計成會把等化訊號與等化目標波形之誤差訊號回饋給適應等化部之構成，在適應等化之際只需使用適應最大似然解碼部之識別點即可，因此對長限制長度化而言是有利的。

再者，於併用適應等化與適應最大似然解碼之構成中，藉由使解碼值與等化誤差訊號之相關呈最小化的最小平方方法演算而將等化目標波形之生成時所使用之部分響應係數(以下有時候「部分響應」係被記作「**PR**」)予以更新，藉此，**PR**係數就會適應於輸入訊號特性而被適切地更

新。

【0011】於上記的本技術所涉及之解碼裝置中，可構成為，具備：係數總和控制部，係計算前記等化目標波形之生成時所使用之部分響應係數的總和值，並控制前記係數更新部的更新動作以使得該總和值會是一定範圍內之值。

【0012】藉此，可以防止因最小平方法演算而導致PR係數被收斂而使得PR係數之總和(進而導致等化訊號之振幅)趨近於0。

【0013】於上記的本技術所涉及之解碼裝置中，可構成為，前記係數總和控制部，係藉由對被輸入至前記係數更新部的前記等化誤差訊號給予一相應於前記總和值之大小的偏置，以控制使得前記總和值會是前記一定範圍內之值。

【0014】藉此，在實現PR係數的總和恆定控制時，針對等化目標波形之生成時將PR係數進行摺積所需之各乘算器，不需要採用個別地進行增益調整之構成。

【0015】於上記的本技術所涉及之解碼裝置中，可構成為，具備：誤差訊號等化部，係針對被輸入至前記係數更新部的前記等化誤差訊號進行等化處理。

【0016】藉此，針對PR係數之更新時所使用之等化誤差訊號可以調整頻率特性，而可調整PR係數的收斂值。

【0017】於上記的本技術所涉及之解碼裝置中，可構成為，前記誤差訊號等化部係將前記等化誤差訊號的高頻

成分予以增幅。

【0018】藉此，PR係數之值會被收斂以使得適應等化部的等化特性會獲得較高頻增益之高等化特性，而可提高解碼性能。

【0019】於上記的本技術所涉及之解碼裝置中，可構成為，在前記係數更新部與前記目標波形生成部間係共用著，用來使前記解碼值每次延遲1時脈所需之延遲器。

【0020】藉此，在藉由使解碼值與等化誤差訊號之相關呈最小化的最小平方方法演算而將PR係數予以更新所需之構成的實現上，可謀求電路構成的簡略化。

【0021】於上記的本技術所涉及之解碼裝置中，可構成為，前記係數更新部，係可將更新對象之部分響應係數之數量予以變更。

【0022】藉此，可對應於多樣的限制長度而進行PR係數的更新。

【0023】於上記的本技術所涉及之解碼裝置中，可構成為，前記係數更新部，係藉由控制部分響應係數之更新時所使用之乘算器的作動/停止，以變更前記更新對象之部分響應係數之數量。

【0024】藉此，不需要採用隨著所欲支援的每種限制長度而一一設置用來進行PR係數更新的係數更新電路之構成，在想要能夠支援限制長度不同的複數種PR級別時，只需要設置單一係數更新電路即可。

【0025】又，本技術所涉及之解碼方法，係具有：適

應等化步驟，係為對輸入訊號進行部分響應係數之摺積所致之部分響應等化的等化步驟，進行令前記輸入訊號之特性適應性地追隨於前記部分響應係數的適應等化；和適應最大似然解碼步驟，係為對已被前記適應等化步驟所等化之前記輸入訊號也就是等化訊號進行最大似然解碼而輸出解碼值的最大似然解碼步驟，令前記最大似然解碼中的識別點適應性地追隨於前記輸入訊號之特性；並且具有：目標波形生成步驟，係藉由對前記解碼值摺積部分響應係數，以生成關於前記適應等化步驟所致之前記適應等化的等化目標波形；和誤差訊號生成步驟，係生成前記等化目標波形與前記等化訊號之誤差訊號來作為等化誤差訊號；和係數更新步驟，係藉由使前記解碼值與前記等化誤差訊號之相關呈最小化的最小平方法演算，而將前記目標波形生成步驟在前記等化目標波形之生成時所使用之前記部分響應係數，予以更新。

【0026】藉由本技術所涉及之解碼方法，也可獲得和上記本技術所涉及之解碼裝置相同的作用。

[發明效果]

【0027】若依據本技術，則可抑制因長限制長度化所帶來的係數更新的收斂性能或動作穩定性之降低，謀求解碼性能之提升。

此外，並非一定限定於這裡所記載的效果，亦可為本揭露中所記載之任一效果。

【圖式簡單說明】**【0028】**

[圖 1] PR(1, x, x, 1)時的狀態遷移的說明圖。

[圖 2] PR(1, x, x, 1)時的網格線圖。

[圖 3] 作為本技術所涉及之實施形態的碟片驅動裝置的區塊圖。

[圖 4] 實施形態的解碼部的區塊圖。

[圖 5] 實施形態的適應維特比解碼器之內部構成的說明圖。

[圖 6] 實施形態的適應維特比偵測器的區塊圖。

[圖 7] 具備實施形態的目標波形生成部與PR係數更新部的訊號處理部的區塊圖。

[圖 8] 目標波形生成部與PR係數更新部間不共用延遲器時的適應維特比解碼器之構成例的圖示。

[圖 9] 作為第一變形例的適應維特比解碼器之內部構成的說明圖。

[圖 10] 作為第二變形例的適應維特比解碼器之內部構成的說明圖。

[圖 11] 第二變形例中的誤差訊號等化部的頻率特性之例子的圖示。

[圖 12] 第二變形例中的誤差訊號等化部的增強參數與4T頻率增益之關係的圖示。

[圖 13] 第二變形例中的誤差訊號等化部的增強參數

與訊號品質評價值(e-MLSE)之關係的圖示。

[圖 14] 作為實施形態的PR係數更新有被進行時、與未被進行時的各情況下的等化器殘差(MSE)、錯誤率(bER)、4T頻率增益的圖示。

[圖 15] PR係數設成固定時、與進行了作為實施形態的PR係數更新時的各情況下的各PR係數的圖示。

[圖 16] PR係數設成固定時、與進行了作為實施形態的PR係數更新時的各情況下的PR係數所致之頻率特性的圖示。

【實施方式】

【0029】以下，參照添附圖式，按照以下的順序來說明本技術所涉及之實施形態。

< 1.PRML解碼之概要 >

< 2.碟片驅動裝置 >

< 3.解碼部之構成 >

< 4.實施形態的總結 >

< 5.本技術 >

【0030】

< 1.PRML解碼之概要 >

首先，在本技術所涉及之解碼裝置之構成說明之前，針對PRML解碼(部分響應最大似然解碼：PRML係為Partial Response Maximum Likelihood的簡稱)之概要，參照圖1及圖2而先加以說明。

此外，在此處的說明中，是以將部分響應之級別(PR 級別)選擇成PR(1, x, x, 1)，且使用RLL(1, 7)碼等之行程長度限制(Run Length Limited)碼，將最小行程長度限制成1的情況為例，加以說明。

PR(1, x, x, 1)中的x，係為「2」或「3」等，配合光學特性等而選擇。以下是想成例如PR(1, 2, 2, 1)之情況。

【0031】PRML解碼方式，係為偵測使再生訊號之歐幾里得距離呈最小的PR序列的方式，是將PR此一過程與最大似然偵測此一過程做組合的技術。

所謂PR序列，係對位元序列實施藉由目標響應而被定義之加權加算，而被獲得。例如，PR(1, 2, 2, 1)，係將對位元序列賦予1, 2, 2, 1之權重而進行加算而得值，作為PR值而予以回送。

PR，係為對1位元之輸入，重複著比1位元還長之輸出的過程，是把獲得對連續的4位元之資訊位元之輸入而將它們依序乘上1、2、2、1然後加算而成之訊號來作為再生訊號的過程，表現成上記的PR(1, 2, 2, 1)。

又，所謂最大似然偵測，係在二個訊號之間定義一種被稱為歐幾里得距離的距離，調查從被想定為實際之訊號的位元序列起與預想的訊號之間的距離，偵測該距離為最接近的位元序列的方法。此外，此處所謂歐幾里得距離，係將同時刻上的二個訊號之振幅差的平方，跨越全時刻而予以加算而成的距離，是被如此定義的距離。又，該距離為最小的位元序列之探索時，係使用後述的維特比偵測。

這些所組合而成的PR最大似然偵測中，是將輸入訊號以在作為等化器之濾波器中會變成PR之過程般地進行調整，調查所獲得之再生訊號與所被想定之位元序列的PR之間的歐幾里得距離，偵測出使該距離呈最近的位元序列。

【0032】在實際探索使歐幾里得距離呈最小的位元序列時，前述的維特比偵測所致之演算法可發揮效果。

維特比偵測係被構成為，使用以所定之長度的連續位元為單位而被構成的複數狀態、和藉由它們之間的遷移而被表示的分枝所構成的維特比偵測器，從所有可能的位元序列之中，可高效率地偵測出所望之位元序列。

在實際的電路中，一種稱為路徑度量暫存器的對各狀態而將抵達該狀態為止的PR序列與訊號之歐幾里得距離(路徑度量)加以記憶的暫存器、及一種稱為路徑記憶體暫存器的將抵達該狀態為止的位元序列之經過(路徑記憶體)加以記憶的暫存器的這二個暫存器，係被準備，又，一種稱為分枝度量單元的對各分枝而計算於該位元上的PR序列與訊號之歐幾里得距離的演算單元，係被準備。

【0033】PR(1, x, x, 1)時的狀態遷移(狀態遷移)示於圖1。

令資料位元列為 $b_k \in \{0, 1\}$ 的情況下，該系統的PR輸出 d_k 係為如圖1所示的狀態遷移，從各狀態遷移至下個狀態之際， d_k 會被輸出。

於圖1中ST000～ST111係代表各狀態， C_{xxxx} 係代表輸出。這些輸出 C_{xxxx} 係代表著，狀態遷移之際所得的輸

出。

例如，若從狀態 ST000 之狀態開始考慮，若輸入 bk=0，則狀態 ST000 之狀態會維持，輸出係為 C0000。又狀態 ST000 之狀態下若輸入 bk=1，則會往狀態 ST001 移動。從狀態 ST000 往狀態 ST001 移動之際的輸出係為 C0001。

又若從狀態 ST001 開始考慮，則輸入 bk 係由於行程長度限制的緣故因此只可能 bk=1，若輸入 bk=1，則往狀態 ST011 移動。從狀態 ST001 往狀態 ST011 移動之際的輸出係為 C0011。

這些狀態遷移與輸出值係如以下所示。

```

C1111: ST111→ST111
C1110: ST111→ST110,   C0111: ST011→ST111
C0110: ST011→ST110
C1100: ST110→ST100,   C0011: ST001→ST011
C1001: ST100→ST001
C1000: ST100→ST000,   C0001: ST000→ST001
C0000: ST000→ST000
    
```

【0034】在維特比偵測時，係將各式各樣的位元序列，藉由通過上記的狀態之路徑的一者，而以一對一之關係建立對應。又，似乎會通過這些路徑的 PR 序列、與實際的訊號之間的歐幾里得距離，係將構成上記路徑的狀態間遷移，亦即，分枝中的前述之分枝度量，予以依序加算而獲得。

然後，在選擇會使上記的歐幾里得距離呈最小的路徑時，一面比較在該各狀態下抵達的二個以下之分枝所擁有

的路徑度量之大小，一面依序選擇路徑度量較小之路徑，藉此而可實現之。藉由將該選擇資訊傳輸至路徑記憶體暫存器，將抵達各狀態的路徑以位元序列加以表現的資訊，就被記憶。路徑記憶體暫存器之值，係一面被依序更新而一面最終會收斂於使歐幾里得距離呈最小的位元序列，因此將該結果予以輸出。若如以上所述，就可有效率地檢索(偵測)用來生成歐幾里得距離最接近於再生訊號之PR序列的位元序列。

【0035】圖2中圖示了，PR(1, x, x, 1)時的網格線圖。

如該網格線圖所示，各時點(k, k-1...)的狀態遷移，係被規定。亦即藉由判別最有可能的路徑，就可判定各時點的位元。

【0036】

< 2. 碟片驅動裝置 >

在本實施形態中，說明將本技術所涉及之解碼裝置適用於對光碟進行記錄再生的碟片驅動裝置1的例子。

作為用來記錄、再生數位資料的技術係有例如CD (Compact Disc)、DVD(Digital Versatile Disc)等，將光碟用於記錄媒體的資料記錄技術。光碟中係有係例如以CD、CD-ROM、DVD-ROM等而被熟知的藉由浮雕凹坑來記錄資訊的再生專用型，或以CD-R、CD-RW、DVD-R、DVD-RW、DVD+RW、DVD-RAM等而被熟知的可記錄使用者資料的類型。可記錄型者，係藉由利用光磁性記錄方式、相變化記錄方式、色素膜變化記錄方式等，而可記錄

資料。色素膜變化記錄方式係也被稱為一次寫入記錄方式，由於只能夠記錄一次資料而不可抹寫，因此適合於資料保存用途等。另一方面，光磁性記錄方式或相變化記錄方式，係可改寫資料，因此被利用在音樂、映像、遊戲、應用程式等之各種內容資料之記錄為首的各種用途。

甚至近年來，一種被稱為藍光碟片(Blu-ray Disc：註冊商標，以下亦記作「BD」)的高密度光碟係被開發，謀求顯著的大容量化。

【0037】本實施形態的碟片驅動裝置1係被構成為，可支援相當於BD的再生專用碟片或記錄可能型碟片(一次寫入型碟片或可複寫型碟片)而進行再生或記錄。

作為BD，若為可記錄型碟片，則是在波長405nm的雷射(所謂的藍色雷射)與NA為0.85之接物透鏡之組合此一條件下，進行相變記號(相變化記號)或色素變化記號之記錄再生，以軌距0.32 μm 、線密度0.12 $\mu\text{m}/\text{bit}$ ，將64KB(千位元組)之資料區塊視為一個記錄再生單位(RUB：Recording Unit Block)而進行記錄再生。

又，作為BD，若為ROM碟片，則是藉由 $\lambda/4$ 左右之深度的浮雕凹坑而將再生專用之資料予以記錄。同樣地軌距係為0.32 μm ，線密度係為0.12 $\mu\text{m}/\text{bit}$ 。而且將64KB之資料區塊，視為1個再生單位(RUB)。

在BD的情況下，藉由如上記的軌距或線密度之條件而每單一記錄層的可記錄容量是達到例如25GB(千兆位元組)左右。

【0038】記錄再生單位的RUB係為，對於156符元×496訊框之ECC區塊(叢簇)，例如在其前後附加1訊框之連結區域而被生成的合計498訊框。

此外，若為可記錄型碟片，則在碟片上係有凹軌(溝)是被蛇行(搖擺)地形成，該搖擺凹軌係被當成記錄再生軌跡。然後凹軌的搖擺係被設計成，含有所謂的ADIP(Address in Pregroove)資料。亦即藉由偵測凹軌的搖擺資訊，就可獲得碟片上之位址。

【0039】若為可記錄型碟片，則在藉由搖擺凹軌所形成的軌跡上係被記錄有相變記號所致之記錄記號，但相變記號係藉由RLL(1, 7)PP調變方式(RLL; Run Length Limited、PP: Parity preserve/Prohibit rmtr(repeated minimum transition runlength))等而被記錄。

若令通道時脈週期為「T」，則記號長度係為例如2T至8T。

若為再生專用碟片，則雖然不會形成凹軌，但同樣地以RLL(1, 7)PP調變方式所被調變而成的資料，係作為浮雕凹坑列的方式而被記錄。

【0040】圖3係為碟片驅動裝置1之內部構成例的區塊圖。

碟片90，係為例如上記的藍光碟片方式之再生專用碟片或可記錄型碟片。本實施形態的碟片驅動裝置1係被構成為，作為碟片90是可以支援到，在BD的物理條件(波長=405nm左右、NA=0.85左右)下每單一記錄層的可記錄容

量係為例如80GB以上的超高密度碟片。

【0041】碟片90係一旦被裝填至碟片驅動裝置1則被載置於未圖示的轉台，於記錄/再生動作時，藉由轉軸馬達2而以一定線速度(CLV)旋轉驅動。

然後在再生時藉由光學拾取器(光學頭)OP而進行碟片90上之軌跡中所被記錄之記號(凹坑)的資訊之讀出。

又若碟片90是可記錄型之碟片，則在資料記錄時係藉由光學拾取器OP而在碟片90上之軌跡將使用者資料以相變記號或是色素變化記號的方式，加以記錄。

此外，在碟片90上，作為再生專用之管理資訊是將例如碟片的物理資訊等藉由浮雕凹坑或搖擺凹軌而加以記錄，但這些資訊之讀出也藉由拾取器OP而被進行。再者對可記錄型之碟片90，藉由光學拾取器OP而也會進行，作為碟片90上之凹軌軌跡之搖擺而被嵌入的ADIP資訊之讀出。

【0042】在拾取器OP內係形成有：作為雷射光源的雷射二極體、用來偵測反射光的光偵測器、作為雷射光往碟片90之輸出端的接物透鏡、將雷射光透過接物透鏡而照射至碟片記錄面，或將其反射光導入光偵測器的光學系等。雷射二極體，係輸出例如波長405nm的所謂藍色雷射。又光學系所致之NA係為0.85左右。

於拾取器OP內，接物透鏡係藉由二軸機構而保持成可在循軌方向及聚焦方向上移動。

又拾取器OP全體係藉由螺桿機構3而可在碟片半徑方

向上移動。

又，拾取器 OP 中的雷射二極體係藉由來自雷射驅動器 13 的驅動訊號(驅動電流)而進行雷射發光驅動。

【0043】來自碟片 90 的反射光資訊係被光偵測器所偵測，成為相應於受光光量的電氣訊號而供給至矩陣電路 4。

矩陣電路 4 中，係對應於作為光偵測器的複數受光元件所輸出之電流而具備電流電壓轉換電路、矩陣演算/增幅電路等，藉由矩陣演算處理而生成必要之訊號。

例如生成，相當於再生資料的 RF 訊號(再生資料訊號)、伺服控制所需的聚焦錯誤訊號、循軌錯誤訊號等。

然後，涉及凹軌之搖擺的訊號，亦即作為搖擺偵測訊號，而生成推挽訊號。

從矩陣電路 4 所輸出的再生資料訊號(RF 訊號)係供給至解碼部 5，聚焦錯誤訊號及循軌錯誤訊號係供給至光學區塊伺服電路 11，推挽訊號係供給至搖擺訊號處理電路 15。

【0044】解碼部 5，係進行 RF 訊號的 2 值化處理，將所得到的 2 值資料列(後述的解碼值 b_i)供給至後段的訊框同步偵測・同步保護電路 6。

因此在解碼部 5 中，會進行 RF 訊號的 A/D 轉換處理、PLL(Phase Locked Loop)所致之再生時脈生成處理、PR(Partial Response)等化處理、維特比解碼(最大似然解碼)處理。亦即藉由 PRML 解碼，而獲得 2 值資料列。然後

將已解碼的2值資料列，供給至訊框同步偵測・同步保護電路6。

【0045】對從解碼部5所被輸出的2值資料列，係於訊框同步偵測・同步保護電路6中進行訊框同步偵測、或為了穩定的訊框同步偵測所需之同步保護處理。

【0046】編碼/解碼部7係進行再生時的再生資料之解調、和記錄時的記錄資料之調變處理。亦即，在再生時係進行資料解調、去交錯、ECC解碼、位址解碼等，又在記錄時係進行ECC編碼、交錯、資料調變等。

於再生時，已被解碼部5所解碼之2值資料列、及在訊框同步偵測・同步保護電路6中基於訊框同步偵測的解調時序訊號，係被供給至編碼/解碼部7。在編碼/解碼部7中，在基於訊框同步偵測的解調時序訊號所示的時序上，對2值資料列進行解調處理，獲得來自碟片90之再生資料。亦即，實施RLL(1, 7)PP調變而對碟片90中所被記錄之資料進行解調處理、與進行錯誤訂正的ECC解碼處理，從碟片90獲得再生資料。

在編碼/解碼部7中被解碼至再生資料為止的資料，係被傳輸至主機介面8，基於系統控制器10之指示而被傳輸至主機機器100。所謂主機機器100，係為例如電腦裝置或AV(Audio-Visual)系統機器等。

【0047】若碟片90是可記錄型碟片，則其記錄/再生時會進行ADIP資訊之處理。

亦即，作為凹軌之搖擺所涉及之訊號而從矩陣電路4

所被輸出的推挽訊號，係於搖擺訊號處理電路 15 中變成已被數位化的搖擺資料。又，藉由 PLL 處理而生成同步於推挽訊號的時脈。

搖擺資料係在 ADIP 解調電路 16 中進行 MSK 解調、STW 解調，被解調成構成 ADIP 位址的資料串流，然後被供給至位址解碼器 9。

位址解碼器 9，係針對所被供給之資料進行解碼，獲得位址值，供給至系統控制器 10。

【0048】在記錄時，從主機機器 100 會有記錄資料被傳輸過來，但該記錄資料係透過主機介面 8 而被供給至編碼/解碼部 7。

此時，編碼/解碼部 7，作為記錄資料之編碼處理係進行，錯誤訂正碼附加(ECC 編碼)或交錯、子碼之附加等。又對實施過這些處理的資料，實施 RLL(1-7)PP 方式之調變。

【0049】已被編碼/解碼部 7 所處理過的記錄資料，係於寫入策略部 14 中，作為記錄補償處理，而針對記錄層的特性、雷射光的光點形狀、記錄線速度等進行了最佳記錄功率之微調或雷射驅動脈衝波形的調整等，變成該狀態的雷射驅動脈衝，而被供給至雷射驅動器 13。

然後，雷射驅動器 13，係將做過記錄補償處理的雷射驅動脈衝，給予至拾取器 OP 內的雷射二極體而令其執行雷射發光驅動。藉此，就會在碟片 90 中形成相應於記錄資料的記號。

此外，雷射驅動器 13 係具備所謂的 APC 電路 (Auto Power Control)，藉由設在拾取器 OP 內的雷射功率監視用偵測器的輸出，一面監視著雷射輸出功率一面進行控制，使得雷射的輸出不會隨溫度等變化而呈一定。記錄時及再生時的雷射輸出之目標值係從系統控制器 10 所給予，記錄時及再生時係分別將雷射輸出位準，控制成為目標值。

【0050】光學區塊伺服電路 11，係根據來自矩陣電路 4 的聚焦錯誤訊號、循軌錯誤訊號，而生成聚焦、循軌、螺桿進退之各種伺服驅動訊號，執行伺服動作。

亦即，相應於聚焦錯誤訊號、循軌錯誤訊號而生成聚焦驅動訊號、循軌驅動訊號，藉由二軸驅動器 18 而驅動拾取器 OP 內的二軸機構的聚焦線圈、循軌線圈。藉此，藉由拾取器 OP、矩陣電路 4、光學區塊伺服電路 11、二軸驅動器 18、二軸機構，而形成了循軌伺服迴圈及聚焦伺服迴圈。

又，光學區塊伺服電路 11，係隨應於來自系統控制器 10 的循軌跳躍指令，而將循軌伺服迴圈予以關閉，輸出跳躍驅動訊號，以執行循軌跳躍動作。

又，光學區塊伺服電路 11，係基於作為循軌錯誤訊號之低頻成分而獲得之螺桿進退錯誤訊號、或來自系統控制器 10 的存取執行控制等而生成螺桿驅動訊號，藉由螺桿驅動器 19 而驅動螺桿機構 3。在螺桿機構 3 上，雖未圖示，但具有用來保持拾取器 OP 的主軸、螺桿馬達、傳動齒輪等機構，藉由隨著螺桿驅動訊號而驅動螺桿馬達，拾取器

OP就會進行所要的平滑移動。

【0051】轉軸伺服電路12係進行使轉軸馬達2作CLV (Constant Linear Velocity：線速度恆定)旋轉的控制。

轉軸伺服電路12，係將對搖擺訊號之PLL處理所生成的時脈，當作現在的轉軸馬達2之旋轉速度資訊而取得，將其與所定之CLV基準速度資訊作比較，以生成轉軸錯誤訊號。

又，於資料再生時，解碼部5內的PLL所生成的再生時脈，係為現在的轉軸馬達2的旋轉速度資訊，因此將其與所定之CLV基準速度資訊作比較，也可生成轉軸錯誤訊號。

然後，轉軸伺服電路12係將隨應於轉軸錯誤訊號而生成的轉軸驅動訊號予以輸出，藉由轉軸驅動器17而執行轉軸馬達2的CLV旋轉。

又，轉軸伺服電路12，係隨應於來自系統控制器10的轉軸加速/煞車控制訊號而產生轉軸驅動訊號，也執行轉軸馬達2的啟動、停止、加速、減速等之動作。

【0052】以上的伺服系及記錄再生系的各種動作，係藉由微電腦所形成之系統控制器10所控制。

系統控制器10，係隨應於透過主機介面8而被給予的來自主機機器100之命令，而執行各種處理。

例如若從主機機器100發出寫入命令，則系統控制器10係首先使拾取器OP移動到欲寫入之位址。然後藉由編碼/解碼部7，針對從主機機器100所被傳輸過來的資料(例

如視訊資料或音訊資料等)，執行如上述的編碼處理。然後，如上述般地隨應於已被編碼的資料，雷射驅動器13會進行雷射發光驅動，藉此而執行記錄。

【0053】又，例如從主機機器100供給了要求碟片90中所記錄之某個資料之傳輸的讀取命令時，系統控制器10係首先進行以所被指示之位址為目的的找尋動作控制。亦即，對光學區塊伺服電路11發出指令，以找尋命令所指定之位址為目標，執行拾取器OP的存取動作。

其後進行，將該所被指示之資料區間的資料傳輸至主機機器100所需的必要之動作控制。亦即，進行來自碟片90的資料讀出，令解碼部5、訊框同步偵測・同步保護電路6、編碼/解碼部7執行再生處理，傳輸所被要求的資料。

【0054】此外，在圖3的例子中，係以被連接至主機機器100的碟片驅動裝置1來做說明，但作為碟片驅動裝置1亦可以是不被連接至其他機器的形態。此情況下，可設置操作部或顯示部，而資料輸出入的介面部位之構成，係與圖3不同。亦即，相應於使用者操作而進行記錄或再生，並且形成有各種資料之輸出入所需的端子部即可。

當然，作為碟片驅動裝置1的構成例係亦可有其他多樣考慮，例如亦可考慮再生專用裝置的例子。

【0055】

< 3.解碼部之構成 >

圖4中圖示了解碼部5的構成例。解碼部5係具有：A/D

轉換器 51、PLL 電路 52、適應等化器 53、及適應維特比解碼器 54。

A/D 轉換器 51，係將從矩陣電路 4 所被供給之 RF 訊號(再生資料訊號)，轉換成數位資料。

PLL 電路 52，係以例如使用到 A/D 轉換器 51 之輸出的 PLL 處理，來生成再生時脈 CLK，並供給至各部。

已被變成數位資料的 RF 訊號，係在適應等化器 53 中被進行 PR 等化處理。亦即，被進行將 PR 係數予以摺積所致之等化處理。

已被適應等化器 53 做過 PR 等化處理的 RF 訊號，係作為等化訊號 z 而被輸入至適應維特比解碼器 54 而被維特比解碼，成為已被解碼之 2 值資料列(解碼值 b_i 之位元列)而被輸出。

【0056】在本例的情況下，適應等化器 53 係具有，令 PR 等化處理中所使用的 PR 係數(PR 等化的頻率特性)，適應性地追隨於所被輸入的 RF 訊號之頻率特性的機能。

具體而言，適應等化器 53，係如後述般地將適應維特比解碼器 54 所生成的等化誤差訊號 e_k 予以輸入，以使得等化誤差訊號 e_k 會呈最小化的方式來進行 PR 係數的更新。該 PR 係數的更新，會使用 LMS(Least Squares Method)演算法。

【0057】又，本實施形態的適應維特比解碼器 54 係具有，令將最大似然解碼的識別點，適應性地追隨於所被輸入之訊號的特性，亦即等化訊號 z 的頻率特性或非對稱性

等的機能。亦即，具有適應維特比解碼之機能。

【0058】圖5係適應維特比解碼器54之內部構成的說明圖，連同適應維特比解碼器54之內部構成，也一併圖示了圖4所示的適應等化器53。

適應維特比解碼器54係具備：適應維特比偵測器55、訊號處理部56、延遲電路59、減算器60、及限制長度設定部61。

【0059】適應維特比偵測器55，係具有以下說明的構成，針對等化訊號 z 會進行適應維特比解碼處理而輸出解碼值 b_i 。

【0060】圖6係為適應維特比偵測器55之內部構成例的區塊圖。

適應維特比偵測器55係具備：基準位準保持部80、基準位準更新部81、分支量度計算部(BMC：Branch Metric Calculator)82、加算/比較/選擇部(ACS：Add Compare & Select)83、量度記憶部(MMU：Metric Memory Unit)、路徑記憶部(PMU：Path Memory Unit)85。

【0061】基準位準保持部80，係將作為識別點的振幅基準位準 $c_{0000} \sim c_{1111}$ 之初期值，予以保持。

基準位準更新部81，係將作為識別點的振幅基準位準予以適應性地更新而產生振幅基準位準 $c'_{0000} \sim c'_{1111}$ ，並給予至分支量度計算部82。

【0062】分支量度計算部82，係計算等化訊號 $z[k+m]$ 與振幅基準位準 $c'_{0000} \sim c'_{1111}$ 的歐幾里得距離之相對

值，而求出分支量度 b_m 。這也可以跨越 m 時脈而做計算。
例如，若假設 10 值 6 狀態的維特比解碼之分支量度為 $b_{m0000} \sim b_{m1111}$ 則如下所示。其中，「 $\wedge$ 」係表示乘冪。

$$\begin{aligned} b_{m0000}k &= (Z^k - c', 0000) \wedge 2 \\ b_{m0001}k &= (Z^k - c', 0001) \wedge 2 \\ b_{m0011}k &= (Z^k - c', 0011) \wedge 2 \\ b_{m0110}k &= (Z^k - c', 0110) \wedge 2 \\ b_{m0111}k &= (Z^k - c', 0111) \wedge 2 \\ b_{m1000}k &= (Z^k - c', 1000) \wedge 2 \\ b_{m1001}k &= (Z^k - c', 1001) \wedge 2 \quad b_{m1100}k = (Z^k - \\ c', 1100) \wedge 2 \\ b_{m1110}k &= (Z^k - c', 1110) \wedge 2 \\ b_{m1111}k &= (Z^k - c', 1111) \wedge 2 \end{aligned}$$

【0063】加算・比較・選擇部 83，係沿著抵達 6 狀態的路徑，將分支量度予以加算而生成路徑量度 $m_{000}[k] \sim m_{111}[k]$ 。

然後將該路徑量度 $m_{000}[k] \sim m_{111}[k]$ 發送至量度記憶部 84。

量度記憶部 84，係使路徑量度不會溢位地進行處理的電路，先將路徑量度 $m_{000}[k] \sim m_{111}[k]$ 一度予以鎖存，然後將鎖存後的路徑量度 $m_{000}[k-1] \sim m_{111}[k-1]$ 發送至加算・比較・選擇部 83。

【0064】加算・比較・選擇部 83，係根據路徑量度 $m_{000}[k-1] \sim m_{111}[k-1]$ 與分支量度 $b_{m000} \sim b_{m111}$ ，而如下般地生成路徑量度 $m_{000}[k] \sim m_{111}[k]$ 。此外， $\min\{A, B\}$ 係意味著，在 A、B 之中選擇較小者。

$$\begin{aligned} m_{000}[k] &= \min\{m_{000}[k-1] + b_{m000}k, m_{100}[k-1] + \\ & b_{m100}k\} \end{aligned}$$

$$m001[k] = \min\{m000[k-1] + bm0001k, m100[k-1] + bm1001k\}$$

$$m011[k] = m001[k-1] + bm0011k$$

$$m100[k] = m110[k-1] + bm1100k$$

$$m110[k] = \min\{m111[k-1] + bm1110k, m011[k-1] + bm0110k\}$$

$$m111[k] = \min\{m111[k-1] + bm1111k, m011[k-1] + bm0111k\}$$

【0065】然後加算・比較・選擇部83係選擇路徑量度之最小者而做成被設成「0」或「1」之值的選擇資訊s000、s001、s110、s111，輸出至路徑記憶部85。

路徑記憶部85，係接收選擇資訊s000、s001、s110、s111而對6狀態之每一者，將作為路徑量度之履歷的識別結果加以儲存，並逐次更新然後輸出識別結果dec[k-n]。

亦即在如圖2的網格線圖所示的路徑之內，最大似然路徑會根據選擇資訊s000～s111而被判定，而將時點k-n的解碼值bi也就是「0」或「1」之值予以輸出作為其結果。

又，路徑記憶部85，係將各時點之識別結果pm000[k]～pm000[k-1]，輸出至基準位準更新部81。

【0066】基準位準更新部81，係藉由振幅基準位準c0000～c1111與識別結果pm000[k]～pm000[k-1]之組合，而將振幅基準位準c0000～c1111做適應性地更新而產生振幅基準位準c'0000～c'1111，並給予至分支量度計算部

82。

例如，若為 $pm000[n]=0$ 、 $pm000[n-1]=0$ 、 $pm0000[n-2]=0$ 、 $pm000[n-3]=1$ 的情況，則將 $c0001$ 如下般地更新成 $c'0001$ 。

$$c'0001 = \alpha \cdot z[k-n+2] + (1-\alpha) \cdot c0001$$

此外 α 係為修正係數。

【0067】若做一般化，則基準值 $cABCD$ (其中， A 、 B 、 C 、 D 係分別為 0 或 1) 往基準值 $c'ABCD$ 之更新，係如下所示。

若將 $uABCD$ ，令作 $(pm000[n]=A) \cdot (pm000[n-1]=B) \cdot (pm0000[n-2]=C) \cdot (pm000[n-3]=D)$ 之邏輯式，則

$$c'ABCD = \alpha \cdot (uABCD \cdot z[k-n+2] + !uABCD \cdot cABCD) + (1-\alpha) \cdot cABCD$$

其中，「！」係意味著邏輯值之反轉，邏輯值為 FALSE(0) 時係變成 TRUE(1)。

亦即，上記的「 $c'ABCD = \alpha \cdot (uABCD \cdot z[k-n+2] + !uABCD \cdot cABCD) + (1-\alpha) \cdot cABCD$ 」係為，

若 $uABCD = \text{TRUE}(1)$ ，則

變成「 $c'ABCD = \alpha \cdot z[k-n+2] + (1-\alpha) \cdot cABCD$ 」，

若 $uABCD = \text{FALSE}(0)$ ，則

變成「 $c'ABCD = \alpha \cdot cABCD + (1-\alpha) \cdot cABCD = cABCD$ 」

(亦即不更新)。

【0068】關於各基準值若個別表示則如下所示。

$$\begin{aligned}
 c'_{0000} &= \alpha \cdot (u_{0000} \cdot z^{[k-n+2]} + !u_{0000} \cdot c_{0000}) + (1-\alpha) \cdot c_{0000} \\
 c'_{0001} &= \alpha \cdot (u_{0001} \cdot z^{[k-n+2]} + !u_{0001} \cdot c_{0001}) + (1-\alpha) \cdot c_{0001} \\
 c'_{0011} &= \alpha \cdot (u_{0011} \cdot z^{[k-n+2]} + !u_{0011} \cdot c_{0011}) + (1-\alpha) \cdot c_{0011} \\
 c'_{0110} &= \alpha \cdot (u_{0110} \cdot z^{[k-n+2]} + !u_{0110} \cdot c_{0110}) + (1-\alpha) \cdot c_{0110} \\
 c'_{0111} &= \alpha \cdot (u_{0111} \cdot z^{[k-n+2]} + !u_{0111} \cdot c_{0111}) + (1-\alpha) \cdot c_{0111} \\
 c'_{1000} &= \alpha \cdot (u_{1000} \cdot z^{[k-n+2]} + !u_{1000} \cdot c_{1000}) + (1-\alpha) \cdot c_{1000} \\
 c'_{1001} &= \alpha \cdot (u_{1001} \cdot z^{[k-n+2]} + !u_{1001} \cdot c_{1001}) + (1-\alpha) \cdot c_{1001} \\
 c'_{1100} &= \alpha \cdot (u_{1100} \cdot z^{[k-n+2]} + !u_{1100} \cdot c_{1100}) + (1-\alpha) \cdot c_{1100} \\
 c'_{1110} &= \alpha \cdot (u_{1110} \cdot z^{[k-n+2]} + !u_{1110} \cdot c_{1110}) + (1-\alpha) \cdot c_{1110} \\
 c'_{1111} &= \alpha \cdot (u_{1111} \cdot z^{[k-n+2]} + !u_{1111} \cdot c_{1111}) + (1-\alpha) \cdot c_{1111}
 \end{aligned}$$

【0069】然後，如此而被更新的基準位準 $c'_{0000} \sim c'_{1111}$ ，係如上述般地被使用於分支量度計算部82所致之分支量度 bm 之計算。

【0070】如上記，適應維特比偵測器55，係令振幅基準位準，適應性地追隨於所被輸入之等化訊號 z 的頻率特性。

【0071】回到圖5說明。

適應維特比偵測器55的適應維特比解碼處理所得到的解碼值 bi ，係被供給至訊號處理部56。

訊號處理部56，係具備目標波形生成部57與PR係數更新部58。目標波形生成部57，係對解碼值 bi 摺積PR係數，生成關於適應等化器53所致之適應等化的等化目標波形 Ik 。

PR係數更新部58係進行，目標波形生成部57在等化目標波形 I_k 之生成時所使用之PR係數的更新。該PR係數的更新，係基於以下說明的減算器60所生成的等化誤差訊號 e_k 、與被適應維特比偵測器55所輸入的解碼值 b_i ，藉由使解碼值 b_i 與等化誤差訊號 e_k 之相關呈最小化的LSM演算，而被進行。

【0072】對減算器60，係有目標波形生成部57所生成的等化目標波形 I_k 會被輸入，同時，來自適應等化器53的等化訊號 z 係透過延遲電路59而被輸入，將這些輸入訊號的差分當作等化誤差訊號 e_k 而予以輸出。此外，延遲電路59的延遲時間，係為相應於目標波形生成部57所致之摺積處理時間的時間。

等化誤差訊號 e_k ，係亦如前述般地被供給至適應等化器53而被使用於適應等化器53中的PR係數之更新(LMS演算)，並且被供給至PR係數更新部58。

【0073】限制長度設定部61，係將目標波形生成部57所致之等化目標波形 I_k 之生成時所被使用之PR係數的限制長度，加以設定。此外，關於限制長度設定部61係另外說明。

【0074】圖7係訊號處理部56之內部構成例的區塊圖。

於訊號處理部56中，目標波形生成部57係具備：分別被設定有對應之PR係數的 j 個(其中「 j 」係為2以上之自然數)乘算器66(66-1～66- j)、和被串聯地插入至解碼值 b_i 的

輸入線上，用來對乘算器 66-1 ~ 66-j 供給被每次延遲 1 時脈之解碼值 b_i 所需之 $j-1$ 個延遲器 65 (65-1 ~ 65-($j-1$))、和用來計算各乘算器 66 之輸出的總和所需之 $j-1$ 個加算器 67 (67-1 ~ 67-($j-1$))。

此處，「 j 」之數值，係只要隨應於想要支援的 PR 的限制長度而做設定即可。例如，若限制長度 = 11 則「 $j = 11$ 」。

【0075】於目標波形生成部 57 中，藉由延遲器 65-1 ~ 65-($j-1$) 而每次被延遲 1 時脈的 j 個解碼值 b_i ，係藉由乘算器 66-1 ~ 66-j 之中各自所對應之乘算器 66 中所被設定的 PR 係數而被增幅，增幅後的各值之總和係被加算器 67-1 ~ 67-($j-1$) 所算出，該總和係被當成等化目標波形 I_k 而被輸出。

【0076】如此於目標波形生成部 57 中，藉由對解碼值 b_i 的 PR 係數之摺積演算，而生成等化目標波形 I_k 。

【0077】PR 係數更新部 58 係具備乘算器 68、和 j 個乘算器 69 (69-1 ~ 69-j)。

乘算器 68，係對等化誤差訊號 e_k ，乘上更新係數 μ 。

對乘算器 69 之每一者，藉由延遲器 65-1 ~ 65-($j-1$) 之延遲而得的各解碼值 b_i 之中，對應之解碼值 b_i 會分別被輸入。對乘算器 69-1 ~ 69-j，係有乘算器 68 之輸出值，亦即「 $e_k \times \mu$ 」，是被當成乘算係數而做設定，藉此，在乘算器 69-1 ~ 69-j 中，對於各自對應之解碼值 b_i 就會乘上「 $e_k \times \mu$ 」。

這些乘算器 69-1 ~ 69-j 之輸出值，係作為目標波形生

成部 57 中的乘算器 66-1 ~ 66-j 之中所各自對應之乘算器 66(符號末尾之數值為一致的乘算器 66)的乘算係數而被給予。亦即，藉由這些乘算器 69-1 ~ 69-j 之輸出值 ($e_k \times \mu \times b_i$)，等化目標波形 I_k 之生成時所被使用之 PR 係數就會分別被更新。

【0078】如上述，藉由 PR 係數更新部 58，等化誤差訊號 e_k 與更新係數 μ 與解碼值 b_i 之積，就會被回饋至 PR 係數。藉由如此構成，使解碼值 b_i 與等化誤差訊號 e_k 之相關呈最小化的 LMS 演算所致之 PR 係數的更新，就被進行。

【0079】此處，由上記說明可以理解，PR 係數更新部 58 在進行 PR 係數的更新時，必須要取得被每次延遲 1 時脈的解碼值 b_i 。在本實施形態中，考慮如此用來取得被每次延遲 1 時脈的解碼值 b_i 所需之構成，亦即延遲器 65-1 ~ 65-(j-1) 是被設在目標波形生成部 57 中的這點，而採用讓 PR 係數更新部 58 與目標波形生成部 57 共用這些延遲器 65-1 ~ 65-(j-1) 的構成。

【0080】假設考慮，不將目標波形生成部 57 中的延遲器 65-1 ~ 65-(j-1) 做共用的 PR 係數更新部 58(以下將其符號記作「58'」)之構成的情況。亦即，有別於目標波形生成部 57 而具備另外的延遲器 65-1 ~ 65-(j-1) 的 PR 係數更新部 58'，考慮具備其的適應維特比解碼器 54(以下將其符號記作「54'」)。

【0081】圖 8 係例示了適應維特比解碼器 54' 之構成，此情況下，PR 係數更新部 58' 與適應維特比偵測器 55 之

間，必須要插入延遲電路 150。這是因為，為了讓 PR 係數更新部 58' 使用解碼值 b_i 與等化誤差訊號 e_k 而適切地進行 PR 係數之更新，必須要使輸入至 PR 係數更新部 58' 的解碼值 b_i 與等化誤差訊號 e_k 同步。亦即，對解碼值 b_i 必須要給予一相應於目標波形生成部 57 中的摺積處理時間的延遲的緣故。

【0082】如圖 7 所示，藉由在目標波形生成部 57 與 PR 係數更新部 58 間共用延遲器 65-1 ~ 65-(j-1)，就不需要設置如上記的延遲電路 150，可謀求電路構成的簡略化。亦即，可以達成延遲器 65-1 ~ 65-(j-1) 做共用化這點上的電路構成之簡略化，與因為不需要延遲電路 150 的這點上的電路構成之簡略化。

【0083】又，在本實施形態中，藉由圖 5 所示的限制長度設定部 61，針對等化目標波形 I_k 之生成時所使用之 PR 係數，可將限制長度做可變地設定。

限制長度設定部 61，係藉由對乘算器 69-1 ~ 69-j 的啟用訊號，就可每一乘算器 69 地切換啟用/停用。已被啟用的乘算器 69 係對輸入值(解碼值 b_i)進行乘算係數 ($e_k \times \mu$) 之乘算動作，已被停用的乘算器 69 係不執行該乘算動作而輸出「0」。

藉此，在目標波形生成部 57 中的乘算器 66 之中，只有藉由已被啟用的乘算器 69 而被更新了 PR 係數的乘算器 66 會參與 PR 係數之摺積，因此針對等化目標波形 I_k 之生成時所被使用之 PR 係數，可將 PR 的限制長度做可變地設定。

【0084】藉由上記之構成，欲支援不同PR之限制長度的時候，不需要對應於每一種限制長度而設置個別的目標波形生成部57，亦即不需要將這些目標波形生成部57隨每一種限制長度而做切換使用，可謀求電路構成的簡略化。

【0085】此外，限制長度設定部61，係依照例如圖3所示的來自系統控制器10之指示而切換欲啟用/停用的乘算器69。此情況下，限制長度的切換，係考慮隨著例如碟片90的線密度(線記錄密度)等碟片90的記錄格式而進行。

【0086】此處，藉由LMS演算而進行PR係數之更新的情況下，PR係數的收斂，有可能會導致等化訊號 z 的振幅被縮減。如此振幅被縮減的等化訊號 z 係不是原本應該獲得的訊號，會導致解碼性能的降低而非理想。

【0087】於是，亦可採用像是作為圖9所示的第一變形例的適應維特比解碼器54A這樣，把PR係數之總和控制成一定範圍內之值的構成。

此外，在以下的說明中，關於和已經說明過的部分相同的部分係標示同一符號並省略說明。

於圖9中，適應維特比解碼器54A，係取代訊號處理部56改為設置訊號處理部56A這點有所不同，訊號處理部56A，係除了具備目標波形生成部57及PR係數更新部58，還具備係數總和控制部70與加算器71，這點是與訊號處理部56不同。如圖示，加算器71，係被插入至減算器60與PR係數更新部58之間。

【0088】係數總和控制部70，係計算目標波形生成部

57所致之等化目標波形 I_k 之生成時所被使用之PR係數的總和，以使得該總和之值會維持成一定範圍內之值的方式，來控制PR係數之值。具體而言，本例的係數總和控制部70，係將PR係數的總和之初期值，亦即，例如若為PR(1, 2, 2, 1)則為「6」的該初期值令作「總和基準值」，若計算出來的PR係數的總和相對於總和基準值而為較小則提高PR係數之值，反之若計算出來的PR係數的總和相對於總和基準值而為較大則降低PR係數之值，進行如此控制。

【0089】本例的係數總和控制部70，係將如上記的PR係數的總和與總和基準值之比較結果所相應的PR係數之調整控制，藉由對等化誤差訊號 e_k 給予偏置，而加以實現。具體而言，係數總和控制部70，係計算根據所計算出來的PR係數的總和與總和基準值的大小關係、及它們的差分之大小所相應的偏置值，將該偏置值輸出至加算器71而令其被加算至誤算訊號 e_k 。

藉此，PR係數之值，就會相應於PR係數的總和與總和基準值的大小關係及差分之大小而被調整，可控制使得PR係數的總和維持成一定範圍內之值。

【0090】此外，將適應維特比解碼器54A構成為可支援複數種PR級別的情況下，作為總和基準值，係使用設定中的PR級別所相應之值。

【0091】藉由進行如上記的PR係數的總和恆定控制，就可防止因為LMS演算而導致PR係數被收斂而使得PR係數之總和(進而導致等化訊號 z 之振幅)趨近於0。

因此，可適切地進行PR係數的更新，可謀求解碼性能的提升。

【0092】又，本例的係數總和控制部70，係藉由對被輸入至係數更新部58的等化誤差訊號 e_k 給予一相應於PR係數之總和大小的偏置，而將PR係數的總和控制成一定範圍內之值。

藉此，在實現PR係數的總和恆定控制時，針對各乘算器66(等化目標波形 I_k 之生成時將PR係數進行摺積所需之乘算器)，不需要採用個別地進行增益調整之構成。

因此，在實現PR係數的總和恆定控制時，可謀求電路構成的簡略化。

【0093】圖10係作為第二變形例的適應維特比解碼器54B之構成的說明圖。

第二變形例的適應維特比解碼器54B，係具備：針對被輸入至係數更新部58的等化誤差訊號 e_k 進行等化處理的等化器72。此外，適應維特比解碼器54B的其他構成係和第一變形例的適應維特比解碼器54A相同因此避免重複說明。

【0094】藉由插入該等化器72，針對PR係數之更新時所使用之等化誤差訊號可以調整頻率特性，而可調整PR係數的收斂值。

在本例中，等化器72係以3抽頭之FIR(Finite Impulse Response)濾波器的方式而被構成，針對等化誤差訊號 e_k 會進行高頻增強。

圖 11 係圖示，關於等化器 72 中的每一抽頭的係數 $c[0]=-k$ 、 $c[1]=1+2k$ 、 $c[2]=-k$ ，令 $k=4$ 時的頻率特性。

【0095】圖 12 係為等化器 72 的增強參數(係數 $c[x]$ 中的 k 之值)與 4T 頻率之增益之關係的圖示，橫軸係表示增強參數，縱軸係表示 4T 頻率之增益。

在圖 12 中係圖示了，針對碟片 90 中的凸軌之記錄訊號、凹軌之記錄訊號分別進行再生之際的增強參數 k 與 4T 頻率增益之關係(凸軌=▲作圖點，凹軌=●作圖點)。由參照這些可知，增強參數 k 之值越大，就會往高頻增益越大的 PR 級別做收斂。

【0096】圖 13 係增強參數與訊號品質評價值 e -MLSE 之關係的圖示。此情況下也是，凸軌之記錄訊號的再生結果係以▲作圖點來表示，凹軌之記錄訊號的再生結果係以●作圖點來表示。

此外，「 e -MLSE」係作為維特比解碼中的訊號品質評價指標而被使用的值，是類似於在 CD 等之訊號品質評價中所被使用的抖動(jitter)的評價值。有關「 e -MLSE」之細節敬請參照「國際公開第 2013/183385 號」等。

【0097】由圖 13 可知，增強參數 k 在 2 附近， e -MLSE 之值為最小(最佳)。

【0098】由上記的圖 12、圖 13 可知，藉由針對等化誤差訊號 ek 設置等化器 72，就可調整 PR 係數的收斂值。

【0099】此處，藉由 LMS 而誤差呈最小的 PR 係數，並不保證一定是解碼性能最大。藉由如上記般地調整等化誤

差訊號 e_k 的頻率特性，就可微調PR係數的收斂值，可使PR係數更為接近最佳值。

【0100】此外，等化器72的頻率特性係亦可為可變。具體而言，例如可設置，隨應於來自系統控制器10之指示，而將等化器72中的增強參數 k 做可變設定的參數設定部。

藉此，可支援更廣幅度的輸入訊號特性而提高解碼性能。

【0101】參照圖14乃至圖16，說明作為實施形態的PR係數更新的各種實驗結果。

圖14係圖示了，作為實施形態的PR係數更新被進行時(圖中「Adaptive」)、與未被進行時(亦即PR係數固定的情況：圖中「fixed」)的各情況下的MSE(等化器殘差：◆作圖點)、bER(錯誤率：▲作圖點)、4T頻率增益(■作圖點)。此外，MSE，係為有關於等化訊號 z 與其理想波形之誤差的評價值。

又，圖15係將PR係數固定時的各PR係數(◆作圖點)、與藉由作為實施形態的PR係數更新而被收斂的各PR係數(■作圖點)做對比而圖示。此外如參照圖15可知，實驗中作為PR級別是採用了11ISI(Inter-Symbol Interference：限制長度=11)。

圖16係針對PR係數所致之頻率特性，將PR係數固定時的頻率特性(虛線)與作為實施形態的PR係數更新被進行時的頻率特性(實線)做對比而圖示。

此外，在實驗中，是使用作為第二變形例而說明的適應維特比解碼器 54B，接物透鏡之 $NA=0.91$ ，碟片 90 之記錄線密度係換算成 BD 時約為 56GB。

【0102】由圖 14 可知，若依據實施形態，則相較於 PR 係數固定的情況，MSE 會變得較小，錯誤率 bER 會呈現較為良好的值。

又，參照圖 14 中的 4T 頻率增益與圖 16，可知若依據實施形態，則 4T 頻率增益會上升，伴隨於此，頻率特性會平移成較高頻增益之高特性。

此外，根據圖 15 可以確認到，PR 係數的總和是與 PR 係數固定時大略同值。

【0103】由這些結果可以理解，若依據實施形態，則 PR 係數之初期值即使因為光學拾取器 OP 之擾動狀態或光碟 90 之種類等對再生條件而從最佳點偏移開來，PR 係數仍會被適應性地更新而趨近於最佳點，因此可以獲得較良好的解碼性能。

【0104】

< 4. 實施形態的總結 >

如上述，作為實施形態的解碼裝置(解碼部 5)，係具備：適應等化部(適應等化器 53)，係為對輸入訊號進行部分響應係數之摺積所致之部分響應等化的等化部，進行令輸入訊號之特性適應性地追隨於部分響應係數的適應等化；和適應最大似然解碼部(適應維特比偵測器 55)，係為對已被適應等化部所等化之輸入訊號也就是等化訊號進行

最大似然解碼而輸出解碼值的最大似然解碼部，令最大似然解碼中的識別點適應性地追隨於輸入訊號之特性；和目標波形生成部(57)，係藉由對解碼值摺積部分響應係數，以生成關於適應等化部所致之適應等化的等化目標波形；和誤差訊號生成部(減算器60)，係生成等化目標波形與等化訊號之誤差訊號來作為等化誤差訊號；和係數更新部(PR係數更新部58)，係藉由使解碼值與等化誤差訊號之相關呈最小化的最小平方法演算，而將目標波形生成部在等化目標波形之生成時所使用之部分響應係數，予以更新。

【0105】藉由設計成併用適應等化與適應最大似然解碼之構成，對於輸入訊號特性的參差，自動地設定被認為是最佳的等化目標，可謀求穩定的解碼性能之維持。

又，藉由設計成會把等化訊號與等化目標波形之誤差訊號回饋給適應等化部之構成，在適應等化之際只需使用適應最大似然解碼部之識別點即可，因此對長限制長度化而言是有利的。

再者，於併用適應等化與適應最大似然解碼之構成中，藉由使解碼值與等化誤差訊號之相關呈最小化的最小平方法演算而將等化目標波形之生成時所使用之PR係數予以更新，藉此，PR係數就會適應於輸入訊號特性而被適切地更新。

如以上，若依據本實施形態，則可抑制因長限制長度化所帶來的係數更新的收斂性能或動作穩定性之降低，謀求解碼性能之提升。

【0106】又，於作為實施形態的解碼裝置中，係具備：係數總和控制部(70)，係計算等化目標波形之生成時所使用之部分響應係數的總和值，並控制係數更新部的更新動作以使得該總和值會是一定範圍內之值。

【0107】藉此，可以防止因最小平方法演算而導致PR係數被收斂而使得PR係數之總和(進而導致等化訊號之振幅)趨近於0。

因此，可適切地進行PR係數的更新，可謀求解碼性能的提升。

【0108】再者，於作為實施形態的解碼裝置中，係數總和控制部，係藉由對被輸入至係數更新部的等化誤差訊號給予一相應於總和值之大小的偏置，以控制使得總和值會是一定範圍內之值。

【0109】藉此，在實現PR係數的總和恆定控制時，針對等化目標波形之生成時將PR係數進行摺積所需之各乘算器，不需要採用個別地進行增益調整之構成。

因此，在實現PR係數的總和恆定控制時，可謀求電路構成的簡略化。

【0110】又甚至，於作為實施形態的解碼裝置中，係具備：誤差訊號等化部(等化器72)，係針對被輸入至係數更新部的等化誤差訊號進行等化處理。

【0111】藉此，針對PR係數之更新時所使用之等化誤差訊號可以調整頻率特性，而可調整PR係數的收斂值。

因此，可將PR係數隨著實際的輸入訊號特性而進行調

整以使其收斂於適切的值，可謀求解碼性能之提升。

【0112】又，於作為實施形態的解碼裝置中，誤差訊號等化部，係將等化誤差訊號的高頻成分予以增幅。

【0113】藉此，PR係數之值會被收斂以使得適應等化部的等化特性會獲得較高頻增益之高等化特性，可謀求解碼性能之提升。

在高密度光碟中，會因為繞射極限之影響，而導致讀出訊號的高頻成分會有衰減的傾向。亦即，會變成像是對原本應獲得之讀出訊號施加了所謂的LPF(Low Pass Filter)的狀態。於PRML解碼中，在謀求解碼性能之提升時，必須配合如此光碟之頻率特性，來設定PR等化的頻率特性。亦即，PR等化所致之截止頻率，係和針對如上述之光碟讀出訊號的截止頻率一致，才是理想。

藉由如上述的誤差訊號等化部所致之高頻增強，就可對齊這些截止頻率，藉此可謀求解碼性能之提升。

【0114】再者，於作為實施形態的解碼裝置中，在係數更新部與目標波形生成部間係共用著，用來使解碼值每次延遲1時脈所需之延遲器(65-1～65-(j-1))。

【0115】藉此，在藉由使解碼值與等化誤差訊號之相關呈最小化的最小平方法演算而將PR係數予以更新所需之構成的實現上，可謀求電路構成的簡略化。

此處，假設若是目標波形生成部與係數更新部不共用上記之延遲器的構成，則必須要將輸入至係數更新部的解碼值，延遲一目標波形生成部在等化目標波形生成時所需

時間所相應的時間，其結果為，必須要在適應最大似然解碼部與係數更新部之間，設置延遲手段。

若依據上記構成，則可以達成目標波形生成部與係數更新部間共用延遲器這點上的電路構成之簡略化、及如上述不需要對係數更新部延遲輸入解碼值這點上的電路構成之簡略化，同時，可謀求防止發生無謂的處理延遲。

【0116】又甚至，於作為實施形態的解碼裝置中，係數更新部係被構成為，可將更新對象之部分響應係數之數量予以變更。

【0117】藉此，可對應於多樣的限制長度而進行PR係數的更新。

因此，可實現能夠支援更多樣之輸入訊號特性而進行解碼的解碼裝置。

【0118】又，於作為實施形態的解碼裝置中，係數更新部，係藉由控制部分響應係數之更新時所使用之乘算器的作動/停止，以變更更新對象之部分響應係數之數量。

【0119】藉此，不需要採用隨著所欲支援的每種限制長度而一一設置用來進行PR係數更新的係數更新電路之構成，在想要能夠支援限制長度不同的複數種PR級別時，只需要設置單一係數更新電路即可。

因此，可謀求電路構成的簡略化。

【0120】又，作為實施形態的解碼方法，係一種解碼方法，其係具有：適應等化步驟，係為對輸入訊號進行部分響應係數之摺積所致之部分響應等化的等化步驟，進行

令輸入訊號之特性適應性地追隨於部分響應係數的適應等化；和適應最大似然解碼步驟，係為對已被適應等化步驟所等化之輸入訊號也就是等化訊號進行最大似然解碼而輸出解碼值的最大似然解碼步驟，令最大似然解碼中的識別點適應性地追隨於輸入訊號之特性；並且具有：目標波形生成步驟，係藉由對解碼值摺積部分響應係數，以生成關於適應等化步驟所致之適應等化的等化目標波形；和誤差訊號生成步驟，係生成等化目標波形與等化訊號之誤差訊號來作為等化誤差訊號；和係數更新步驟，係藉由使解碼值與等化誤差訊號之相關呈最小化的最小平方法演算，而將目標波形生成步驟在等化目標波形之生成時所使用之部分響應係數，予以更新。

【0121】即使藉由如此的解碼方法，仍可獲得和上記的作為實施形態的解碼裝置相同的作用及效果。

【0122】此外，本說明書中所記載之效果僅為例示並非限定，又，亦可還有其他的效果。

【0123】在上記中，雖然舉出將本技術適用於來自光記錄媒體的讀出訊號的解碼系統的例子，但本技術係可適用於無線通訊中的收訊訊號的解碼系統等，可對來自光記錄媒體的讀出訊號的解碼系統以外做適用。

【0124】

< 5.本技術 >

此外，本技術係亦可採取如下之構成。

(1) 一種解碼裝置，係

具備：

適應等化部，係為對輸入訊號進行部分響應係數之摺積所致之部分響應等化的等化部，進行令前記輸入訊號之特性適應性地追隨於前記部分響應係數的適應等化；和

適應最大似然解碼部，係為對已被前記適應等化部所等化之前記輸入訊號也就是等化訊號進行最大似然解碼而輸出解碼值的最大似然解碼部，令前記最大似然解碼中的識別點適應性地追隨於前記輸入訊號之特性；和

目標波形生成部，係藉由對前記解碼值摺積部分響應係數，以生成關於前記適應等化部所致之前記適應等化的等化目標波形；和

誤差訊號生成部，係生成前記等化目標波形與前記等化訊號之誤差訊號來作為等化誤差訊號；和

係數更新部，係藉由使前記解碼值與前記等化誤差訊號之相關呈最小化的最小平方法演算，而將前記目標波形生成部在前記等化目標波形之生成時所使用之前記部分響應係數，予以更新。

(2) 如前記(1)所記載之解碼裝置，其中，

具備：係數總和控制部，係計算前記等化目標波形之生成時所使用之部分響應係數的總和值，並控制前記係數更新部的更新動作以使得該總和值會是一定範圍內之值。

(3) 如前記(1)或(2)所記載之解碼裝置，其中，

前記係數總和控制部，係

藉由對被輸入至前記係數更新部的前記等化誤差訊號

給予一相應於前記總和值之大小的偏置，以控制使得前記總和值會是前記一定範圍內之值。

(4) 如前記(1)乃至(3)之任一項所記載之解碼裝置，其中，

具備：誤差訊號等化部，係針對被輸入至前記係數更新部的前記等化誤差訊號進行等化處理。

(5) 如前記(4)所記載之解碼裝置，其中，

前記誤差訊號等化部，係

將前記等化誤差訊號的高頻成分予以增幅。

(6) 如前記(1)乃至(5)之任一項所記載之解碼裝置，其中，

在前記係數更新部與前記目標波形生成部間係共用著，用來使前記解碼值每次延遲1時脈所需之延遲器。

(7) 如前記(1)乃至(6)之任一項所記載之解碼裝置，其中，

前記係數更新部，係

被構成為，可將更新對象之部分響應係數之數量予以變更。

(8) 如前記(7)所記載之解碼裝置，其中，

前記係數更新部，係

藉由控制部分響應係數之更新時所使用之乘算器的作動/停止，以變更前記更新對象之部分響應係數之數量。

【符號說明】

【 0125】

- 1：碟片驅動裝置
- 2：轉軸馬達
- 3：螺桿機構
- 4：矩陣電路
- 5：解碼部
- 6：訊框同步偵測・同步保護電路
- 7：編碼/解碼部
- 8：主機介面
- 9：位址解碼器
- 10：系統控制器
- 11：光學區塊伺服電路
- 12：轉軸伺服電路
- 13：雷射驅動器
- 14：寫入策略部
- 15：搖擺訊號處理電路
- 16：ADIP解調電路
- 17：轉軸驅動器
- 18：二軸驅動器
- 19：螺桿驅動器
- OP：光學拾取器
- 51：A/D轉換器
- 52：PLL電路
- 53：適應等化器

54、54'、54A：適應維特比解碼器

55：適應維特比偵測器

56、56A：訊號處理部

57：目標波形生成部

58、58'：PR係數更新部

59：延遲電路

60：減算器

61：限制長度設定部

65-1～65-(j-1)：延遲器

66-1～66-j：乘算器

67-1～67-(j-1)：加算器

68：乘算器

69-1～69-j：乘算器

70：係數總和控制部

71：加算器

72：等化器

80：基準位準保持部

81：基準位準更新部

82：分支量度計算部

83：加算/比較/選擇部

84：量度記憶部

85：路徑記憶部

90：碟片

100：主機機器

150：延遲電路

I675557

【發明摘要】

【中文發明名稱】

解碼裝置、解碼方法

【中文】

可抑制因長限制長度化所帶來的係數更新的收斂性能或動作穩定性之降低，謀求解碼性能之提升。

本技術所述之解碼裝置，係具備：適應等化部，係進行適應等化；和適應最大似然解碼部，係令最大似然解碼中的識別點適應性地追隨於輸入訊號之特性；和目標波形生成部)，係藉由對解碼值摺積部分響應係數，以生成關於適應等化部所致之適應等化的等化目標波形；和誤差訊號生成部，係生成等化目標波形與等化訊號之誤差訊號來作為等化誤差訊號；和係數更新部，係藉由使解碼值與等化誤差訊號之相關呈最小化的最小平方法演算，而將目標波形生成部在等化目標波形之生成時所使用之部分響應係數，予以更新。

【指定代表圖】第(5)圖。

【代表圖之符號簡單說明】

53：適應等化器

54：適應維特比解碼器

55：適應維特比偵測器

56：訊號處理部

57：目標波形生成部

58：PR係數更新部

59：延遲電路

60：減算器

61：限制長度設定部

【特徵化學式】無

【發明申請專利範圍】

【第1項】

一種解碼裝置，係
具備：

適應等化部，係為對輸入訊號進行部分響應係數之摺積所致之部分響應等化的等化部，進行令前記輸入訊號之特性適應性地追隨於前記部分響應係數的適應等化；和

適應最大似然解碼部，係為對已被前記適應等化部所等化之前記輸入訊號也就是等化訊號進行最大似然解碼而輸出解碼值的最大似然解碼部，令前記最大似然解碼中的識別點適應性地追隨於前記輸入訊號之特性；和

目標波形生成部，係藉由對前記解碼值摺積部分響應係數，以生成關於前記適應等化部所致之前記適應等化的等化目標波形；和

誤差訊號生成部，係生成前記等化目標波形與前記等化訊號之誤差訊號來作為等化誤差訊號；和

係數更新部，係藉由使前記解碼值與前記等化誤差訊號之相關呈最小化的最小平方法演算，而將前記目標波形生成部在前記等化目標波形之生成時所使用之前記部分響應係數，予以更新。

【第2項】

如請求項1所記載之解碼裝置，其中，

具備：係數總和控制部，係計算前記等化目標波形之生成時所使用之部分響應係數的總和值，並控制前記係數

更新部的更新動作以使得該總和值會是一定範圍內之值。

【第3項】

如請求項2所記載之解碼裝置，其中，

前記係數總和控制部，係

藉由對被輸入至前記係數更新部的前記等化誤差訊號給予一相應於前記總和值之大小的偏置，以控制使得前記總和值會是前記一定範圍內之值。

【第4項】

如請求項1所記載之解碼裝置，其中，

具備：誤差訊號等化部，係針對被輸入至前記係數更新部的前記等化誤差訊號進行等化處理。

【第5項】

如請求項4所記載之解碼裝置，其中，

前記誤差訊號等化部，係

將前記等化誤差訊號的高頻成分予以增幅。

【第6項】

如請求項1所記載之解碼裝置，其中，

在前記係數更新部與前記目標波形生成部間係共用著，用來使前記解碼值每次延遲1時脈所需之延遲器。

【第7項】

如請求項1所記載之解碼裝置，其中，

前記係數更新部，係

被構成為，可將更新對象之部分響應係數之數量予以變更。

【第8項】

如請求項7所記載之解碼裝置，其中，

前記係數更新部，係

藉由控制部分響應係數之更新時所使用之乘算器的作動/停止，以變更前記更新對象之部分響應係數之數量。

【第9項】

一種解碼方法，係

具有：

適應等化步驟，係為對輸入訊號進行部分響應係數之摺積所致之部分響應等化的等化步驟，進行令前記輸入訊號之特性適應性地追隨於前記部分響應係數的適應等化；和

適應最大似然解碼步驟，係為對已被前記適應等化步驟所等化之前記輸入訊號也就是等化訊號進行最大似然解碼而輸出解碼值的最大似然解碼步驟，令前記最大似然解碼中的識別點適應性地追隨於前記輸入訊號之特性；

並且具有：

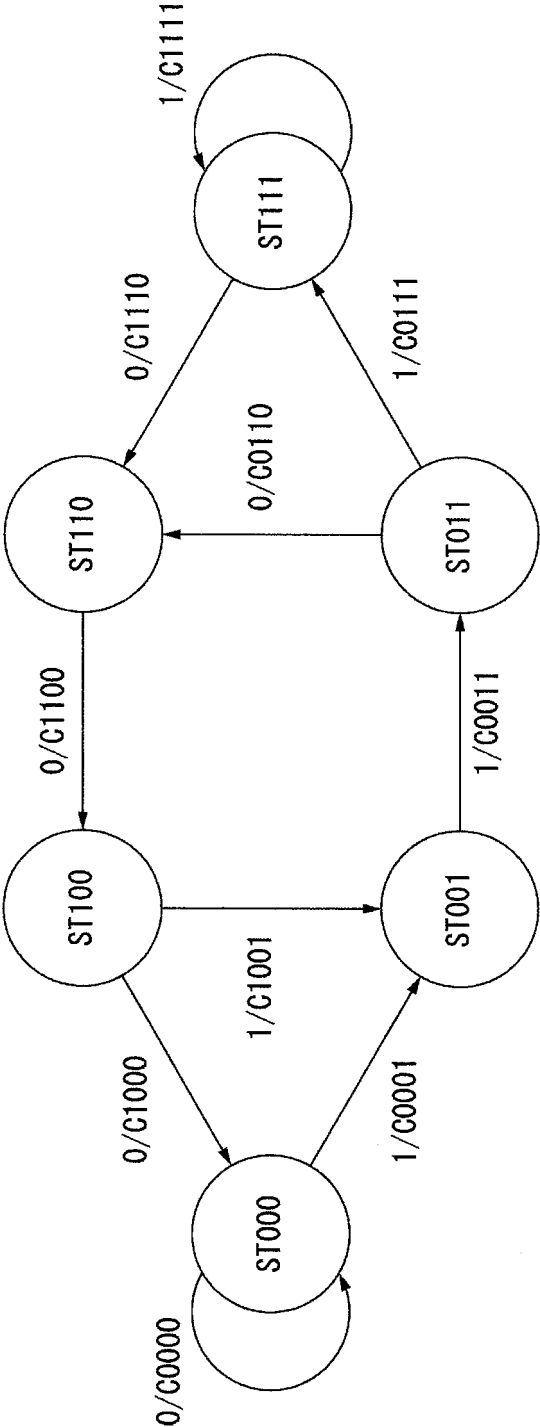
目標波形生成步驟，係藉由對前記解碼值摺積部分響應係數，以生成關於前記適應等化步驟所致之前記適應等化的等化目標波形；和

誤差訊號生成步驟，係生成前記等化目標波形與前記等化訊號之誤差訊號來作為等化誤差訊號；和

係數更新步驟，係藉由使前記解碼值與前記等化誤差訊號之相關呈最小化的最小平方法演算，而將前記目標波

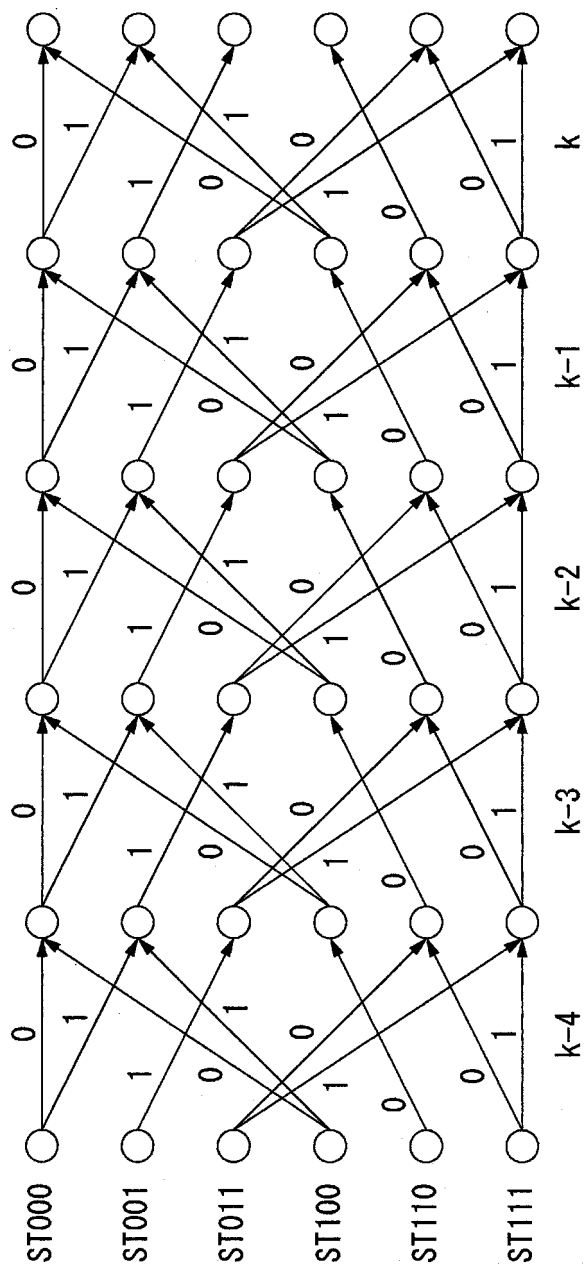
形生成步驟在前記等化目標波形之生成時所使用之前記部分響應係數，予以更新。

【發明圖式】

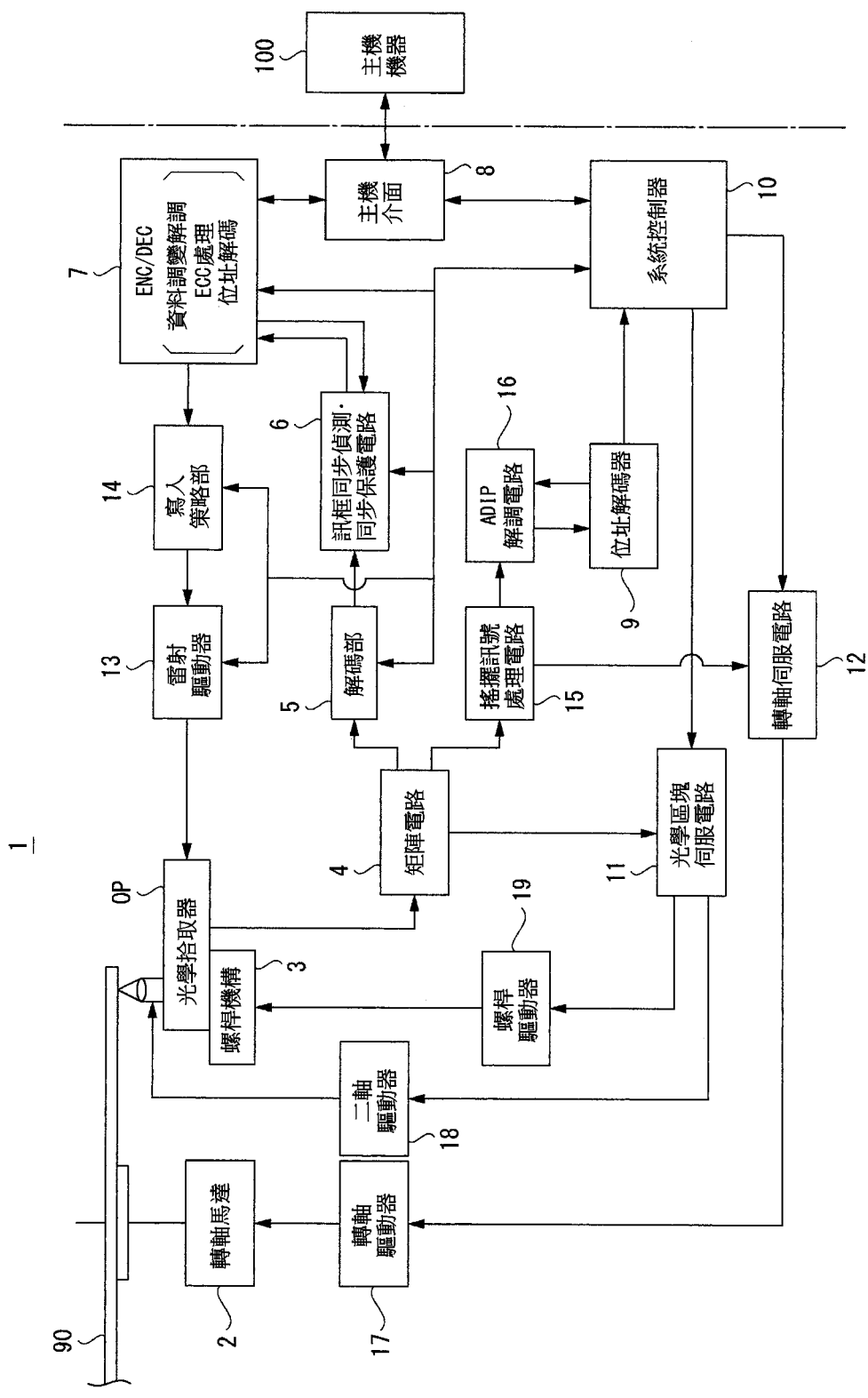


輸入bk/輸出Cxxxx

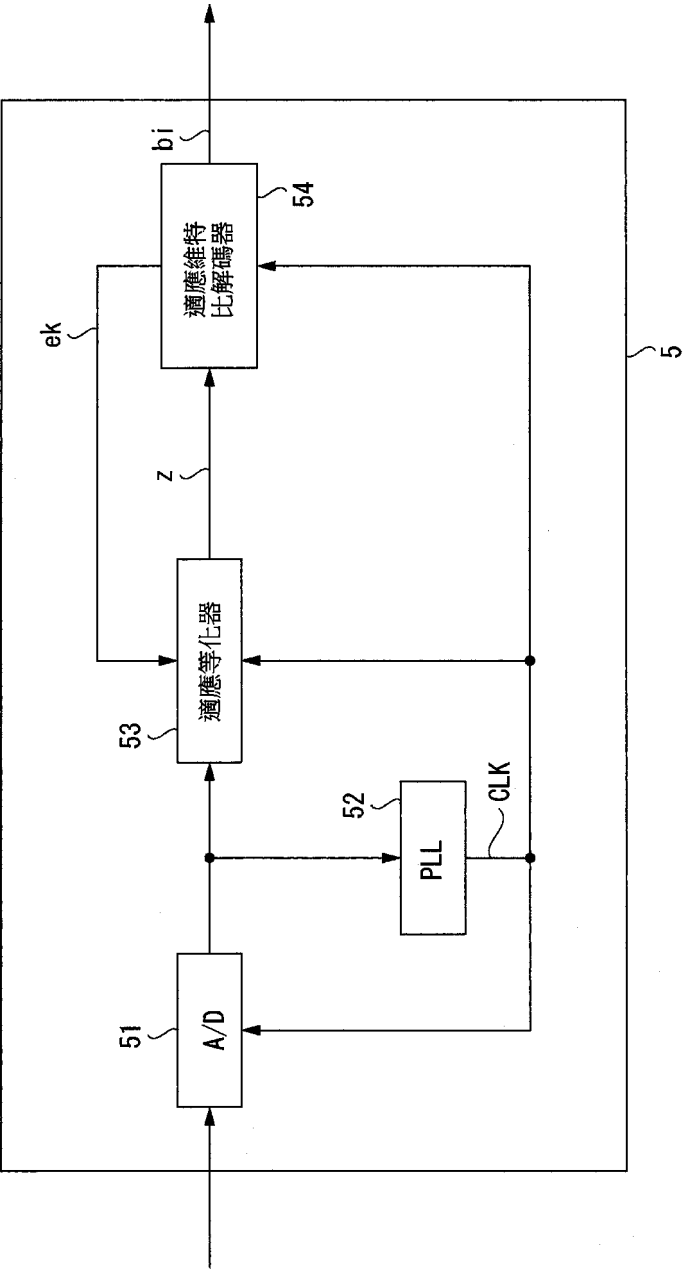
【圖 1】



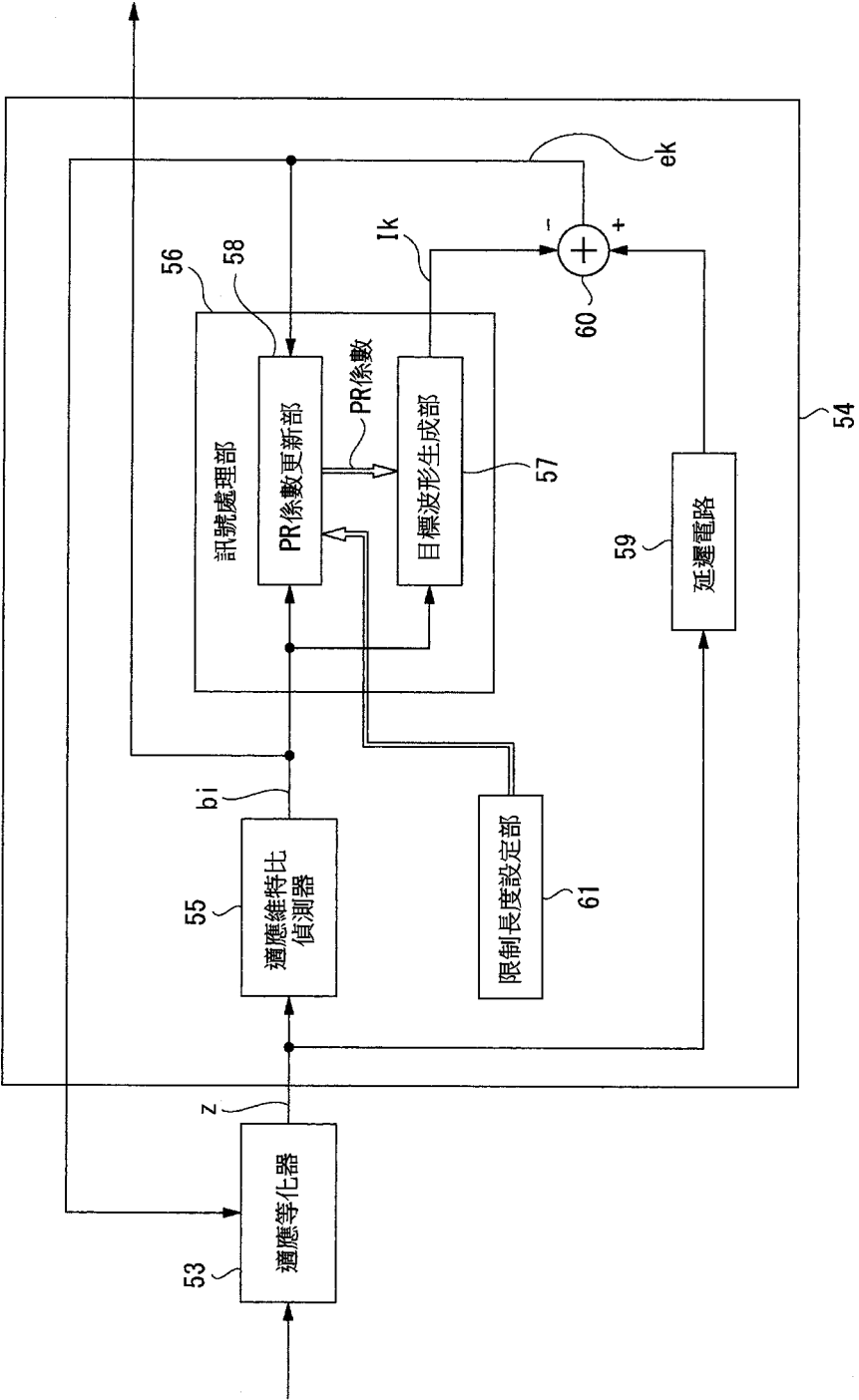
【圖 2】



【圖 3】

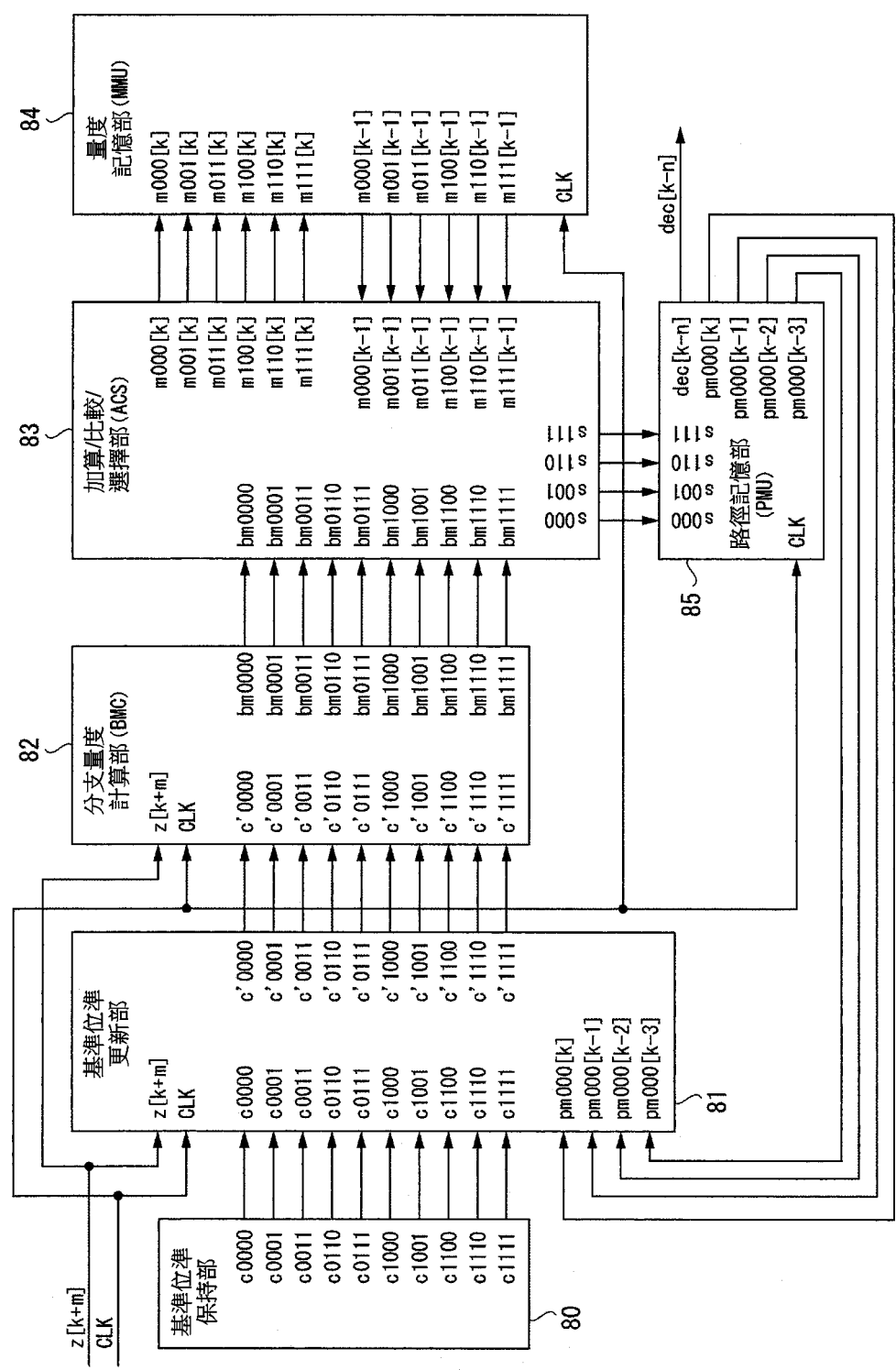


【圖 4】

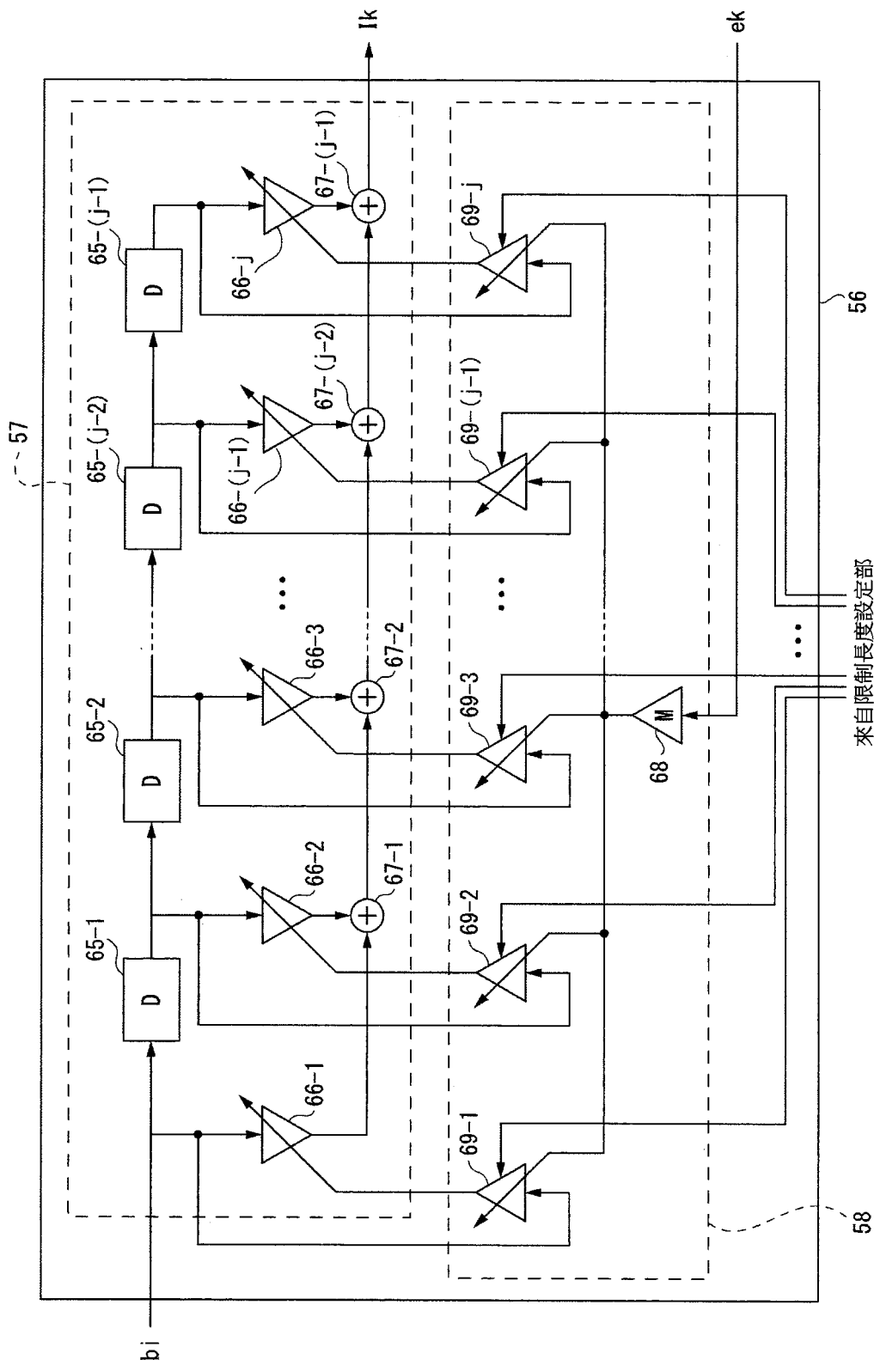


【圖 5】

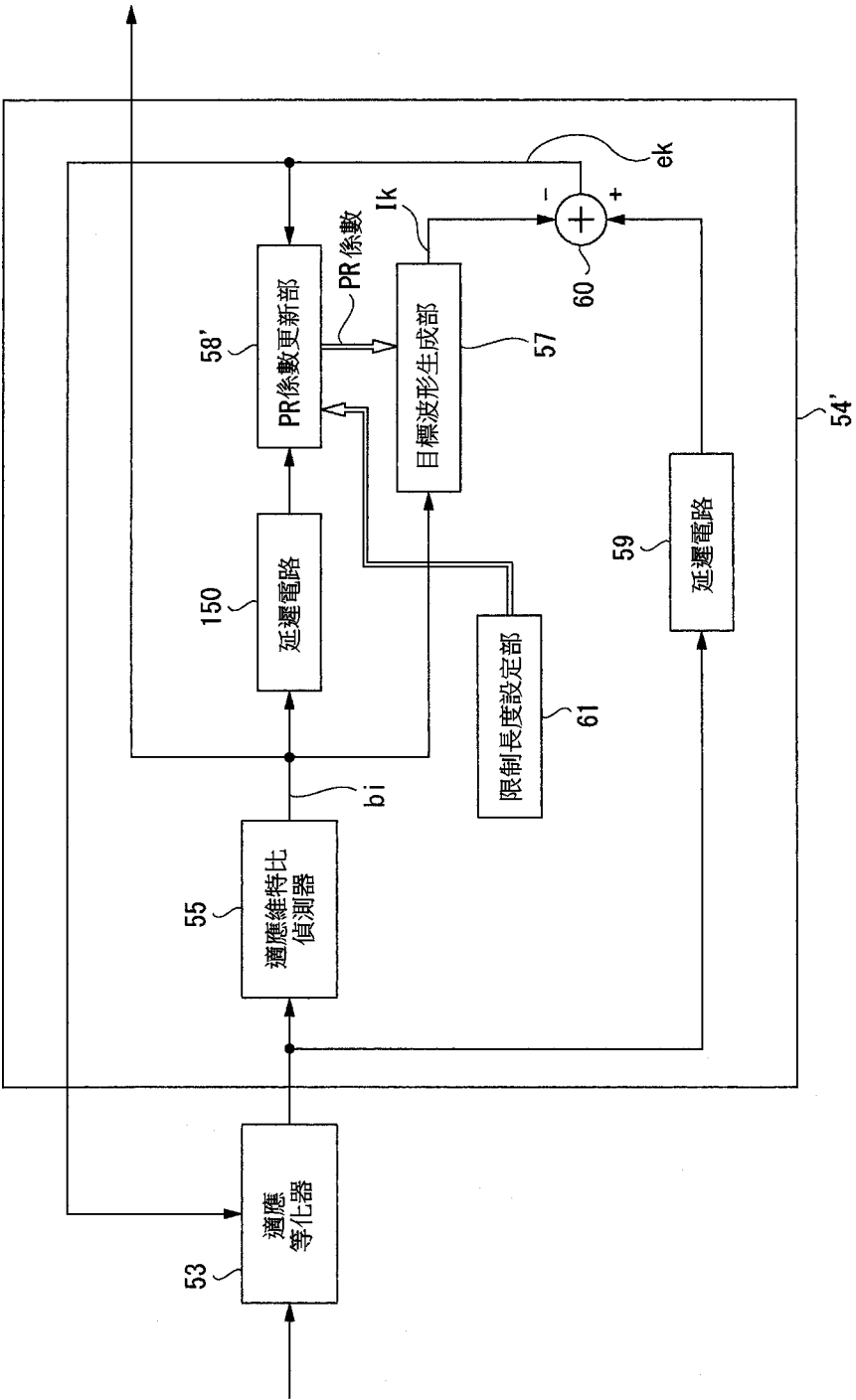
55



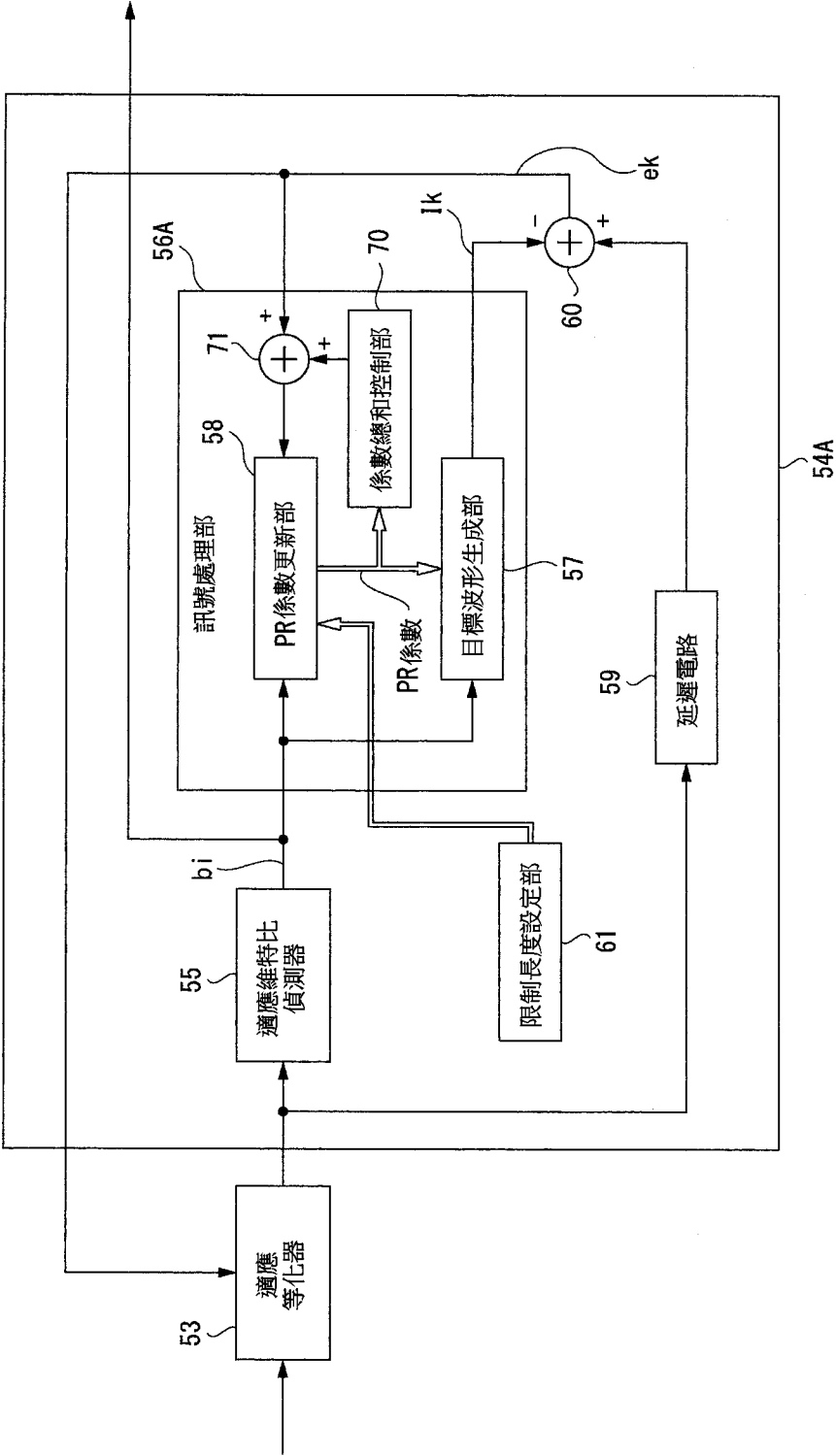
【圖6】



【圖 7】

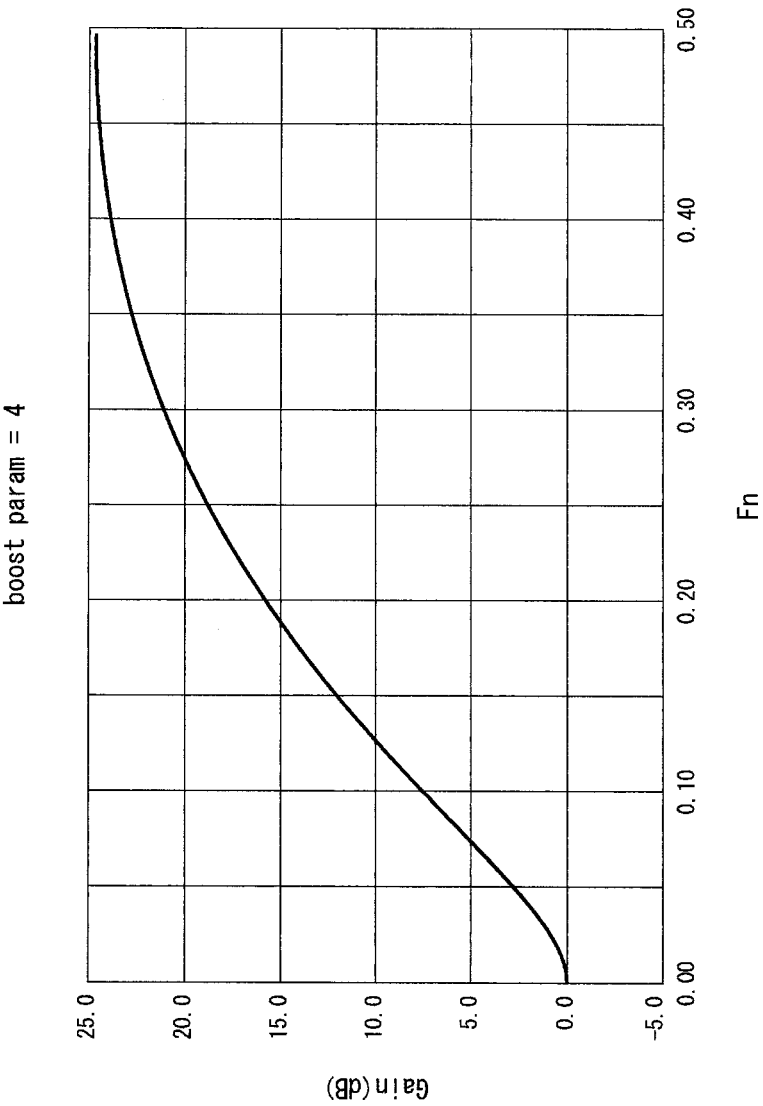


【圖 8】

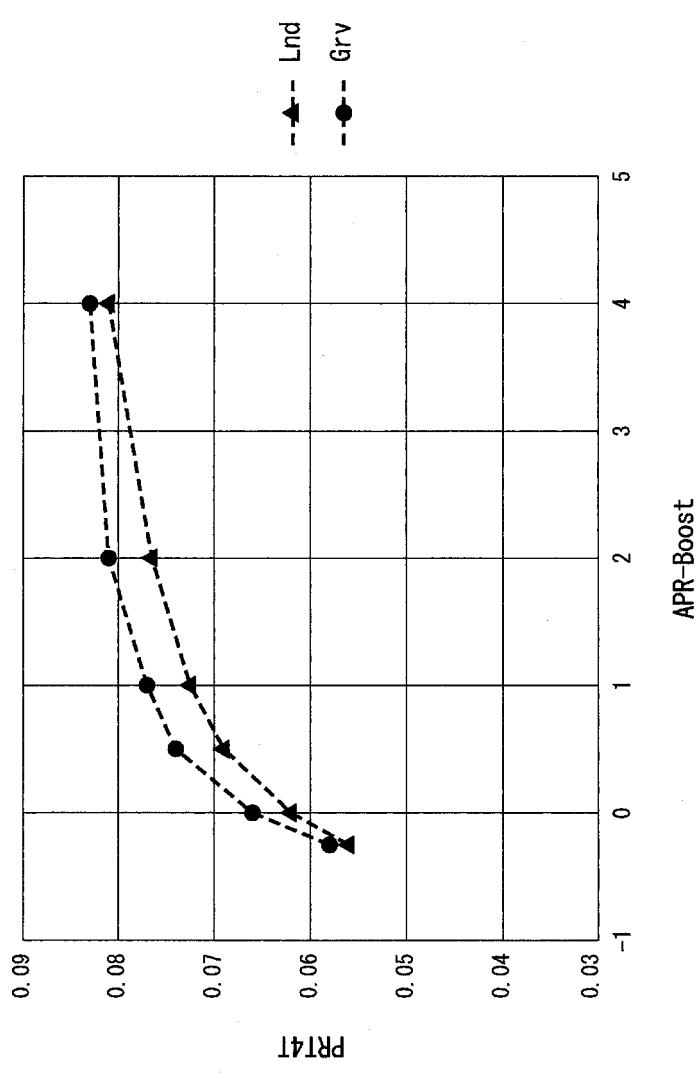


【圖 9】

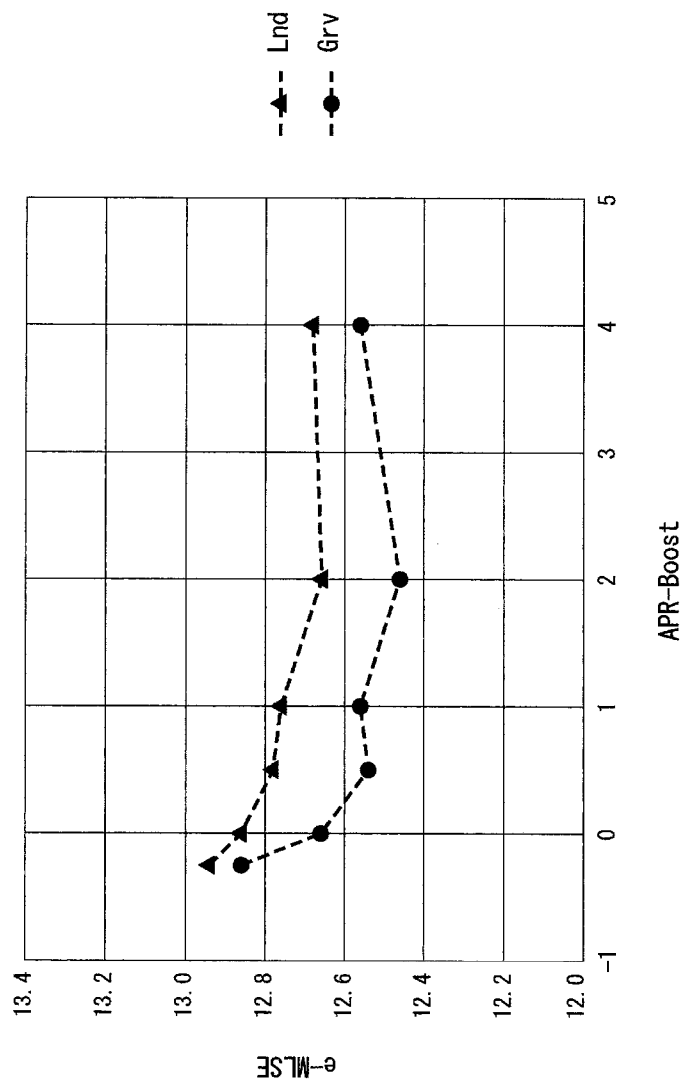




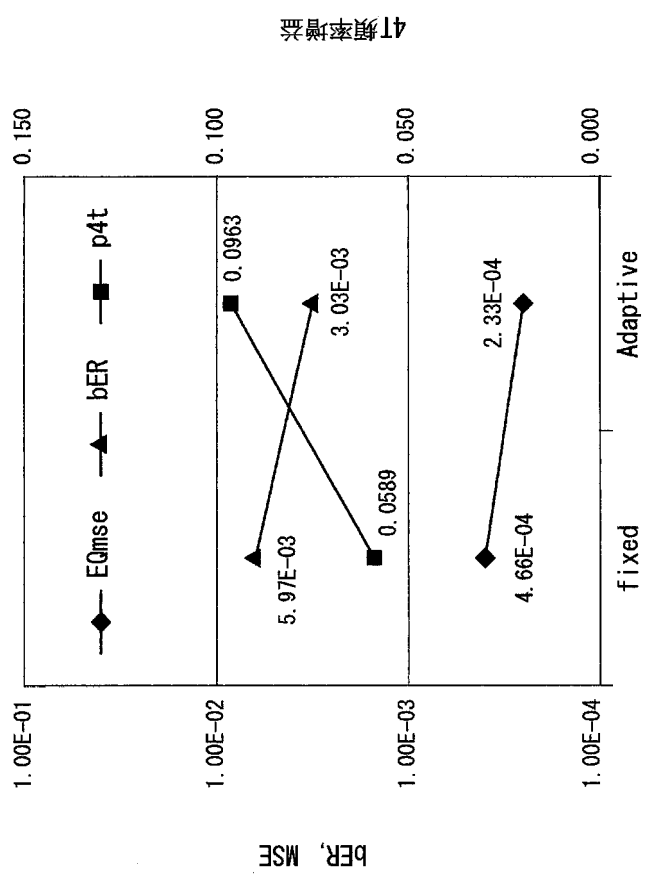
【圖 11】



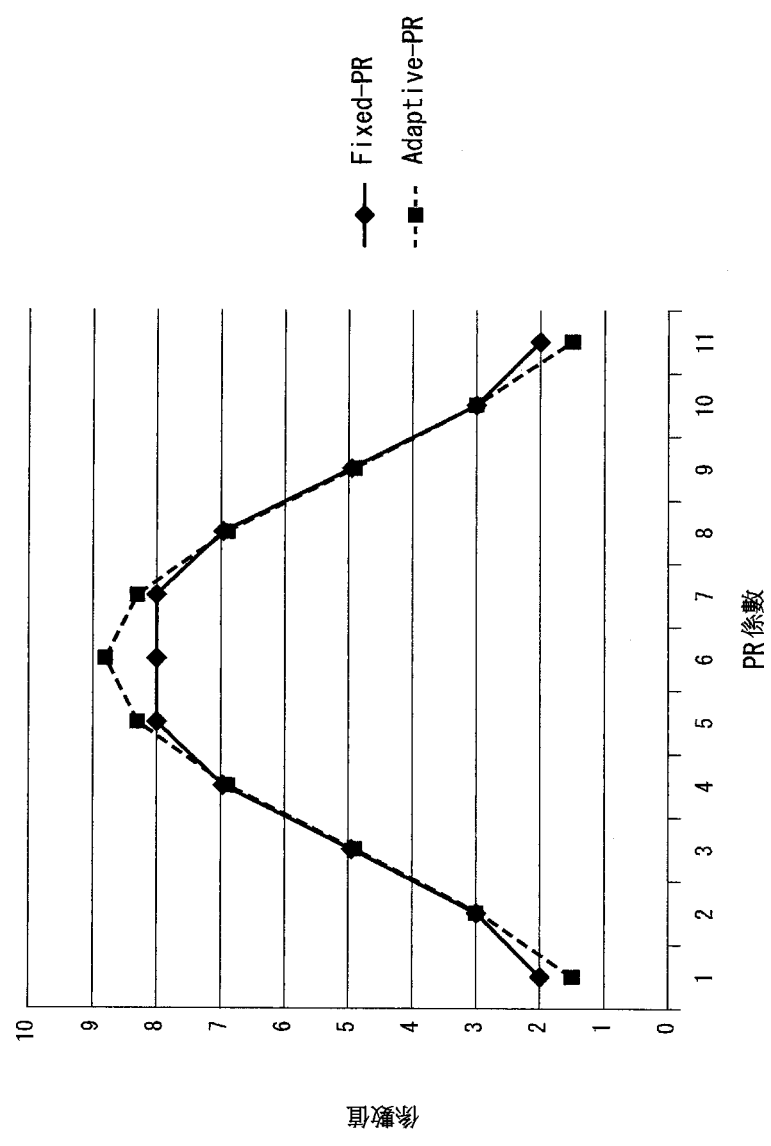
【圖 12】



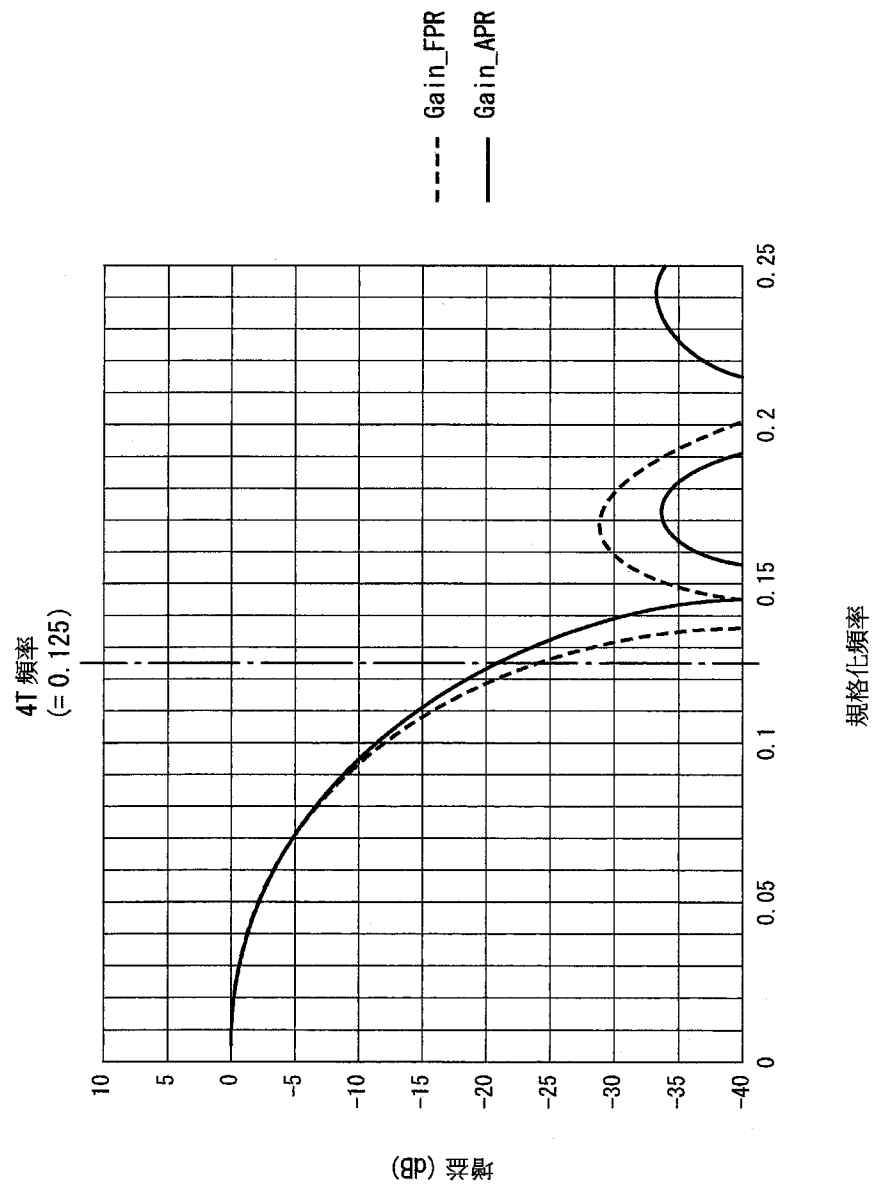
【圖 13】



【圖 14】



【圖 15】



【圖 16】