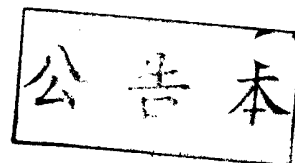


申請日期	85.9.7
案 號	1110947
類 別	1701C ²³ / 50

(以上各欄由本局填註)

A4
C4



314654

發明專利說明書

一、發明 名稱	中 文	導電插塞的製造方法
	英 文	
二、發明 創作人	姓 名	1 吳坤霖 2 盧宏柏 3 林振堂
	國 籍	中華民國
	住、居所	1 台中市台中港路二段 98 之 18 號 2 新竹市民享一街 8 巷 14 號 3 新竹市頂埔路 19 巷 5 弄 5 號 1 樓
三、申請人	姓 名 (名稱)	聯華電子股份有限公司
	國 籍	中華民國
	住、居所 (事務所)	新竹科學工業園區工業東三路三號
	代 表 人 姓 名	曹興誠

裝

訂

線

五、發明說明 (1)

本發明是有關於積體電路元件的製程，特別是有關於一種積體電路導電插塞(plug)的製造方法，用以避免孔洞(voids)的產生。

當積體電路的積集度增加，使得晶片的表面無法提供足夠的面積來製作所需的內連線(interconnects)時，爲了配合 MOS 電晶體縮小後所增加的內連線需求，兩層以上金屬層設計，便逐漸成爲許多積體電路所必需採用的方式。特別是一些功能較複雜的產品，如微處理器(Microprocessor)，甚至需要更多層的金屬層，才得以完成微處理器內各個元件間的連接，而不同金屬層之間，可以用導電插塞來連接。

通常，導電插塞的製作，是蝕刻一絕緣層以形成一接觸窗口(contact hole)，將導電材料填入此接觸窗口，而常用的導電材料例如是鎢，由於導電材料與絕緣層的黏著能力(adhesion)不佳，故必須在導電材料與絕緣層之間形成一層兼具黏合(glue)與阻障(barrier)的物質，常用的黏合／阻障物質有以物理氣相沈積法(PVD)或是化學氣相沈積法(CVD)所形成的鈦(Ti)／氮化鈦(TiN_x)或鎢化鈦(TiW)等。

爲了更清楚了解積體電路導電插塞的製程，茲列舉一例，說明習知製造方容易產生孔洞的原因。

請參照第 1 圖，其繪示一種習知積體電路導電插塞的製造方法所形成的剖面構造圖。其製造方法包括：利用傳統的製程在矽基底 10 上形成一包括閘極及源／汲極的電晶體等元件。接著，在矽基底上形成一絕緣層 12，例如是硼

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

系

五、發明說明 (2)

磷矽玻璃(BPSG)或氧化層 (oxide)。然後，蝕刻去除部份的絕緣層 12，用以形成一接觸窗口 13，其露出導電材料區 10a，例如是用非等向蝕刻法來形成上述接觸窗口 13。其次，在接觸窗口 13 的底部及側壁上形成一擴散阻障層 14，其並延伸至絕緣層 12 上方，例如是利用物理氣相沈積法形成一層鈦，再形成一層氮化鈦所構成的複合層，其除了防止擴散外，還有增加黏著性的功用。接著，形成一導電材料 16，其填入接觸窗口 13，例如利用物理氣相沈積法或化學氣相沈積法形成一鎢、銅、或鋁，由於階梯覆蓋能力(step coverage)不佳，而造成孔洞 18 的產生。

上述積體電路導電插塞的製程，在絕緣層內的接觸窗口填入導電材料之前，先沈積一擴散阻障層，以做為阻障／黏著層，此時接觸窗口變窄，加上擴散阻障層表面平坦、沈積位置 (sites) 較少，使得沈積導電材料時產生孔洞的問題，其不僅造成阻值提高，甚而當孔洞過大時發生斷路的情況，嚴重影響元件性質。

因此，本發明的主要目的，是提供一種積體電路導電插塞的製造方法，其在沈積導電層之前，先利用電漿 (plasma) 處理擴散阻障層，以避免後續導電材料填入產生孔洞的問題。

為達上述目的，本發明提供一種導電插塞的製造方法，包括下列步驟：在一半導體基底上形成一具導電區之元件；在該半導體基底上形成一絕緣層蝕刻該絕緣層，用以形成一接觸窗口，其露出該元件的導電區；在該接觸窗

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

裝

五、發明說明(3)

口之表面形成一擴散阻障層；在一反應室之中，施一氫氣電漿處理該擴散阻障層；以及在該接觸窗口填入一導電材料，以形成一導電插塞。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

圖式之簡單說明：

第 1 圖繪示習知一種積體電路導電插塞的製造方法所形成的剖面構造圖；以及

第 2 圖繪示根據本發明之一較佳實施例的製造方法所形成的剖面構造圖。

實施例

請參閱第 2 圖，其繪示根據本發明之一較佳實施例的製造方法所形成的剖面圖。

首先，利用傳統的製程在半導體基底 20，例如是矽基底上形成一包括閘極及源／汲極的電晶體。接著，在半導體基底 20 上形成一絕緣層 22，例如是沈積一層硼磷矽玻璃。然後，蝕刻絕緣層 22，以形成一接觸窗口 23，其露出一導電材料區 20a，例如是源／汲極區、閘極區、或金屬材料區，而去除絕緣層 22 的方法，例如是利用微影程序 (photolithography) 與非等向蝕刻法形成。接著，在接觸窗口 23 的底部及側壁上形成一擴散阻障層 24，其並延伸至絕緣層 22 之上。例如是利用物理氣相沈積法形成一層鈦 (Ti)，再形成的氮化鈦 (TiN_x) 所構成的複合層。其次，在一反應室

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

編

五、發明說明 (4)

之中，施以一氫氣電漿處理擴散阻障層 24，其操作條件如下：電漿功率小於 3000watt；通入反應室之氫氣流量小於 3000sccm；反應溫度小於 1000℃；而反應時間則介於 10 秒與 10 分鐘之間。接著，形成一導電材料 26，以填入接觸窗口 23，例如是利用物理氣相沈積法或化學氣相沈積法形成鎢、銅、或鋁金屬，以形成一導電插塞，其產生的孔洞 28 非常小。

上述實施例之中，其利用氫氣電漿法處理擴散阻障層，其藉由高能量粒子作用可增加擴散阻障層的密度，可使接觸窗口變大；並且在擴散阻障層表面形成許多微細小孔 (pores) 使表面粗糙，而增加後續導電材料沈積位置，使得導電材料的沈積更均勻，因此大幅改善了孔洞的問題。再者，另一優點為經氫氣電漿法處理的擴散阻障層 (Ti/TiN_x)，其中 TiN_x 的 x 值會降低而使接觸阻值下降。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

約

四、中文發明摘要(發明之名稱：導電插塞的製造方法)

一種導電插塞 (plug) 的製造方法，用以避免孔洞 (voids) 的產生，包括下列步驟：在一半導體基底上形成一具導電區之元件；在該半導體基底上形成一絕緣層蝕刻該絕緣層，用以形成一接觸窗口，其露出該元件的導電區；在該接觸窗口之側表面形成一擴散阻障層；在一反應室之中，施一氫氣電漿處理該擴散阻障層；以及在該接觸窗口填入一導電材料，以形成一導電插塞。

英文發明摘要(發明之名稱：)

六、申請專利範圍

1. 一種導電插塞的製造方法，包括下列步驟：

在一半導體基底上形成一具導電區之元件；

在該半導體基底上形成一絕緣層

蝕刻該絕緣層，用以形成一接觸窗口，其露出該元件的導電區；

在該接觸窗口之表面形成一擴散阻障層；

在一反應室之中，施一氬氣電漿處理該擴散阻障層；
以及

在該接觸窗口填入一導電材料，以形成一導電插塞。

2. 如申請專利範圍第 1 項所述之製造方法，其中該擴散阻障層是鈦/氮化鈦之複合層。

3. 如申請專利範圍第 1 項所述之製造方法，其中該氬氣電漿處理的操作條件如下：

a. 電漿功率小於 3000watt；

b. 通入反應室之氬氣流量小於 3000sccm；

c. 反應溫度小於 1000℃

d. 反應時間介於 10 秒與 10 分鐘之間

4. 如申請專利範圍第 1 項所述之製造方法，其中該導電材料是鎢。

5. 如申請專利範圍第 1 項所述之製造方法，其中該導電材料是金。

6. 如申請專利範圍第 1 項所述之製造方法，其中該導電材料是鋁。

7. 如申請專利範圍第 1 項所述之製造方法，其中該導

六、申請專利範圍

1. 一種導電插塞的製造方法，包括下列步驟：
在一半導體基底上形成一具導電區之元件；
在該半導體基底上形成一絕緣層
蝕刻該絕緣層，用以形成一接觸窗口，其露出該元件的導電區；
在該接觸窗口之表面形成一擴散阻障層；
在一反應室之中，施一氫氣電漿處理該擴散阻障層；
以及
在該接觸窗口填入一導電材料，以形成一導電插塞。
2. 如申請專利範圍第 1 項所述之製造方法，其中該擴散阻障層是鈦/氮化鈦之複合層。
3. 如申請專利範圍第 1 項所述之製造方法，其中該氫氣電漿處理的操作條件如下：
 - b. 電漿功率小於 3000watt；
 - c. 通入反應室之氫氣流量小於 3000sccm；
 - d. 反應溫度小於 1000℃
 - e. 反應時間介於 10 秒與 10 分鐘之間
4. 如申請專利範圍第 1 項所述之製造方法，其中該導電材料是鎢。
5. 如申請專利範圍第 1 項所述之製造方法，其中該導電材料是金。
6. 如申請專利範圍第 1 項所述之製造方法，其中該導電材料是鋁。
7. 如申請專利範圍第 1 項所述之製造方法，其中該導

六、申請專利範圍

電材料是利用化學氣相沈積法所形成。

8. 如申請專利範圍第 1 項所述之製造方法，其中該導電材料是利用物理氣相沈積法所形成。

(請先閱讀背面之注意事項再填寫本頁)

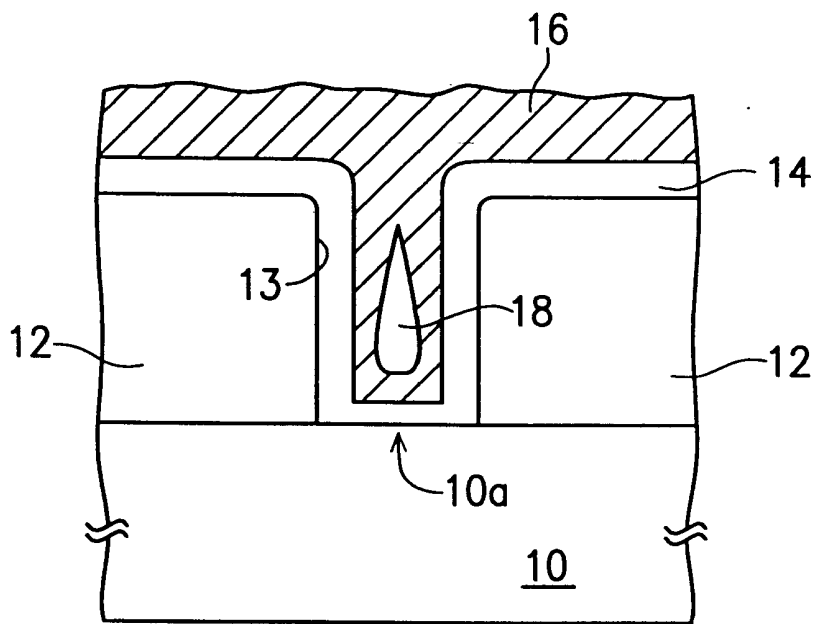
裝

訂

線

314653
314654

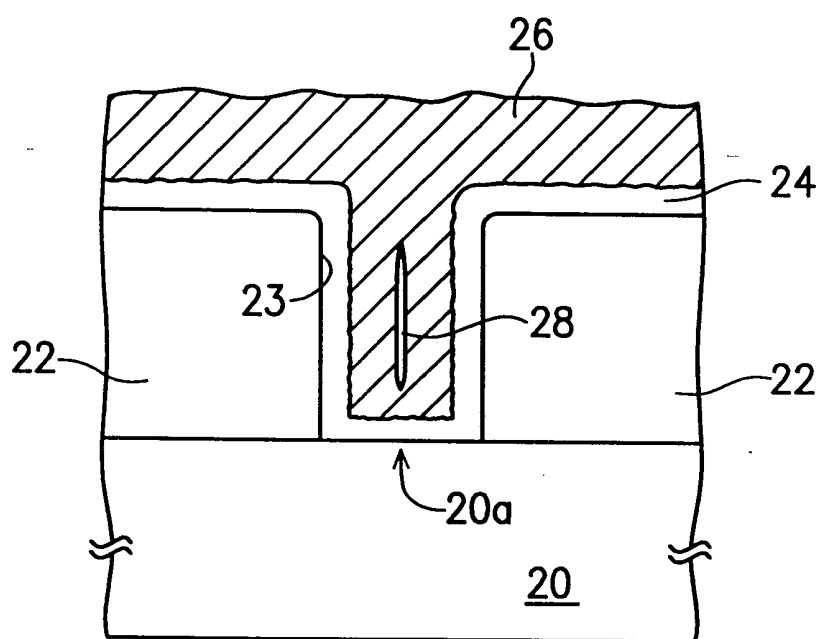
314654



第 1 圖

314654

314654



第 2 圖