

申請日期： 89.10.5

案號： 89120743

類別：

H01L27/12

(以上各欄由本局填註)

發明專利說明書

468279

一、 發明名稱	中 文	半導體裝置及其製造方法
	英 文	SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF
二、 發明人	姓 名 (中文)	1. 國清辰也
	姓 名 (英文)	1. Tatsuya KUNIKIYO
	國 籍	1. 日本
	住、居所	1. 日本國東京都千代田區丸の内二丁目2番3號 三菱電機株式會社內
三、 申請人	姓 名 (名稱) (中文)	1. 三菱電機股份有限公司
	姓 名 (名稱) (英文)	1. 三菱電機株式會社
	國 籍	1. 日本
	住、居所 (事務所)	1. 日本國東京都千代田區丸の内二丁目2番3號
	代表人 姓 名 (中文)	1. 谷口一郎
	代表人 姓 名 (英文)	1.

本案已向

國(地區)申請專利

日本 JP

申請日期

1999/10/06 11-285269

案號

主張優先權

有

有關微生物已寄存於

寄存日期

寄存號碼

無



五、發明說明 (1)

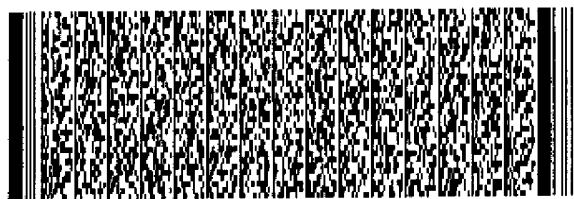
[發明所屬之技術領域]

本發明有關於SOI(Silicon On Insulator)構造之半導體裝置及其製造方法，尤其有關於具有底面未達到埋入氧化膜之分離絕緣膜(以下稱為部份STI(Partial Shallow Trench Isolation))之半導體裝置及其製造方法。

[習知之技術]

具有由半導體基板，埋入氧化膜和半導體層構成之SOI構造之半導體裝置，因為利用埋入氧化膜和具有底面達到該埋入氧化膜之元件分離(以下稱為全STI(Full Shallow Trench Isolation))用來包圍活性區域，所以即使形成CMOS電晶體時，亦不必擔心發生鎖定(latch up)，另外，因為源極、汲極區域接合在埋入氧化膜，所以當與電晶體直接形成在半導體基板表面之半導體裝置比較時，其接合電容變小，可以進行高速動作，和待用時之洩漏電流變小，具有可以抑制消耗電力之優點。

但是，形成在埋入氧化膜表面上之半導體層之膜厚，例如在 $0.15\text{ }\mu\text{m}$ 以上之情況時，由於撞擊離子化現象所產生之載子(在nMOS為電洞，在pMOS為電子)會殘留在通道形成區域之下方之半導體層內，因而產生非線性特性，和使動作劣化，另外，因為通道區域之電位不穩定，所以會由於基板浮動效應(例如產生延遲時間之與頻率相關性等)而產生各種問題，所以一般是對通道形成區域之電位進行固定。在日本國專利案特開昭58-124,243號公報揭示有此種



五、發明說明 (2)

方式之通道形成區域之電位被固定之半導體裝置。

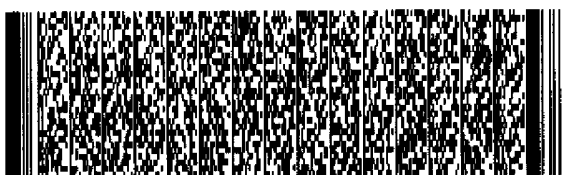
在近年來因為不是使各個電晶體之通道形成區域之電位固定，而是使相同導電型之多個電晶體之通道形成區域之電位一起固定，所以利用部份STI進行分離可以微細化，此種構造被揭示在IEEE International SOI Conference, Oct. 1997等。

圖26是上面圖，用來表示習知之半導體裝置，在該圖中，元件編號104是分離絕緣膜，106是閘極電極，107和108是源極・汲極區域，109是配線。如圖所示，在部份STI之情況時，對於相同導電型之多個電晶體，形成有用以固定通道形成區域之電位之配線109。

圖27是剖面圖，用來表示習知之半導體裝置，亦即表示圖26之X-X剖面之剖面圖。在該圖中，元件編號101是半導體基板，102是埋入氧化膜，1010是通道形成區域，105是閘極絕緣膜，103是半導體層，1011是通道切斷層。如圖所示，互相鄰接之2個電晶體間之分離絕緣膜104未達到埋入氧化膜102，在分離絕緣膜104下形成有通道切斷層1011其中包含有與通道形成區域1010相同導電型之高濃度之不純物。另外，二個通道形成區域1010成為經由通道切斷層1011連接之狀態，亦即與配線109連接用來固定通道形成區域1010之電位。

[發明所欲解決之問題]

但是，在部份STI構造中，因為元件間分離耐壓較低，所以連接在互相鄰接之電晶體之源極・汲極區域之各個配



五、發明說明 (3)

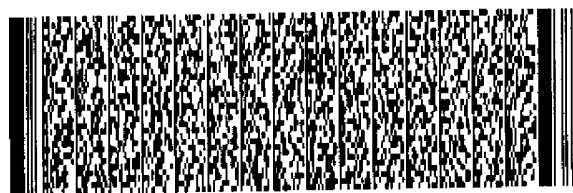
線(圖中未顯示)之任何一方被施加源極電壓，另外一方被施加汲極電壓，當在經由通道切斷層互相鄰接之源極·汲極區域間產生電位差之情況時，因為在通道切斷層具有比較大之洩漏電流流動，所以元件間分離幅度必需較大，因此會有妨礙微細化之問題。

圖28是剖面圖，用來表示習知之半導體裝置，亦即表示圖26之Y-Y剖面之剖面圖。由該圖可以明白，在互相鄰接之電晶體之源極·汲極區域間，因為分離絕緣膜104未達到埋入氧化膜102，所以洩漏電流經由通道切斷層1011流動。

本發明用來解決上述之問題，其目的是提供可以抑制經由該分離絕緣膜下之通道切斷層流動之電流，藉以提高分離特性和耐壓之半導體裝置及其製造方法，在具備有部份STI構造之分離絕緣膜之半導體裝置中，可以一起的固定多個電晶體之通道形成區域之電壓。

[解決問題之手段]

本發明之半導體裝置，包含有由半導體基板，埋入氧化膜，和半導體層構成之SOI基板，其特徵是具備有：分離絕緣膜，包圍被配置在該半導體層之主表面之第1和第2活性區域，形成與埋入氧化膜隔開指定之距離；第1主動元件，形成在第1活性區域；第2主動元件，形成在第2活性區域；不純物層，形成在與埋入氧化膜之界面近傍之半導體基板之一主面；和配線，電連接到不純物層；因為形成有不純物層，所以經由分離絕緣膜互相鄰接之電晶體之間



五、發明說明 (4)

即使產生有電位差時，亦可以抑制在該部份之洩漏電流之產生，和可以提高耐壓。

另外，其特徵是不純物層和半導體層是第1導電型；第1主動元件是MOS型電晶體具有從第1活性區域之主表面達到埋入氧化膜之第2導電型之第1源極區域和汲極區域；第2主動元件是MOS型電晶體具有從第2活性區域之主表面達到埋入氧化膜之第2導電型之第2源極區域和汲極區域；不純物層和分離絕緣膜下之半導體層之電位被固定；因為將分離絕緣膜下之半導體之電位固定，和以與電晶體相反之導電型形成半導體基板表面之不純物層，用來進行電位固定，所以可以抑制在該部份之洩漏電流之產生，和可以提高耐壓。

另外，其特徵是不純物層和半導體層是第1導電型；第1主動元件是MOS型電晶體具有從第1活性區域之主表面達到埋入氧化膜之第2導電型之第1源極區域和汲極區域；第2主動元件是MOS型電晶體具有從第2活性區域之主表面達到埋入氧化膜之第2導電型之第2源極區域和汲極區域；不純物層之電位被固定，和分離絕緣膜下之半導體層之電位不被固定；因為分離絕緣膜下之半導體層之電位不被固定，經由使互相鄰接之電晶體之通道形成區域成為浮動的共用，可以以良好之精確度使臨界值電壓互相匹配，和在分離絕緣膜下之半導體基板表面形成與電晶體相反導電型之不純物層，用來進行電位固定，所以在經由分離絕緣膜互相鄰接之電晶體之源極、汲極區域間即使產生有電位差

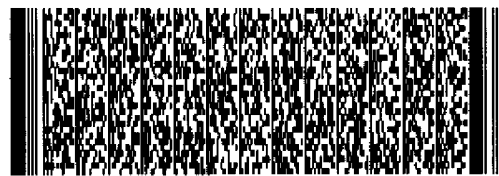


五、發明說明 (5)

時，亦可以抑制在該部份之洩漏電流之產生，和可以提高耐壓。

另外，其特徵是半導體層是第1導電型，不純物層是第2導電型；第1主動元件是MOS型電晶體具有第2導電型之第1源極區域和汲極區域形成在第1活性區域之主表面和埋入氧化膜之間，與該埋入氧化膜隔開指定之距離；第2主動元件是MOS型電晶體具有第2導電型之第2源極區域和汲極區域形成在第2活性區域之主表面和埋入氧化膜之間，與該埋入氧化膜隔開指定之距離；施加在不純物層之電壓對半導體基板成為逆向偏壓；在成為源極、汲極區域未達到埋入氧化膜之構造時，將使半導體基板成為逆向偏壓之電壓施加在不純物層，則即使經由分離絕緣膜互相鄰接之電晶體之源極、汲極區域間產生有電位差時，亦可以抑制在該部份之洩漏電流之產生，和可以提高耐壓。

另外，其特徵是更具備有第1導電型之第1不純物區域和第2導電型之第2不純物區域，以互相鄰接之方式從分離絕緣膜下之半導體層表面延伸到埋入氧化膜，分別被施加成為逆向偏壓之電壓；第1主動元件是MOS型電晶體，具有第2導電型之第1源極區域和汲極區域，從第1活性區域之主表面延伸到埋入氧化膜，其中之一方鄰接第1不純物區域；第2主動元件是MOS型電晶體，具有第1導電型之第2源極區域和汲極區域，從第2活性區域之主表面延伸到埋入氧化膜，其中之一方鄰接第2不純物區域；施加在不純物層之電壓對半導體基板成為逆向偏壓；因為將第1、第2不



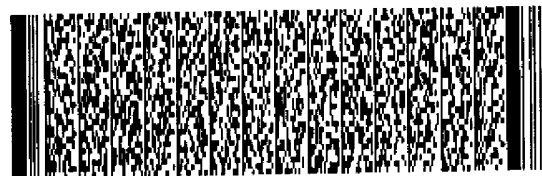
五、發明說明 (6)

純物區域和不純物層之電位固定，所以經由分離絕緣膜互相鄰接之源極・汲極區域間即使產生有電位差時，亦可以抑制在該部份之洩漏電流之產生，和可以提高耐壓。

另外，其特徵是更具備有第1導電型之第1不純物區域和第2導電型之第2不純物區域，以互相鄰接之方式從分離絕緣膜下之半導體層表面延伸到埋入氧化膜，分別被施加成為逆向偏壓之電壓；第1主動元件是二極體，具備有與第1不純物區域鄰接之第2導電型之第3不純物區域，和與該第3不純物區域鄰接之第1導電型之第4不純物區域；第2主動元件是二極體，具備有第2不純物區域鄰接之第1導電型之第5不純物區域，和與該第5不純物區域鄰接之第2導電型之第6不純物區域；施加在不純物層之電壓對半導體基板成為逆向偏壓；因為形成第1、第2不純物區域和不純物層將電位固定，所以經由分離絕緣膜互相鄰接之二極體之相反導電型之不純物區域間即使產生有電位差時，亦可以抑制在該部份之洩漏電流之產生，和可以提高耐壓。

另外，其特徵是不純物層延伸到活性區域之下；在源極・汲極區域形成時所注入之不純物，即使通過埋入氧化膜達到半導體基板時，亦可以利用形成在半導體基板表面之不純物層，將其取入到不純物層藉以將電位固定，所以不會成為電路錯誤動作之原因，具有可以提高半導體裝置之可靠度之效果。

另外，其特徵是更具備有與形成有第1主動元件和第2主動元件之功能塊不同之功能塊；在功能塊中，於共同固定



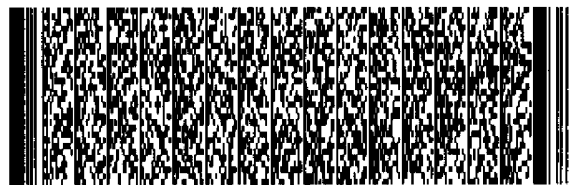
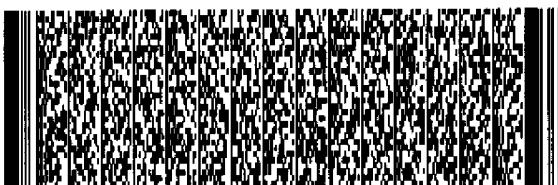
五、發明說明 (7)

通道形成區域之電位所需要之部份，可以依照所需要之功能形成以部份STI分離之第1和第2主動元件，用來決定與其配合之不純物層之導電型和施加電壓。

另外，本發明是一種半導體裝置之製造方法，所具備之工程包含有：在SOI基板之半導體基板表面形成不純物層，該SOI基板具有經由埋入氧化膜形成在半導體基板表面上之半導體層；形成分離絕緣膜使其包圍被配置在主述半導體層之主表面之第1和第2活性區域，在其下殘留半導體層之一部份；在第1活性區域形成第1主動元件；在第2活性區域形成第2主動元件；和形成連接不純物層之配線；可以製造能夠經由配線固定不純物層之電位之半導體裝置。

另外，因為不只是分離區域，亦可以使不純物層形成延伸到活性區域下，所以不純物區域形成時所注入之不純物之離子，即使通過埋入氧化膜達到半導體基板時，因為被取入到不純物層，所以不會成為電路錯誤動作之原因，可以獲得可靠度能夠提高之半導體裝置之製造方法。

另外，其特徵是第1主動元件和第2主動元件是具有相同導電型之MOS型電晶體，用以形成分離絕緣膜之工程所具備之工程包含有：以覆蓋在半導體層之活性區域表面上之方式形成遮罩，從半導體層主表面進行蝕刻使其底部殘留，用來形成包圍活性區域之溝；在全面形成絕緣膜；除去遮罩表面上之絕緣膜；和除去遮罩；在用以形成溝之工程之後，和用以形成絕緣膜之工程之前，更具備有離子注入工程，將與半導體層相同導電型之高濃度之不純物注入

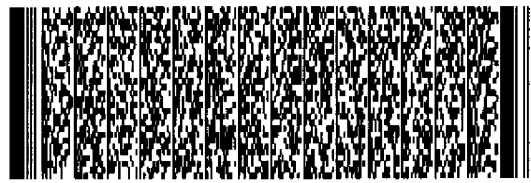
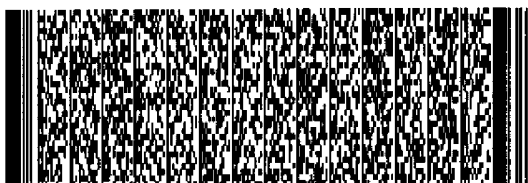


五、發明說明 (8)

到溝下之半導體層中；因為在分離絕緣膜下之半導體層，注入濃度比半導體層高之不純物之離子用來形成通道切斷層，所以可以獲得分離特性更進一層提高之半導體裝置。

另外，其特徵是第1主動元件是具有第1導電型之MOS型電晶體，第2主動元件是具有第2導電型之MOS型電晶體，在用以形成分離絕緣膜之工程之後，和用以形成第1主動元件之工程之前，所具備之工程有：在第1主動元件之分離絕緣膜上形成具有開口之第1遮罩；在全面注入具有第2導電型之不純物之離子，用來在第1主動元件之分離絕緣膜下之半導體層形成第1不純物區域；除去第1遮罩；在第2主動元件之分離絕緣膜上形成具有開口之第2遮罩；和在全面注入具有第1導電型之不純物之離子，用來在第2主動元件之分離絕緣膜下之半導體層形成第2不純物區域，然後除去第2遮罩；所獲得之半導體裝置可以配置成使pMOS電晶體和nMOS電晶體之源極、汲極區域之一方，和形成在分離絕緣膜下之第1、第2不純物區域成為pnpn之方式。

另外，本發明是一種半導體裝置之製造方法，所具備之工程包含有：在經由埋入氧化膜形成在半導體基板表面上之半導體層之主表面配置第1和第2活性區域，以覆蓋在第1和第2活性區域表面上之方式形成遮罩，從半導體層主表面進行蝕刻使其底部殘留，用來形成包圍第1和第2活性區域之溝；將不純物之離子注入到溝下之半導體基板中，用來在半導體基板之表面形成不純物層；在全面形成絕緣膜；除去遮罩表面上之絕緣膜；除去遮罩；在第1活性區



五、發明說明 (9)

域形成第1主動元件；在第2活性區域形成第2主動元件；和形成連接不純物層之配線；可以製造能夠經由配線將不純物層之電位固定之半導體裝置。

另外，其特徵是第1主動元件和第2主動元件是具有相同導電型之MOS型電晶體；在用以形成溝之工程之後，和用以形成絕緣膜之工程之前，更具備有離子注入工程，將與半導體層相同導電型之高濃度之不純物注入到溝下之半導體層中；因為在分離絕緣膜下之半導體層，注入濃度比半導體層高之不純物之離子用來形成通道切斷層，所以可以獲得分離特性更進一層提高之半導體裝置。

[發明之實施形態]

實施形態1.

圖1是本發明之實施形態1之半導體裝置之剖面圖，在圖1中，元件編號1是p型半導體基板，2是埋入氧化膜，3是半導體層，4是分離絕緣膜，5是閘極絕緣膜，6是閘極電極，7、8、71和81是源極・汲極區域，9和91是配線，10是通道形成區域，11是通道切斷層，12是不純物層，13是側壁，14和141是層間絕緣膜，15和151是接觸孔，該源極・汲極區域7、8、71、81和通道切斷層11之形成是在半導體層3注入不純物。

半導體基板1，埋入氧化膜2和半導體層3構成所謂之SOI基板，其形成方法可以使用疊層法或SIMOX法等之任何一種方法。

在半導體層3之厚度為30～200nm程度，埋入氧化膜2之



五、發明說明 (10)

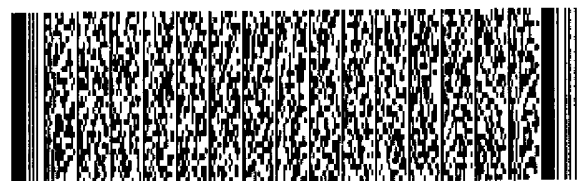
膜厚為 $0.04 \sim 0.4 \mu\text{m}$ 程度之情況時，通道切斷層11所含之硼等之p型不純物為 $1 \times 10^{17} \sim 1 \times 10^{18}/\text{cm}^3$ 程度，不純物層12所含之硼等之p型不純物為 $1 \times 10^{17} \sim 1 \times 10^{19}/\text{cm}^3$ 程度，通道形成區域10所含之硼等之p型不純物為 $1 \times 10^{17} \sim 1 \times 10^{18}/\text{cm}^3$ 程度。通道切斷層11之濃度亦可以與通道形成區域10相同，但是濃度越高其分離特性越好。

另外，源極・汲極區域7和8所含之砷等之n型不純物為 $1 \times 10^{19} \sim 1 \times 10^{21}/\text{cm}^3$ 程度，源極・汲極區域71和81所含之磷或砷之n型不純物為 $1 \times 10^{17} \sim 1 \times 10^{20}/\text{cm}^3$ 程度，延伸到埋入氧化膜形成LDD(Lightly Doped Drain)構造。

閘極電極6是由包含磷等之n型不純物為 $2 \sim 15 \times 10^{20}/\text{cm}^3$ 程度之聚矽形成，但是除此之外，亦可以使用含有不純物之聚矽和 WSiX 等之金屬矽化物層之積層構造，或W、Mo、Cu、Al等之金屬形成。

另外，在閘極電極6和源極・汲極區域7和8之表面亦可以形成鈷矽化物(圖中未顯示)。

利用形成在半導體層3之通道切斷層11和由矽氧化膜等之分離絕緣膜4所構成之部份分離區域，用來包圍形成有1個或多個電晶體之活性區域，使其互相分離，分離幅度 $200\text{nm} \sim 500\text{nm}$ 程度。另外，分離絕緣膜4之膜厚被設定成使其下之通道切斷層11之膜厚成為 $10 \sim 100\text{nm}$ 程度。另外，在分離絕緣膜4之上面，最好與半導體層3之表面同樣的進行微細加工，但是在半導體層3很薄之情況，要使通道切斷層11之膜厚充分的殘留時，因為要取得元件分離所



五、發明說明 (11)

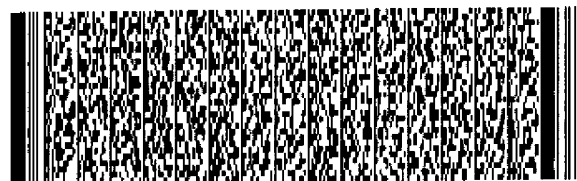
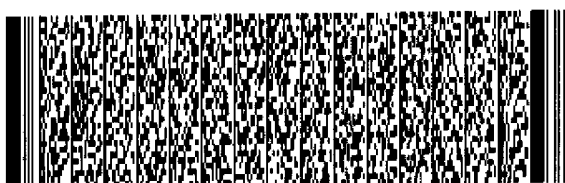
需要之膜厚變成很難，所以其方法是使分離絕緣膜4之上面形成高於半導體層3之表面用來提高元件分離性能。另外，在半導體層3和分離絕緣膜4之間，可以依照需要的形成5~30nm程度之矽氧化膜(圖中未顯示)。在此處是該分離區域使用矽氧化膜，但是亦可以使用矽氮化膜，矽氧化氮化膜，或矽氧化氟化膜(SiOF)等之其他之絕緣膜。

作為閘極絕緣膜5者有 SiO_2 、 SiON 、 $\text{SiO}_2/\text{Si}_3\text{N}_4/\text{SiO}_2$ (ONO)構造， Ta_2O_5 、 Al_2O_3 等。

另外，圖2是本發明之實施形態1之半導體裝置之上面圖，圖1是圖2所示之A-A剖面之剖面圖。在圖2中，元件編號92至94是配線，111是不純物區域。配線92電連接到閘極電極6用來施加閘極電壓，配線93電連接到不純物區域111。

圖3是本發明之實施形態1之半導體裝置之剖面圖，亦即圖2所示之B-B剖面之剖面圖。在該圖中，元件編號152是接觸孔。參照該圖，在不純物區域111經由配線93被施加電壓，用來固定經由通道切斷層11連接之通道形成區域10之電位。不純物區域111包含有與通道形成區域10相同導電型之不純物，其不純物濃度可以與通道形成區域10相同程度，亦可以使濃度更高用來抑制成為低電阻。

另外，圖4是本發明之實施形態1之半導體裝置之剖面圖，亦即圖2所示之C-C剖面之剖面圖。在該圖中，元件編號95是配線，153和154是接觸孔。參照該圖，配線94形成埋入到設於層間絕緣膜14和141之接觸孔153內，經由埋入



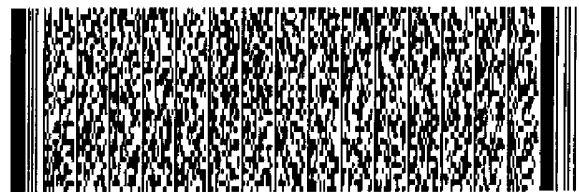
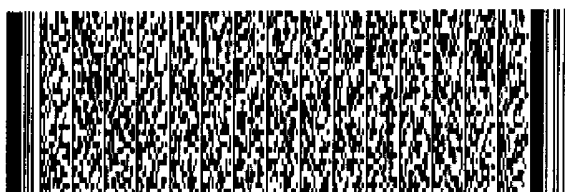
五、發明說明 (12)

在設於半導體層3，埋入氧化膜2之接觸孔154內之配線95，連接到不純物層12，藉以固定不純物層12之電位。為著個別的控制不純物層12和通道形成區域10，所以包圍半導體層3(形成有接觸孔154藉以形成該配線95)之周圍之分離絕緣膜4可以全部為全STI，用來與形成有元件之半導體層3完全分離。

圖5之圖形用來表示本發明之實施形態1半導體裝置所含之不純物之濃度分布，亦即表示圖1所示之D-D剖面之半導體層3，埋入氧化膜2和半導體基板1所含之不純物之濃度分布。用以形成不純物層12所注入之硼因為在各個工程之熱處理時擴散到表面，所以具有如圖所示之分布。

下面將說明其動作。參照圖1，例如在nMOS電晶體之情況，施加在各個電極之電壓為 $V_G=0\sim1.8V$ ， $V_D=0\sim1.8V$ ， $V_S=0V$ 、 $V_B=0\sim1V$ 程度，在閘極電極5下之通道形成區域10之表面形成通道，源極·汲極區域7和71，或源極·汲極區域8和81以其一方形成源極區域，和以其另外一方形成汲極區域，作為電路的進行動作。這時，在通道形成區域10被施加0V，在不純物層12被施加1V或-1V。該等電壓只是一實例，實際上是隨著閘極絕緣膜之厚度或閘極長度而變動。另外，當埋入氧化膜2之膜厚變厚時，施加在不純物層12之電壓之絕對值變化，埋入氧化膜2之膜厚變薄時，施加在不純物12之電壓之絕對值變小。

圖6之圖形表示本發明之實施形態1之半導體裝置之洩漏電流，在圖1所示之半導體裝置中，模擬半導體層3之膜厚



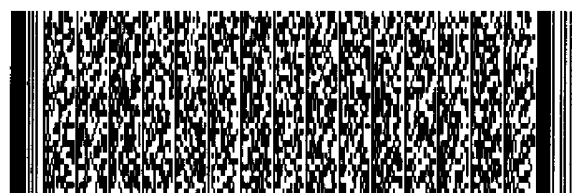
五、發明說明 (13)

為 $0.15\ \mu\text{m}$ ，埋入氧化膜2之厚度為 40nm ，分離絕緣膜4之幅度為 $0.2\ \mu\text{m}$ 者。在該圖形中，橫軸表示經由分離絕緣膜4互相鄰接之電晶體之源極・汲極區域7和71，8和81之間所產生之電位差，縱軸表示在其間產生之洩漏電流。在該圖中，○表示未形成有不純物層12之情況，■表示在不純物層12施加 -1V 之情況，▲表示在不純物層12施加 1V 之情況。由該圖可以明白，經由形成不純物層12可以減少洩漏電流和提高耐壓。

在本實施形態中，所進行之說明是不純物層12形成在全面之情況，但是假如不純物層12只形成在作為元件分離用之部份STI所用之部份之下部時，亦可以提高分離特性。

另外，在此處所進行之說明是nMOS電晶體之互相鄰接部份之一實例，但是pMOS電晶體之鄰接部份亦同樣的，在相同導電型之源極・汲極區域7、71和8、81經由部份STI鄰接之部份，於由於電路配置產生電位差之部份均可適用。在pMOS電晶體之情況，除了半導體基板1外，各個不純物區域之導電型變成相反，所施加之電壓分別為 $V_G=0\sim1.8\text{V}$ ， $V_D=0\sim1.8\text{V}$ ， $V_S=1.8\text{V}$ ， $V_B=1.8\text{V}$ 程度，在通道形成區域10為 1.8V ，在不純物層12為 $\pm 1\text{V}$ ，閘極電極6之聚矽所含之不純物為n型。

另外，在本實施形態中，所示者是配線9和91~94之配置之一實例，但是依照電路構造之不同，形成在電晶體間之層間絕緣膜之層數，配置等亦成為不同，另外，此處是使用在一個活性區域形成一個電晶體之半導體裝置用來進



五、發明說明 (14)

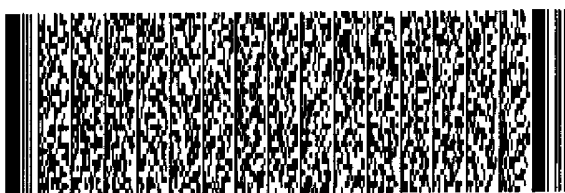
行說明，但是並不只限於此種方式。

依照此種半導體裝置時，具有部份STI構造之分離絕緣膜4形成在埋入氧化膜上，用來使具有相同導電型之多個電晶體互相分離，在分離絕緣膜4下之半導體基板表面，形成具有導電型與電晶體相反之不純物層用來固定電位，所以即使經由分離絕緣膜互相鄰接之電晶體之源極・汲極區域間產生有電位差時，亦可以抑制在該部份產生洩漏電流，和可以提高耐壓，可以獲得即使被微細化亦可以提高分離特性之半導體裝置。

另外，不純物層12不只形成在分離絕緣膜下，而且亦形成延伸到源極・汲極區域71和81下，在這種情況，源極・汲極區域形成時所注入之不純物，通過埋入氧化膜2達到半導體基板1，因為不純物層12之電位被固定，所以不會有電路錯誤動作之原因，具有可以提高半導體裝置之可靠度之效果。

另外，作為感測放大器(交叉耦合型放大器)等使用之電晶體因為被要求具有高敏感度，所以經由浮動的共用鄰接之電晶體之通道形成區域，可以以良好之精確度使臨界值電壓互相匹配。在此種情況，因為不會受到其他之電晶體之影響，所以只有共用之電晶體間之分離成為部份STI，與其他部份之分離成為全STI。因此，使通道形成區域浮動之部份之剖面圖與圖1所示者相同。

圖7之圖形表示本發明之實施形態1之半導體裝置之洩漏電流，在圖1所示之半導體裝置中，模擬半導體層3之膜厚



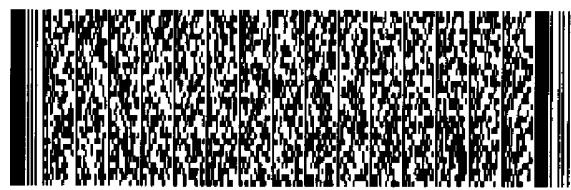
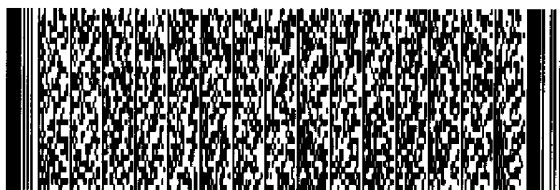
五、發明說明 (15)

為 $0.15\ \mu\text{m}$ ，埋入氧化膜2之厚度為 40nm ，分離絕緣膜4之幅度為 $0.2\ \mu\text{m}$ 者，在通道形成區域10未被施加電壓，亦即，本體為浮動之狀態。在該圖形中，橫軸表示經由分離絕緣膜4鄰接之電晶體之源極，汲極區域7和71，8和81之間所產生之電位差，縱軸表示在其間產生之洩漏電流。圖中之○是未形成有不純物層12之情況，▲是對不純物層12施加1V之情況。由該圖中可以明白，經由形成不純物層12對其施加1V可以提高耐壓。

在此處是以感測放大器作為使通道形成區域浮動之實例，但是作為感測放大器使用之電晶體亦可以將通道形成區域之電位固定。

在此處所說明之實例是nMOS電晶體互相鄰接之部份之一實例，但是pMOS電晶體之互相鄰接之部份亦同，相同導電型之源極、汲極區域7、71和8、81經由部份STI鄰接之部份，和由於電路配置產生電位差之部份全部可以適用。在pMOS電晶體之情況時，各個不純物區域之導電型變成相反，施加電壓亦分別成為 $V_G=0\sim 1.8\text{V}$ ， $V_D=0\sim 1.8\text{V}$ ， $V_S=1.8\text{V}$ ， $V_B=1.8\text{V}$ 程度，在不純物層12變成為 -1V ，亦可以形成或不形成配線93和不純物區域111。

在依上述方式被施加電壓之半導體裝置中，在埋入氧化膜上形成部份STI構造之分離絕緣膜用來使具有相同導電型之多個電晶體互相分離，浮動的共用經由該分離絕緣膜鄰接之電晶體之通道形成區域，可以以良好之精確度使其臨界值電壓互相匹配，和在分離絕緣膜下之半導體基板表

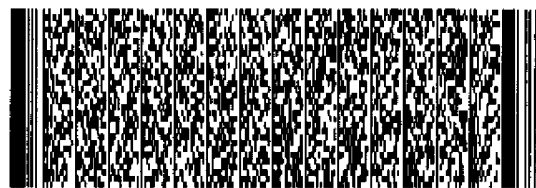


五、發明說明 (16)

面，形成具有導電型與電晶體相反之不純物層用來固定電位，所以即使經由分離絕緣膜鄰接之電晶體之源極・汲極區域間產生有電位差時，亦可以抑制在該部份產生洩漏電流，和可以提高耐壓，可以獲得即使被微細化亦可以提高分離特性之半導體裝置。

下面將說明本發明之實施形態1之半導體裝置之製造方法。

圖8～圖13是剖面圖，用來表示實施形態1之半導體裝置之製造方法。參照附圖，在半導體基板1之表面上，從具備有埋入氧化膜2和半導體層3之SOI基板之表面上，在nMOS之情況時注入硼等之p型之不純物之離子，在pMOS之情況時注入磷等之n型之不純物之離子，藉以在半導體基板1之與埋入氧化膜2接合之部份形成不純物層12。圖8是剖面圖，用來表示此工程結束後之階段之半導體裝置。這時之注入條件隨著埋入氧化膜2之膜厚而不同，硼等之p型不純物，在埋入氧化膜厚為 $0.04\mu\text{m}$ 程度之情況時是 $200\sim 300\text{keV}$ ， $1\times 10^{13}\sim 1\times 10^{14}/\text{cm}^2$ 程度，在埋入氧化膜厚為 $0.4\mu\text{m}$ 程度之情況時是 $500\sim 600\text{keV}$ ， $1\times 10^{13}\sim 1\times 10^{14}/\text{cm}^2$ 程度。另外，磷等之n型不純物之注入條件是在埋入氧化膜厚為 $0.04\mu\text{m}$ 程度之情況時為 $200\sim 300\text{keV}$ ， $1\times 10^{12}\sim 1\times 10^{14}/\text{cm}^2$ 程度，在埋入氧化膜厚為 $0.4\mu\text{m}$ 程度之情況時為 $500\sim 600\text{keV}$ ， $1\times 10^{13}\sim 1\times 10^{14}/\text{cm}^2$ 程度。不純物層12之形成不只限於離子注入法，亦可以使用電漿摻雜法或群集離子射束法等。



五、發明說明 (17)

在圖9中，元件編號31是矽氧化膜，32是矽氮化膜，41是溝。參照該圖，在半導體層3之表面上，形成具有5～30nm程度之膜厚之矽氧化膜31和具有100～300nm程度之膜厚之矽氮化膜32，使用光抗蝕劑遮罩(圖中未顯示)，利用異方性蝕刻，用來選擇性的除去分離區域上之矽氮化膜32和矽氧化膜31。在除去光抗蝕劑遮罩後，以矽氮化膜32作為遮罩對半導體基板1進行異方性蝕刻，用來在基板1之表面形成深度100～500nm程度之溝41。該溝之幅度為100～500nm程度。然後，以10～20keV， $5 \times 10^{12} \sim 1 \times 10^{13}/\text{cm}^2$ 程度在全面進行離子注入，藉以形成通道切斷層11，在nMOS之情況時注入硼等之p型不純物，在pMOS之情況時注入磷等之n型不純物。圖9是剖面圖，用來表示該工程結束後之階段之半導體裝置之元件。

當不純物層12只形成在分離區域之情況時，與通道切斷層11之形成同樣的，可以在形成溝41後之階段進行。這時之注入條件隨著埋入氧化膜2之膜厚而異，硼等之p型不純物，在埋入氧化膜厚是0.04 μm 程度之情況時為150～200keV， $1 \times 10^{13} \sim 1 \times 10^{14}/\text{cm}^2$ 程度，在埋入氧化膜厚是0.4 μm 程度之情況時為450～550keV， $1 \times 10^{13} \sim 1 \times 10^{14}/\text{cm}^2$ 程度。另外，磷等之n型不純物之注入條件是在埋入氧化膜厚為0.04 μm 程度之情況時為150～250keV， $1 \times 10^{12} \sim 1 \times 10^{14}/\text{cm}^2$ 程度，在埋入氧化膜厚為0.4 μm 程度之情況時為450～550keV， $1 \times 10^{13} \sim 1 \times 10^{14}/\text{cm}^2$ 程度。

其次利用CVD法在全面以300nm～800nm程度之膜厚形成



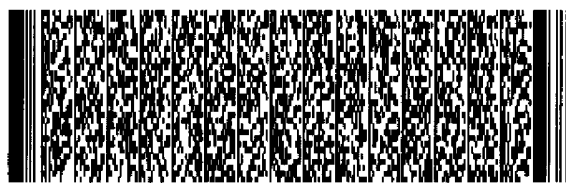
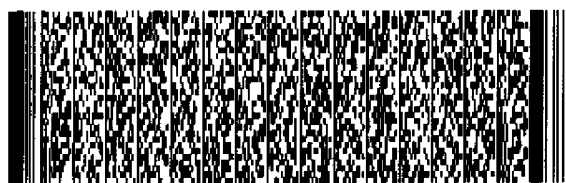
五、發明說明 (18)

矽氧化膜(圖中未顯示)，以矽氮化膜32作為阻擋層，利用CMP(Chemical Mechanical Polishing)法，除去矽氮化膜32之表面上之矽氧化膜，只在由溝2和矽氮化膜32構成之開口之內部殘留矽氧化膜。然後，在以利用熱磷酸之濕式蝕刻除去矽氮化膜32之後，除去矽氧化膜31，藉以形成分離絕緣膜4。圖10是結束該工程後之階段之剖面圖。對於通道切斷層11和不純物層12，亦可以在此階段以離子注入形成。圖11之圖形表示在此階段之半導體裝置之元件所含之不純物之濃度分布，亦即表示圖10所示之E-E剖面之不純物濃度分布。

在此階段，以800~1100℃程度進行燒結工程，在以矽氧化膜形成分離絕緣膜4之情況時，可以使膜質緻密，和提高不純物層12表面之不純物濃度藉以降低電阻。圖12之圖形表示在此階段之半導體裝置之元件所含之不純物之濃度分布，亦即表示圖10所示之E-E剖面之不純物濃度分布。

然後，利用熱氧化在全面形成矽氧化膜(圖中未顯示)，以10~20keV， $1 \times 10^{12} \sim 5 \times 10^{12} / \text{cm}^2$ 程度，在全面進行離子注入，在nMOS之情況時注入硼或氟化硼，在pMOS之情況時注入磷或砷等之不純物，將不純物導入到通道形成區域10用來調整臨界值(圖中未顯示)。矽氧化膜用來保護半導體基板表面使其在離子注入時不會受損，該矽氧化膜在離子注入後被除去。

其次，作為閘極絕緣膜5者，例如利用熱氧化在半導體



五、發明說明 (19)

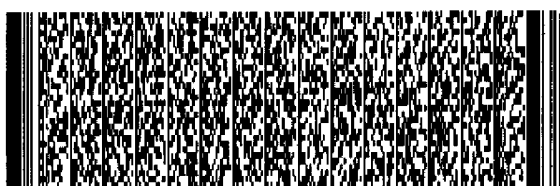
基板1之表面全體，以7~10nm程度之膜厚形成矽氧化膜，然後利用CVD法以150~300nm之程度全面形成作為閘極電極6之聚矽層後，以使用光抗蝕劑遮罩(圖中未顯示)之異方性蝕刻進行圖型製作，用來形成作為閘極電極之聚矽層6。

然後，使用光抗蝕劑遮罩，以20~40keV， $1 \times 10^{13} \sim 5 \times 10^{14}/\text{cm}^2$ 程度分別進行離子注入，在nMOS之情況時注入磷或砷，在pMOS之情況時注入硼或氟化硼等，藉以形成源極・汲極區域71和81。圖13是剖面圖，用來表示此工程結束後之階段之半導體裝置之元件。

其次，利用CVD法在全面以30~100nm程度之膜厚堆積矽氧化膜，在利用深蝕刻形成側壁13後，以10keV， $1 \sim 5 \times 10^{15}/\text{cm}^2$ 程度進行離子注入，在nMOS之情況時注入砷等，在pMOS之情況時注入硼或氟化硼等，用來形成源極・汲極區域7和8。源極・汲極區域可以依照需要的成為LDD構造，所以依照情況之不同，亦可以不形成源極・汲極區域7和8。被注入之不純物以800~900℃程度進行10~30分程度之退火藉以活性化。另外，當進行1050℃，5~10秒程度之RTA(Rapid Thermal Anneal)處理時，可以抑制不純物之擴散和提高活性化率。

側壁13亦可以使用矽氧化膜和矽氮化膜之積層膜，在此種情況，以RTO(Rapid Thermal Oxidation)形成矽氧化膜，利用CVD法堆積矽氮化膜，再進行深蝕刻而形成。

當在閘極電極6或源極・汲極區域7和8之表面形成金屬



五、發明說明 (20)

矽化物層之情況時，在此階段在全面堆積鈷，進行RTA處理，矽在露出部份進行反應，用來形成金屬矽化物層。然後，除去未反應之殘留之鈷(圖中未顯示)。

然後，利用減壓CVD法，以20nm~600nm程度堆積作為層間絕緣膜14之矽氧化膜，利用乾式蝕刻法，以0.1 μm ~ 0.5 μm 之直徑進行接觸孔15之開口使其達到源極・汲極區域7和71，利用CVD法將配線材料埋入到其內部後，進行圖型製作藉以形成配線9。同樣的，形成層間絕緣膜141，然後形成達到源極・汲極區域8和81之接觸孔151和配線91。以此方式形成圖1所示之半導體裝置。

圖中未顯示者，同樣的形成圖3所示之接觸孔152和配線93，和圖4所示之接觸孔153和配線94。另外，亦同樣的形成圖4所示之接觸孔154和配線95，但是形成順序亦可以在形成層間絕緣膜14和141之後，同時形成接觸孔153和配線94，亦可以在形成分離絕緣膜4後，或形成閘極電極6後等之各個階段形成。另外，各個接觸孔和配線之形成亦可以依照需要以另外之工程進行，其形成順序亦可以依照需要進行變更。另外，亦可以使不同之層間絕緣膜和配線形成在上層用來構成多層配線。配線材料使用導入有不純物之聚矽或金屬等，在使用金屬之情況時，於各個接觸孔之內壁，形成TiN等之障壁金屬，用來防止金屬擴散到半導體層3。

依照本實施形態1之半導體裝置之製造方法時，因為可以在由半導體基板1，埋入氧化膜2和半導體層3構成之SOI



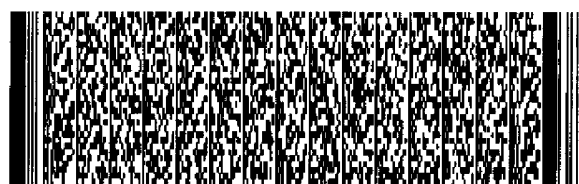
五、發明說明 (21)

構造之半導體裝置之半導體基板1之表面，形成不純物層12，所以經由固定該不純物層12之電位，即使在經由部份STI構造之分離絕緣膜形成在半導體層3之表面之具有相同導電型之電晶體之源極。汲極區域間產生有電位差時，亦可以抑制在該部份產生洩漏電流，可以提高耐壓，可以獲得即使被微細化亦可以提高分離特性之半導體裝置之製造方法。

另外，因為不純物層12不只形成在分離區域，而延伸到活性區域下，所以在源極・汲極區域之形成時，離子注入之不純物即使通過埋入氧化膜2達到半導體基板1時，因為被取入到不純物層12，所以不會成為電路錯誤動作之原因，可以獲得提高可靠度之半導體裝置之製造方法。

實施形態2.

圖14是本發明之實施形態2之半導體裝置之剖面圖，亦即圖2所示之A-A剖面之剖面圖。圖中之元件編號121是不純物層。參照該圖，源極・汲極區域71和81未達到埋入氧化膜2，不純物層121由與源極・汲極區域相同導電型之不純物形成。亦即，當在半導體層3之表面形成互相鄰接之nMOS電晶體之情況時，不純物層121所包含之磷等之n型之不純物為 $1 \times 10^{17} \sim 1 \times 10^{20} / \text{cm}^2$ 程度，當形成互相鄰接之pMOS電晶體之情況時，不純物層121所包含之硼等之p型之不純物為 $1 \times 10^{17} \sim 1 \times 10^{20} / \text{cm}^3$ 程度。對於其以外之膜厚和不純物濃度，不純物種類，均與實施形態1所示之半導體裝置相同。

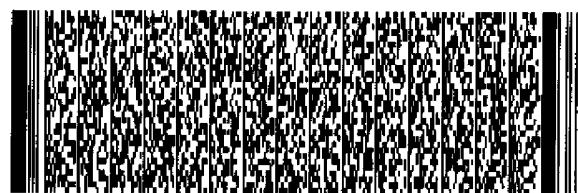
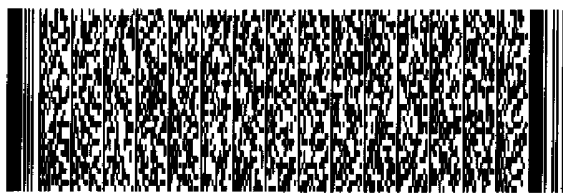


五、發明說明 (22)

在本實施形態中，當與實施形態1比較時，因為源極・汲極區域71和81與通道形成區域10之接合部份之面積增加，所以造成接合電容增加，但是因為通道形成區域10和通道切斷層11之接合面之面積增加，所以可以更確實的固定通道形成區域10之電位為其優點。

下面將說明其動作。參照圖14，例如在nMOS電晶體之情況，施加在各個電極之電壓為 $V_G=0\sim 18V$ ， $V_D=0\sim 1.8V$ ， $V_S=0V$ 之程度，在閘極電極5下之通道形成區域10之表面形成通道，源極・汲極區域7和71，或源極・汲極區域8和81之一方成為源極區域，另外一方成為汲極區域，進行電路之動作。這時，在通道形成10被施加0V，施加在半導體基板1之電壓 V_B 之條件是促成在不純物層121和半導體基板1之間施加逆向偏壓。該等電壓只是一實例，可以隨著閘極絕緣膜厚和閘極長度而變動。

圖15之圖形用來表示本發明之實施形態2之半導體裝置之洩漏電流，在圖14所示之半導體裝置中，模擬半導體層3之膜厚為 $0.15\mu m$ ，埋入氧化膜2之厚度為40nm，分離絕緣膜4之幅度為 $0.2\mu m$ 者。在該圖形中，橫軸表示經由分離絕緣膜4互相鄰接之電晶體之源極・汲極區域7和71，8和81之間所產生之電位差，縱軸表示在其間產生之洩漏電流。在該圖中，○表示未形成有不純物層121之情況，□表示在不純物層121施加-1V之情況，△表示在不純物層121施加1V之情況。由該圖可以明白，經由形成不純物層121可以顯著的減少洩漏電流。



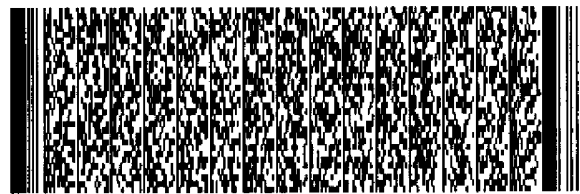
五、發明說明 (23)

在本實施形態中，所說明者是在全面形成不純物層121，但是不純物層121假如只形成在作為元件分離之部份STI所用之部份之下部時，可以提高分離特性。

另外，配線之配置，形成在電晶體之層間絕緣膜之層數，和形成在一個活性區域之電晶體之個數等只作為一實例，本發明不只限於該實例。

另外，圖16之圖形用來表示本發明之實施形態2之半導體裝置之洩漏電流，亦即表示pMOS電晶體之互相鄰接之部份之洩漏電流。pMOS之情況亦與nMOS之情況同樣的，p型之源極・汲極區域7、71和8、81在經由部份STI互相鄰接之部份，於由於電路配置產生電位差之部份均可適用本發明。在pMOS電晶體之情況，除了半導體基板1外，各個不純物區域之導電型均與nMOS之情況相反，施加電壓分別為 $V_G=0\sim1.8V$ ， $V_D=0\sim1.8V$ ， $V_S=1.8V$ ，在通道形成區域10成為1.8V程度，但是閘極電極6之聚矽所含之不純物亦可以為n型。

在圖14所示之半導體裝置中，模擬半導體層3之膜厚為 $0.15\mu m$ ，埋入氧化膜2之厚度為40nm，分離絕緣膜4之幅度為 $0.2\mu m$ 者。在該圖形中，橫軸表示經由分離絕緣膜4互相鄰接之電晶體之源極・汲極區域7和71，8和81之間所產生之電位差，縱軸表示在其間產生之洩漏電流。在該圖中，○表示未形成有不純層121之情況□表示在不純物層121施加0.3V之情況，△表示在不純物層121施加-0.3V之情況。由該圖可以明白，經由形成不純物物層121可以顯



五、發明說明 (24)

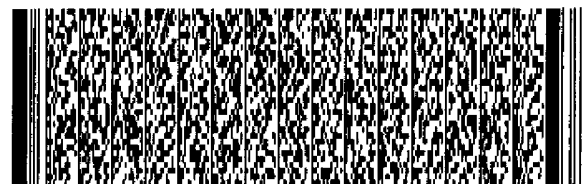
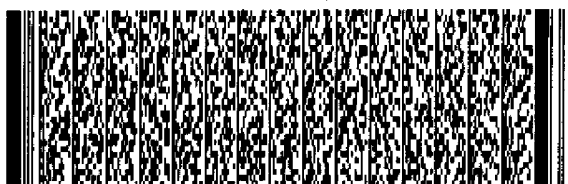
著的減少洩漏電流和可以提高耐壓。

依照本實施形態2之半導體裝置時，形成在埋入氧化膜上之具有相同導電型之多個電晶體之源極・汲極區域成為未達到埋入氧化膜之構造，其中在使電晶體互相分離之部份STI構造之分離絕緣膜下之半導體基板表面，形成有與電晶體相同導電型之不純物層用來進行電位固定，所以經由分離絕緣膜互相鄰接之電晶體之源極・汲極區域之間即使產生有電位差時，亦可以抑制在該部份之洩漏電流之產生，和可以提高耐壓，可以獲得即使被微細化亦可以提高分離特性之半導體裝置。

另外，經由對不純物層121施加電壓，可以用來緩和源極・汲極區域71和81與其下之半導體層3之間之電場，所以可以減少由於BTBT(Band to Band Tunneling)或陷阱輔助隧道效應(Trap Assisted Tunneling:TAT)，SRH(Shockley-Read-Hall)過程，撞擊離子化等所造成之洩漏電流，可以減少消耗電力。

另外，當不純物層121不只形成在分離絕緣膜下，而且延伸到源極・汲極區域71和81下之情況，源極・汲極區域之形成時所注入之不純物，即使通過埋入氧化膜2達到半導體基板1時，因為被取入到不純物層121，所以不會有造成電路錯誤動作之原因，具有可以提高半導體裝置之可靠度之效果。

另外，使用在感測放大器(交叉耦合型放大器)等之電晶體之情況，與實施形態1同樣的，亦可以使互相鄰接之電

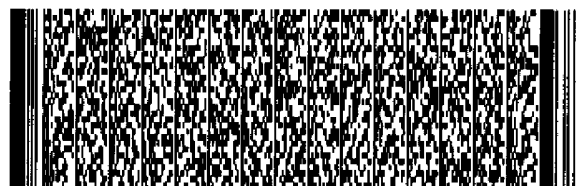
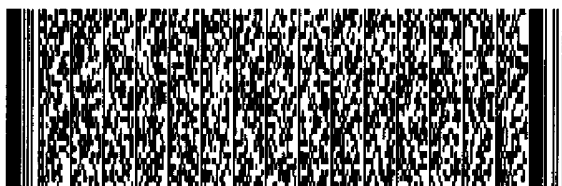


五、發明說明 (25)

晶體之通道形成區域進行浮動的共用。

圖17之圖形用來表示本發明之實施形態2之半導體裝置之洩漏電流，在圖14所示之半導體裝置中，於鄰接nMOS電晶體之情況時，模擬半導體層3之膜厚為 $0.15\mu\text{m}$ ，埋入氧化膜2之厚度為 40nm ，分離絕緣膜4之幅度為 $0.2\mu\text{m}$ 者，通道形成區域10未被施加電壓。在該圖形中，橫軸表示經由分離絕緣膜4互相鄰接之電晶體之源極・汲極區域7和71、8和81之間所產生之電位差，縱軸表示在其間產生之洩漏電流。在該圖中，○表示未形成有不純物層121之情況，△表示在不純物層121施加 1V 之情況，□表示在不純物層121施加 -1V 之情況。由該圖可以明白，經由形成不純物層121，施加使半導體基板成為逆向偏壓之電壓，可以使洩漏電流顯著的減少，藉以提高耐壓。

依照上述之方式，具有部份STI構造之分離絕緣膜形成在埋入氧化膜上，用來使具有相同導電型之多個電晶體互相分離，經由該分離絕緣膜互相鄰接之電晶體之源極・汲極區域以未達到埋入氧化膜之構造，使通道形成區域浮動的共用，可以用來使臨界值電壓以良好之精確度互相匹配，和在分離絕緣膜下之半導體基板表面，形成與電晶體相同導電型之不純物層，用來進行電位固定，所以在經由分離絕緣膜互相鄰接之電晶體之源極・汲極區域間即使產生有電位差時，亦可以抑制在該部份之洩漏電流之發生，和提高耐壓，藉以獲得即使被微細化亦可以提高分離特性之半導體裝置。



五、發明說明 (26)

下面將說明本發明之實施形態2之半導體裝置之製造方法。圖18是剖面圖，用來表示本發明之實施形態之半導體裝置之製造方法之一工程。

首先，從SOI基板(在半導體基板1之表面上具備有埋入氧化膜2和半導體層3)之表面上注入不純物，用來在半導體基板1接合埋入氧化膜2之部份形成不純物層121，在形成nMOS之情況時注入磷等之n型不純物，在形成pMOS之情況時注入硼等之p型不純物。圖18是剖面圖，用來表示該工程結束後之階段之半導體裝置。此時之注入條件隨著埋入氧化膜2之膜厚而不同，硼等之p型不純物，在埋入氧化膜厚為 $0.04\ \mu\text{m}$ 程度時為 $200\sim300\text{keV}$ ， $1\times 10^{13}\sim 1\times 10^{14}/\text{cm}^2$ 程度，在埋入氧化膜厚為 $0.4\ \mu\text{m}$ 程度時為 $500\sim600\text{keV}$ ， $1\times 10^{13}\sim 1\times 10^{14}/\text{cm}^2$ 程度。另外，磷等之n型不純物之注入條件是在埋入氧化膜厚為 $0.04\ \mu\text{m}$ 程度時為 $200\sim300\text{keV}$ ， $1\times 10^{12}\sim 1\times 10^{14}/\text{cm}^2$ 程度，在埋入氧化膜厚為 $0.4\ \mu\text{m}$ 程度時為 $500\sim600\text{keV}$ ， $1\times 10^{13}\sim 1\times 10^{14}/\text{cm}^2$ 程度。

其次，與實施形態1同樣的，形成通道切斷層11，和分離絕緣膜4，將不純物(圖中未顯示)導入到通道形成區域10用來調整臨界值。

另外，與實施形態1同樣的，形成閘極絕緣膜5，閘極電極6，然後依照需要以 $10\sim30\text{keV}$ ， $1\times 10^{13}\sim 5\times 10^{14}/\text{cm}^2$ 程度分別進行離子注入，用來形成源極・汲極區域71和81，在nMOS之情況時注入磷或砷，在pMOS之情況時注入硼或氟



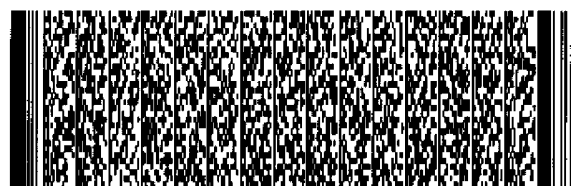
五、發明說明 (27)

化硼。另外，在形成包圍源極・汲極區域之相反導電型之不純物區域(口袋層，圖中未顯示)時，以 10keV ， $1 \times 10^{12} \sim 1 \times 10^{13}/\text{cm}^2$ 程度進行離子注入(圖中未顯示)，其中在nMOS之情況注入硼，在pMOS之情況注入磷等之不純物。然後，形成側壁13，以 10keV ， $1 \sim 5 \times 10^{15}/\text{cm}^2$ 程度進行離子注入，用來形成源極・汲極區域7和8，在nMOS之情況注入砷等，在pMOS之情況注入硼或氟化硼等。

另外，與實施形態1同樣的，形成層間絕緣膜14和141，接觸孔15和151～154，配線9和91～95。

依照本實施形態2所示之半導體裝置之製造方法時，在由半導體基板1，埋入氧化膜2和半導體層3構成之SOI構造之半導體裝置之半導體基板1之表面，可以形成不純物層121，另外，在半導體層3之表面可以形成具有與不純物層121相同導電型之源極・汲極區域之電晶體，所以經由固定該不純物層121之電位，經由部份STI構造之分離絕緣膜互相鄰接之電晶體之源極・汲極區域間，即使產生有電位差時，亦可以抑制在該部份之洩漏電流之產生，和可以提高耐壓，可以獲得即使被微細化亦可以提高分離特性之半導體裝置之製造方法。

另外，不純物層121不只形成在分離區域，而且可以延伸到活性區域下，所以源極・汲極區域之形成時所注入之不純物之離子即使通過埋入氧化膜2達到半導體基板1時，因為被吸入到不純物層121，所以不會成為電路錯誤動作之原因，可以獲得提高可靠度之半導體裝置之製造方法。



五、發明說明 (28)

實施形態3.

圖19是半導體裝置之剖面圖，用來表示本發明之實施形態3，在該圖中，元件編號72~75和82~85是源極・汲極區域，120和130是通道形成區域，113和114是通道切斷區層，122是不純物層。本實施形態是經由分離絕緣膜4(部份STI)互相鄰接之電晶體之一方為nMOS，另外一方為pMOS之情況。另外，在埋入氧化膜厚為 $0.04\mu\text{m}\sim 0.4\mu\text{m}$ 程度之情況，不純物層122之膜厚與實施形態1.2同樣的，所包含之磷等之n型不純物為 $5\times 10^{17}\sim 1\times 10^{20}/\text{cm}^3$ 程度，通道切斷層113所包含之磷等之n型不純物為 $1\times 10^{17}\sim 1\times 10^{20}/\text{cm}^3$ 程度，通道切斷層114所包含之硼等之p型不純物為 $1\times 10^{17}\sim 1\times 10^{18}/\text{cm}^3$ 程度。另外，通道形成區域120所包含之磷等之n型不純物為 $5\times 10^{17}\sim 2\times 10^{18}/\text{cm}^3$ 程度，通道形成區域130所包含之硼等之p型不純物為 $5\times 10^{17}\sim 1\times 10^{18}/\text{cm}^3$ 程度。源極・汲極區域和閘極電極分別與實施形態1相同。

圖20是半導體裝置之上面圖，用來表示本發明之實施形態3，圖19是圖20所示之F-F剖面之剖面圖。參照圖20，通道切斷層113形成在pMOS區域之分離絕緣膜4下，通道切斷層114形成在nMOS區域之分離絕緣膜4下。

另外，用以固定不純物層122之電位之配線94亦可以至少有一個形成被pMOS區域和nMOS區域共用。

另外，通道形成區域120和130，與圖3所示之實施形態1之構造同樣的，分別經由通道切斷層113、114，利用連接



五、發明說明 (29)

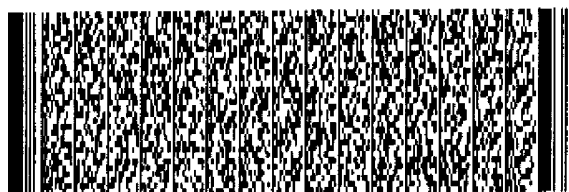
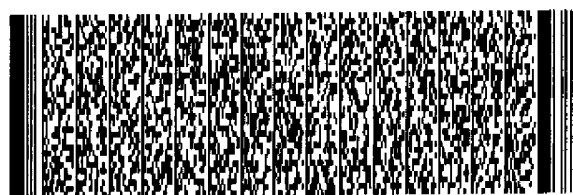
各個導電型之不純物區域111之配線，用來固定電位。

下面將說明其動作。參照圖19，施加在各個電極之電壓，例如在nMOS時為 $V_G=1.8V$ ， $V_D=1.8V$ ， $V_S=0V$ ，經由對通道形成區域130施加0V程度之電壓，用來形成通道的進行動作。另外，在pMOS時為 $V_G=0\sim1.8V$ ， $V_D=0\sim1.8V$ ， $V_S=1.8V$ ，經由在通道形成區域120施加1.8V程度之電壓，用來形成通道的使電流流動。

另外，在通道切斷層113施在1.8V，在通道切斷層114施加0V，在不純物層122施加4V程度。對於該等之電壓亦可以依照需要的升壓或降壓。該等電壓之一實施隨著閘極絕緣膜厚和閘極長度而變動。

圖21之圖形表示本發明之實施形態3之半導體裝置之洩漏電流，在圖19所示之半導體裝置中，模擬半導體層3之膜厚為 $0.15\mu m$ ，埋入氧化膜2之厚度為 $0.4\mu m$ ，分離絕緣膜4之幅度為 $0.2\mu m$ 者。在該圖中，橫軸表示經由分離絕緣膜4互相鄰接之電晶體之源極・汲極區域74和75，82和83之間所產生之電位差，縱軸表示在其間產生之洩漏電流。在該圖中，○表示未形成有不純物層122之情況，△表示在不純物層122施加4V之情況。由該圖可以明白，經由形成不純物層12可以顯著的減少洩漏電流，和提高耐壓。

在本實施形態中，所進行之說明是不純物層122形成在全面之情況，但是假如不純物層122只形成在作為元件分離用之部份STI所用之部份之下部時，亦可以提高分離特



五、發明說明 (30)

性。

另外，在此處所進行之說明是nMOS電晶體和pMOS電晶體之互相鄰接部份之一實例，但是例如二極體等亦同，在2個電晶體之相反導電型之不純物區域經由部份STI構造之分離絕緣膜互相鄰接之部份，於由於電路配置產生電位差部份均可適用。

圖22是剖面圖，用來表示本發明之實施形態3之另一半導體裝置，在該圖中，元件編號76是n型不純物區域，86是p型不純物區域，51是絕緣膜，52障壁金屬，96和97是配線。參照該圖，在二極體形成互相鄰接之情況，p型不純物區域84形成通道切斷層113，n型不純物區域74形成鄰接通道切斷層114，各個之不純物區域被經由障壁金屬52連接之配線96和97控制。

另外，與實施形態1同樣的，對於配線，隨著電路構造之不同，其形成在電晶體間之層間絕緣膜之層數，配置等亦成為不同，另外，此處是使用在一個活性區域形成一個電晶體之半導體裝置用來進行說明，但是並不只限於此種方式。

依照本實施形態3所示之半導體裝置時，在SOI構造中，經由部份STI構造之分離絕緣膜各形成多個之pMOS電晶體和nMOS電晶體，當在各個區域使通道形成區域10之電位被共同固定之情況時，在埋入氧化膜下之半導體基板表面，形成導電型與半導體基板相反之不純物層，和在nMOS電晶體和pMOS電晶體之互相鄰接之部份，將p型和n型之通道切



五、發明說明 (31)

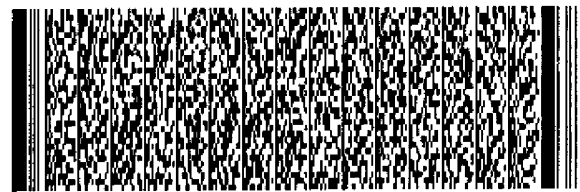
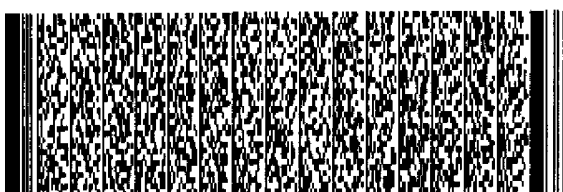
斷層配置在分離絕緣膜之下，使其與電晶體之不純物區域之關係成為pnpn，用來固定電位，所以經由部份STI構造之分離絕緣膜互相鄰接之電晶體之相反導電型之不純物區域間，即使產生有電位差時，亦可以抑制在該部份之洩漏電流之發生，和可以提高耐壓，可以獲得即使被微細化亦可以提高分離特性之半導體裝置。

另外，在pMOS電晶體和nMOS電晶體形成鄰接之情況時，不純物層122不只形成在分離絕緣膜下，而且延伸到源極・汲極區域73、74，83和84下，在此種情況，源極・汲極區域形成時所注入之不純物即使通過埋入氧化膜2達到半導體基板1時，因為被取入到不純物層122，所以不會成為電路錯誤動作之原因，具有可以提高半導體裝置之可靠度之效果。

下面將說明本發明之實施形態3之半導體裝置之製造方法。圖23和圖24是剖面圖，用來表示實施形態3之半導體裝置之製造方法之一工程，在圖23中，元件編號301是光抗蝕劑遮罩。

首先，與實施形態1同樣的，在半導體基板1之表面上從具備有埋入氧化膜2和半導體層3之SOI基板之表面上，注入磷等之n型不純物之離子，藉以在半導體基板1之與埋入氧化膜2接合之部份形成不純物層122。

其次，與實施形態1同樣的，在分離區域形成分離絕緣膜4，然後在pMOS區域之分離絕緣膜上形成具有開口之光抗蝕劑遮罩301，以 $110 \sim 130 \text{ keV}$ ， $1 \times 10^{13} \sim 5 \times 10^{13} / \text{cm}^2$ 程



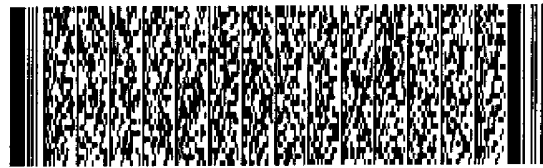
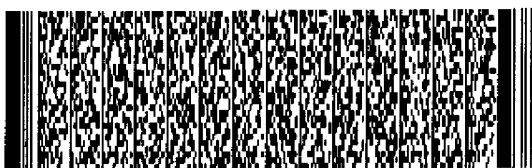
五、發明說明 (32)

度，對全面進行磷等之n型不純物之離子注入，用來形成通道切斷層113。圖23是剖面圖，用來表示此工程結束後之階段之半導體裝置之元件。

圖24是剖面圖，用來表示實施形態3之半導體裝置之製造方法之一工程，在該圖中，元件編號302為光抗蝕劑遮罩。參照該圖，除去光抗蝕劑遮罩301，然後在nMOS區域之分離絕緣膜上形成具有開口之光抗蝕劑遮罩302，以30~50keV， $5 \times 10^{12} \sim 1 \times 10^{13}/\text{cm}^2$ 程度，對全面進行硼等之p型不純物之離子注入，用來形成通道切斷層114。圖24是剖面圖，用來表示此工程結束後之階段之半導體裝置之元件。

在實施形態1中是在形成分離絕緣層4之前，進行通道切斷層11之形成，但是在本實施形態3中是在形成分離絕緣膜4之後，形成通道切斷層。

另外，與實施形態1同樣的，利用熱氧化在全面形成矽氧化膜(圖中未顯示)，然後在pMOS區域形成具有開口之光抗蝕劑遮罩(圖中未顯示)，以10~20keV， $1 \times 10^{12} \sim 5 \times 10^{12}/\text{cm}^2$ 程度對全面進行磷或砷等之n型不純物之離子注入，將不純物導入到通形成區域120藉以調整臨界值電壓，然後除去該光抗蝕劑遮罩(圖中未顯示)。然後，在nMOS區域形成具有開口之光抗蝕劑遮罩(圖中未顯示)，以10~20keV， $1 \times 10^{12} \sim 5 \times 10^{12}/\text{cm}^2$ 程度，對全面進行硼或氟化硼等之p型不純物之離子注入，將不純物導入到通道形成區域130藉以調整臨界值電壓，然後除去該光抗蝕劑遮



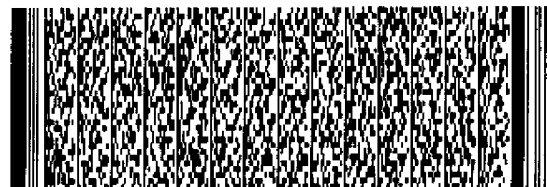
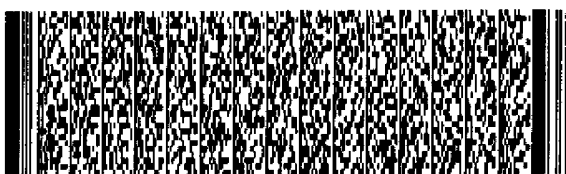
五、發明說明 (33)

罩(圖中未顯示)。

其次與實施形態1同樣的，形成閘極絕緣膜5，閘極電極6，pMOS區域之源極・汲極區域72、73、82和83，nMOS區域之源極・汲極區域74、75，84和85，側壁13，層間絕緣膜14和141，接觸孔15和151，配線9和91。以此方式形成圖19所示之半導體裝置。另外，亦可以包含該圖中未顯示之接觸孔和配線，各個接觸孔和配線，與實施形態1同樣的，亦可以依照需要變更形成順序，另外，亦可以在上層形成不同之層間絕緣膜和配線，使其成為多層配線。

依照本實施形態3所示之半導體裝置之製造方法時，可以在由半導體基板1，埋入氧化膜2和半導體層3構成之SOI構造之半導體裝置之半導體基板1之表面，形成不純物層122，和可以在用以分離多個pMOS電晶體之分離絕緣膜下形成n型之通道切斷層，可以在用以分離nMOS電晶體之分離絕緣膜下形成p型之通道切斷層，和可以在用以分離pMOS電晶體和nMOS電晶體之分離絕緣膜下，使p型和n型之通道切斷層形成為與電晶體之不純物區域具有成為pnpn之關係。

另外，經由分別固定該不純物層122和p型，n型之通道切斷層之電位，可以共同的固定pMOS電晶體和nMOS電晶體之通道形成區域10之電位，經由部份STI構造之分離絕緣膜互相鄰接之pMOS電晶體和nMOS電晶體之源極・汲極區域間，即使產生有電位差時，亦可以抑制在該部份之洩漏電流之產生，和可以提高耐壓，可以獲得即使被微細化亦可



五、發明說明 (34)

以提高分離特性之半導體裝置之製造方法。

另外，在pMOS電晶體和nMOS電晶體形成互相鄰接之情況時，不純物層122不只形成在分離區域，而且可以延伸到活性區域下，所以在源極・汲極區域之形成時所注入之不純物之離子，即使通過埋入氧化膜2達到半導體基板1時，因為被取入到不純物層的施加電壓，所以不會成為電路錯誤動作之原因，可以獲得提高可靠度之半導體裝置之製造方法。

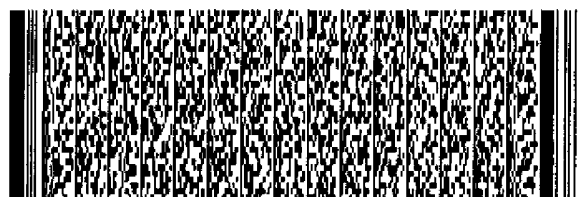
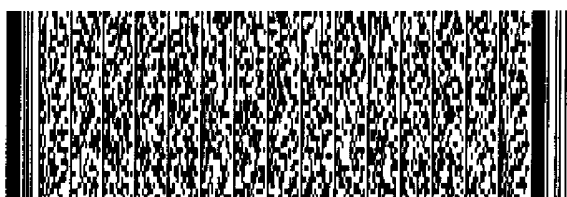
實施形態4.

圖25是本發明之實施形態4之半導體裝置之平面圖。參照該圖，在本實施形態4之半導體裝置中，在一個之半導體晶片上形成不同種類之多種功能塊，可以用來進行高積體化和高速化。另外，此種形成有DRAM和微處理機(Micro Processor)等之控制電路者，特別稱為混裝DRAM。

下面將說明各個功能塊之動作。

經由輸入/輸出部(I/O部)從外部取入之資料，被微處理機部控制，利用DSP(Digital Signal Processing)部進行高速處理，和記憶到DRAM或從DRAM部讀出。這時第1快取陣列部所進行之動作是將從DRAM部取出之數位資料同步的轉送到微處理機部，和將微處理機部完成處理之資料同步的轉送到DRAM部。另外，第2快取陣列(Second Cache Array)部與各個塊同步的進行與DSP部，第1快取陣列部，微處理機部，輸入/輸出部之間之資料之授受。

在各個功能塊，在需要共同固定通道形成區域之電位之



五、發明說明 (35)

部份，依照功能可以具備有實施形態1至3所述之電晶體1和與其對應之不純物層，對於源極・汲極區域之構造和不純物層之導電型及施加電壓不一定要相同。

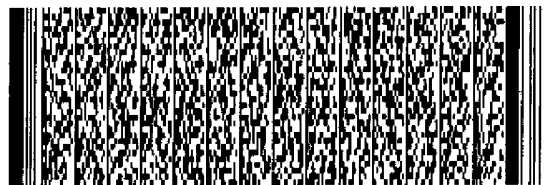
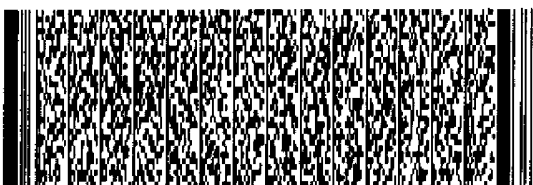
在此處所示者是功能塊之一實例，但是並不只限於該組合，另外，所記載之功能塊中之一或一部份亦可以具備有實施形態1至3所示之電晶體和與其對應之不純物層，亦可以使所有之功能塊具備有實施形態1至3所示之電晶體和與其對應之不純物層。

依照本實施形態4之半導體裝置時，在形成有多個功能塊之半導體裝置，於該等功能塊之中，在需要共同固定通道形成區域之電位之部份，被部份STI分離之第1和第2主動元件可以依照所需要之功能形成，可以決定與其對應之不純物層之導電型和施加之電壓，所以可以微細化和抑制洩漏電流，可以獲得具備有提高分離耐壓之功能塊之半導體裝置。

[發明之效果]

本發明因為依照以上所說明之方式構成，所以具有下面所述之效果。

本發明因為在具有部份STI構造作為分離構造之SOI構造之半導體裝置中，於半導體基板表面形成有不純物層，所以經由分離絕緣膜互相鄰接之電晶體間，即使產生有電壓差時，亦可以抑制在該部份之洩漏電流之產生，和可以提高耐壓，其效果是可以獲得即使被微細化亦可以提高分離特性之半導體裝置。



五、發明說明 (36)

另外，經由部份STI構造之分離絕緣膜互相鄰接之MOS型電晶體在形成具有相同導電型，其源極・汲極區域達到埋入氧化膜之情況時，因為將分離絕緣膜下之通道切斷層之電位固定，和以與電晶體相反之導電型形成半導體基板表面之不純物層，藉以進行電位固定，所以經由分離絕緣膜互相鄰接之電晶體源極・汲極區域間，即使產生有電位差時，亦可以抑制在該部份之洩漏電流之產生，和可以提高耐壓，可以獲得即使被微細化亦可以提高分離特性之半導體裝置。

另外，在經由部份STI構造之分離絕緣膜互相連接之源極・汲極區域形成延伸到埋入氧化膜之相同導電型之MOS型電晶體中，分離絕緣膜下之通道切斷層之電位未被固定，經由使互相鄰接之電晶體之通道形成區域浮動的共用，可以以良好之精確度使臨界值電壓互相匹配，和因為在分離絕緣膜下之半導體基板表面形成與電晶體相反導電型之不純物層，用來進行電位固定，所以經由分離絕緣膜互相鄰接之電晶體之源極・汲極區域間即使產生有電位差時，亦可以抑制在該部份之洩漏電流之發生，和可以提高耐壓，可以獲得即使被微細化時亦可以提高分離特性之半導體裝置。

另外，經由部份STI構造之分離絕緣膜互相鄰接之MOS型電晶體具有相同之導電型，其源極・汲極區域未達到埋入氧化膜，在此種情況以與電晶體之源極・汲極區域相同之導電型形成半導體基板表面之不純物層，對半導體基板施



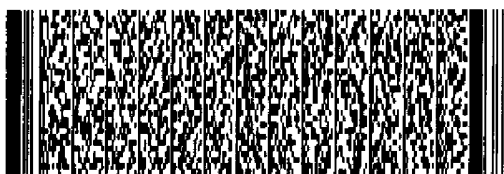
五、發明說明 (37)

加成為反向偏壓之電壓，用來促成經由分離絕緣膜鄰接之電晶體之源極·汲極區域間，即使產生有電位差時，亦可以抑制在該部份之洩漏電流之發生，和可以提高耐壓，可以獲得即使微細化亦可以提高分離特性之半導體裝置。

另外，在SOI構造中，當經由部份STI構造之分離絕緣膜形成之電晶體之不純物區域為相反導電型之情況時，在埋入氧化膜下之半導體基板表面形成與半導體基板相反導電型之不純物層，和在分離絕緣膜之下配置p型和n型之通道切斷層，使其與電晶體之不純物區域之關係成為pnpn方式，用來固定電位，所以經由分離絕緣膜互相鄰接之電晶體之相反導電型之不純物區域間即產生有電位差時，亦可以抑制在該部份之洩漏電流之產生，和可以提高耐壓，可以獲得即使被微細化亦可以提高分離特性之半導體裝置。

另外，在SOI構造中，經由部份STI構造之分離絕緣膜形成二極體，經由分離絕緣膜互相鄰接之不純物區域成為相反導電型，在這種情況時，在埋入氧化膜下之半導體基板表面形成與半導體基板相反導電型之不純物層，和在分離絕緣膜之下將p型和n型之通道切斷層配置成與二極體之不純物區域成為pnpn之關係，因為將電位固定，所以經由分離絕緣膜互相鄰接之二極體之相反導電型之不純物區域間，即使產生有電位差時，亦可以抑制在該部份之洩漏電流之產生，和可以提高耐壓，可以獲得即使被微細化亦可以提高分離特性之半導體裝置。

另外，不純物層之特徵是延伸到活性區域之下，利用形



五、發明說明 (38)

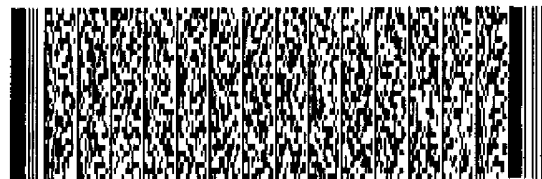
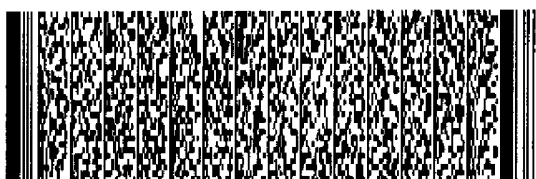
成在半導體基板表面之不純物層，在源極、汲極區域之形成時注入之不純物即使通過埋入氧化物達到半導體基板時，因為被取入到不純物層進行電位固定，所以不會有成為電路錯誤動作之原因，具有可以提高半導體裝置之可靠度之效果。

另外，在形成有多個功能塊之半導體裝置，在功能塊之中，於需要共同固定通道形成區域之電位之部份，被部份STI分離之電晶體可以依照所需要之功能形成，可以決定與其對應之不純物層之導電型和施加之電壓，所以可以微細化和抑制洩漏電流，可以獲得具備有提高分離電壓之功能塊之半導體裝置。

另外，因為在SOI構造之半導體裝置之半導體基板表面形成不純物層，和形成用以固定該不純物層之電位之配線，所以經由部份STI構造之分離絕緣膜形成在半導體層表面之電晶體之不純物區域間，即使產生有電位差時，亦可以抑制在該部份之洩漏電流之產生，和可以提高耐壓，可以獲得即使被微細化亦可以提高分離特性之半導體裝置之製造方法。

另外，不純物層不只形成在分離區域而且可以延伸到活性區域下，所以在不純物區域形成時注入之不純物離子即使通過埋入氧化膜達到半導體基板時，因為被取入到不純物層，所以不會有電路錯誤動作之原因，可以獲得提高可靠度之半導體裝置之製造方法。

另外，因為分離絕緣膜下之半導體層注入濃度比半導體



五、發明說明 (39)

層高之不純物之離子用來形成通道切斷層，所以可以獲得更進一層提高分離特性之半導體裝置。

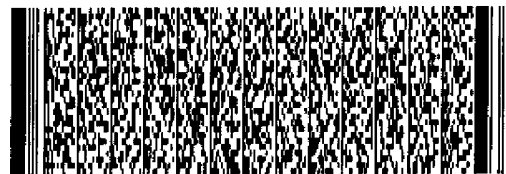
另外，在pMOS電晶體和nMOS電晶體經由STI構造之分離絕緣膜互相鄰接之情況，當各個源極・汲極區域之一方，和形成在分離絕緣膜下之通道切斷層配置成為pnpn方式時，經由分別固定該不純物層和p型、n型之通道切斷層之電位，在經由分離絕緣膜互相鄰接之電晶體之源極・汲極區域間，即使產生有電位差時，亦可以抑制在該部份之洩漏電流之發生，和可以提高耐壓，可以獲得即使被微細化亦可以提高分離特性之半導體裝置之製造方法。

另外，因為在SOI構造之半導體裝置之半導體基板表面形成不純物層，和形成用以固定該不純物層之電位之配線，所以經由部份STI構造之分離絕緣膜形成在半導體層表面之電晶體之不純物區域間，即使產生有電位差時，亦可以抑制在該部份之洩漏電流之發生，和可以提高耐壓，可以獲得即使被微細化亦可以提高分離特性之半導體裝置之製造方法。

另外，因為在分離絕緣膜下之半導體層注入濃度比半導體層高之不純物之離子用來形成通道切斷層，所以可以獲得更進一層提高分離特性之半導體裝置。

[元件編號之說明]

- | | |
|---|-------|
| 2 | 埋入氧化膜 |
| 3 | 半導體層 |
| 4 | 分離絕緣膜 |



五、發明說明 (40)

10	通道形成區域
11、113、114	通道切斷層
12、121、122	不純物層



圖式簡單說明

圖1是剖面圖，用來表示本發明之實施形態1之半導體裝置。

圖2是上面圖，用來表示本發明之實施形態1之半導體裝置。

圖3是剖面圖，用來表示本發明之實施形態1之半導體裝置。

圖4是剖面圖，用來表示本發明之實施形態1之半導體裝置。

圖5之圖形用來表示本發明之實施形態1之半導體裝置所含之不純物之濃度。

圖6之圖形用來表示本發明之實施形態1之半導體裝置之洩漏電流。

圖7之圖形用來表示本發明之實施形態1之半導體裝置之洩漏電流。

圖8是剖面圖，用來表示本發明之實施形態1之半導體裝置之製造方法之一工程。

圖9是剖面圖，用來表示本發明之實施形態1之半導體裝置之製造方法之一工程。

圖10是剖面圖，用來表示本發明之實施形態1之半導體裝置之製造方法之一工程。

圖11之圖形用來表示本發明之實施形態1之半導體裝置之製造方法之一工程之半導體裝置之元件所含之不純物之濃度分布。

圖12之圖形用來表示本發明之實施形態1之半導體裝置



圖式簡單說明

之製造方法之一工程之半導體裝置之元件所含之不純物之濃度分布。

圖13是剖面圖，用來表示本發明之實施形態2之半導體裝置之製造方法之一工程。

圖14是剖面圖，用來表示本發明之實施形態2之半導體裝置。

圖15之圖形用來表示本發明之實施形態2之半導體裝置之洩漏電流。

圖16之圖形用來表示本發明之實施形態2之半導體裝置之洩漏電流。

圖17之圖形用來表示本發明之實施形態2之半導體裝置之洩漏電流。

圖18是剖面圖，用來表示本發明之實施形態2之半導體裝置之製造方法之一工程。

圖19是剖面圖，用來表示本發明之實施形態3之半導體裝置。

圖20是上面圖，用來表示本發明之實施形態3之半導體裝置。

圖21之圖形用來表示本發明之實施形態3之半導體裝置之洩漏電流。

圖22是剖面圖，用來表示本發明之實施形態3之另一半導體裝置。

圖23是剖面圖，用來表示本發明之實施形態3之半導體裝置之製造方法之一工程。



圖式簡單說明

圖24是剖面圖，用來表示本發明之實施形態3之半導體裝置之製造方法之一工程。

圖25是平面圖，用來表示本發明之實施形態4之半導體裝置。

圖26是上面圖，用來表示習知之半導體裝置。

圖27是剖面圖，用來表示習知之半導體裝置。

圖28是剖面圖，用來表示習知之半導體裝置。



四、中文發明摘要 (發明之名稱：半導體裝置及其製造方法)

本發明之目的是提供半導體裝置及其製造方法，在SOI構造之半導體裝置中，經由抑制利用部份STI構造之分離氧化膜互相鄰接之電晶體間所產生漏洩電流，用來提高分離特性和耐壓。

本發明之解決手段是在由半導體基板1，埋入氧化膜2和半導體層3構成之SOI構造中之半導體基板1和埋入氧化膜2之接合表面，形成不純物層12。

英文發明摘要 (發明之名稱：SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF)

The object of the present invention is to provide a semiconductor device and its manufacturing method, which the semiconductor device includes an SOI substrate, characterized by suppressing a leakage current flowing through between the adjacent transistors of the buried oxide film via an isolation insulating film having the partial STI structure, thereby improving the isolation characteristic and breakdown voltage.

An impurity layer is formed between a



四、中文發明摘要 (發明之名稱：半導體裝置及其製造方法)

英文發明摘要 (發明之名稱：SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF)

semiconductor substrate and a buried oxide film in an SOI substrate composed of the semiconductor substrate, the buried oxide film and a semiconductor layer.



六、申請專利範圍

1. 一種半導體裝置，包含有由半導體基板，埋入氧化膜，和半導體層構成之SOI基板，其特徵是具備有：

分離絕緣膜，包圍被配置在該半導體層之主表面之第1和第2活性區域，形成與上述之埋入氧化膜隔開指定之距離；

第1主動元件，形成在上述第1活性區域；

第2主動元件，形成在上述第2活性區域；

不純物層，形成在與上述埋入氧化膜之界面近傍之上述半導體基板之一主面；和

配線，電連接到不純物層。

2. 如申請專利範圍第1項之半導體裝置，其中

不純物層和半導體層是第1導電型；

第1主動元件是MOS型電晶體，具有從第1活性區域之主表面達到埋入氧化膜之第2導電型之第1源極區域和汲極區域；

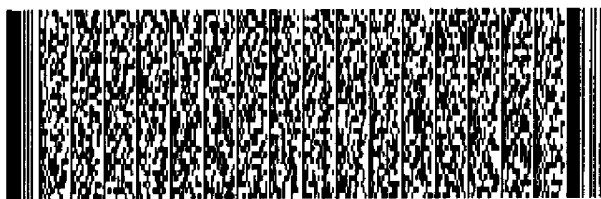
第2主動元件是MOS型電晶體，具有從第2活性區域之主表面達到上述之埋入氧化膜之第2導電型之第2源極區域和汲極區域；

上述之不純物層和分離絕緣膜下之上述半導體層之電位被固定。

3. 如申請專利範圍第1項之半導體裝置，其中

不純物層和半導體層是第1導電型；

第1主動元件是MOS型電晶體，具有從第1活性區域之主表面達到埋入氧化膜之第2導電型之第1源極區域和汲極區



六、申請專利範圍

域；

第2主動元件是MOS型電晶體，具有從第2活性區域之主表面達到上述之埋入氧化膜之第2導電型之第2源極區域和汲極區域；

上述之不純物層之電位被固定，和分離絕緣膜下之上述半導體層之電位不被固定。

4. 如申請專利範圍第1項之半導體裝置，其中
半導體層是第1導電型，不純物層是第2導電型；

第1主動元件是MOS型電晶體，具有第2導電型之第1源極區域和汲極區域形成在第1活性區域之主表面和埋入氧化膜之間，與該埋入氧化膜隔開指定之距離；

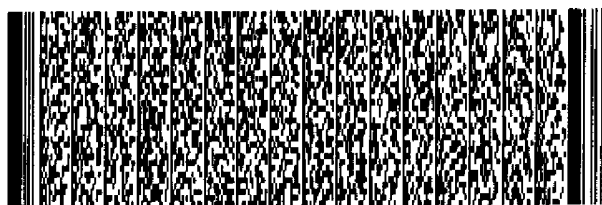
第2主動元件是MOS型電晶體，具有第2導電型之第2源極區域和汲極區域形成在第2活性區域之主表面和上述埋入氧化膜之間，與該埋入氧化膜隔開指定之距離；

施加在上述不純物層之電壓對半導體基板成為逆向偏壓。

5. 如申請專利範圍第1項之半導體裝置，其中

更具備有第1導電型之第1不純物區域和第2導電型之第2不純物區域，以互相鄰接之方式從分離絕緣膜下之半導體層表面延伸到埋入氧化膜，分別被施加成為逆向偏壓之電壓；

第1主動元件是MOS型電晶體，具有第2導電型之第1源極區域和汲極區域，從第1活性區域之主表面延伸到埋入氧化膜，其中之一方鄰接上述之第1不純物區域；



六、申請專利範圍

第2主動元件是MOS型電晶體，具有第1導電型之第2源極區域和汲極區域，從第2活性區域之主表面延伸到上述之埋入氧化膜，其中之一方鄰接上述之第2不純物區域；

施加在不純物層之電壓對半導體基板成為逆向偏壓。

6. 如申請專利範圍第1項之半導體裝置，其中

更具備有第1導電型之第1不純物區域和第2導電型之第2不純物區域，以互相鄰接之方式從分離絕緣膜下之半導體層表面延伸到埋入氧化膜，分別被施加成為逆向偏壓之電壓；

第1主動元件是二極體，具備有與上述之第1不純物區域鄰接之第2導電型之第3不純物區域，和與該第3不純物區域鄰接之第1導電型之第4不純物區域；

第2主動元件是二極體，具備有與上述之第2不純物區域鄰接之第1導電型之第5不純物區域，和與該第5不純物區域鄰接之第2導電型之第6不純物區域；

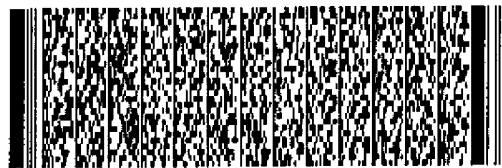
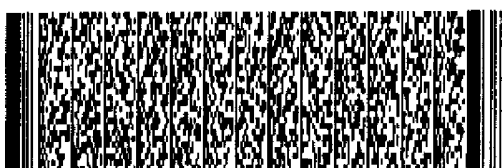
施加在不純物層之電壓對半導體基板成為逆向偏壓。

7. 如申請專利範圍第1至6項中任一項之半導體裝置，其中不純物層延伸到活性區域之下。

8. 如申請專利範圍第1至6項中任一項之半導體裝置，其中更具備有與形成有第1主動元件和第2主動元件之功能塊不同之功能塊。

9. 一種半導體裝置之製造方法，其特徵是所具備之工程包含有：

在SOI基板之半導體基板表面形成不純物層，該SOI基板



六、申請專利範圍

具有經由埋入氧化膜形成在半導體基板表面上之半導體層；

形成分離絕緣膜使其包圍被配置在主述半導體層之主表面之第1和第2活性區域，在其下殘留上述之半導體層之一部份；

在上述之第1活性區域形成第1主動元件；

在上述之第2活性區域形成第2主動元件；和

形成連接上述不純物層之配線。

10. 如申請專利範圍第9項之半導體裝置之製造方法，其中第1主動元件和第2主動元件是具有相同導電型之MOS型電晶體，

用以形成分離絕緣膜之工程所具備之工程包含有：

以覆蓋在半導體層之活性區域表面上之方式形成遮罩，從上述之半導體層主表面進行蝕刻使其底部殘留，用來形成包圍活性區域之溝；

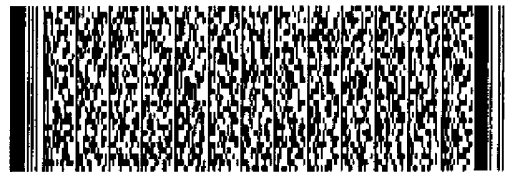
在全面形成絕緣膜；

除去上述之遮罩表面上之上述絕緣膜；和

除去上述之遮罩；

在用以形成上述之工程之後，和用以形成上述之絕緣膜之工程之前，更具備有離子注入工程，將與上述半導體層相同導電型之高濃度之不純物注入到上述之溝下之上述半導體層中。

11. 如申請專利範圍第10項之半導體裝置之製造方法，其中第1主動元件是具有第1導電型之MOS型電晶體，第2主



六、申請專利範圍

動元件是具有第2導電型之MOS型電晶體，

在用以形成分離絕緣膜之工程之後，和用以形成第1主動元件之工程之前，所具備之工程有：

在上述第1主動元件之上述分離絕緣膜上形成具有開口之第1遮罩；

在全面注入具有第2導電型之不純物之離子，用來在上述第1主動元件之上述分離絕緣膜下之半導體層形成第1不純物區域；

除去上述之第1遮罩；

在上述第2主動元件之上述分離絕緣膜上形成具有開口之第2遮罩；和

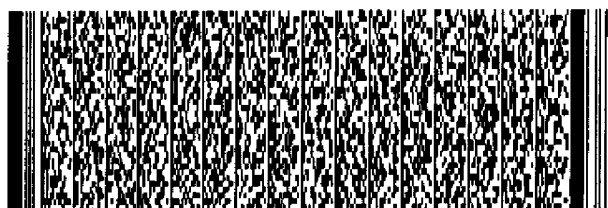
在全面注入具有第1導電型之不純物之離子，用來在上述第2主動元件之上述分離絕緣膜下之半導體層形成第2不純物區域，然後除去上述之第2遮罩。

12. 一種半導體裝置之製造方法，其特徵是所具備之工程包含有：

在經由埋入氧化膜形成在半導體基板表面上之半導體層之主表面配置第1和第2活性區域，以覆蓋在第1和第2活性區域表面上之方式形成遮罩，從上述半導體層主表面進行蝕刻使其底部殘留，用來形成包圍上述之第1和第2活性區域之溝；

將不純物之離子注入到上述之溝下之上述半導體基板中，用來在上述半導體基板之表面形成不純物層；

在全面形成絕緣膜；



六、申請專利範圍

除去上述之遮罩表面上之上述絕緣膜；

除去上述之遮罩；

在上述之第1活性區域形成第1主動元件；

在上述之第2活性區域形成第2主動元件；和

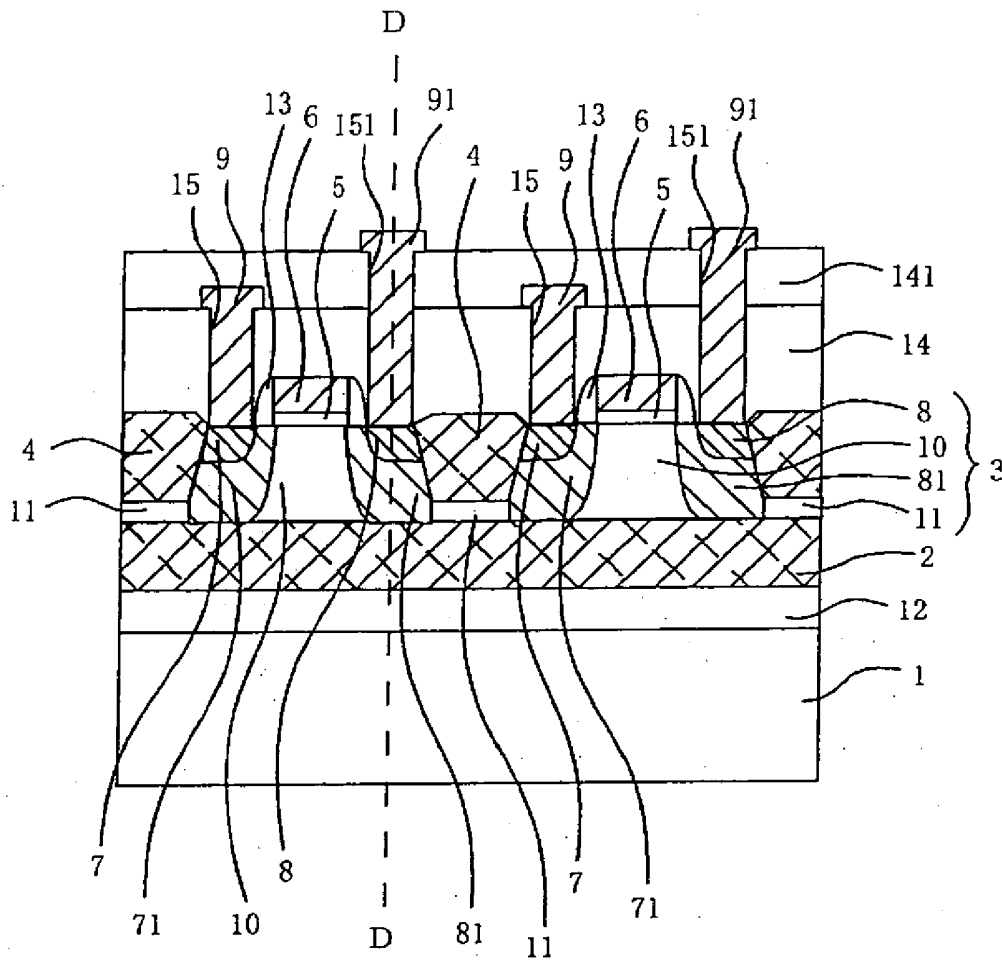
形成連接上述之不純物層之配線。

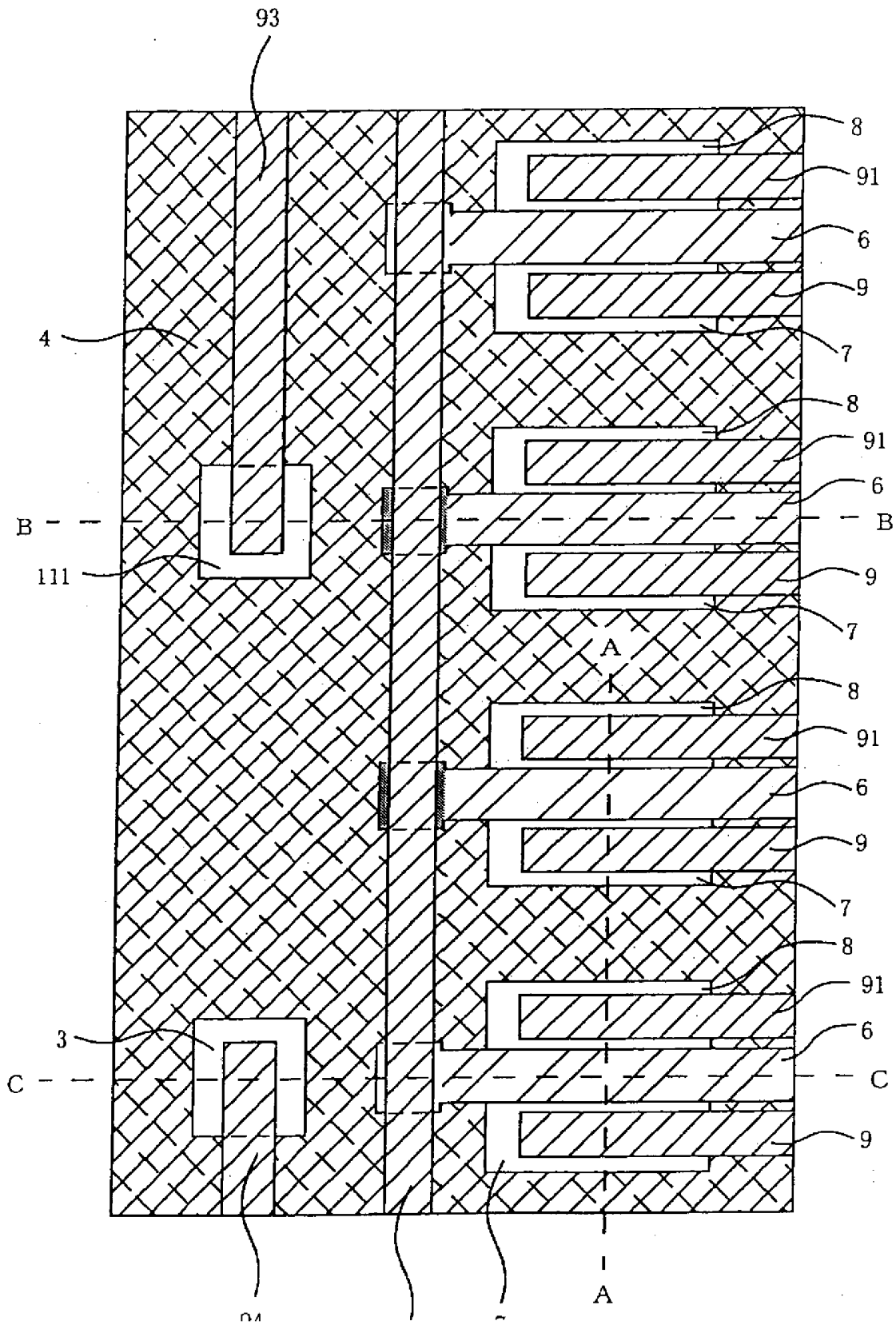
13. 如申請專利範圍第12項之半導體裝置之製造方法，其中第1主動元件和第2主動元件是具有相同導電型之MOS型電晶體；

在用以形成溝之工程之後，和用以形成絕緣膜之工程之前，更具備有離子注入工程，將與上述半導體層相同導電型之高濃度之不純物注入到溝下之半導體層中。

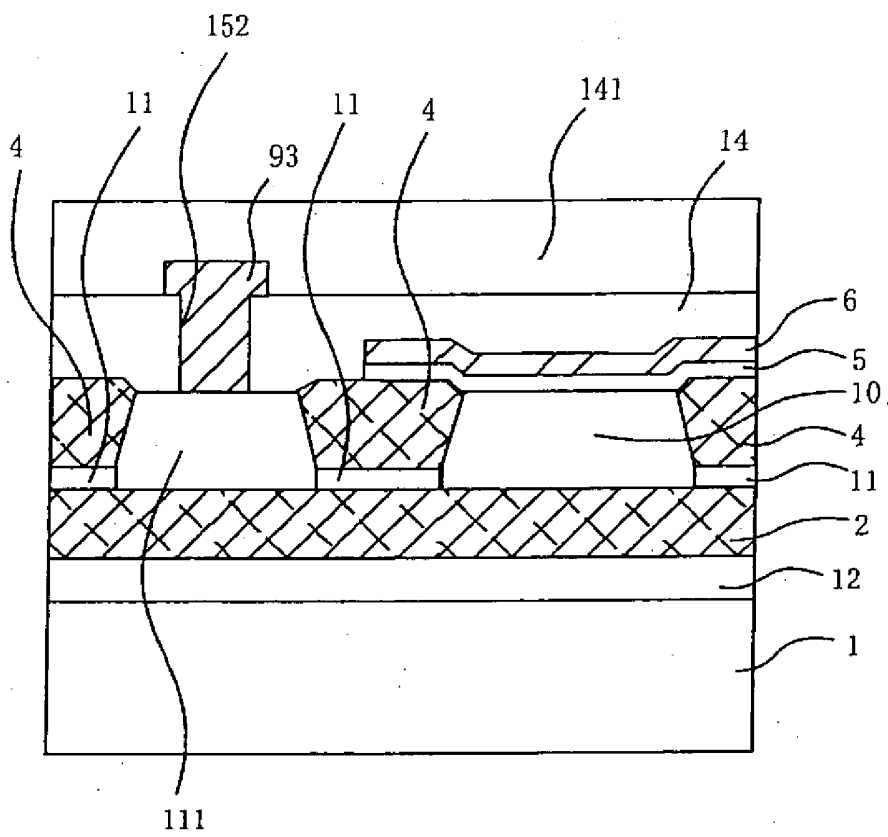


Fig. 1





三



4

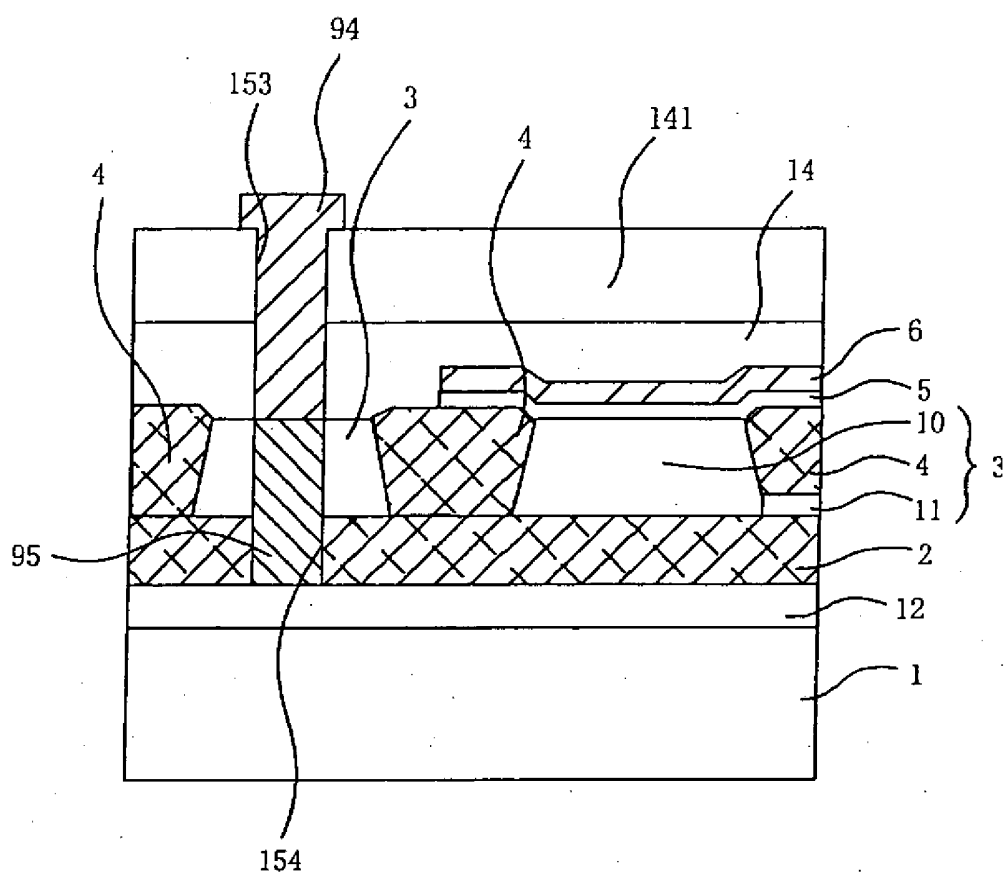


圖 5

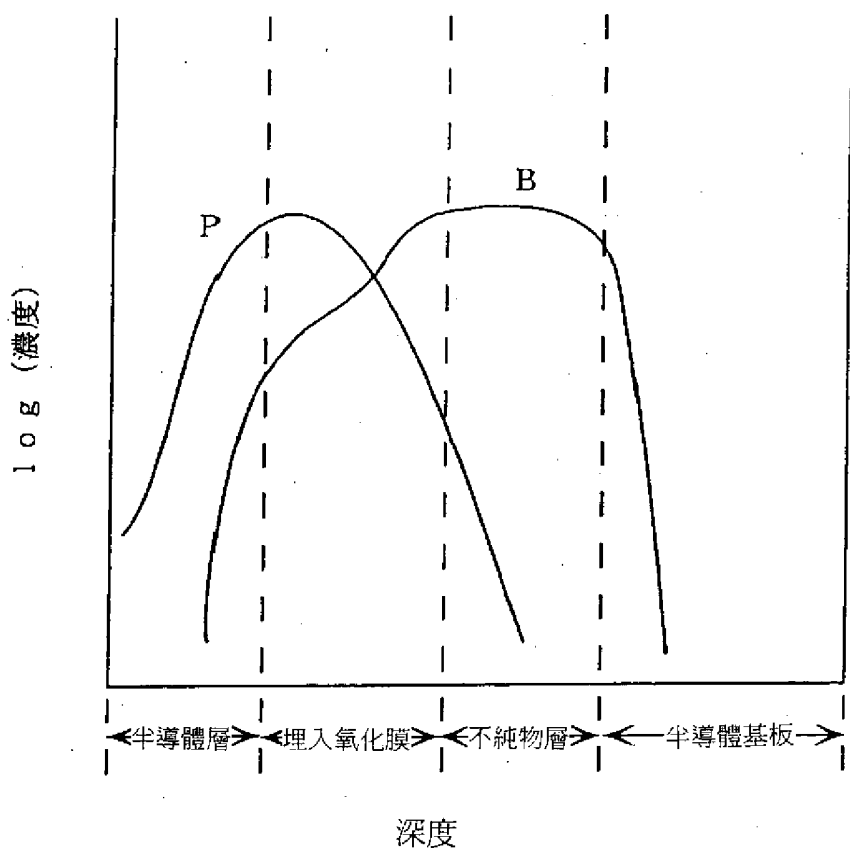


圖 6

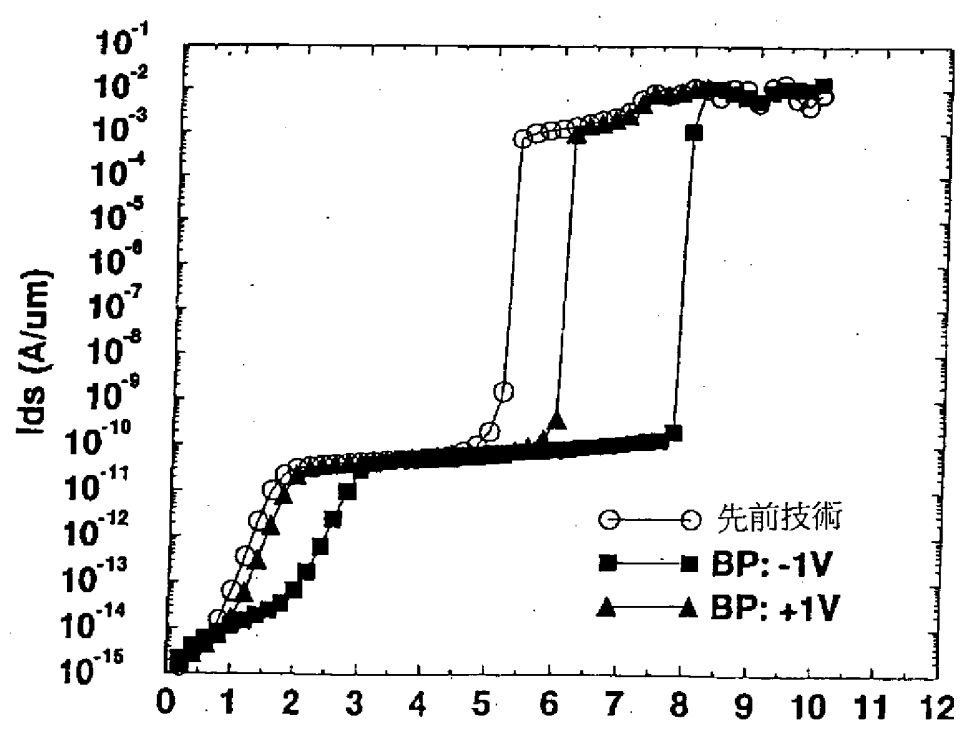


圖 7

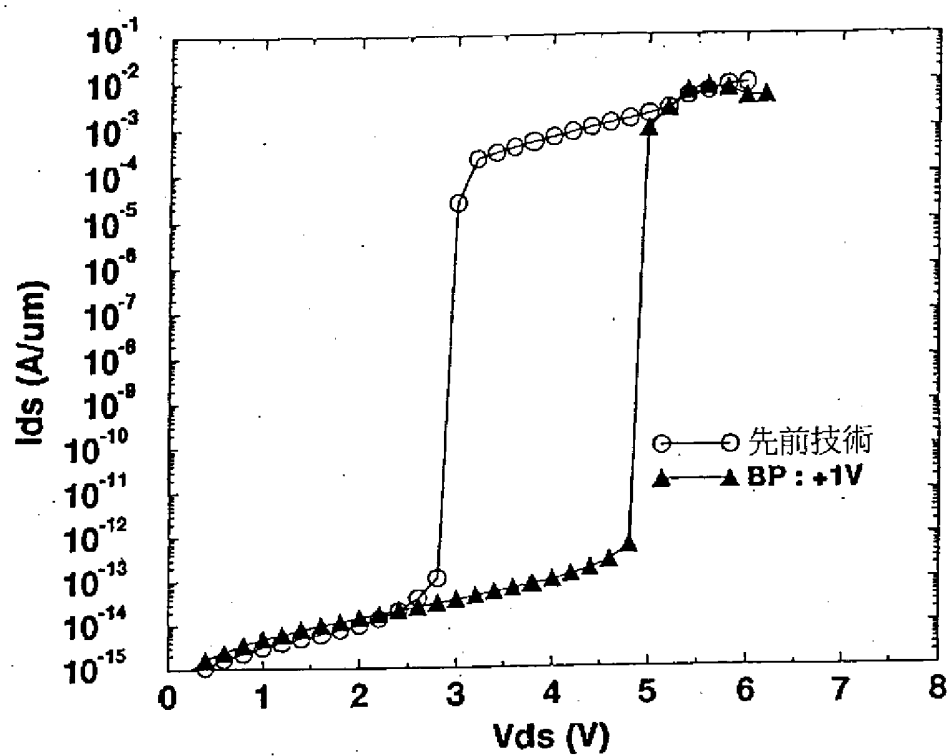


圖 8

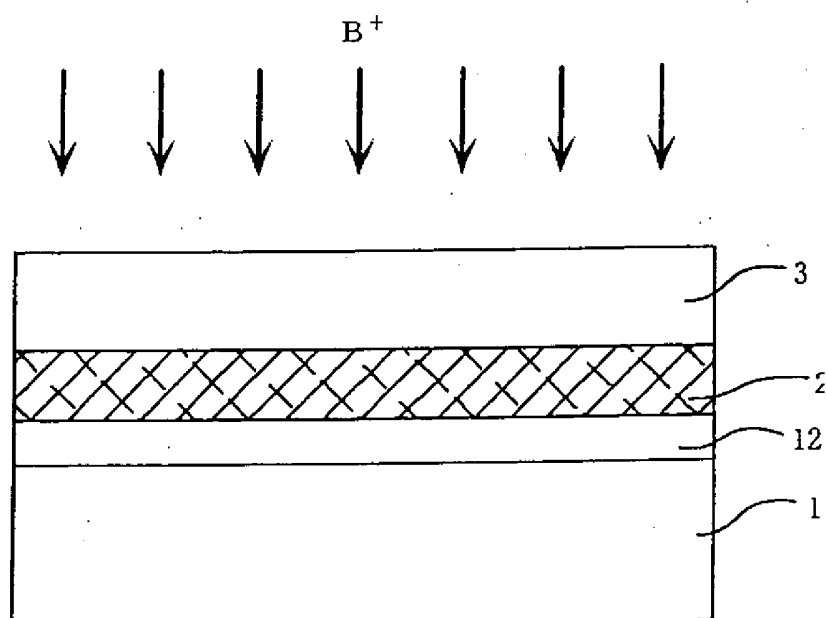


圖 9

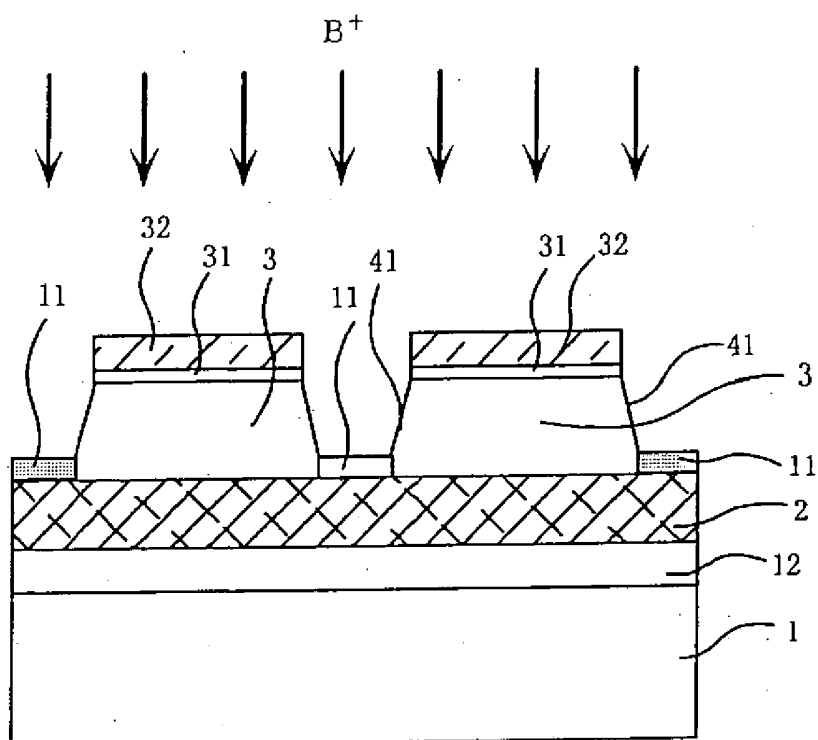


圖 10

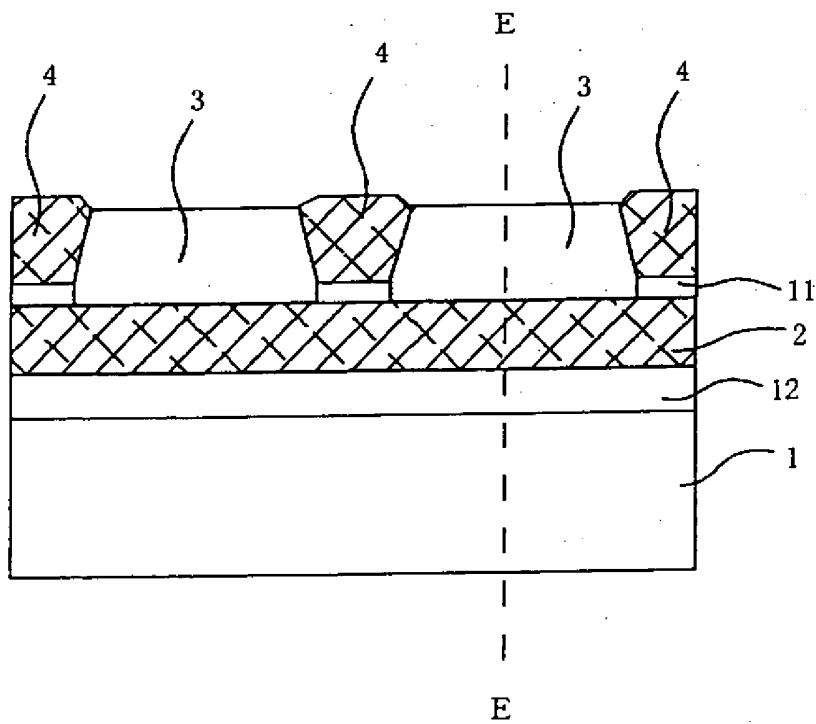


圖 11

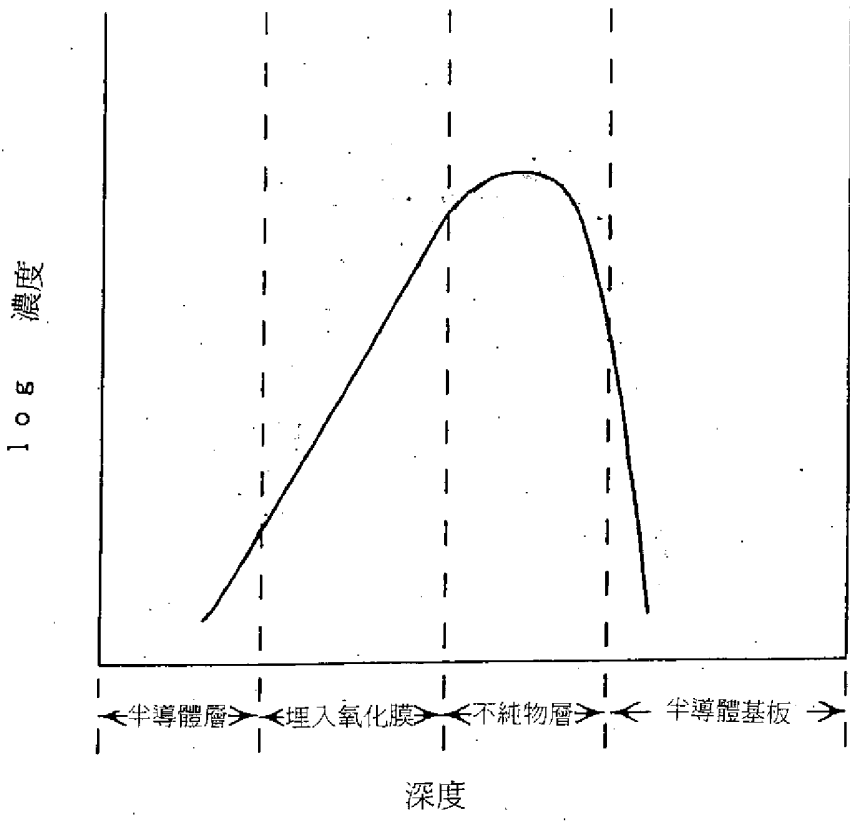


圖 12

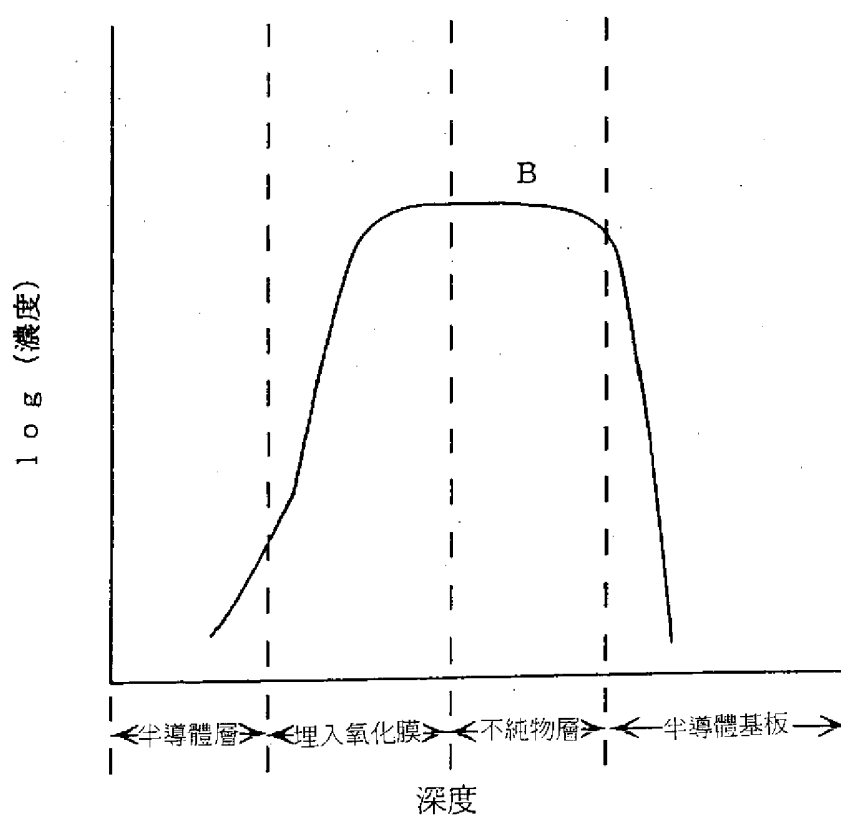


圖 1.5

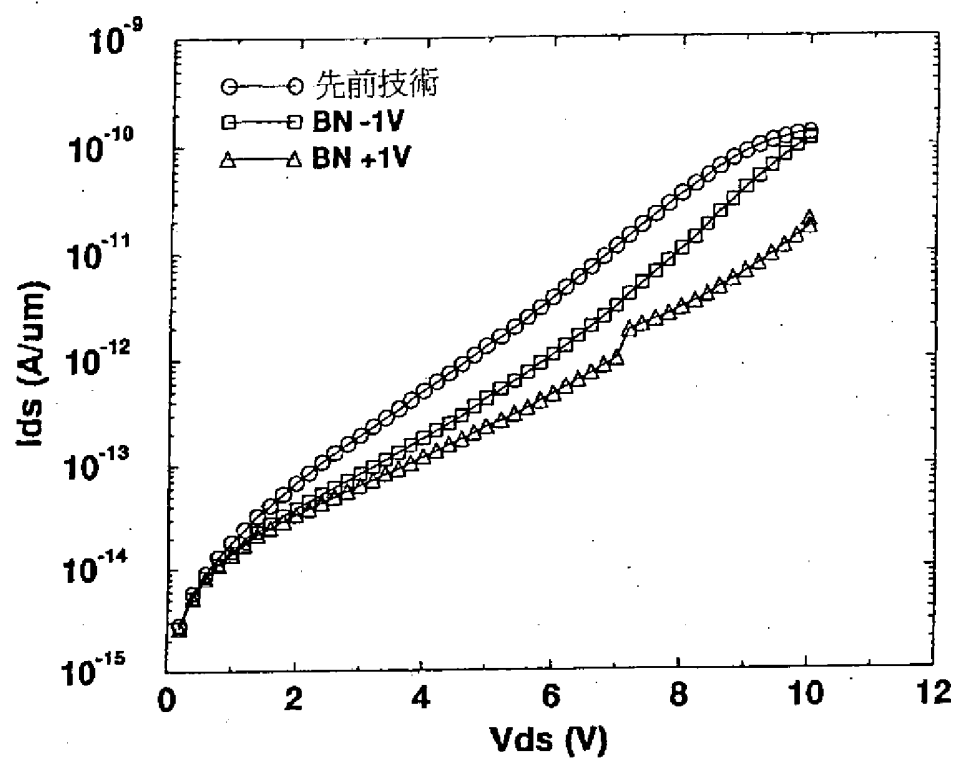


圖 1.6

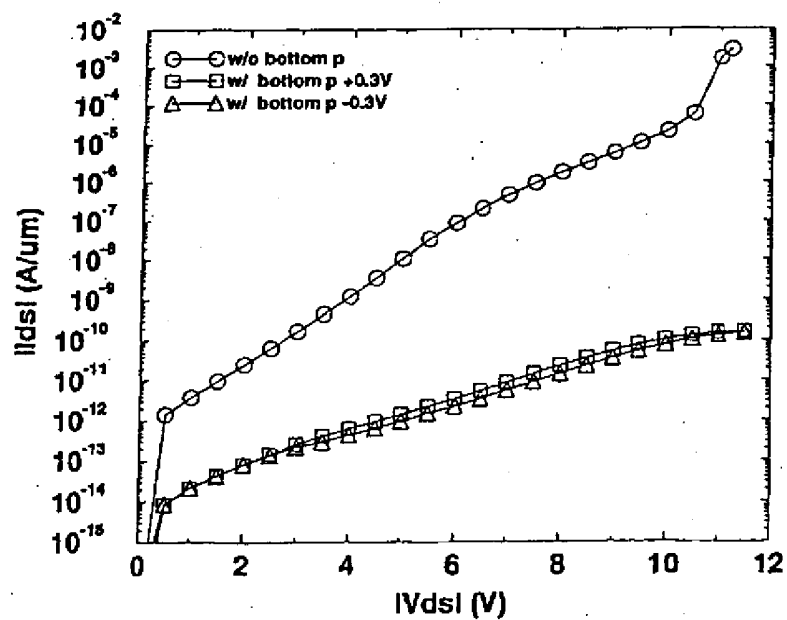


圖 17

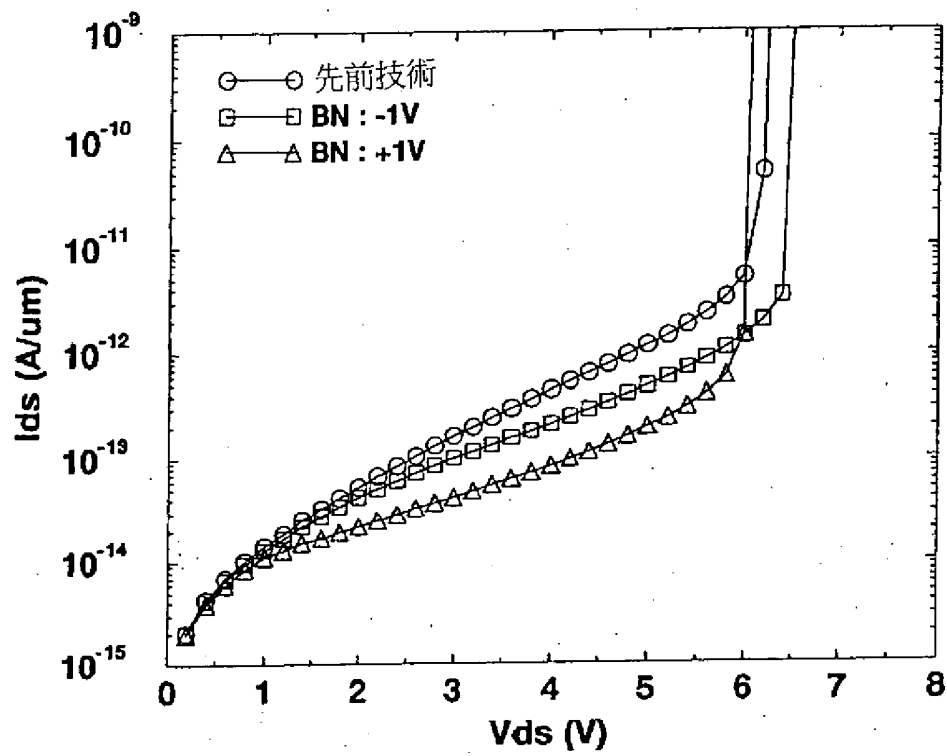
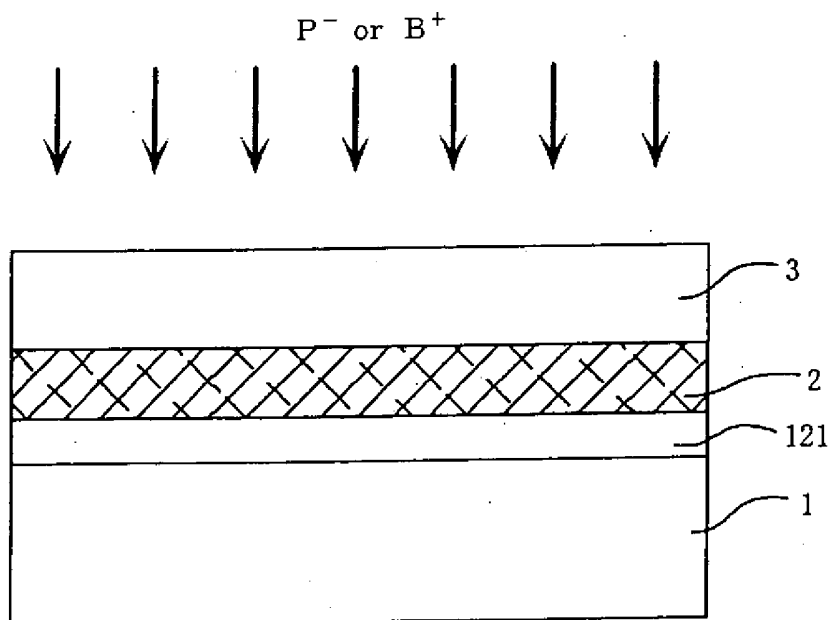


圖 18



20

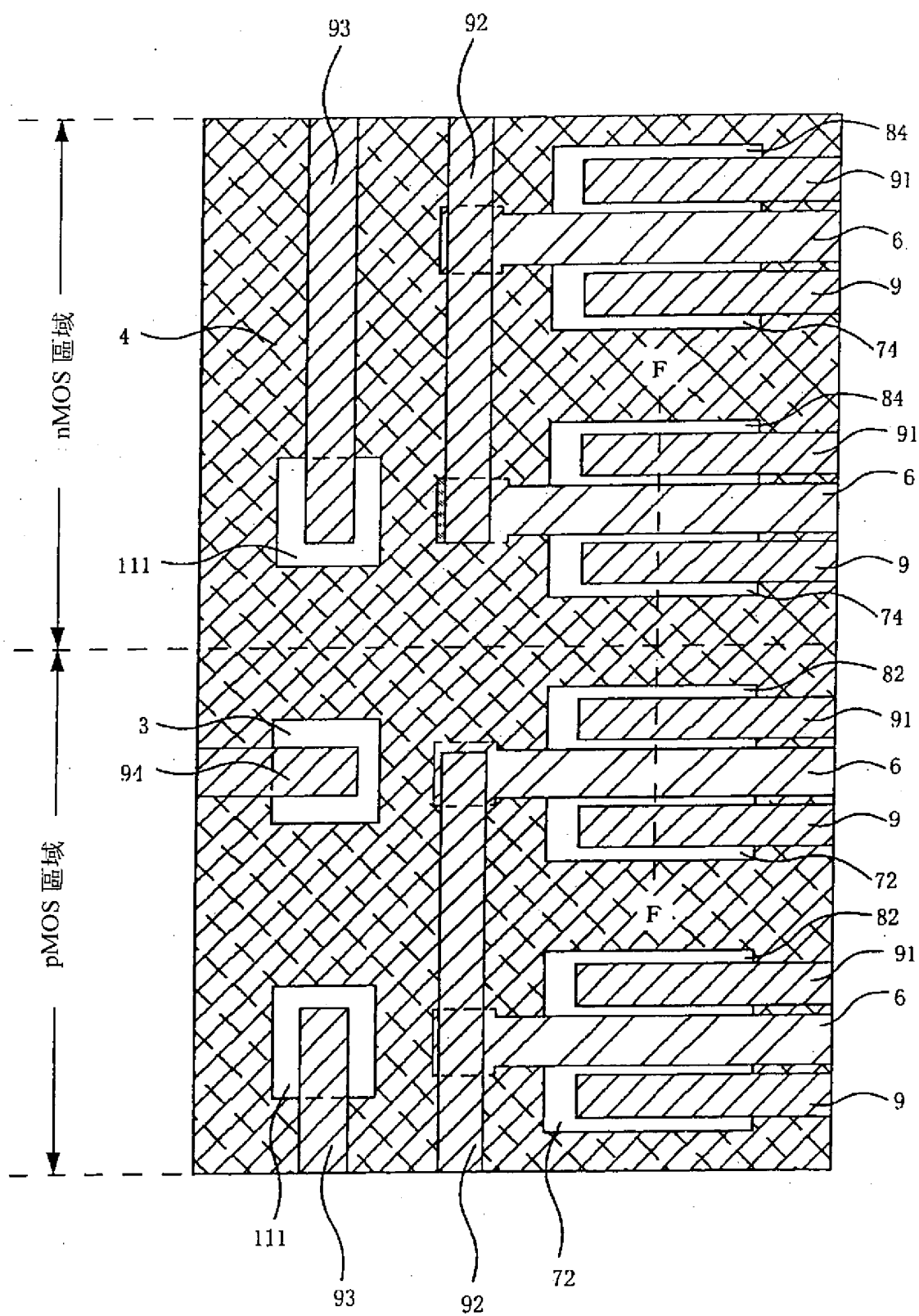


圖 2 1

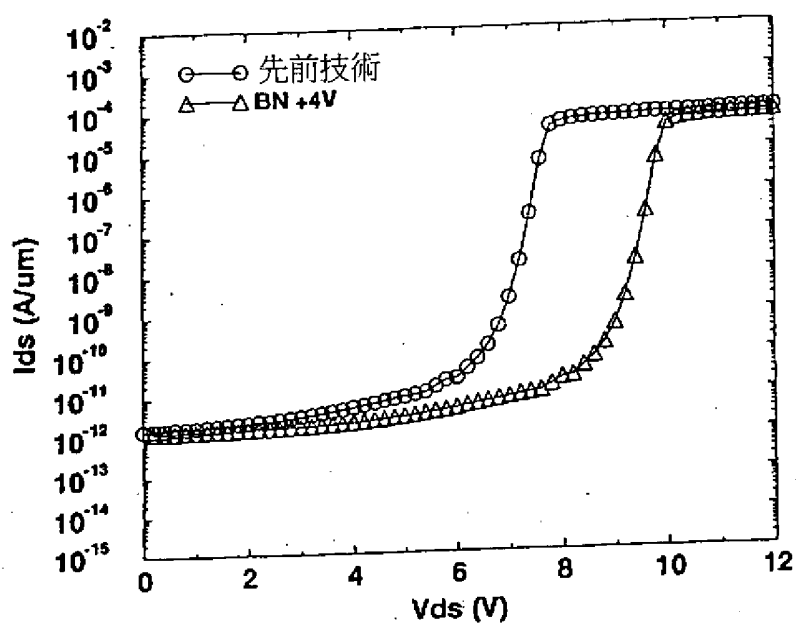


圖 2 2

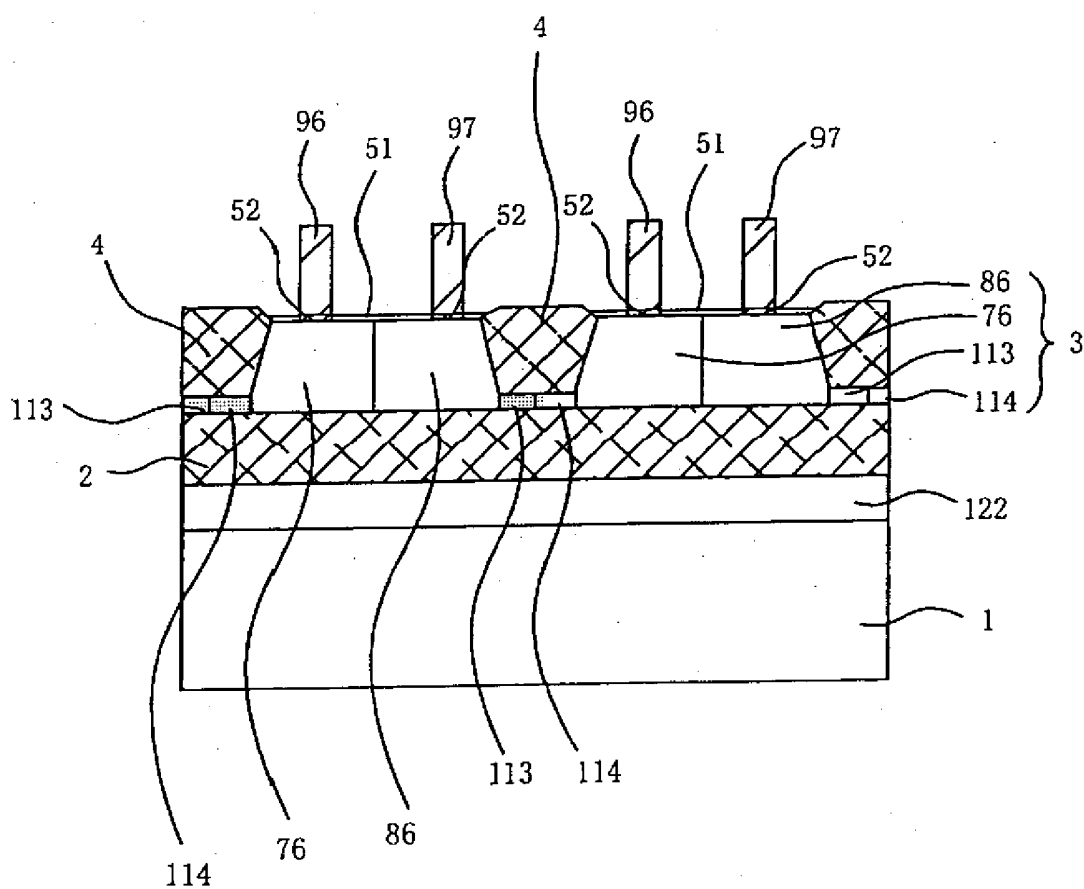


圖 24

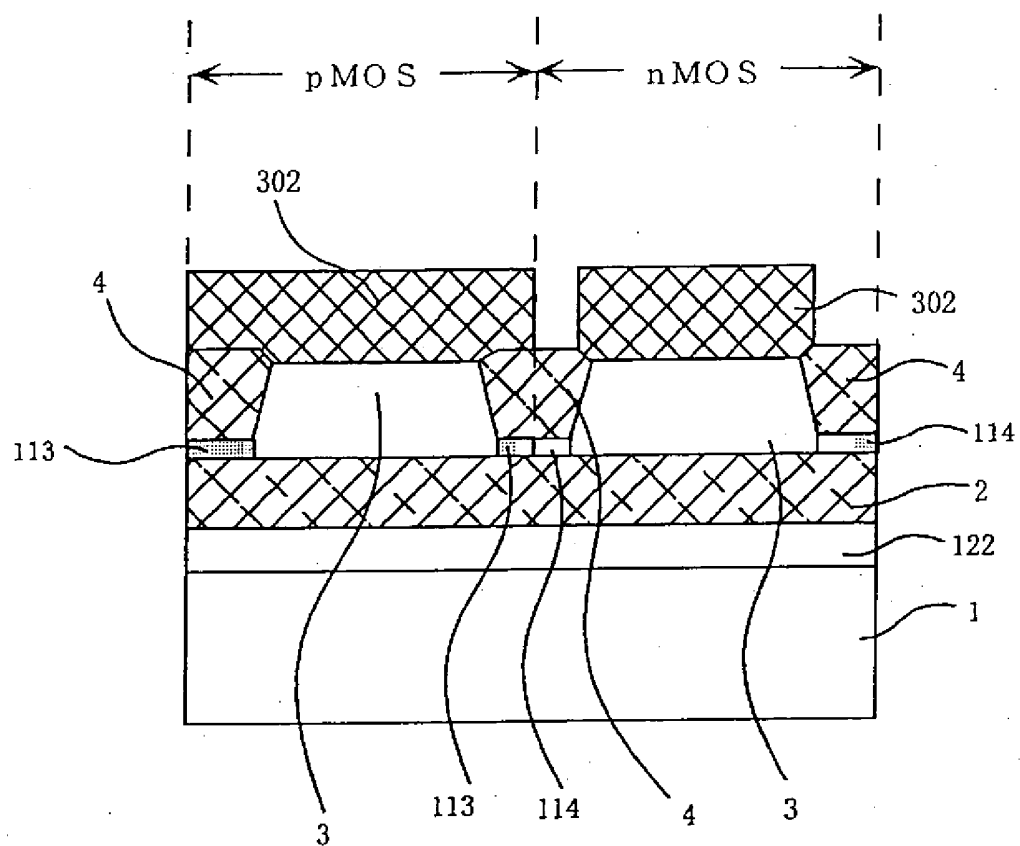
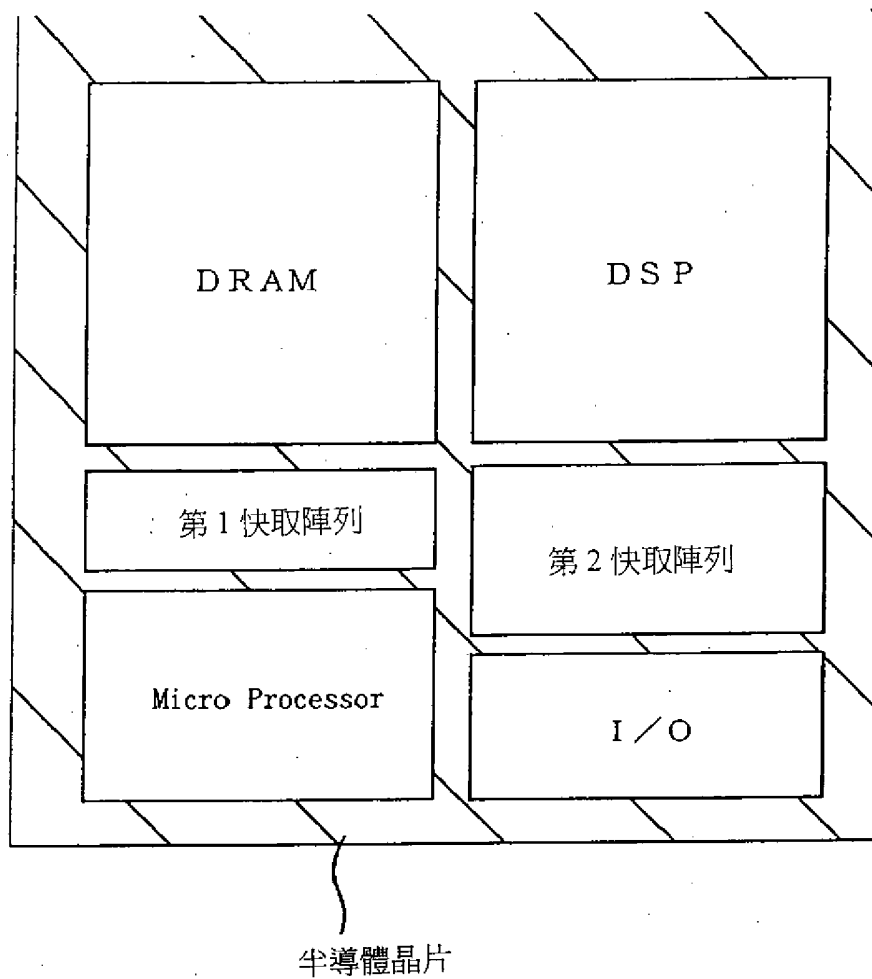


圖 25



回 26

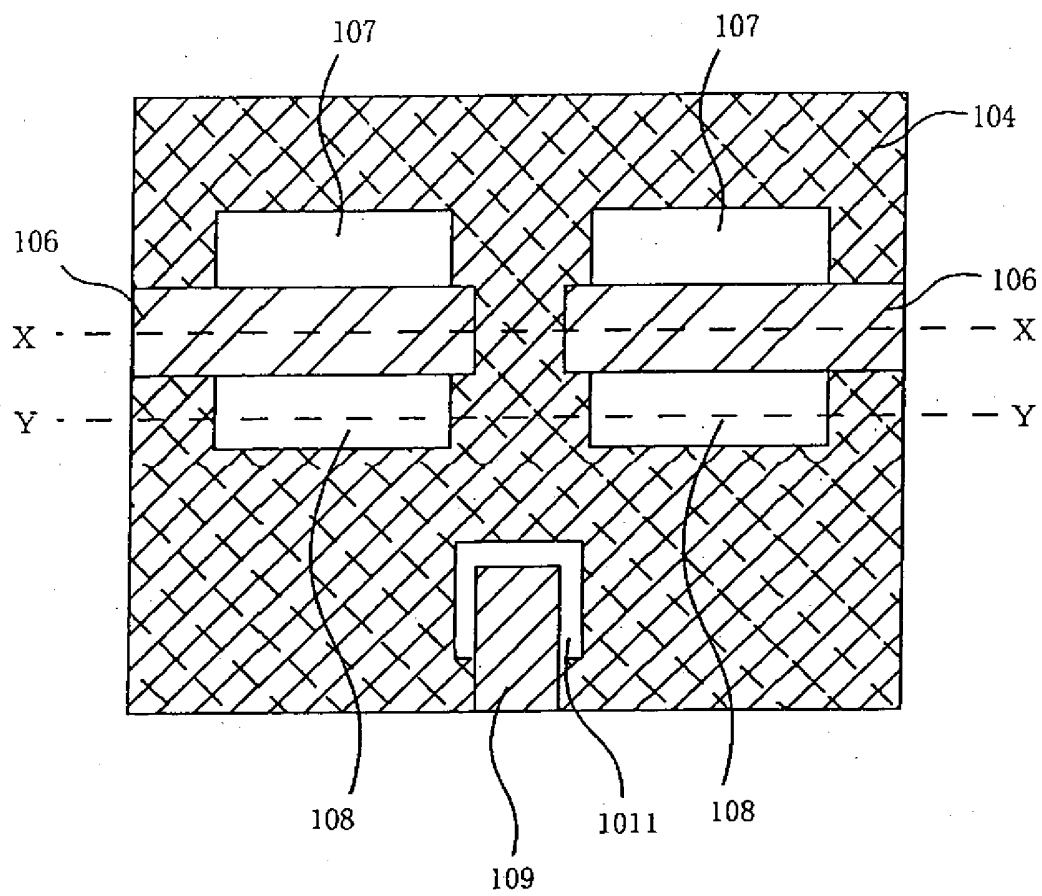


圖 27

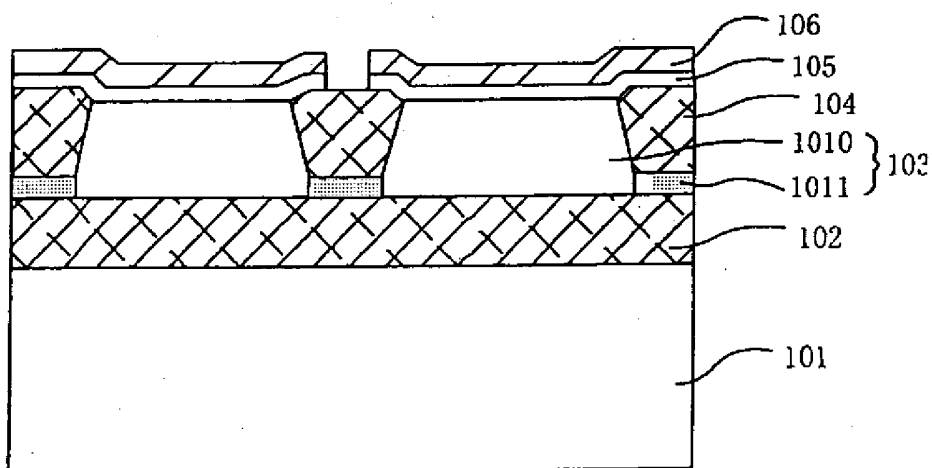


圖 28

