

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6496271号
(P6496271)

(45) 発行日 平成31年4月3日(2019.4.3)

(24) 登録日 平成31年3月15日(2019.3.15)

| | |
|------------------------------|---------------------|
| (51) Int.Cl. | F I |
| HO 1 G 4/30 (2006.01) | HO 1 G 4/30 5 1 2 |
| | HO 1 G 4/30 5 1 3 |
| | HO 1 G 4/30 5 1 1 |
| | HO 1 G 4/30 2 0 1 P |
| | HO 1 G 4/30 2 0 1 E |
| 請求項の数 10 (全 17 頁) 最終頁に続く | |

| | | | |
|-----------|-------------------------------|-----------|-----------------------------|
| (21) 出願番号 | 特願2016-80787 (P2016-80787) | (73) 特許権者 | 000204284 |
| (22) 出願日 | 平成28年4月14日 (2016.4.14) | | 太陽誘電株式会社 |
| (65) 公開番号 | 特開2017-191861 (P2017-191861A) | | 東京都中央区京橋二丁目7番19号 |
| (43) 公開日 | 平成29年10月19日 (2017.10.19) | (74) 代理人 | 100104215 |
| 審査請求日 | 平成30年2月2日 (2018.2.2) | | 弁理士 大森 純一 |
| | | (74) 代理人 | 100160989 |
| | | | 弁理士 関根 正好 |
| | | (72) 発明者 | 大野 亮 |
| | | | 東京都台東区上野6丁目16番20号 太陽誘電株式会社内 |
| | | (72) 発明者 | 福岡 哲彦 |
| | | | 東京都台東区上野6丁目16番20号 太陽誘電株式会社内 |
| | | 審査官 | 堀 拓也 |
| | | | 最終頁に続く |

(54) 【発明の名称】 積層セラミックコンデンサ及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

相互に対向する第1及び第2端面と、前記第1及び第2端面の間に延びる側面と、前記第1端面と前記側面との第1稜部に沿って延びる第1凹部と、前記第2端面と前記側面との第2稜部に沿って延びる第2凹部と、前記第1端面及び前記第1凹部に引き出された第1内部電極と、前記第1内部電極に対向し、前記第2端面及び前記第2凹部に引き出された第2内部電極と、を有する素体と、

前記第1端面側から前記素体を覆う第1外部電極と、

前記第2端面側から前記素体を覆う第2外部電極と、

を具備し、

前記第1凹部の前記第1端面からの深さが前記第1端面と前記第2内部電極との間隔の30%以下であり、かつ前記第2凹部の前記第2端面からの深さが前記第2端面と前記第1内部電極との間隔の30%以下である

積層セラミックコンデンサ。

【請求項2】

請求項1に記載の積層セラミックコンデンサであって、

前記素体は、前記第1及び第2端面との間にそれぞれ前記第1及び第2凹部を形成するように前記側面に沿って配置されたサイドマージン部を更に有する

積層セラミックコンデンサ。

【請求項3】

請求項 1 又は 2 に記載の積層セラミックコンデンサであって、
前記第 1 及び第 2 外部電極が前記側面まで延出する
積層セラミックコンデンサ。

【請求項 4】

相互に対向する第 1 及び第 2 端面と、前記第 1 及び第 2 端面の間に延びる側面と、前記第 1 端面と前記側面との第 1 稜部に沿って延びる第 1 凹部と、前記第 2 端面と前記側面との第 2 稜部に沿って延びる第 2 凹部と、前記第 1 端面及び前記第 1 凹部に引き出された第 1 内部電極と、前記第 1 内部電極に対向し、前記第 2 端面及び前記第 2 凹部に引き出された第 2 内部電極と、を有する未焼成の素体を作製し、

前記第 1 端面側から前記素体を覆う第 1 外部電極を形成し、

前記第 2 端面側から前記素体を覆う第 2 外部電極を形成し、

未焼成の前記素体を作製する工程は、

複数のセラミックシートを圧着することにより、前記第 1 及び第 2 内部電極が配置された積層チップを作製し、

前記積層チップに、前記側面に沿って延びるサイドマージン部を形成し、

前記積層チップに形成されたサイドマージン部を乾燥させて収縮させることにより前記第 1 及び第 2 凹部を形成する

工程を含む

積層セラミックコンデンサの製造方法。

【請求項 5】

相互に対向する第 1 及び第 2 端面と、前記第 1 及び第 2 端面の間に延びる側面と、前記第 1 端面と前記側面との第 1 稜部に沿って延びる第 1 凹部と、前記第 2 端面と前記側面との第 2 稜部に沿って延びる第 2 凹部と、前記第 1 端面及び前記第 1 凹部に引き出された第 1 内部電極と、前記第 1 内部電極に対向し、前記第 2 端面及び前記第 2 凹部に引き出された第 2 内部電極と、を有する未焼成の素体を作製し、

前記第 1 端面側から前記素体を覆う第 1 外部電極を形成し、

前記第 2 端面側から前記素体を覆う第 2 外部電極を形成し、

未焼成の前記素体を作製する工程は、

複数のセラミックシートを圧着することにより、前記第 1 及び第 2 内部電極が配置された積層チップを作製し、

前記積層チップに、前記側面に沿って延びるサイドマージン部を形成し、

未焼成の前記素体に加工を施すことにより前記第 1 及び第 2 凹部を形成する

工程を含む

積層セラミックコンデンサの製造方法。

【請求項 6】

請求項 5 に記載の積層セラミックコンデンサの製造方法であって、

前記加工はバレル研磨である

積層セラミックコンデンサの製造方法。

【請求項 7】

相互に対向する第 1 及び第 2 端面と、前記第 1 及び第 2 端面の間に延びる側面と、前記第 1 端面と前記側面との第 1 稜部に沿って延びる第 1 凹部と、前記第 2 端面と前記側面との第 2 稜部に沿って延びる第 2 凹部と、前記第 1 端面及び前記第 1 凹部に引き出された第 1 内部電極と、前記第 1 内部電極に対向し、前記第 2 端面及び前記第 2 凹部に引き出された第 2 内部電極と、を有する未焼成の素体を作製し、

前記第 1 端面側から前記素体を覆う第 1 外部電極を形成し、

前記第 2 端面側から前記素体を覆う第 2 外部電極を形成し、

未焼成の前記素体を作製する工程は、

複数のセラミックシートを圧着することにより、前記第 1 及び第 2 内部電極が配置された積層チップを作製し、

前記積層チップに、前記積層チップよりも焼成時の収縮率が大きい材料で構成され、前

10

20

30

40

50

記側面に沿って延びるサイドマージン部を形成し、

未焼成の前記素体を焼成することにより前記第 1 及び第 2 凹部を形成する
工程を含む

積層セラミックコンデンサの製造方法。

【請求項 8】

請求項 7 に記載の積層セラミックコンデンサの製造方法であって、

前記サイドマージン部が、前記積層チップよりも焼成時に液相を生じやすい材料で構成される

積層セラミックコンデンサの製造方法。

【請求項 9】

請求項 7 又は 8 に記載の積層セラミックコンデンサの製造方法であって、

前記サイドマージン部が、前記積層チップよりも原料粉末の割合が少ない材料で構成される

積層セラミックコンデンサの製造方法。

【請求項 10】

請求項 7 から 9 のいずれか 1 項に記載の積層セラミックコンデンサの製造方法であって、

前記サイドマージン部が、前記積層チップよりも原料粉末の平均粒径が小さい材料で構成される

積層セラミックコンデンサの製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、積層セラミックコンデンサ及びその製造方法に関する。

【背景技術】

【0002】

近年、電子機器の小型化及び高性能化に伴い、電子機器に用いられる積層セラミックコンデンサに対する小型化及び大容量化の要望がますます強くなってきている。この要望に応えるためには、積層セラミックコンデンサの内部電極を拡大することが有効である。内部電極を拡大するためには、内部電極の周囲の絶縁性を確保するためのサイドマージン部を薄くする必要がある。

【0003】

この一方で、一般的な積層セラミックコンデンサの製造方法では、各工程（例えば、内部電極のバターニング、積層シートの切断など）の精度により、均一な厚さのサイドマージン部を形成することが難しい。したがって、このような積層セラミックコンデンサの製造方法では、サイドマージン部を薄くするほど、内部電極の周囲の絶縁性を確保することが難しくなる。

【0004】

特許文献 1, 2 には、サイドマージン部を後付けする技術が開示されている。つまり、これらの技術では、積層シートを切断することにより、側面に内部電極が露出した積層チップが作製される。そして、この積層チップの側面にサイドマージン部を設けることにより、素体が作製される。

【0005】

これにより、特許文献 1, 2 に記載の技術では、均一な厚さのサイドマージン部を有する素体が得られる。したがって、これらの技術に係る積層セラミックコンデンサでは、サイドマージン部を薄くして内部電極を拡大する場合にも、内部電極の周囲の絶縁性を確保することができる。

【0006】

また、積層セラミックコンデンサには、特許文献 1, 2 に記載の技術とは別に、外部電極の素体に対する接続強度を向上させる技術が求められる。このような技術により、外部

10

20

30

40

50

電極が素体から剥離することを防止することができるため、積層セラミックコンデンサにおいて高い信頼性が得られる。

【0007】

特許文献3には、素体に対する外部電極の接続強度を向上可能な技術が開示されている。この技術では、素体における外部電極が設けられる領域に、内部電極に接続されていないダミー電極を露出させる。この技術では、金属で形成されたダミー電極に対して外部電極が良好な接続性を有するため、素体に対する外部電極の接続強度が向上する。

【先行技術文献】

【特許文献】

【0008】

【特許文献1】特開2012-209539号公報

【特許文献2】特開2012-191164号公報

【特許文献3】特開2013-84871号公報

【発明の概要】

【発明が解決しようとする課題】

【0009】

しかしながら、特許文献1, 2に記載のサイドマージン部を後付けする技術では、特許文献3に記載のダミー電極をサイドマージン部に配置することが困難である。したがって、サイドマージン部を後付けする構成においても、素体に対する外部電極の接続強度を向上可能な技術が求められる。

【0010】

以上のような事情に鑑み、本発明の目的は、外部電極の素体に対する高い接続強度が得られる積層セラミックコンデンサ及びその製造方法を提供することにある。

【課題を解決するための手段】

【0011】

上記目的を達成するため、本発明の一形態に係る積層セラミックコンデンサは、素体と、第1外部電極と、第2外部電極と、を具備する。

上記素体は、相互に対向する第1及び第2端面と、上記第1及び第2端面の間に延びる側面と、上記第1端面と上記側面との第1稜部に沿って延びる第1凹部と、上記第2端面と上記側面との第2稜部に沿って延びる第2凹部と、上記第1端面及び上記第1凹部に引き出された第1内部電極と、上記第1内部電極に対向し、上記第2端面及び上記第2凹部に引き出された第2内部電極と、を有する。

上記第1外部電極は、上記第1端面側から上記素体を覆う。

上記第2外部電極は、上記第2端面側から上記素体を覆う。

【0012】

この構成では、第1及び第2内部電極が露出した第1及び第2凹部が設けられる。これにより、第1及び第2外部電極が、第1及び第2端面のみならず、第1及び第2凹部においても第1及び第2内部電極と接続される。つまり、この構成では、第1及び第2外部電極と第1及び第2内部電極とが接続する領域を広く確保することができる。これにより、第1及び第2外部電極の素体に対する高い接続強度が得られる。

【0013】

上記素体は、上記第1及び第2端面との間にそれぞれ上記第1及び第2凹部を形成するように上記側面に沿って配置されたサイドマージン部を更に有してもよい。

この構成では、サイドマージン部を後付けすることにより、第1及び第2凹部を容易に形成可能となる。

【0014】

上記第1及び第2外部電極が上記側面まで延出しているもよい。

この構成では、第1及び第2端面、並びに第1及び第2凹部に露出する第1及び第2内部電極の全体が第1及び第2外部電極に覆われる。これにより、第1及び第2外部電極と第1及び第2内部電極とが接続する領域を更に広く確保することができる。

10

20

30

40

50

【 0 0 1 5 】

上記第 1 凹部の上記第 1 端部からの深さが上記第 1 端面と上記第 2 内部電極との間隔の 30% 以下であり、かつ上記第 2 凹部の上記第 2 端部からの深さが上記第 2 端面と上記第 1 内部電極との間隔の 30% 以下であってもよい。

この構成では、第 1 外部電極と第 2 内部電極との絶縁性、及び第 2 外部電極と第 1 内部電極との絶縁性がより確実に得られる。これにより、積層セラミックコンデンサでは、耐湿性が向上するため、高い信頼性が得られる。

【 0 0 1 6 】

本発明の一形態に係る積層セラミックコンデンサの製造方法では、相互に対向する第 1 及び第 2 端面と、上記第 1 及び第 2 端面の間に延びる側面と、上記第 1 端面と上記側面との第 1 稜部に沿って延びる第 1 凹部と、上記第 2 端面と上記側面との第 2 稜部に沿って延びる第 2 凹部と、上記第 1 端面及び上記第 1 凹部に引き出された第 1 内部電極と、上記第 1 内部電極に対向し、上記第 2 端面及び上記第 2 凹部に引き出された第 2 内部電極と、を有する素体が作製される。

上記第 1 端面側から上記素体を覆う第 1 外部電極が形成される。

上記第 2 端面側から上記素体を覆う第 2 外部電極が形成される。

【 0 0 1 7 】

複数のセラミックシートを圧着することにより、上記第 1 及び第 2 内部電極が配置された積層チップが作製されてもよい。

上記積層チップに、上記側面に沿って延びるサイドマージン部を形成することにより未焼成の上記素体が作製されてもよい。

この構成では、サイドマージン部を後付けすることにより、第 1 及び第 2 凹部を容易に形成可能となる。

【 0 0 1 8 】

上記積層チップに形成されたサイドマージン部を乾燥させて収縮させることにより上記第 1 及び第 2 凹部が形成されてもよい。

未焼成の上記素体に加工を施すことにより上記第 1 及び第 2 凹部が形成されてもよい。

上記加工はバレル研磨であってもよい。

【 0 0 1 9 】

上記サイドマージン部が、上記積層チップよりも焼成時の収縮率が大きい材料で構成された未焼成の上記素体が作製されてもよい。

未焼成の上記素体を焼成することにより上記第 1 及び第 2 凹部が形成されてもよい。

上記サイドマージン部が、上記積層チップよりも焼成時に液相を生じやすい材料で構成されてもよい。

上記サイドマージン部が、上記積層チップよりも原料粉末の割合が少ない材料で構成されてもよい。

上記サイドマージン部が、上記積層チップよりも原料粉末の平均粒径が小さい材料で構成されてもよい。

【 0 0 2 0 】

これらの構成では、サイドマージン部を後付けする構成において、素体に容易に凹部を形成することができる。

【 発明の効果 】

【 0 0 2 1 】

外部電極の素体に対する高い接続強度が得られる積層セラミックコンデンサ及びその製造方法を提供することができる。

【 図面の簡単な説明 】

【 0 0 2 2 】

【 図 1 】 本発明の一実施形態に係る積層セラミックコンデンサの斜視図である。

【 図 2 】 上記積層セラミックコンデンサの A - A' 線に沿った断面図である。

【 図 3 】 上記積層セラミックコンデンサの B - B' 線に沿った断面図である。

10

20

30

40

50

【図4】上記積層セラミックコンデンサの素体の斜視図である。

【図5】上記積層セラミックコンデンサの素体の平面図である。

【図6】上記積層セラミックコンデンサの素体の側面図である。

【図7】上記積層セラミックコンデンサの製造方法を示すフローチャートである。

【図8】上記製造方法のステップS01で準備される積層シートの平面図である。

【図9】上記製造方法のステップS02を示す積層シートの斜視図である。

【図10】上記製造方法のステップS03を示す積層シートの平面図である。

【図11】上記製造方法のステップS03の後の積層チップの斜視図である。

【図12】上記製造方法のステップS04の後の素体の斜視図である。

【図13】上記製造方法のステップS05の後の素体の斜視図である。

10

【図14】上記製造方法の変形例を示す素体の斜視図である。

【発明を実施するための形態】

【0023】

以下、図面を参照しながら、本発明の実施形態を説明する。

図面には、適宜相互に直交するX軸、Y軸、及びZ軸が示されている。X軸、Y軸、及びZ軸は全図において共通である。

【0024】

[積層セラミックコンデンサ10の全体構成]

図1～3は、本発明の第1の実施形態に係る積層セラミックコンデンサ10を示す図である。図1は、積層セラミックコンデンサ10の斜視図である。図2は、積層セラミックコンデンサ10の図1のA-A'線に沿った断面図である。図3は、積層セラミックコンデンサ10の図1のB-B'線に沿った断面図である。

20

【0025】

積層セラミックコンデンサ10は、素体11と、第1外部電極14と、第2外部電極15と、を具備する。外部電極14、15は、相互に離間し、素体11を挟んでX軸方向に対向している。

【0026】

素体11は、X軸方向を向いた2つの端面T1、T2と、Y軸方向を向いた2つの側面S1、S2と、Z軸方向を向いた2つの主面M1、M2と、を有する。素体11の側面S1、S2と主面M1、M2とを接続する4つの稜部は面取りされている。また、素体11の端面T1、T2と側面S1、S2とを接続する4つの稜部には凹部22、23(図4～6参照)が設けられている。凹部22、23の詳細な構成については後述する。

30

【0027】

素体11の寸法は、任意に決定可能である。例えば、素体11では、X軸方向の寸法を1.0mmとし、Y軸及びZ軸方向の寸法を0.5mmとすることができる。

なお、素体11の形状はこのような形状に限定されない。例えば、素体11の各面は曲面であってもよく、素体11は全体として丸みを帯びた形状であってもよい。

【0028】

第1外部電極14は、素体11を第1端面T1から覆い、第1端面T1に接続する側面S1、S2及び主面M1、M2に延出している。また、第2外部電極15は、素体11を第2端面T2から覆い、第2端面T2に接続する側面S1、S2及び主面M1、M2に延出している。これにより、外部電極14、15のいずれにおいても、X-Z平面に平行な断面及びX-Y軸に平行な断面の形状がU字状となっている。

40

【0029】

外部電極14、15はそれぞれ、良導体により形成され、積層セラミックコンデンサ10の端子として機能する。外部電極14、15を形成する良導体としては、例えば、ニッケル(Ni)、銅(Cu)、パラジウム(Pd)、白金(Pt)、銀(Ag)、金(Au)などを主成分とする金属や合金を用いることができる。

外部電極14、15は、単層構造であっても複層構造であってもよい。

【0030】

50

複層構造の外部電極 14, 15 は、例えば、下地膜と表面膜との 2 層構造や、下地膜と中間膜と表面膜との 3 層構造として構成されていてもよい。

下地膜は、例えば、ニッケル、銅、パラジウム、白金、銀、金などを主成分とする金属や合金の焼き付け膜とすることができる。

中間膜は、例えば、白金、パラジウム、金、銅、ニッケルなどを主成分とする金属や合金のメッキ膜とすることができる。

表面膜は、例えば、銅、錫、パラジウム、金、亜鉛などを主成分とする金属や合金のメッキ膜とすることができる。

【0031】

素体 11 は、積層チップ 16 と、サイドマージン部 17 と、を有する。

積層チップ 16 は、容量形成部 18 と、カバー部 19 と、エンドマージン部 20, 21 と、第 1 内部電極 12 と、第 2 内部電極 13 と、を有する。

サイドマージン部 17 は、X-Z 平面に沿って延びる平板状であり、積層チップ 16 の Y 軸方向を向いた両側面 P1, P2 をそれぞれ覆っている。

【0032】

容量形成部 18 は、素体 11 の中央部に設けられ、積層セラミックコンデンサ 10 における電荷を蓄える機能を果たす機能部として構成される。

エンドマージン部 20, 21 は、容量形成部 18 の X 軸方向両側に設けられている。つまり、第 1 エンドマージン部 20 は容量形成部 18 と第 2 外部電極 15 との間に配置され、

第 2 エンドマージン部 21 は容量形成部 18 と第 1 外部電極 14 との間に配置されている。

カバー部 19 は、X-Y 平面に沿って延びる平板状であり、容量形成部 18 及びエンドマージン部 20, 21 の Z 軸方向を向いた両主面をそれぞれ覆っている。

サイドマージン部 17 及びカバー部 19 は、主に、容量形成部 18 及びエンドマージン部 20, 21 を保護するとともに、容量形成部 18 及びエンドマージン部 20, 21 の周囲の絶縁性を確保する機能を有する。

【0033】

内部電極 12, 13 は、いずれも X-Y 平面に沿って延びるシート状であり、Z 軸方向に交互に配置されている。第 1 内部電極 12 は、容量形成部 18 及び第 2 エンドマージン部 21 にわたって配置され、第 1 外部電極 14 に接続されている。第 2 内部電極 13 は、容量形成部 18 及び第 1 エンドマージン部 20 にわたって配置され、第 2 外部電極 15 に接続されている。

【0034】

したがって、内部電極 12, 13 は、容量形成部 18 において交差し、相互に対向している。また、第 1 内部電極 12 は、第 1 エンドマージン部 20 によって第 2 外部電極 15 から隔てられることにより、第 2 外部電極 15 から絶縁されている。更に、第 2 内部電極 13 は、第 2 エンドマージン部 21 によって第 1 外部電極 14 から隔てられることにより、第 1 外部電極 14 から絶縁されている。

【0035】

内部電極 12, 13 はそれぞれ、良導体により形成され、積層セラミックコンデンサ 10 の内部電極として機能する。内部電極 12, 13 を形成する良導体としては、例えばニッケル (Ni)、銅 (Cu)、パラジウム (Pd)、白金 (Pt)、銀 (Ag)、金 (Au)、又はこれらの合金を含む金属材料が用いられる。

【0036】

容量形成部 18 及びエンドマージン部 20, 21 は、誘電体セラミックスによって形成されている。積層セラミックコンデンサ 10 では、内部電極 12, 13 間の各誘電体セラミック層の容量を大きくするため、容量形成部 18 及びエンドマージン部 20, 21 を形成する材料として高誘電率の誘電体セラミックスが用いられる。高誘電率の誘電体セラミックスとしては、例えば、チタン酸バリウム (BaTiO_3) に代表される、バリウム (

10

20

30

40

50

B a) 及びチタン (T i) を含むペロブスカイト構造の材料が挙げられる。

【 0 0 3 7 】

また、容量形成部 1 8 及びエンドマージン部 2 0 , 2 1 を構成する誘電体セラミックスは、チタン酸バリウム系以外にも、チタン酸ストロンチウム (S r T i O ₃) 系、チタン酸カルシウム (C a T i O ₃) 系、チタン酸マグネシウム (M g T i O ₃) 系、ジルコン酸カルシウム (C a Z r O ₃) 系、チタン酸ジルコン酸カルシウム (P C Z T) 系、ジルコン酸バリウム (B a Z r O ₃) 系、酸化チタン (T i O ₂) 系などであってもよい。

【 0 0 3 8 】

サイドマージン部 1 7 及びカバー部 1 9 も、誘電体セラミックスによって形成されている。サイドマージン部 1 7 及びカバー部 1 9 を形成する材料は、絶縁性セラミックスであればよいが、容量形成部 1 8 及びエンドマージン部 2 0 , 2 1 と同様の組成系の材料を用いることより、製造効率が向上するとともに、素体 1 1 における内部応力が抑制される。

10

【 0 0 3 9 】

上記の構成により、積層セラミックコンデンサ 1 0 では、第 1 外部電極 1 4 と第 2 外部電極 1 5 との間に電圧が印加されると、容量形成部 1 8 において第 1 内部電極 1 2 と第 2 内部電極 1 3 との間の複数の誘電体セラミック層に電圧が加わる。これにより、積層セラミックコンデンサ 1 0 では、第 1 外部電極 1 4 と第 2 外部電極 1 5 との間の電圧に応じた電荷が蓄えられる。

【 0 0 4 0 】

なお、積層セラミックコンデンサ 1 0 の構成は、特定の構成に限定されず、積層セラミックコンデンサ 1 0 に求められるサイズや性能などに応じて、公知の構成を適宜採用可能である。例えば、容量形成部 1 8 における各内部電極 1 2 , 1 3 の枚数は、適宜決定可能である。

20

【 0 0 4 1 】

[凹部 2 2 , 2 3 の詳細な構成]

図 4 ~ 6 は、積層セラミックコンデンサ 1 0 の外部電極 1 4 , 1 5 を透視して素体 1 1 を示す図である。図 4 は、素体 1 1 の斜視図である。図 5 は、素体 1 1 の平面図である。図 6 は、素体 1 1 の側面図である。図 4 ~ 6 では、外部電極 1 4 , 1 5 の概形を破線で示している。

【 0 0 4 2 】

素体 1 1 には、第 1 端面 T 1 と側面 S 1 , S 2 との第 1 稜部に沿って Z 軸方向に延びる第 1 凹部 2 2 が設けられている。また、素体 1 1 には、第 2 端面 T 2 と側面 S 1 , S 2 との第 2 稜部に沿って Z 軸方向に延びる第 2 凹部 2 3 が設けられている。凹部 2 2 , 2 3 は、素体 1 1 の Z 軸方向の全幅にわたって設けられ、端面 T 1 , T 2 及び側面 S 1 , S 2 から窪む溝を形成している。

30

【 0 0 4 3 】

凹部 2 2 , 2 3 は、サイドマージン部 1 7 の X 軸方向の両側に設けられている。つまり、サイドマージン部 1 7 は、積層チップ 1 6 よりも X 軸方向の寸法が小さく、積層チップ 1 6 の端面 T 1 , T 2 から間隔をあけて配置されている。これにより、第 1 凹部 2 2 には第 2 エンドマージン部 2 1 の側面 P 1 , P 2 が露出し、第 2 凹部 2 3 には第 1 エンドマージン部 2 0 の側面 P 1 , P 2 が露出している。

40

【 0 0 4 4 】

外部電極 1 4 , 1 5 は、それぞれ凹部 2 2 , 2 3 を覆っている。このため、第 1 外部電極 1 4 は、第 1 端面 T 1 のみならず第 1 凹部 2 2 においても第 1 内部電極 1 2 に接続される。また、第 2 外部電極 1 5 は、第 2 端面 T 2 のみならず第 2 凹部 2 3 においても第 2 内部電極 1 3 に接続される。このように、積層セラミックコンデンサ 1 0 では、素体 1 1 に凹部 2 2 , 2 3 を設けることにより、外部電極 1 4 , 1 5 と内部電極 1 2 , 1 3 とが接続する領域を広く確保することができる。

【 0 0 4 5 】

外部電極 1 4 , 1 5 は、誘電体セラミックスよりも、金属材料で形成された内部電極 1

50

2, 13の方が、より強固に接続可能である。このため、積層セラミックコンデンサ10では、外部電極14, 15の素体11に対する高い接続強度が得られる。したがって、積層セラミックコンデンサ10では、外部電極14, 15が素体11から剥離することを防止することができるため、高い信頼性が得られる。

【0046】

また、積層セラミックコンデンサ10では、外部電極14, 15と内部電極12, 13との接触面積が大きくなるため、外部電極14, 15と内部電極12, 13との接触抵抗が低減される。このため、積層セラミックコンデンサ10では、等価直列抵抗(E S R : Equivalent Series Resistance)を低減することが可能である。

10

【0047】

図6には、第1凹部22の第1端面T1からの深さ D_{22} 、第2凹部23の第2端面T2からの深さ D_{23} 、第1エンドマージン部20のX軸方向の寸法 D_{20} 、及び第2エンドマージン部21のX軸方向の寸法 D_{21} が示されている。

【0048】

第1凹部22の深さ D_{22} は、第2エンドマージン部21の寸法 D_{21} よりも小さい。これにより第1外部電極14が第1凹部22内において第2内部電極13とショートすることを防止することができる。

同様に、第2凹部23の深さ D_{23} は、第1エンドマージン部20の寸法 D_{20} よりも小さい。これにより第2外部電極15が第2凹部23内において第1内部電極12とショートすることを防止することができる。

20

【0049】

凹部22, 23の深さ D_{22} , D_{23} が大きいほど、外部電極14, 15と内部電極12, 13とが接続する領域を大きく確保することができる。より詳細に、凹部22, 23の深さ D_{22} , D_{23} を大きくするにつれて、素体11と外部電極14, 15との接続強度が直線的に増大する。このため、素体11と外部電極14, 15との接続強度を向上させる観点からは、凹部22, 23の深さ D_{22} , D_{23} が大きいことが好ましい。

【0050】

この一方で、第1凹部22の深さ D_{22} が大きいほど、第1凹部22内の第1外部電極14が第2内部電極13に近接する。また、第2凹部23の深さ D_{23} が大きいほど、第2凹部23内の第2外部電極15が第1内部電極12に近接する。このため、凹部22, 23の深さ D_{22} , D_{23} が大きいほど、積層セラミックコンデンサ10の使用時などに大気中の水分により絶縁不良が発生しやすくなる。

30

【0051】

このため、素体11では、第1凹部22の深さ D_{22} を第2エンドマージン部21の寸法 D_{21} の30%以下に留め、かつ第2凹部23の深さ D_{23} を第1エンドマージン部20の寸法 D_{20} の30%以下に留めることが好ましい。これにより、積層セラミックコンデンサ10では、耐湿性による絶縁不良が発生することを効果的に防止することができるため、高い信頼性が得られる。

【0052】

40

[積層セラミックコンデンサ10の製造方法]

図7は、積層セラミックコンデンサ10の製造方法を示すフローチャートである。図8~13は、積層セラミックコンデンサ10の製造過程を示す図である。以下、積層セラミックコンデンサ10の製造方法について、図7に沿って、図8~13を適宜参照しながら説明する。

【0053】

(ステップS01:セラミックシート準備)

ステップS01では、容量形成部18及びエンドマージン部20, 21を形成するための第1セラミックシート101及び第2セラミックシート102と、カバー部19を形成するための第3セラミックシート103と、を準備する。

50

【 0 0 5 4 】

図 8 はセラミックシート 1 0 1 , 1 0 2 , 1 0 3 の平面図である。図 8 (A) はセラミックシート 1 0 1 を示し、図 8 (B) はセラミックシート 1 0 2 を示し、図 8 (C) はセラミックシート 1 0 3 を示している。セラミックシート 1 0 1 , 1 0 2 , 1 0 3 は、未焼成の誘電体グリーンシートとして構成され、例えば、ロールコーターやドクターブレードを用いてシート状に成形される。

【 0 0 5 5 】

ステップ S 0 1 の段階では、セラミックシート 1 0 1 , 1 0 2 , 1 0 3 は各積層セラミックコンデンサ 1 0 ごとに切り分けられていない。図 8 には、各積層セラミックコンデンサ 1 0 ごとに切り分ける際の切断線 L x , L y が示されている。切断線 L x は X 軸に平行であり、切断線 L y は Y 軸に平行である。

10

【 0 0 5 6 】

図 8 に示すように、第 1 セラミックシート 1 0 1 には第 1 内部電極 1 2 に対応する未焼成の第 1 内部電極 1 1 2 が形成され、第 2 セラミックシート 1 0 2 には第 2 内部電極 1 3 に対応する未焼成の第 2 内部電極 1 1 3 が形成されている。なお、カバー部 1 9 に対応する第 3 セラミックシート 1 0 3 には内部電極が形成されていない。

【 0 0 5 7 】

内部電極 1 1 2 , 1 1 3 は、任意の導電性ペーストを用いて形成することができる。導電性ペーストによる内部電極 1 1 2 , 1 1 3 の形成には、例えば、スクリーン印刷法やグラビア印刷法を用いることができる。

20

【 0 0 5 8 】

内部電極 1 1 2 , 1 1 3 は、切断線 L y によって仕切られた X 軸方向に隣接する 2 つの領域にわたって配置され、Y 軸方向に帯状に延びている。第 1 内部電極 1 1 2 と第 2 内部電極 1 1 3 とでは、切断線 L y によって仕切られた領域 1 列ずつ X 軸方向にずらされている。つまり、第 1 内部電極 1 1 2 の中央を通る切断線 L y が第 2 内部電極 1 1 3 の間の領域を通り、第 2 内部電極 1 1 3 の中央を通る切断線 L y が第 1 内部電極 1 1 2 の間の領域を通っている。

【 0 0 5 9 】

(ステップ S 0 2 : 積層)

ステップ S 0 2 では、ステップ S 0 1 で準備したセラミックシート 1 0 1 , 1 0 2 , 1 0 3 を積層することにより積層シート 1 0 4 を作製する。

30

【 0 0 6 0 】

図 9 は、ステップ S 0 2 で得られる積層シート 1 0 4 の斜視図である。図 9 では、説明の便宜上、セラミックシート 1 0 1 , 1 0 2 , 1 0 3 を分解して示している。しかし、実際の積層シート 1 0 4 では、セラミックシート 1 0 1 , 1 0 2 , 1 0 3 が静水圧加圧や一軸加圧などにより圧着されて一体化される。これにより、高密度の積層シート 1 0 4 が得られる。

【 0 0 6 1 】

積層シート 1 0 4 では、容量形成部 1 8 及びエンドマージン部 2 0 , 2 1 に対応する第 1 セラミックシート 1 0 1 及び第 2 セラミックシート 1 0 2 が Z 軸方向に交互に積層されている。

40

また、積層シート 1 0 4 では、交互に積層されたセラミックシート 1 0 1 , 1 0 2 の Z 軸方向最上面及び最下面にそれぞれカバー部 1 9 に対応する第 3 セラミックシート 1 0 3 が積層される。なお、図 9 に示す例では、第 3 セラミックシート 1 0 3 がそれぞれ 3 枚ずつ積層されているが、第 3 セラミックシート 1 0 3 の枚数は適宜変更可能である。

【 0 0 6 2 】

(ステップ S 0 3 : 切断)

ステップ S 0 3 では、ステップ S 0 2 で得られた積層シート 1 0 4 を切断することにより未焼成の積層チップ 1 1 6 を作製する。

【 0 0 6 3 】

50

図10は、ステップS03の後の積層シート104の平面図である。積層シート104は、保持部材としてのテープTpに貼り付けられた状態で、切断線Lx, Lyに沿って切断される。

これにより、積層シート104が個片化され、図11に示す積層チップ116が得られる。積層チップ116には、内部電極112, 113が露出した切断面である側面P1, P2が形成されている。

【0064】

積層シート104の切断方法は、特定の方法に限定されない。例えば、積層シート104の切断には、各種ブレードを利用した技術を用いることができる。積層シート104の切断に利用可能なブレードの一例としては、押し切り刃や回転刃（ダイシングブレードなど）が挙げられる。更に、積層シート104の切断には、各種ブレードを利用した技術以外にも、例えばレーザー切断やウォータージェット切断を用いることができる。

10

【0065】

必要に応じ、切断後の積層チップ116を洗浄し、側面P1, P2などに付着した切断屑などを除去する。

【0066】

（ステップS04：サイドマージン部形成）

ステップS04では、ステップS03で得られた積層チップ116の側面P1, P2に、未焼成のサイドマージン部117を形成する。

【0067】

サイドマージン部117は、例えば、セラミックシートを積層チップ116の側面P1, P2で打ち抜くことや、セラミックスラリーを積層チップ116の側面P1, P2に塗布することにより形成することができる。セラミックスラリーを積層チップ116の側面P1, P2に塗布する方法としては、例えば、ディップ法を用いることができる。

20

【0068】

以上により、図12に示す未焼成の素体111が得られる。

未焼成の素体111の形状は、焼成後の素体11の形状に応じて決定可能である。例えば、1.0mm×0.5mm×0.5mmの素体11を得るために、1.2mm×0.6mm×0.6mmの未焼成の素体111を作製することができる。

【0069】

（ステップS05：凹部形成）

ステップS05では、ステップS04で得られた図12に示す未焼成の素体111に凹部122, 123を形成することにより、図13に示す未焼成の素体111を作製する。ステップS05は、様々な手法で実行可能であり、その一例を以下に例示する。

30

【0070】

例えば、図12に示す未焼成の素体111のサイドマージン部117を乾燥させてX軸方向に収縮させることにより、図13に示す未焼成の素体111の凹部122, 123を形成することができる。サイドマージン部117を乾燥時に収縮しやすくするために、ステップS04（サイドマージン部形成）ではセラミックスラリーの塗布によりサイドマージン部117を形成することが好ましい。

40

【0071】

また、図12に示す未焼成の素体111に凹部122, 123を形成するための加工を施すことにより、図13に示す未焼成の素体111を作製することができる。未焼成の素体111に凹部122, 123を形成するための加工方法としては、バレル研磨やレーザー照射やサンドブラストなどを用いることができる。更に、サイドマージン部117を押し変形させることにより、凹部122, 123を形成してもよい。

【0072】

一例として、図12に示す未焼成の素体111にバレル研磨を施すことにより凹部122, 123を形成する方法について説明する。バレル研磨は、例えば、複数の未焼成の素体111と研磨媒体と液体とをバレル容器に封入し、バレル容器に回転運動や振動を与

50

ることにより実行可能である。

【 0 0 7 3 】

上記のとおり、積層チップ 1 1 6 は、ステップ S 0 3 で切断される前のステップ S 0 2 において静水圧加圧や一軸加圧などにより高密度化されている。この一方で、ステップ S 0 4 では、積層チップ 1 1 6 の各層の剥離を防止するため、積層チップ 1 1 6 に形成されたサイドマージン部 1 1 7 に大きい圧力を加えず、サイドマージン部 1 1 7 が高密度化されない。

【 0 0 7 4 】

したがって、図 1 2 に示す未焼成の素体 1 1 1 では、サイドマージン部 1 1 7 の密度が、積層チップ 1 1 6 の密度よりも低くなる。このため、図 1 2 に示す未焼成の素体 1 1 1 にバレル研磨を施すと、低密度のサイドマージン部 1 1 7 が高密度の積層チップ 1 1 6 よりも多く摩耗する。これにより、図 1 3 に示すバレル研磨後の未焼成の素体 1 1 1 には、サイドマージン部 1 1 7 の X 軸方向両端部が多く摩耗することにより、凹部 1 2 2 , 1 2 3 が形成される。

【 0 0 7 5 】

なお、図 1 3 に示すバレル研磨後の未焼成の素体 1 1 1 では、サイドマージン部 1 1 7 の X 軸方向両端部のみならず、サイドマージン部 1 1 7 の Z 軸方向両端部も多く摩耗していてもよい。これにより、サイドマージン部 1 1 7 の Z 軸方向両側に、X 軸方向に延びる凹部が形成されていても差し支えない。

【 0 0 7 6 】

(ステップ S 0 6 : 焼成)

ステップ S 0 6 では、ステップ S 0 5 で得られた図 1 3 に示す未焼成の素体 1 1 1 を焼成することにより、図 1 ~ 6 に示す積層セラミックコンデンサ 1 0 の素体 1 1 を作製する。焼成は、例えば、還元雰囲気下、又は低酸素分圧雰囲気下において行うことができる。

【 0 0 7 7 】

(ステップ S 0 7 : 外部電極形成)

ステップ S 0 7 では、ステップ S 0 6 で得られた素体 1 1 に外部電極 1 4 , 1 5 を形成することにより、図 1 ~ 6 に示す積層セラミックコンデンサ 1 0 を作製する。

【 0 0 7 8 】

ステップ S 0 7 では、まず、端面 T 1 , T 2 のうち的一方から素体 1 1 を覆うように未焼成の電極材料を塗布し、端面 T 1 , T 2 のうちの他方から素体 1 1 を覆うように未焼成の電極材料を塗布する。これにより、端面 T 1 , T 2 のそれぞれから素体 1 1 が未焼成の電極材料によって覆われる。

【 0 0 7 9 】

未焼成の電極材料の塗布方法は、未焼成の電極材料を素体 1 1 の凹部 2 2 , 2 3 内に充填可能であればよく、特定の方法に限定されない。未焼成の電極材料の塗布方法としては、例えば、ディップ法が挙げられる。

【 0 0 8 0 】

次に、素体 1 1 に塗布された未焼成の電極材料に、例えば、還元雰囲気下、又は低酸素分圧雰囲気下において焼き付け処理を行って、素体 1 1 に下地膜を形成する。そして、素体 1 1 に焼き付けられた下地膜の上に、中間膜及び表面膜を電解メッキなどのメッキ処理で形成して、外部電極 1 4 , 1 5 が完成する。

【 0 0 8 1 】

なお、上記のステップ S 0 7 における処理の一部を、ステップ S 0 6 の前に行ってもよい。例えば、ステップ S 0 6 の前に未焼成の素体 1 1 1 に端面 T 1 , T 2 から未焼成の電極材料を塗布し、ステップ S 0 6 において、未焼成の素体 1 1 1 を焼成すると同時に、未焼成の電極材料を焼き付けて外部電極 1 4 , 1 5 の下地層を形成してもよい。

【 0 0 8 2 】

(変形例)

積層セラミックコンデンサ 1 0 の製造方法においてステップ S 0 5 (凹部形成) は必須

10

20

30

40

50

ではない。つまり、ステップ S 0 4 (サイドマージン部形成)において図 1 4 に示す予め凹部 1 2 2 , 1 2 3 が形成された未焼成の素体 1 1 1 が得られれば、事後的に凹部 1 2 2 , 1 2 3 を形成する必要がなくなる。

【 0 0 8 3 】

例えば、積層チップ 1 1 6 の側面 P 1 , P 2 に、X 軸方向に短いサイドマージン部 1 1 7 を配置することにより、図 1 4 に示す未焼成の素体 1 1 1 が得られる。また、積層チップ 1 1 6 の側面 P 1 , P 2 によるセラミックシートの打ち抜き条件を、サイドマージン部 1 1 7 が X 軸方向に短くなるように調整することによっても、図 1 4 に示す未焼成の素体 1 1 1 が得られる。

【 0 0 8 4 】

また、焼成前の素体 1 1 1 においてサイドマージン部 1 1 7 を積層チップ 1 1 6 よりも焼成時の収縮率が大きい材料で構成することにより、焼成前の素体 1 1 1 に凹部 1 2 2 , 1 2 3 を形成する必要がなくなる。この場合、焼成時にサイドマージン部 1 1 7 が積層チップ 1 1 6 よりも大きく収縮することにより、焼成後の素体 1 1 に凹部 2 2 , 2 3 が形成される。

【 0 0 8 5 】

このためには、例えば、サイドマージン部 1 1 7 を積層チップ 1 1 6 よりも焼成時に液相を生じやすい材料で構成することができる。この場合、サイドマージン部 1 1 7 には、ガラス成分を構成するケイ素酸化物やホウ素窒化物などを積層チップ 1 1 6 よりも多く含ませることが可能である。

【 0 0 8 6 】

また、サイドマージン部 1 1 7 において、焼成後に固形成分となる原料粉末の割合を積層チップ 1 1 6 よりも少なくすることも有効である。

更に、サイドマージン部 1 1 7 において、原料粉末の平均粒径を積層チップ 1 1 6 よりも小さくすることも有効である。

【 0 0 8 7 】

[その他の実施形態]

以上、本発明の実施形態について説明したが、本発明は上述の実施形態にのみ限定されるものではなく種々変更を加え得ることは勿論である。

【 0 0 8 8 】

例えば、上記実施形態では凹部 2 2 , 2 3 が素体 1 1 の Z 軸方向の全幅にわたって形成されているが、凹部 2 2 , 2 3 は内部電極 1 2 , 1 3 の少なくとも一つを露出させていればよい。例えば、凹部 2 2 , 2 3 は、素体 1 1 のエンドマージン部 2 0 , 2 1 に対応する領域のみに設けられ、カバー部 1 9 に対応する領域に設けられていなくてもよい。

【 0 0 8 9 】

また、積層セラミックコンデンサ 1 0 では、上記実施形態のように凹部 2 2 , 2 3 が素体 1 1 の端面 T 1 , T 2 と側面 S 1 , S 2 との 4 つの稜部のいずれにも設けられることが好ましいが、この構成は必須ではない。つまり、積層セラミックコンデンサ 1 0 では、凹部 2 2 , 2 3 が素体 1 1 の 4 つの稜部のうち少なくとも一つに設けられていれば、上記実施形態の効果を得ることができる。

【 0 0 9 0 】

更に、積層セラミックコンデンサ 1 0 では、上記実施形態のように外部電極 1 4 , 1 5 が凹部 2 2 , 2 3 を超えて素体 1 1 の側面 S 1 , S 2 まで延出していることが好ましいが、この構成は必須ではない。つまり、外部電極 1 4 , 1 5 が、凹部 2 2 , 2 3 の少なくとも一部を覆い、凹部 2 2 , 2 3 内において内部電極 1 2 , 1 3 に接続されていれば、上記実施形態の効果を得ることができる。

【 符号の説明 】

【 0 0 9 1 】

1 0 ... 積層セラミックコンデンサ

1 1 ... 素体

10

20

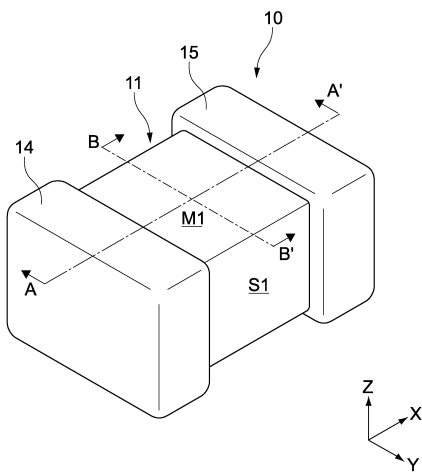
30

40

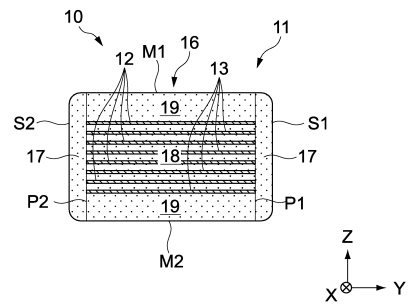
50

- 12, 13 ... 内部電極
- 14, 15 ... 外部電極
- 16 ... 積層チップ
- 17 ... サイドマージン部
- 18 ... 容量形成部
- 19 ... カバー部
- 20, 21 ... エンドマージン部
- 22, 23 ... 凹部

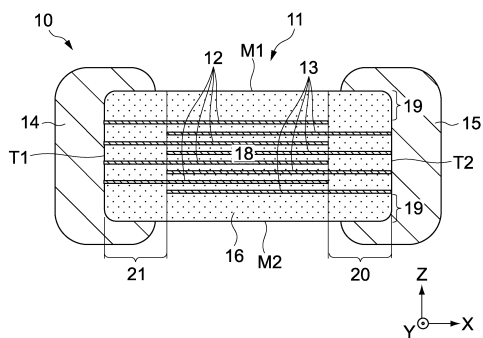
【図1】



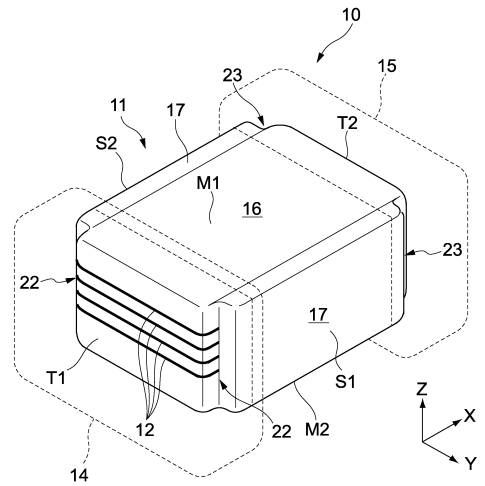
【図3】



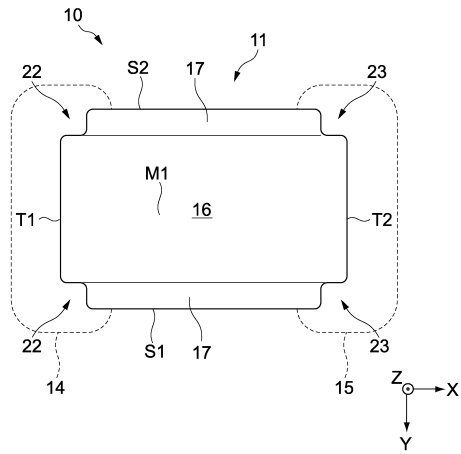
【図2】



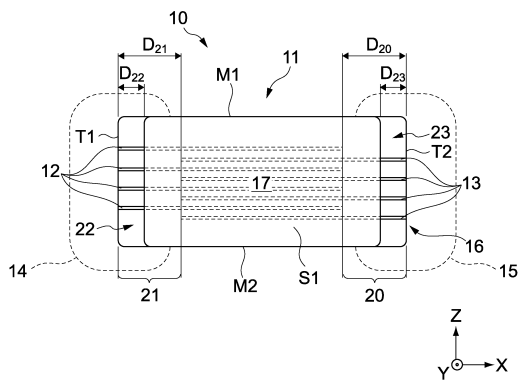
【図4】



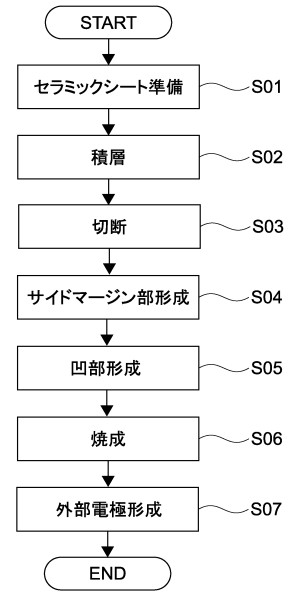
【図5】



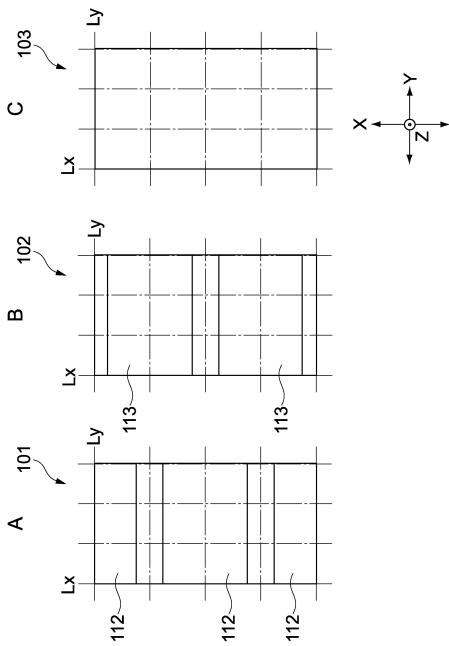
【図6】



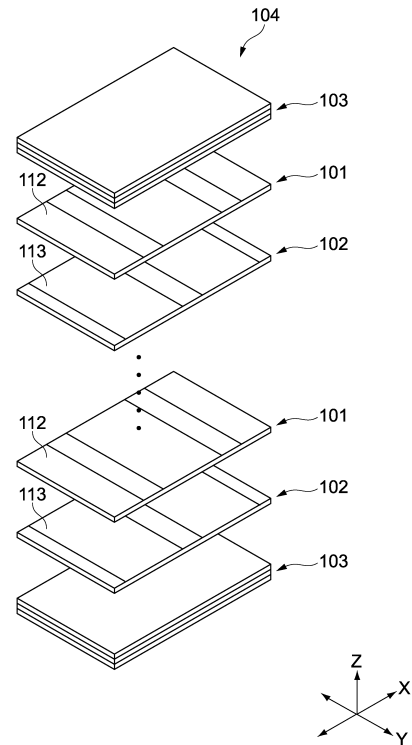
【図7】



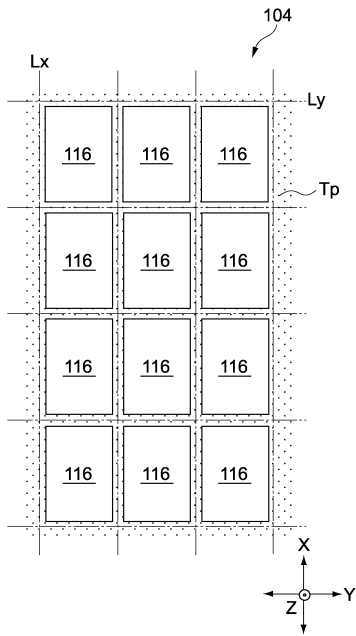
【図8】



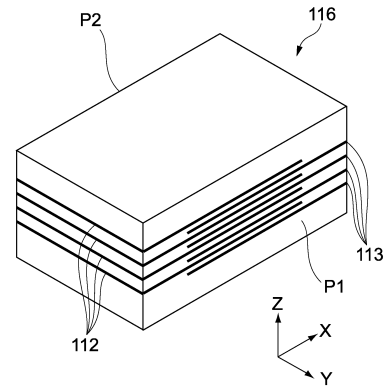
【図9】



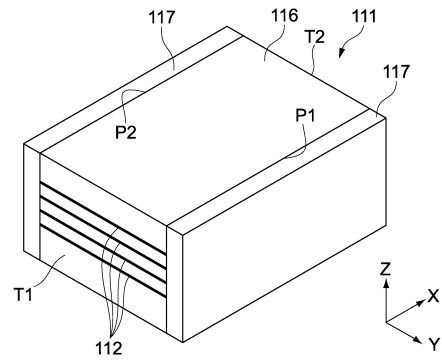
【図10】



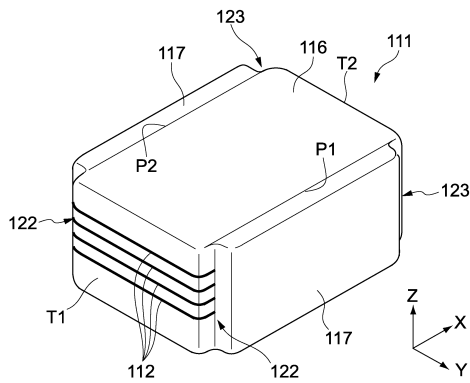
【図11】



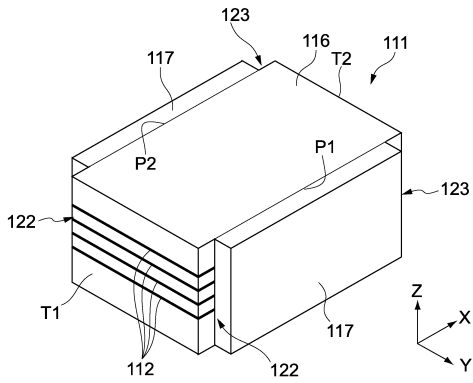
【図12】



【図13】



【図14】



フロントページの続き

(51)Int.Cl. F I
H 0 1 G 4/30 3 1 1 E
H 0 1 G 4/30 3 1 1 Z

(56)参考文献 米国特許第03189974 (US, A)
特開2015-046494 (JP, A)
特開平09-266133 (JP, A)
特開平06-140277 (JP, A)

(58)調査した分野(Int.Cl., DB名)
H 0 1 G 4 / 3 0