



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0127645
(43) 공개일자 2017년11월22일

(51) 국제특허분류(Int. Cl.)
H01L 27/108 (2006.01) H01L 29/423 (2006.01)
H01L 29/66 (2006.01) H01L 29/78 (2006.01)
(52) CPC특허분류
H01L 27/108 (2013.01)
H01L 27/10802 (2013.01)
(21) 출원번호 10-2016-0057961
(22) 출원일자 2016년05월12일
심사청구일자 2016년05월12일

(71) 출원인
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
(72) 발명자
김상식
서울특별시 강남구 삼성로 151, 10동 803호
전영인
경기도 하남시 덕풍공원로 38, 102동 302호
(뒷면에 계속)
(74) 대리인
특허법인 누리

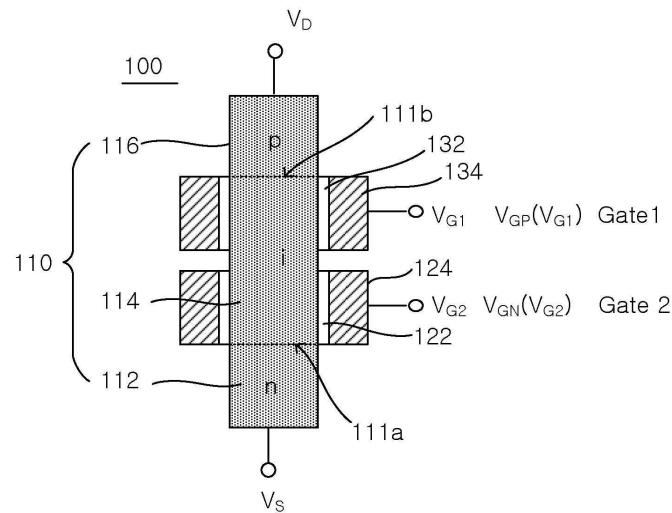
전체 청구항 수 : 총 22 항

(54) 발명의 명칭 수직 반도체 컬럼을 구비한 듀얼 게이트 메모리 소자

(57) 요약

본 발명은 메모리 소자, 그 동작 방법, 및 그 제조 방법을 제공한다. 이 메모리 소자는 기판 상에서 수직으로 연장되고 차례로 제1 도전형의 소오스 영역, 진성 영역, 및 제2 도전형의 드레인 영역을 포함하는 반도체 컬럼; 상기 드레인 영역에 인접하여 상기 진성 영역을 감싸도록 배치된 제1 게이트 전극; 상기 제1 게이트 전극과 이격되고 상기 소오스 영역에 인접하여 상기 진성 영역을 감싸도록 배치된 제2 게이트 전극; 상기 제1 게이트 전극과 상기 진성 영역 사이에 배치된 제1 게이트 절연막; 및 상기 제2 게이트 전극과 상기 진성 영역 사이에 배치된 제2 게이트 절연막을 포함한다.

대표도 - 도1



(52) CPC특허분류

H01L 29/4236 (2013.01)

H01L 29/66484 (2013.01)

H01L 29/7827 (2013.01)

H01L 29/7831 (2013.01)

(72) 발명자

김민석

경기도 부천시 오정구 여월로 65, 212동 802호

임두혁

서울특별시 송파구 동남로 160, 17동 502호

명세서

청구범위

청구항 1

기관 상에서 수직으로 연장되고 차례로 제1 도전형의 소오스 영역, 진성 영역, 및 제2 도전형의 드레인 영역을 포함하는 반도체 컬럼;

상기 드레인 영역에 인접하여 상기 진성 영역을 감싸도록 배치된 제1 게이트 전극;

상기 제1 게이트 전극과 이격되고 상기 소오스 영역에 인접하여 상기 진성 영역을 감싸도록 배치된 제2 게이트 전극;

상기 제1 게이트 전극과 상기 진성 영역 사이에 배치된 제1 게이트 절연막; 및

상기 제2 게이트 전극과 상기 진성 영역 사이에 배치된 제2 게이트 절연막을 포함하는 것을 특징으로 하는 메모리 소자.

청구항 2

제1 항에 있어서,

상기 제1 도전형은 n형이고, 상기 제2 도전형은 p형인 것을 특징으로 하는 메모리 소자.

청구항 3

제1 항에 있어서,

상기 기관은 활성 영역 및 소자 분리막을 포함하고,

상기 제1 도전형의 소오스 영역은 상기 활성 영역과 접촉하여 배치되고,

상기 활성 영역은 상기 제1 도전형으로 도핑된 것을 특징으로 하는 메모리 소자.

청구항 4

제1 항에 있어서,

상기 기관의 상부면과 상기 반도체 컬럼의 하부면 사이에 배치된 소오스 절연막; 및

상기 소오스 절연막과 상기 반도체 컬럼의 하부면 사이에 배치된 소오스 라인을 더 포함하고,

상기 소오스 라인은 상기 제1 도전형으로 도핑된 반도체인 것을 특징으로 하는 메모리 소자.

청구항 5

제1 항에 있어서,

상기 반도체 컬럼의 상기 드레인 영역 상에 배치되는 비트 라인을 더 포함하고,

상기 제1 게이트 전극 및 상기 제2 게이트 전극은 상기 기관의 배치 평면에서 제1 방향으로 연장되고,

상기 비트 라인은 상기 기관의 배치평면에서 상기 제1 방향에 수직한 제2 방향으로 연장되는 것을 특징으로 하는 메모리 소자.

청구항 6

제1 항에 있어서,

상기 제1 게이트 절연막과 상기 제1 게이트 전극 사이에 배치된 제1 전하 저장층;

상기 제1 전하 저장층과 상기 제1 게이트 전극 사이에 배치된 제1 보조 게이트 절연막;

상기 제2 게이트 절연막과 상기 제2 게이트 전극 사이에 배치된 제2 전하 저장층; 및

상기 제2 전하 저장층과 상기 제2 게이트 전극 사이에 배치된 제2 보조 게이트 절연막;을 더 포함하는 것을 특징으로 하는 메모리 소자.

청구항 7

기판에서 제1 방향으로 나란히 연장되는 소자 분리막들;

상기 소자 분리막과 동일한 상부면을 가지고 상기 소자 분리막 사이에 배치되고 상기 제1 방향으로 나란히 연장되는 소오스 라인들;

상기 소오스 라인들 상에서 주기적으로 배치되고 기판에서 수직하게 연장되는 반도체 컬럼들;

상기 제1 방향으로 배열된 상기 반도체 컬럼들의 측면을 감싸도록 배치되고 상기 제1 방향으로 연장되는 제1 워드 라인들;

상기 제1 워드라인들과 수직으로 이격되고 상기 제1 방향으로 배열된 상기 반도체 컬럼들의 측면을 감싸도록 배치되고 상기 제1 방향으로 연장되는 제2 워드 라인들;

상기 반도체 컬럼과 상기 제1 워드 라인 사이에 배치되어 상기 반도체 컬럼의 측면을 감싸도록 배치된 제1 게이트 절연막;

상기 반도체 컬럼과 상기 제2 워드 라인 사이에 배치되어 상기 반도체 컬럼의 측면을 감싸도록 배치된 제2 게이트 절연막;

상기 제1 방향으로 연장되고 상기 제1 워드 라인들 및 제2 워드 라인들 사이를 채우는 게이트 분리막들; 및

상기 제1 방향에 수직한 제2 방향으로 배열된 상기 반도체 컬럼들의 상부면에 접하여 상기 제2 방향으로 연장되는 비트 라인을 포함하고,

상기 반도체 컬럼은 제1 도전형의 소오스 영역, 제2 도전형의 드레인 영역, 상기 소오스 영역과 상기 드레인 영역 사이에 배치된 진성 영역을 포함하고,

상기 소오스 영역은 상기 소오스 라인과 접촉하고,

상기 드레인 영역은 상기 비트 라인과 접촉하는 것을 특징으로 하는 메모리 소자.

청구항 8

제 7 항에 있어서,

상기 제1 워드 라인과 상기 제1 게이트 절연막 사이에 배치되는 제1 전하 저장층;

상기 제1 전하 저장층과 상기 제1 워드 라인 사이에 배치되는 제1 보조 게이트 절연막;

상기 제2 워드 라인과 상기 제2 게이트 절연막 사이에 배치되는 제2 전하 저장층; 및

상기 제2 전하 저장층과 상기 제2 워드 라인 사이에 배치되는 제2 보조 게이트 절연막;을 더 포함하는 것을 특징으로 하는 메모리 소자.

청구항 9

제8 항에 있어서,

상기 제2 워드 라인과 상기 기판 사이에 배치된 하부 절연막;

상기 제1 워드 라인과 상기 비트 라인 사이에 배치된 상부 절연막; 및

상기 제1 워드 라인과 상기 제2 워드 라인 사이에 배치된 중간 절연막을 더 포함하고,

상기 제1 전하 저장층은 상기 상부 절연막과 상기 제1 워드 라인 사이에 개재하도록 연장되고,

상기 제1 전하 저장층은 상기 중간 절연막과 상기 제1 워드 라인 사이에 개재하도록 연장되고,

상기 제1 보조 게이트 절연막은 상기 상부 절연막과 상기 제1 워드 라인 사이에 개재하도록 연장되고,

상기 제1 보조 게이트 절연막은 상기 중간 절연막과 상기 제1 워드 라인 사이에 개재하도록 연장되고,
 상기 제2 전하 저장층은 상기 중간 절연막과 상기 제2 워드 라인 사이에 개재하도록 연장되고,
 상기 제2 전하 저장층은 상기 하부 절연막과 상기 제2 워드 라인 사이에 개재하도록 연장되고,
 상기 제2 보조 게이트 절연막은 상기 중간 절연막과 상기 제2 워드 라인 사이에 개재하도록 연장되고,
 상기 제2 보조 게이트 절연막은 상기 하부 절연막과 상기 제2 워드 라인 사이에 개재하도록 연장되는 것을 특징으로 하는 메모리 소자.

청구항 10

기관에서 제1 방향으로 나란히 연장되는 소오스 라인들;
 상기 소오스 라인들과 상기 기관 사이에 배치된 소오스 라인 절연막;
 상기 소오스 라인들 상에서 주기적으로 배치되고 기관에서 수직하게 연장되는 반도체 컬럼들;
 상기 제1 방향으로 배열된 상기 반도체 컬럼들의 측면을 감싸도록 배치되고 상기 제1 방향으로 연장되는 제1 워드 라인들;
 상기 제1 워드 라인들과 수직으로 이격되고 상기 제1 방향으로 배열된 상기 반도체 컬럼들의 측면을 감싸도록 배치되고 상기 제1 방향으로 연장되는 제2 워드 라인들;
 상기 반도체 컬럼과 상기 제1 워드 라인 사이에 배치되어 상기 반도체 컬럼의 측면을 감싸도록 배치된 제1 게이트 절연막;
 상기 제1 방향으로 연장되고 상기 제1 워드 라인들 및 상기 제2 워드라인들 사이를 채우는 게이트 분리막들; 및
 상기 제1 방향에 수직한 제2 방향으로 배열된 상기 반도체 컬럼들의 상부면에 접하여 상기 제2 방향으로 연장되는 비트 라인을 포함하고,
 상기 반도체 컬럼은 제1 도전형의 소오스 영역, 제2 도전형의 드레인 영역, 및 상기 소오스 영역과 상기 드레인 영역 사이에 배치된 진성 영역을 포함하고,
 상기 소오스 영역은 상기 소오스 라인과 접촉하고,
 상기 드레인 영역은 상기 비트 라인과 접촉하는 것을 특징으로 하는 메모리 소자.

청구항 11

제 10 항에 있어서,
 상기 제1 워드 라인과 상기 제1 게이트 절연막 사이에 배치되는 제1 전하 저장층;
 상기 제1 전하 저장층과 상기 제1 워드 라인 사이에 배치되는 제1 보조 게이트 절연막;
 상기 제2 워드 라인과 상기 제2 게이트 절연막 사이에 배치되는 제2 전하 저장층; 및
 상기 제2 전하 저장층과 상기 제2 워드 라인 사이에 배치되는 제2 보조 게이트 절연막;을 더 포함하는 것을 특징으로 하는 메모리 소자.

청구항 12

기관 상에서 수직으로 연장되고 차례로 제1 도전형의 소오스 영역, 제2 도전형의 드레인 영역, 및 상기 소오스 영역과 상기 드레인 영역 사이에 배치된 진성 영역을 포함하는 반도체 컬럼; 상기 진성 영역을 감싸도록 배치된 제1 게이트 전극; 상기 게이트 전극과 수직으로 이격되고 상기 진성 영역을 감싸도록 배치된 제2 게이트 전극; 상기 제1 게이트 전극과 상기 진성 영역 사이에 배치된 제1 게이트 절연막, 및 상기 제2 게이트 전극과 상기 진성 영역 사이에 배치된 제2 게이트 절연막을 포함하는 메모리 소자의 동작 방법에 있어서,
 상기 제1 게이트 전극에 게이트 바이어스 전압을 인가하는 단계;
 상기 게이트 바이어스 전압이 인가된 상태에서 상기 메모리 소자가 제1 논리 상태를 나타내기 위하여, 상기 제2 게이트 전극에 제1 게이트 전압을 인가하고 상기 드레인 영역에 제1 드레인 전압을 인가하여 상기 제1 논리 상

태를 쓰는 단계;

상기 게이트 바이어스 전압이 인가된 상태에서 상기 제1 논리 상태를 유지하도록, 상기 제2 게이트 전극에 제2 게이트 전압을 인가하고, 상기 드레인 영역에 제2 드레인 전압을 인가하는 단계;

상기 게이트 바이어스 전압이 인가된 상태에서 상기 제1 논리 상태를 독출하기 위하여, 상기 제2 게이트 전극에 상기 제2 게이트 전압을 인가하고, 상기 드레인 영역에 상기 제1 드레인 전압을 인가하는 단계;

상기 게이트 바이어스 전압이 인가된 상태에서 상기 메모리 소자에 제2 논리 상태를 나타내기 위하여, 상기 제2 게이트 전극에 제3 게이트 전압을 인가하고, 상기 드레인 영역에 상기 제1 드레인 전압을 인가하여 제2 논리 상태를 쓰는 단계;

상기 게이트 바이어스 전압이 인가된 상태에서 상기 제2 논리 상태를 유지하기 위하여, 상기 제2 게이트 전극에 상기 제2 게이트 전압을 인가하고, 상기 드레인 영역에 상기 제2 드레인 전압을 인가하는 단계; 및

상기 게이트 바이어스 전압이 인가된 상태에서 상기 제2 논리 상태를 독출하기 위하여, 상기 제2 게이트 전극에 상기 제2 게이트 전압을 인가하고, 상기 드레인 영역에 상기 제1 드레인 전압을 인가하는 단계;를 포함하는 것을 특징으로 하는 메모리 소자의 동작 방법.

청구항 13

제12 항에 있어서,

상기 제1 도전형은 n 형이고,

상기 제2 도전형은 p 형이고,

상기 게이트 바이어스 전압은 1V 내지 3V 이고,

상기 제1 게이트 전압은 -0.25V 내지 -1 V이고,

상기 제2 게이트 전압은 -0.1 V 내지 0.1 V이고,

상기 제3 게이트 전압은 0.25 V 내지 1 V인 것을 특징으로 하는 메모리 소자의 동작 방법.

청구항 14

기판 상에서 수직으로 연장되고 차례로 제1 도전형의 소오스 영역, 제2 도전형의 드레인 영역, 및 상기 소오스 영역과 상기 드레인 영역 사이에 배치된 진성 영역을 포함하는 반도체 컬럼; 상기 진성 영역을 감싸도록 배치된 제1 게이트 전극; 상기 게이트 전극과 수직으로 이격되고 상기 진성 영역을 감싸도록 배치된 제2 게이트 전극, 상기 제1 게이트 전극과 상기 진성 영역 사이에 배치된 제1 게이트 절연막, 및 상기 제2 게이트 전극과 상기 진성 영역 사이에 배치된 제2 게이트 절연막을 포함하는 메모리 소자의 동작 방법에 있어서,

상기 제2 게이트 전극에 게이트 바이어스 전압을 인가하는 단계;

상기 게이트 바이어스 전압이 인가된 상태에서 상기 메모리 소자가 제1 논리 상태를 나타내기 위하여, 상기 제1 게이트 전극에 제1 게이트 전압을 인가하고 상기 드레인 영역에 제1 드레인 전압을 인가하여 상기 제1 논리 상태를 쓰는 단계;

상기 제2 게이트 바이어스 전압이 인가된 상태에서 상기 제1 논리 상태를 유지하도록, 상기 제1 게이트 전극에 제2 게이트 전압을 인가하고, 상기 드레인 영역에 제2 드레인 전압을 인가하는 단계;

상기 게이트 바이어스 전압이 인가된 상태에서 상기 제1 논리 상태를 독출하기 위하여, 상기 제1 게이트 전극에 상기 제2 게이트 전압을 인가하고, 상기 드레인 영역에 상기 제1 드레인 전압을 인가하는 단계;

상기 게이트 바이어스 전압이 인가된 상태에서 상기 메모리 소자에 제2 논리 상태를 나타내기 위하여, 상기 제1 게이트 전극에 제3 게이트 전압을 인가하고, 상기 드레인 영역에 상기 제1 드레인 전압을 인가하여 제2 논리 상태를 쓰는 단계;

상기 게이트 바이어스 전압이 인가된 상태에서 상기 제2 논리 상태를 유지하기 위하여, 상기 제1 게이트 전극에 상기 제2 게이트 전압을 인가하고, 상기 드레인 영역에 상기 제2 드레인 전압을 인가하는 단계; 및

상기 게이트 바이어스 전압이 인가된 상태에서 상기 제2 논리 상태를 독출하기 위하여, 상기 제1 게이트 전극에

상기 제2 게이트 전압을 인가하고, 상기 드레인 영역에 상기 제1 드레인 전압을 인가하는 단계;를 포함하는 것을 특징으로 하는 메모리 소자의 동작 방법.

청구항 15

제14 항에 있어서,

상기 제1 도전형은 n 형이고,

상기 제2 도전형은 p 형이고,

상기 게이트 바이어스 전압은 -1V 내지 -3V이고,

상기 제1 게이트 전압은 +0.25V 내지 +1 V이고,

상기 제2 게이트 전압은 -0.1 V 내지 0.1 V이고,

상기 제3 게이트 전압은 -0.25 V 내지 -1 V인 것을 특징으로 하는 메모리 소자의 동작 방법.

청구항 16

기판 상에서 수직으로 연장되고 제1 도전형의 소오스 영역, 제2 도전형의 드레인 영역, 및 상기 소오스 영역과 상기 드레인 영역 사이에 배치된 진성 영역을 포함하는 반도체 컬럼; 상기 진성 영역을 감싸도록 배치된 제1 게이트 전극; 상기 제1 게이트 전극과 수직으로 이격되고 상기 진성 영역을 감싸도록 배치된 제2 게이트 전극, 상기 제1 게이트 전극과 상기 진성 영역 사이에 배치된 제1 게이트 절연막, 제1 전하 저장층, 및 제1 보조 게이트 절연막, 및 상기 제2 게이트 전극과 상기 진성 영역 사이에 배치된 제2 게이트 절연막, 제2 전하 저장층, 및 제2 보조 게이트 절연막을 포함하는 메모리 소자의 동작 방법에 있어서,

상기 메모리 소자가 제1 논리 상태를 나타내기 위하여, 상기 제1 게이트 전극에 제1 게이트 전압을 인가하고 상기 드레인 영역에 제1 드레인 전압을 인가하여 상기 제1 논리 상태를 쓰는 단계;

상기 제1 논리 상태를 유지하도록, 상기 제2 게이트 전극에 제2 게이트 전압을 인가하고, 상기 드레인 영역에 제2 드레인 전압을 인가하는 단계;

상기 제1 논리 상태를 독출하기 위하여, 상기 제1 게이트 전극에 상기 제2 게이트 전압을 인가하고, 상기 드레인 영역에 상기 제1 드레인 전압을 인가하는 단계;

상기 메모리 소자에 제2 논리 상태를 나타내기 위하여, 상기 제1 게이트 전극에 제3 게이트 전압을 인가하고, 상기 드레인 영역에 상기 제1 드레인 전압을 인가하여 제2 논리 상태를 쓰는 단계;

상기 제2 논리 상태를 유지하기 위하여, 상기 제1 게이트 전극에 상기 제2 게이트 전압을 인가하고, 상기 드레인 영역에 상기 제2 드레인 전압을 인가하는 단계; 및

상기 제2 논리 상태를 독출하기 위하여, 상기 제1 게이트 전극에 상기 제2 게이트 전압을 인가하고, 상기 드레인 영역에 상기 제1 드레인 전압을 인가하는 단계;를 포함하는 것을 특징으로 하는 메모리 소자의 동작 방법.

청구항 17

제16 항에 있어서,

상기 제2 전하 저장층에 전하를 주입하기 위하여, 상기 제2 게이트 전극에 프로그램 게이트 전압을 인가하고, 상기 드레인 영역에 드레인 전압을 인가하는 단계; 및

상기 제2 전하 저장층에 주입된 전하를 제거하기 위하여, 상기 제2 게이트 전극에 소거 게이트 전압을 인가하는 단계를 더 포함하는 것을 특징으로 하는 메모리 소자의 동작 방법.

청구항 18

제16 항에 있어서,

상기 제1 도전형은 n 형이고,

상기 제2 도전형은 p 형이고,

상기 제1 게이트 전압은 $-0.25V$ 내지 $-1V$ 이고,

상기 제2 게이트 전압은 $-0.1V$ 내지 $0.1V$ 이고,

상기 제3 게이트 전압은 $0.25V$ 내지 $1V$ 인 것을 특징으로 하는 메모리 소자의 동작 방법.

청구항 19

기관 상에 제1 방향으로 연장되는 소자 분리막을 형성하여 활성 영역을 정의하는 단계;

상기 활성 영역이 형성된 상기 기관 상에 제1 층간 절연막, 제2 층간 절연막, 제3 층간 절연막, 제4 층간 절연막, 및 제5 층간 절연막을 적층하고 상기 제1 층간 절연막, 상기 제2 층간 절연막, 상기 제3 층간 절연막, 상기 제4 층간 절연막, 및 제5 층간 절연막을 관통하는 관통홀을 형성하는 단계;

상기 관통홀에 차례로 제1 도전형의 소오스 영역, 진성 영역, 및 제2 도전형의 드레인 영역을 포함하는 반도체 컬럼을 성장시키는 단계;

상기 제1 방향으로 배열된 상기 반도체 컬럼들을 사이에 두고 상기 제5 층간 절연막, 상기 제4 층간 절연막, 상기 제3 층간 절연막, 및 상기 제2 층간 절연막을 관통하고 상기 제1 방향으로 연장되는 트렌치를 형성하는 단계;

상기 제2 층간 절연막 및 상기 제4 층간 절연막을 제거한 후 노출된 상기 반도체 컬럼의 측면에 게이트 절연막을 형성하는 단계;

상기 제2 층간 절연막 및 상기 제4 층간 절연막이 제거된 부위 및 상기 트렌치에 도전체를 채우는 단계;

상기 트렌치를 채운 상기 도전체를 제거하여 제1 게이트 전극 및 제2 게이트 전극을 형성하고 보조 트렌치를 형성하는 단계;

상기 보조 트렌치를 절연체로 매립하는 단계; 및

상기 반도체 컬럼의 상기 드레인 영역에 접촉하고 상기 제1 방향에 수직인 제2 방향으로 연장되는 비트 라인을 형성하는 단계를 포함하는 것을 특징으로 하는 메모리 소자의 제조방법.

청구항 20

제19 항에 있어서,

상기 게이트 절연막을 형성된 후 제2 층간 절연막 및 상기 제4 층간 절연막이 제거된 부위 및 상기 트렌치에 전하 저장층을 형성하는 단계; 및

상기 전하 저장층을 형성한 후 상기 제2 층간 절연막 및 상기 제4 층간 절연막이 제거된 부위 및 상기 트렌치에 보조 게이트 절연막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 메모리 소자의 제조방법.

청구항 21

기관 상에 소오스 라인 절연막을 개재하여 제1 방향으로 연장되는 소오스 라인을 패터닝하는 단계;

상기 소오스 라인이 형성된 기관 상에 제1 층간 절연막, 제2 층간 절연막, 제3 층간 절연막, 제4 층간 절연막, 및 제5 층간 절연막을 적층하고 상기 소오스 라인 상에 상기 제5 층간 절연막, 상기 제4 층간 절연막, 상기 제3 층간 절연막, 및 상기 제1 층간 절연막을 관통하는 관통홀을 형성하는 단계;

상기 관통홀에 차례로 제1 도전형의 소오스 영역, 진성 영역, 및 제2 도전형의 드레인 영역을 포함하는 반도체 컬럼을 성장시키는 단계;

상기 제1 방향으로 배열된 상기 반도체 컬럼들을 사이에 두고 상기 제5 층간 절연막, 상기 제4 층간 절연막, 상기 제3 층간 절연막, 및 상기 제2 층간 절연막을 관통하고 상기 제1 방향으로 연장되는 트렌치를 형성하는 단계;

상기 제2 층간 절연막 및 상기 제4 층간 절연막을 제거한 후 노출된 상기 반도체 컬럼의 측면에 게이트 절연막을 형성하는 단계;

상기 제2 층간 절연막 및 상기 제4 층간 절연막이 제거된 부위 및 상기 트렌치에 도전체를 채우는 단계;

상기 트렌치를 채운 상기 도전체를 제거하여 게이트 전극을 형성하고 보조 트렌치를 형성하는 단계;

상기 보조 트렌치를 절연체로 매립하는 단계; 및

상기 반도체 컬럼의 상기 드레인 영역에 접촉하고 상기 제1 방향에 수직한 제2 방향으로 연장되는 비트 라인을 형성하는 단계를 포함하는 것을 특징으로 하는 메모리 소자의 제조방법.

청구항 22

제21 항에 있어서,

상기 게이트 절연막을 형성된 후 상기 제2 층간 절연막 및 상기 제4 층간 절연막이 제거된 부위 및 상기 트렌치에 전하 저장층을 형성하는 단계; 및

상기 전하 저장층을 형성한 후 상기 제2 층간 절연막 및 상기 제4 층간 절연막이 제거된 부위 및 상기 트렌치에 보조 게이트 절연막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 메모리 소자의 제조방법.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 메모리 소자에 관한 것으로서, 더욱 상세하게는, 수직 반도체 컬럼 구조체를 포함한 듀얼 게이트 반도체 메모리 소자, 및 이를 이용한 선택적으로 휘발성/비휘발성 모드로 동작하는 반도체 메모리 소자에 관한 것이다.

배경 기술

[0002] 기존 반도체 메모리 소자는 DRAM 등 휘발성 특성이 있는 메모리 소자와 플래시 메모리(Flash Memory) 등 비휘발성 특성이 있는 메모리 소자로 분류할 수 있다.

[0003] 기존 휘발성 반도체 메모리 소자 특히, DRAM 메모리 소자의 경우 1 트랜지스터-1 커패시터(1T-1C)의 단위 셀 구조로 인하여 집적화에 근본적인 한계를 가지며, 집적화에 따른 커패시터의 종횡비(capacitor aspect ratio; A/R)의 증가 및 누설 전류의 문제가 있으며, 이로 인하여 주기적인 재생(refresh)에 필요한 전력 소모로, 메모리 소자의 직접화와 단위 셀당 저장능력에 한계를 갖는다.

[0004] 비휘발성 반도체 메모리 소자 즉, 플래시 메모리(flash memory)소자의 경우 60 mV/dec 이상의 문턱 전압 이하 기울기 특성(subthreshold swing; SS)으로 인한 완만한 형태의 I-V 특성곡선 발생과, 데이터 독출 시 좁은 전류 감지 폭(current sensing margin)으로 인하여 데이터 오류가 발생하고, 높은 게이트 전압으로 인한 읽기/쓰기(read/write) 특성에 열화가 발생하며, 읽기/지우기(write/erase) 과정 중 발생하는 문턱 전압 값의 변화와 이에 따른 데이터 왜곡이 발생하는 문제가 있으며, 사용 온도에 따라 메모리 특성에 변화가 발생하는 근본적인 문제를 갖는다.

[0005] 이에 따라, 새로운 휘발성 DRAM 메모리 소자로서, 커패시터를 갖지 않는 1 트랜지스터 구조(capacitorless 1T 구조)를 통해 보다 집적화된 셀 구조를 가지며, 향상된 정보 보전(retention) 특성과 누설 전류 감소에 따른 긴 리프래시 주기를 가지고, 낮은 동작전압이 단위 셀 구조당 요구되는 저소비전력의 새로운 휘발성 메모리 소자의 개발이 필요한 상황이다.

[0006] 그러나, 휴대형 디지털 기기의 수요 확산과 함께 여러 기능이 융합된 새로운 복합 디지털 기기의 등장으로 인한 메모리의 대용량화를 뒷받침해주지는 못하고 있지는 못한 실정으로, 현재 메모리 소자의 집적화는 기존 메모리 소자의 소형화(scaling down)에 따라 발생하는 단채널 효과(short-channel effect)의 결과로 다양한 성능 저하(SS값의 감소, 누설전류 증가, 소비전력 증가 등)가 발생하여 한계가 있으며, 상기 문제를 해결하기 위해 스트레인 엔지니어링(strain engineering), 고유전율 물질(high-k), 금속 게이트(metal gate) 기술 적용 등의 연구가 진행되고 있으나, 복잡한 공정과 높은 비용 등의 해결하여야 하는 문제가 있다.

[0007] 또한, 종래 휘발성 DRAM 메모리 소자 또는 비휘발성 플래시 메모리 소자의 구조는 각각의 특성만을 활용할 수 있는 소자 구조로 휘발성 또는 비휘발성 동작특성이 선택적으로 필요한 상황이 되었을 때, 메모리 소자들을 유연하게 활용할 수 없는 근본적인 문제가 있다.

[0008] 이에 따라, 간단한 구조로 메모리 소자의 소형화 및 집적화가 가능하며, 누설전류를 감소시켜 저전력 및 고효율

의 특징을 가지고, 좁은 메모리 윈도우에서도 충분한 읽기 감지 폭(read sensing margin)을 확보할 수 있는 새로운 구조의 메모리 소자의 개발이 요구되어, 읽기/지우기(write-erase) 과정에 낮은 인가전압이 요구되고, 높은 온-오프 전류비(on-off current ratio)와 낮은 문턱 전압 이하 기율기 특성(subthreshold swing; SS)을 가져, 좁은 메모리 윈도우에서 충분한 전류 감지 폭(current sensing margin)의 확보가 가능하며, 낮은 단위 셀 구조당 요구되는 동작전압 특성이 요구되며, 휘발성/비휘발성 동작 특성이 한 소자 내에서 구현 가능할 것이 요구되며, 뛰어난 전기적/물리적/구조적 특성을 지니는 나노 구조체 기반의 소자의 개발이 절실히 요구되고 있는 상황이다.

발명의 내용

해결하려는 과제

- [0009] 본 발명의 해결하고자 하는 일 기술적 과제는 간단한 구조로 메모리 소자의 소형화 및 집적화가 가능하며, 누설 전류를 감소시켜 저전력 및 고효율의 특징을 가지고, 좁은 메모리 윈도우에서도 충분한 전류 감지 폭 내지 읽기 감지 폭(read sensing margin)을 확보할 수 있는 새로운 구조의 수직 반도체 컬럼 구조체를 포함한 반도체 메모리 소자, 및 이를 이용한 선택적인 휘발성/비휘발성 모드 동작 반도체 메모리 소자를 제공하는 것이다.
- [0010] 구체적으로는, 읽기/지우기(write-erase) 과정에 낮은 인가전압이 요구되고, 높은 온-오프 전류비(on-off current ratio)와 낮은 문턱 전압 이하 기율기 특성(subthreshold swing; SS)을 가져, 좁은 메모리 윈도우에서 충분한 전류 감지 폭(current sensing margin)의 확보가 가능하며, 낮은 단위 셀 구조당 요구되는 동작전압 특성을 가지고, 휘발성/비휘발성 동작 특성이 한 소자 내에서 구현 가능한 새로운 구조의 나노 구조체를 포함한 반도체 메모리 소자, 및 이를 이용한 선택적인 휘발성/비휘발성 모드 동작 반도체 메모리 소자를 제공하는 것을 목적으로 한다.

과제의 해결 수단

- [0011] 본 발명의 일 실시예에 따른 메모리 소자는 기판 상에서 수직으로 연장되고 차례로 제1 도전형의 소오스 영역, 진성 영역, 및 제2 도전형의 드레인 영역을 포함하는 반도체 컬럼; 상기 드레인 영역에 인접하여 상기 진성 영역을 감싸도록 배치된 제1 게이트 전극; 상기 제1 게이트 전극과 이격되고 상기 소오스 영역에 인접하여 상기 진성 영역을 감싸도록 배치된 제2 게이트 전극; 상기 제1 게이트 전극과 상기 진성 영역 사이에 배치된 제1 게이트 절연막; 및 상기 제2 게이트 전극과 상기 진성 영역 사이에 배치된 제2 게이트 절연막을 포함한다.
- [0012] 본 발명의 일 실시예에 있어서, 상기 제1 도전형은 n형이고, 상기 제2 도전형은 p형일 수 있다.
- [0013] 본 발명의 일 실시예에 있어서, 상기 기판은 활성 영역 및 소자 분리막을 포함하고, 상기 제1 도전형의 소오스 영역은 상기 활성 영역과 접촉하여 배치되고, 상기 활성 영역은 상기 제1 도전형으로 도핑될 수 있다.
- [0014] 본 발명의 일 실시예에 있어서, 상기 기판의 상부면과 상기 반도체 컬럼의 하부면 사이에 배치된 소오스 절연막; 및 상기 소오스 절연막과 상기 반도체 컬럼의 하부면 사이에 배치된 소오스 라인을 더 포함할 수 있다. 상기 소오스 라인은 상기 제1 도전형으로 도핑된 반도체일 수 있다.
- [0015] 본 발명의 일 실시예에 있어서, 상기 반도체 컬럼의 상기 드레인 영역 상에 배치되는 비트 라인을 더 포함할 수 있다. 상기 제1 게이트 전극 및 상기 제2 게이트 전극은 상기 기판의 배치 평면에서 제1 방향으로 연장되고, 상기 비트 라인은 상기 기판의 배치평면에서 상기 제1 방향에 수직인 제2 방향으로 연장될 수 있다.
- [0016] 본 발명의 일 실시예에 있어서, 상기 제1 게이트 절연막과 상기 제1 게이트 전극 사이에 배치된 제1 전하 저장층; 상기 제1 전하 저장층과 상기 제1 게이트 전극 사이에 배치된 제1 보조 게이트 절연막; 상기 제2 게이트 절연막과 상기 제2 게이트 전극 사이에 배치된 제2 전하 저장층; 및 상기 제2 전하 저장층과 상기 제2 게이트 전극 사이에 배치된 제2 보조 게이트 절연막;을 더 포함할 수 있다.
- [0017] 본 발명의 일 실시예에 따른 메모리 소자는 기판에서 제1 방향으로 나란히 연장되는 소자 분리막들; 상기 소자 분리막과 동일한 상부면을 가지고 상기 소자 분리막 사이에 배치되고 상기 제1 방향으로 나란히 연장되는 소오스 라인들; 상기 소오스 라인들 상에서 주기적으로 배치되고 기판에서 수직하게 연장되는 반도체 컬럼들; 상기 제1 방향으로 배열된 상기 반도체 컬럼들의 측면을 감싸도록 배치되고 상기 제1 방향으로 연장되는 제1 워드 라인들; 상기 제1 워드라인들과 수직으로 이격되고 상기 제1 방향으로 배열된 상기 반도체 컬럼들의 측면을 감싸도록 배치되고 상기 제1 방향으로 연장되는 제2 워드 라인들; 상기 반도체 컬럼과 상기 제1 워드 라인 사이에 배치되어 상기 반도체 컬럼의 측면을 감싸도록 배치된 제1 게이트 절연막; 상기 반도체 컬럼과 상기 제2 워드

라인 사이에 배치되어 상기 반도체 컬럼의 측면을 감싸도록 배치된 제2 게이트 절연막; 상기 제1 방향으로 연장되고 상기 제1 워드 라인들 및 제2 워드 라인들 사이를 채우는 게이트 분리막들; 및 상기 제1 방향에 수직한 제2 방향으로 배열된 상기 반도체 컬럼들의 상부면에 접하여 상기 제2 방향으로 연장되는 비트 라인을 포함한다. 상기 반도체 컬럼은 제1 도전형의 소오스 영역, 제2 도전형의 드레인 영역, 상기 소오스 영역과 상기 드레인 영역 사이에 배치된 진성 영역을 포함하고, 상기 소오스 영역은 상기 소오스 라인과 접촉하고, 상기 드레인 영역은 상기 비트 라인과 접촉한다.

[0018] 본 발명의 일 실시예에 있어서, 상기 제1 워드 라인과 상기 제1 게이트 절연막 사이에 배치되는 제1 전하 저장층; 상기 제1 전하 저장층과 상기 제1 워드 라인 사이에 배치되는 제1 보조 게이트 절연막; 상기 제2 워드 라인과 상기 제2 게이트 절연막 사이에 배치되는 제2 전하 저장층; 및 상기 제2 전하 저장층과 상기 제2 워드 라인 사이에 배치되는 제2 보조 게이트 절연막;을 더 포함할 수 있다.

[0019] 본 발명의 일 실시예에 있어서, 상기 제2 워드 라인과 상기 기판 사이에 배치된 하부 절연막; 상기 제1 워드 라인과 상기 비트 라인 사이에 배치된 상부 절연막; 및 상기 제1 워드 라인과 상기 제2 워드 라인 사이에 배치된 중간 절연막을 더 포함할 수 있다. 상기 제1 전하 저장층은 상기 상부 절연막과 상기 제1 워드 라인 사이에 개재하도록 연장되고, 상기 제1 전하 저장층은 상기 중간 절연막과 상기 제1 워드 라인 사이에 개재하도록 연장되고, 상기 제1 보조 게이트 절연막은 상기 상부 절연막과 상기 제1 워드 라인 사이에 개재하도록 연장되고, 상기 제1 보조 게이트 절연막은 상기 중간 절연막과 상기 제1 워드 라인 사이에 개재하도록 연장되고, 상기 제2 전하 저장층은 상기 중간 절연막과 상기 제2 워드 라인 사이에 개재하도록 연장되고, 상기 제2 전하 저장층은 상기 하부 절연막과 상기 제2 워드 라인 사이에 개재하도록 연장되고, 상기 제2 보조 게이트 절연막은 상기 중간 절연막과 상기 제2 워드 라인 사이에 개재하도록 연장되고, 상기 제2 보조 게이트 절연막은 상기 하부 절연막과 상기 제2 워드 라인 사이에 개재하도록 연장될 수 있다.

[0020] 본 발명의 일 실시예에 따른 메모리 소자는 기판에서 제1 방향으로 나란히 연장되는 소오스 라인들; 상기 소오스 라인들과 상기 기판 사이에 배치된 소오스 라인 절연막; 상기 소오스 라인들 상에서 주기적으로 배치되고 기판에서 수직하게 연장되는 반도체 컬럼들; 상기 제1 방향으로 배열된 상기 반도체 컬럼들의 측면을 감싸도록 배치되고 상기 제1 방향으로 연장되는 제1 워드 라인들; 상기 제1 워드 라인들과 수직으로 이격되고 상기 제1 방향으로 배열된 상기 반도체 컬럼들의 측면을 감싸도록 배치되고 상기 제1 방향으로 연장되는 제2 워드 라인들; 상기 반도체 컬럼과 상기 제1 워드 라인 사이에 배치되어 상기 반도체 컬럼의 측면을 감싸도록 배치된 제1 게이트 절연막; 상기 제1 방향으로 연장되고 상기 제1 워드 라인들 및 상기 제2 워드라인들 사이를 채우는 게이트 분리막들; 및 상기 제1 방향에 수직한 제2 방향으로 배열된 상기 반도체 컬럼들의 상부면에 접하여 상기 제2 방향으로 연장되는 비트 라인을 포함한다. 상기 반도체 컬럼은 제1 도전형의 소오스 영역, 제2 도전형의 드레인 영역, 및 상기 소오스 영역과 상기 드레인 영역 사이에 배치된 진성 영역을 포함하고, 상기 소오스 영역은 상기 소오스 라인과 접촉하고, 상기 드레인 영역은 상기 비트 라인과 접촉한다.

[0021] 본 발명의 일 실시예에 있어서, 상기 제1 워드 라인과 상기 제1 게이트 절연막 사이에 배치되는 제1 전하 저장층; 상기 제1 전하 저장층과 상기 제1 워드 라인 사이에 배치되는 제1 보조 게이트 절연막; 상기 제2 워드 라인과 상기 제2 게이트 절연막 사이에 배치되는 제2 전하 저장층; 및 상기 제2 전하 저장층과 상기 제2 워드 라인 사이에 배치되는 제2 보조 게이트 절연막;을 더 포함할 수 있다.

[0022] 본 발명의 일 실시예에 따른 메모리 소자는 기판 상에서 수직으로 연장되고 차례로 제1 도전형의 소오스 영역, 제2 도전형의 드레인 영역, 및 상기 소오스 영역과 상기 드레인 영역 사이에 배치된 진성 영역을 포함하는 반도체 컬럼; 상기 진성 영역을 감싸도록 배치된 제1 게이트 전극; 상기 게이트 전극과 수직으로 이격되고 상기 진성 영역을 감싸도록 배치된 제2 게이트 전극, 상기 제1 게이트 전극과 상기 진성 영역 사이에 배치된 제1 게이트 절연막, 및 상기 제2 게이트 전극과 상기 진성 영역 사이에 배치된 제2 게이트 절연막을 포함한다. 이 메모리 소자의 동작 방법은 상기 제1 게이트 전극에 게이트 바이어스 전압을 인가하는 단계; 상기 게이트 바이어스 전압이 인가된 상태에서 상기 메모리 소자가 제1 논리 상태를 나타내기 위하여, 상기 제2 게이트 전극에 제1 게이트 전압을 인가하고 상기 드레인 영역에 제1 드레인 전압을 인가하여 상기 제1 논리 상태를 쓰는 단계; 상기 게이트 바이어스 전압이 인가된 상태에서 상기 제1 논리 상태를 유지하도록, 상기 제2 게이트 전극에 제2 게이트 전압을 인가하고, 상기 드레인 영역에 제2 드레인 전압을 인가하는 단계; 상기 게이트 바이어스 전압이 인가된 상태에서 상기 제1 논리 상태를 독출하기 위하여, 상기 제2 게이트 전극에 상기 제2 게이트 전압을 인가하고, 상기 드레인 영역에 상기 제1 드레인 전압을 인가하는 단계; 상기 게이트 바이어스 전압이 인가된 상태에서 상기 메모리 소자에 제2 논리 상태를 나타내기 위하여, 상기 제2 게이트 전극에 제3 게이트 전압을 인가하고, 상기 드레인 영역에 상기 제1 드레인 전압을 인가하여 제2 논리 상태를 쓰는 단계; 상기 게이트 바이어스 전압

이 인가된 상태에서 상기 제2 논리 상태를 유지하기 위하여, 상기 제2 게이트 전극에 상기 제2 게이트 전압을 인가하고, 상기 드레인 영역에 상기 제2 드레인 전압을 인가하는 단계; 및 상기 게이트 바이어스 전압이 인가된 상태에서 상기 제2 논리 상태를 독출하기 위하여, 상기 제2 게이트 전극에 상기 제2 게이트 전압을 인가하고, 상기 드레인 영역에 상기 제1 드레인 전압을 인가하는 단계;를 포함한다.

[0023] 본 발명의 일 실시예에 있어서, 상기 제1 도전형은 n 형이고, 상기 제2 도전형은 p 형이고, 상기 게이트 바이어스 전압은 1V 내지 3V 이고, 상기 제1 게이트 전압은 -0.25V 내지 -1 V이고, 상기 제2 게이트 전압은 -0.1 V 내지 0.1 V이고, 상기 제3 게이트 전압은 0.25 V 내지 1 V일 수 있다.

[0024] 본 발명의 일 실시예에 따른 메모리 소자는 기판 상에서 수직으로 연장되고 차례로 제1 도전형의 소오스 영역, 제2 도전형의 드레인 영역, 및 상기 소오스 영역과 상기 드레인 영역 사이에 배치된 진성 영역을 포함하는 반도체 컬럼; 상기 진성 영역을 감싸도록 배치된 제1 게이트 전극; 상기 게이트 전극과 수직으로 이격되고 상기 진성 영역을 감싸도록 배치된 제2 게이트 전극, 상기 제1 게이트 전극과 상기 진성 영역 사이에 배치된 제1 게이트 절연막, 및 상기 제2 게이트 전극과 상기 진성 영역 사이에 배치된 제2 게이트 절연막을 포함한다. 이 메모리 소자의 동작 방법은 상기 제2 게이트 전극에 게이트 바이어스 전압을 인가하는 단계; 상기 게이트 바이어스 전압이 인가된 상태에서 상기 메모리 소자가 제1 논리 상태를 나타내기 위하여, 상기 제1 게이트 전극에 제1 게이트 전압을 인가하고 상기 드레인 영역에 제1 드레인 전압을 인가하여 상기 제1 논리 상태를 쓰는 단계; 상기 제2 게이트 바이어스 전압이 인가된 상태에서 상기 제1 논리 상태를 유지하도록, 상기 제1 게이트 전극에 제2 게이트 전압을 인가하고, 상기 드레인 영역에 제2 드레인 전압을 인가하는 단계; 상기 게이트 바이어스 전압이 인가된 상태에서 상기 제1 논리 상태를 독출하기 위하여, 상기 제1 게이트 전극에 상기 제2 게이트 전압을 인가하고, 상기 드레인 영역에 상기 제1 드레인 전압을 인가하는 단계; 상기 게이트 바이어스 전압이 인가된 상태에서 상기 제2 논리 상태를 나타내기 위하여, 상기 제1 게이트 전극에 제3 게이트 전압을 인가하고, 상기 드레인 영역에 상기 제1 드레인 전압을 인가하여 제2 논리 상태를 쓰는 단계; 상기 게이트 바이어스 전압이 인가된 상태에서 상기 제2 논리 상태를 유지하기 위하여, 상기 제1 게이트 전극에 상기 제2 게이트 전압을 인가하고, 상기 드레인 영역에 상기 제2 드레인 전압을 인가하는 단계; 및 상기 게이트 바이어스 전압이 인가된 상태에서 상기 제2 논리 상태를 독출하기 위하여, 상기 제1 게이트 전극에 상기 제2 게이트 전압을 인가하고, 상기 드레인 영역에 상기 제1 드레인 전압을 인가하는 단계;를 포함한다.

[0025] 본 발명의 일 실시예에 있어서, 상기 제1 도전형은 n 형이고, 상기 제2 도전형은 p 형이고, 상기 게이트 바이어스 전압은 -1V 내지 -3V이고, 상기 제1 게이트 전압은 +0.25V 내지 +1 V이고, 상기 제2 게이트 전압은 -0.1 V 내지 0.1 V이고, 상기 제3 게이트 전압은 -0.25 V 내지 -1 V일 수 있다.

[0026] 본 발명의 일 실시예에 따른 메모리 소자는 기판 상에서 수직으로 연장되고 제1 도전형의 소오스 영역, 제2 도전형의 드레인 영역, 및 상기 소오스 영역과 상기 드레인 영역 사이에 배치된 진성 영역을 포함하는 반도체 컬럼; 상기 진성 영역을 감싸도록 배치된 제1 게이트 전극; 상기 제1 게이트 전극과 수직으로 이격되고 상기 진성 영역을 감싸도록 배치된 제2 게이트 전극, 상기 제1 게이트 전극과 상기 진성 영역 사이에 배치된 제1 게이트 절연막, 제1 전하 저장층, 및 제1 보조 게이트 절연막, 및 상기 제2 게이트 전극과 상기 진성 영역 사이에 배치된 제2 게이트 절연막, 제2 전하 저장층, 및 제2 보조 게이트 절연막을 포함한다. 이 메모리 소자의 동작 방법은 상기 메모리 소자가 제1 논리 상태를 나타내기 위하여, 상기 제1 게이트 전극에 제1 게이트 전압을 인가하고 상기 드레인 영역에 제1 드레인 전압을 인가하여 상기 제1 논리 상태를 쓰는 단계; 상기 제1 논리 상태를 유지하도록, 상기 제2 게이트 전극에 제2 게이트 전압을 인가하고, 상기 드레인 영역에 제2 드레인 전압을 인가하는 단계; 상기 제1 논리 상태를 독출하기 위하여, 상기 제1 게이트 전극에 상기 제2 게이트 전압을 인가하고, 상기 드레인 영역에 상기 제1 드레인 전압을 인가하는 단계; 상기 메모리 소자가 제2 논리 상태를 나타내기 위하여, 상기 제1 게이트 전극에 제3 게이트 전압을 인가하고, 상기 드레인 영역에 상기 제1 드레인 전압을 인가하여 제2 논리 상태를 쓰는 단계; 상기 제2 논리 상태를 유지하기 위하여, 상기 제1 게이트 전극에 상기 제2 게이트 전압을 인가하고, 상기 드레인 영역에 상기 제2 드레인 전압을 인가하는 단계; 및 상기 제2 논리 상태를 독출하기 위하여, 상기 제1 게이트 전극에 상기 제2 게이트 전압을 인가하고, 상기 드레인 영역에 상기 제1 드레인 전압을 인가하는 단계;를 포함한다.

[0027] 본 발명의 일 실시예에 있어서, 상기 제2 전하 저장층에 전하를 주입하기 위하여, 상기 제2 게이트 전극에 프로그램 게이트 전압을 인가하고, 상기 드레인 영역에 드레인 전압을 인가하는 단계; 및 상기 제2 전하 저장층에 주입된 전하를 제거하기 위하여, 상기 제2 게이트 전극에 소거 게이트 전압을 인가하는 단계를 더 포함할 수 있다.

[0028] 본 발명의 일 실시예에 있어서, 상기 제1 도전형은 n 형이고, 상기 제2 도전형은 p 형이고, 상기 제1 게이트 전압은 $-0.25V$ 내지 $-1 V$ 이고, 상기 제2 게이트 전압은 $-0.1 V$ 내지 $0.1 V$ 이고, 상기 제3 게이트 전압은 $0.25 V$ 내지 $1 V$ 일 수 있다.

[0029] 본 발명의 일 실시예에 따른 메모리 소자의 제조 방법은 기판 상에 제1 방향으로 연장되는 소자 분리막을 형성하여 활성 영역을 정의하는 단계; 상기 활성 영역이 형성된 상기 기판 상에 제1 층간 절연막, 제2 층간 절연막, 제3 층간 절연막, 제4 층간 절연막, 및 제5 층간 절연막을 적층하고 상기 제1 층간 절연막, 상기 제2 층간 절연막, 상기 제3 층간 절연막, 상기 제4 층간 절연막, 및 제5 층간 절연막을 관통하는 관통홀을 형성하는 단계; 상기 관통홀에 차례로 제1 도전형의 소오스 영역, 진성 영역, 및 제2 도전형의 드레인 영역을 포함하는 반도체 컬럼을 성장시키는 단계; 상기 제1 방향으로 배열된 상기 반도체 컬럼들을 사이에 두고 상기 제5 층간 절연막, 상기 제4 층간 절연막, 상기 제3 층간 절연막, 및 상기 제2 층간 절연막을 관통하고 상기 제1 방향으로 연장되는 트렌치를 형성하는 단계; 상기 제2 층간 절연막 및 상기 제4 층간 절연막을 제거한 후 노출된 상기 반도체 컬럼의 측면에 게이트 절연막을 형성하는 단계; 상기 제2 층간 절연막 및 상기 제4 층간 절연막이 제거된 부위 및 상기 트렌치에 도전체를 채우는 단계; 상기 트렌치를 채운 상기 도전체를 제거하여 제1 게이트 전극 및 제2 게이트 전극을 형성하고 보조 트렌치를 형성하는 단계; 상기 보조 트렌치를 절연체로 매립하는 단계; 및 상기 반도체 컬럼의 상기 드레인 영역에 접촉하고 상기 제1 방향에 수직한 제2 방향으로 연장되는 비트 라인을 형성하는 단계를 포함한다.

[0030] 본 발명의 일 실시예에 있어서, 상기 게이트 절연막을 형성된 후 제2 층간 절연막 및 상기 제4 층간 절연막이 제거된 부위 및 상기 트렌치에 전하 저장층을 형성하는 단계; 및 상기 전하 저장층을 형성한 후 상기 제2 층간 절연막 및 상기 제4 층간 절연막이 제거된 부위 및 상기 트렌치에 보조 게이트 절연막을 형성하는 단계를 더 포함할 수 있다.

[0031] 본 발명의 일 실시예에 따른 메모리 소자의 제조 방법은 기판 상에 소오스 라인 절연막을 개재하여 제1 방향으로 연장되는 소오스 라인을 패터닝하는 단계; 상기 소오스 라인이 형성된 기판 상에 제1 층간 절연막, 제2 층간 절연막, 제3 층간 절연막, 제4 층간 절연막, 및 제5 층간 절연막을 적층하고 상기 소오스 라인 상에 상기 제5 층간 절연막, 상기 제4 층간 절연막, 상기 제4 층간 절연막, 상기 제3 층간 절연막, 및 상기 제1 층간 절연막을 관통하는 관통홀을 형성하는 단계; 상기 관통홀에 차례로 제1 도전형의 소오스 영역, 진성 영역, 및 제2 도전형의 드레인 영역을 포함하는 반도체 컬럼을 성장시키는 단계; 상기 제1 방향으로 배열된 상기 반도체 컬럼들을 사이에 두고 상기 제5 층간 절연막, 상기 제4 층간 절연막, 상기 제3 층간 절연막, 및 상기 제2 층간 절연막을 관통하고 상기 제1 방향으로 연장되는 트렌치를 형성하는 단계; 상기 제2 층간 절연막 및 상기 제4 층간 절연막을 제거한 후 노출된 상기 반도체 컬럼의 측면에 게이트 절연막을 형성하는 단계; 상기 제2 층간 절연막 및 상기 제4 층간 절연막이 제거된 부위 및 상기 트렌치에 도전체를 채우는 단계; 상기 트렌치를 채운 상기 도전체를 제거하여 게이트 전극을 형성하고 보조 트렌치를 형성하는 단계; 상기 보조 트렌치를 절연체로 매립하는 단계; 및 상기 반도체 컬럼의 상기 드레인 영역에 접촉하고 상기 제1 방향에 수직한 제2 방향으로 연장되는 비트 라인을 형성하는 단계를 포함한다.

[0032] 본 발명의 일 실시예에 있어서, 상기 게이트 절연막을 형성된 후 상기 제2 층간 절연막 및 상기 제4 층간 절연막이 제거된 부위 및 상기 트렌치에 전하 저장층을 형성하는 단계; 및 상기 전하 저장층을 형성한 후 상기 제2 층간 절연막 및 상기 제4 층간 절연막이 제거된 부위 및 상기 트렌치에 보조 게이트 절연막을 형성하는 단계를 더 포함할 수 있다.

발명의 효과

[0033] 본 발명의 일 실시예에 따르면, 간단한 구조로 메모리 소자의 소형화 및 집적화가 가능하며, 누설전류를 감소시켜 저전력 및 고효율의 특징을 가지고, 좁은 메모리 윈도우에서도 충분한 읽기 감지 폭(read sensing margin)을 확보할 수 있는 새로운 구조의 나노 구조체를 포함한 반도체 메모리 소자, 및 이를 이용한 선택적인 휘발성/비휘발성 모드 동작 반도체 메모리 소자를 제공할 수 있다.

[0034] 구체적으로는, 본 발명의 새로운 구조의 나노 구조체를 포함한 반도체 메모리 소자, 및 이를 이용한 선택적인 휘발성/비휘발성 모드 동작 반도체 메모리 소자는 읽기/지우기(write-erase) 과정에 낮은 인가전압이 요구되고, 높은 온-오프 전류비(on-off current ratio)와 낮은 문턱 전압 이하 기울기 특성(subthreshold swing; SS)을 가져, 좁은 메모리 윈도우에서 충분한 전류 감지 폭(current sensing margin)의 확보가 가능하며, 낮은 단위 셀 구조당 요구되는 동작전압 특성을 가지고, 휘발성/비휘발성 동작 특성이 한 소자 내에서 구현 가능한 효과를 가

진다.

도면의 간단한 설명

- [0035] 도 1은 본 발명의 일 실시예에 따른 메모리 소자의 기본 구조를 설명하기 위한 구조도이다.
- 도 2는 도 1의 메모리 소자의 드레인, 소오스, 그리고 게이트에 인가되는 전압에 따른 밴드 다이어그램을 나타내는 도면이다.
- 도 3은 도 2의 메모리 소자(n 채널 모드)의 쓰기 동작, 홀드 동작, 및 읽기 동작에 따른 전압 및 전류를 나타내는 타이밍 차트이다.
- 도 4는 도 3의 메모리 소자의 게이트 전압에 따른 드레인 전류를 나타내는 그래프이다.
- 도 5는 도 2의 메모리 소자(p 채널 모드)의 쓰기 동작, 홀드 동작, 및 읽기 동작에 따른 전압 및 전류를 나타내는 타이밍 차트이다.
- 도 6은 도 5의 메모리 소자의 게이트 전압에 따른 드레인 전류를 나타내는 그래프이다.
- 도 7은 본 발명의 일 실시예에 따른 무축전기 DRAM을 설명하는 회로도이다.
- 도 8은 도 7의 무축전기 DRAM의 셀 영역을 나타내는 평면도이다.
- 도 9는 도 8의 A-A' 선을 따라 자른 단면도이다.
- 도 10a 내지 도 10i는 공정 순서에 따라 도 8의 A-A' 선을 자른 단면도들이다.
- 도 11은 본 발명의 다른 실시예에 따른 메모리 소자를 설명하는 평면도이다.
- 도 12는 도 11의 B-B' 선을 따라 자른 단면도이다.
- 도 13a 내지 도 13h는 도 12의 메모리 소자를 제조하는 방법을 설명하는 단면도들이다.
- 도 14는 본 발명의 또 다른 실시예에 따른 메모리 소자를 나타내는 개념도이다.
- 도 15는 도 14의 메모리 소자를 설명하는 회로도이다.
- 도 16은 도 15의 메모리 소자를 나타내는 평면도이다.
- 도 17은 도 16의 C-C' 선을 따라 자른 단면도이다.
- 도 18a 내지 도 18h는 도 17의 메모리 소자의 제조 공정을 설명하는 단면도들이다.

발명을 실시하기 위한 구체적인 내용

- [0036] 3 단자 반도체 제어 정류기(3 terminal semiconductor rectifier)는 통상적으로 사이리스터(thyristor)라고 한다. 상기 사이리스터는 게이트 제어 p-n-p-n 다이오드(gate controlled p-n-p-n diode)이다. 양성 피드백 전계 효과 트랜지스터(positive feedback Field-Effect-Tansister; FB-FET)는 통상적인 MOS-FET과 달리 소오스와 드레인이 서로 다른 도전형질을 가진다. FB-FET는 무축전기 DRAM(capacitorless DRAM)으로 동작할 수 있다. 상기 FB-FET는 사이리스터 DRAM(Thyristor Dynamic Random Access Memory; T-DRAM)이라고도 불린다.
- [0037] 통상적으로, DRAM의 단위 셀은 하나의 축전기와 하나의 MOSFET를 포함한다. 상기 축전기는 많은 전하를 저장하기 위하여 많은 공간을 요구한다. 이에 따라, 종래의 1T-1C DRAM은 3차원 적층 구조를 실현할 수 없다.
- [0038] 본 발명에 일 실시예에 따르면, T-DRAM 구조의 수직형 반도체 메모리가 제안된다.
- [0039] 본 발명에 일 실시예에 따르면, T-DRAM 구조의 수직형 반도체 메모리에서, 게이트 전극과 게이트 절연막 사이에 전하 저장층으로 플로팅 게이트 또는 전하 트랩층을 추가로 배치하면, EPROM(erasable programmable read-only-memory)으로 동작할 수 있다. 따라서, 수직형 반도체 메모리는 선택적으로 T-DRAM 또는 EPROM으로 동작할 수 있다.
- [0040] 이하, 도면을 참조하여 본 발명을 실시하기 위한 구체적인 내용을 실시예에 기초하여 설명한다. 이들 실시예는 당업자가 본 발명을 실시할 수 있기에 충분하도록 상세히 설명된다. 본 발명의 다양한 실시예는 서로 다르지만 상호 배타적일 필요는 없음이 이해되어야 한다. 예를 들어, 여기에 기재되어 있는 특정 형상, 구조 및 특성은 일 실시예에 관련하여 본 발명의 정신 및 범위를 벗어나지 않으면서 다른 실시예로 구현될 수 있다. 또한, 각각

의 개시된 실시예 내의 개별 구성요소의 위치 또는 배치는 본 발명의 정신 및 범위를 벗어나지 않으면서 변경될 수 있음이 이해되어야 한다. 따라서, 후술하는 상세한 설명은 한정적인 의미로서 취하려는 것이 아니며, 본 발명의 범위는 적절하게 설명된다면 그 청구항들이 주장하는 것과 균등한 모든 범위와 더불어 첨부된 청구항에 의해서만 한정된다. 도면에서 유사한 참조부호는 여러 측면에 걸쳐서 동일하거나 유사한 기능을 지칭한다.

- [0041] 도 1은 본 발명의 일 실시예에 따른 메모리 소자의 기본 구조를 설명하기 위한 구조도이다.
- [0042] 도 2는 도 1의 메모리 소자의 드레인, 소오스, 그리고 게이트에 인가되는 전압에 따른 밴드 다이어그램을 나타내는 도면이다.
- [0043] 도 3은 도 2의 메모리 소자(n 채널 모드)의 쓰기 동작, 홀드 동작, 및 읽기 동작에 따른 전압 및 전류를 나타내는 타이밍 차트이다.
- [0044] 도 4는 도 3의 메모리 소자의 게이트 전압에 따른 드레인 전류를 나타내는 그래프이다.
- [0045] 도 5는 도 2의 메모리 소자(p 채널 모드)의 쓰기 동작, 홀드 동작, 및 읽기 동작에 따른 전압 및 전류를 나타내는 타이밍 차트이다.
- [0046] 도 6은 도 5의 메모리 소자의 게이트 전압에 따른 드레인 전류를 나타내는 그래프이다.
- [0047] 도 1 내지 도 6을 참조하면, 수직형 메모리 소자(100)는 수직 반도체 컬럼(110), 제1 게이트 전극(134), 제2 게이트 전극(124), 제1 게이트 절연막(132), 및 제2 게이트 절연막(122)을 포함한다. 상기 수직 반도체 컬럼(110)은 기판 상에서 수직으로 연장되고 차례로 제1 도전형의 소오스 영역(112), 진성 영역(114), 및 제2 도전형의 드레인 영역(116)을 포함한다. 상기 제1 게이트 전극(134)은 상기 드레인 영역에 인접하여 상기 진성 영역을 감싸도록 배치된다. 상기 제2 게이트 전극(124)은 상기 제1 게이트 전극(134)과 수직으로 이격되고 상기 소오스 영역에 인접하여 상기 진성 영역을 감싸도록 배치된다. 상기 제1 게이트 절연막(132)은 상기 제1 게이트 전극(134)과 상기 진성 영역(114) 사이에 배치된다. 상기 제2 게이트 절연막(122)은 상기 제2 게이트 전극(124)과 상기 진성 영역(114) 사이에 배치된다. 상기 제1 게이트 전극(134)은 상기 드레인 영역(116)에 인접하게 배치되고, 상기 제2 게이트 전극(122)은 상기 소오스 영역(112)에 인접하게 배치된다.
- [0048] 우선, 본 발명의 일 실시예에 따른 메모리 소자의 동작 원리가 설명된다.
- [0049] 상기 메모리 소자(100)는 p-i-n 구조를 가진다. 상기 소오스 영역(112)은 상기 제1 도전형의 불순물로 고농도로 도핑(n^+)될 수 있다. 상기 진성 영역(114)은 도핑되지 않을 수 있다. 상기 드레인 영역(116)은 상기 제2 도전형의 불순물로 고농도로 도핑(p^+)될 수 있다.
- [0050] 상기 제1 게이트 전극(134) 및 상기 제2 게이트 전극(122)에 전압이 인가되지 않고, 상기 드레인 영역(116)과 상기 소오스 영역(112) 사이에 전위차가 발생하지 않는 경우, 모든 영역은 동일한 페르미 준위를 가진다.
- [0051] p^+-i-n^+ 구조에서, 상기 드레인 영역(116)은 p^+ 상태이고, 상기 소오스 영역(112)은 n^+ 상태이며, 상기 진성 영역(114)은 진성 상태이다. 여기서, 위첨자 +는 고농도 도핑을 의미한다. 상기 p^+-i-n^+ 구조는 n-i 접합(111a) 및 p-i 접합(111b)을 포함한다.
- [0052] 본 발명의 일 실시예에 따른 메모리 소자(100)는 쓰기 동작, 읽기 동작, 및 쓰기 동작에 의하여 이루어진 상태를 유지하는 홀드 동작을 수행할 수 있다. 이에 따라, 상기 반도체 메모리 소자(100)는 DRAM으로 동작할 수 있다. 게이트(G)는 게이트 전극과 혼용되어 사용되고, 소오스(S)는 소오스 영역과 혼용되어 사용되고, 드레인(D)은 드레인 영역과 혼용되어 사용될 수 있다.
- [0053] 상기 제1 게이트 전극(134) 및 상기 제2 게이트 전극(124) 중에서 하나의 게이트 전극은 인가 전압에 따라 메모리 소자를 동작시키고, 다른 하나의 게이트 전극은 일정한 게이트 바이어스 전압을 항상 유지하여 에너지 장벽을 만들 수 있다. 예를 들어, 상기 제1 게이트 전극(134)에 게이트 바이어스 전압이 인가되고, 상기 제2 게이트 전극(124)에 동작 전압이 인가되어, n 채널 동작 모드가 형성될 수 있다. 이에 따라, p-i-n 구조는 p-n-p-n 구조를 변경될 수 있다.
- [0054] 반대로, 상기 제2 게이트 전극(124)에 게이트 바이어스 전압이 인가되고, 상기 제1 게이트 전극(134)에 동작 전압이 인가되어, p 채널 동작 모드가 형성될 수 있다. 이에 따라, p-i-n 구조는 p-n-p-n 구조를 변경될 수 있다.
- [0055] DRAM에서, 논리 상태는 제1 논리 상태('0')와 제2 논리 상태('1')로 표시될 수 있다. 예를 들어, 상기 제1 게

트 전극(134)에 약 3V 수준의 게이트 바이어스 전압이 항상 인가될 수 있다. '0' 상태를 쓰기 위하여, 상기 제2 게이트 전극(124)에 $V_{G2} = -0.5$ V의 제1 게이트 전압이 인가되고, 드레인에 $V_{DS} = 1$ V의 제1 드레인 전압이 인가된 경우, 상기 제2 게이트 전극(124)이 마주보는 진성 영역(114)의 에너지 장벽이 증가하여 전도대의 전자들은 에너지 장벽을 넘기 어렵다. 또한, 상기 n-i 접합(111a)의 에너지 장벽이 증가하여 가전자대의 홀들은 에너지 장벽을 넘기 어렵다. 따라서, 상기 반도체 컬럼(110)을 통하여 드레인 전류(I_{DS})는 거의 흐르지 않는다.

[0056] 이어서, 상기 제1 게이트 전극(134)에 약 3V 수준의 게이트 바이어스 전압이 항상 인가된 상태에서, '0' 상태를 유지하기 위하여, 상기 제2 게이트 전극(124)에 $V_{G2} = 0$ V의 제2 게이트 전압이 인가되고, 드레인에 $V_{DS} = 0$ V의 제2 드레인 전압이 인가될 수 있다. 이 경우에도, 에너지 장벽에 의하여 상기 반도체 컬럼(110)을 통하여 흐르는 드레인 전류(I_{DS})는 거의 흐르지 않는다.

[0057] 이어서, '0' 상태를 읽기 위하여, 상기 제2 게이트 전극(124)에 $V_{G2} = 0$ V의 제2 게이트 전압이 인가되고, 드레인에 $V_{DS} = 1$ V의 제1 드레인 전압이 인가될 수 있다. 이 경우에도, 에너지 장벽에 의하여 상기 반도체 컬럼(110)을 통하여 흐르는 드레인 전류(I_{DS})는 거의 흐르지 않는다. 따라서, 상기 드레인에 연결된 전류 검출 회로(미도시)는 '0' 상태를 확인할 수 있다.

[0058] 상기 제1 게이트 전극(134)에 약 3V 수준의 게이트 바이어스 전압이 항상 인가된 상태에서, '1' 상태를 쓰기 위하여, 상기 제2 게이트 전극(124)에 $V_{G2} = 0.5$ V의 제3 게이트 전압이 인가되고, 드레인에 $V_{DS} = 1$ V의 제1 드레인 전압이 인가될 수 있다. 이 경우, n-i 접합(111a)의 에너지 장벽이 낮아지고, 상기 p-i 접합(111b)의 에너지 장벽도 낮아진다. 이에 따라, 전자들과 홀들은 상기 반도체 컬럼(110)을 통하여 흐를 수 있다.

[0059] '1' 상태를 유지하기 위하여, 상기 제2 게이트 전극(124)에 $V_{G2} = 0.0$ V의 제2 게이트 전압이 인가되고, 드레인에 $V_{DS} = 0$ V의 제2 드레인 전압이 인가될 수 있다. 이 경우, 상기 제1 게이트 전극(134)이 마주보는 진성 영역에 전도대 에너지 우물이 형성되고, 전자들이 구속된다. 또한, 상기 제2 게이트 전극(124)이 마주보는 진성 영역에 가전자대 에너지 우물이 형성되고, 홀들이 구속된다. 한편, 상기 전도대 에너지 우물 및 상기 가전자대 에너지 우물은 충분한 에너지 장벽을 제공하여, 드레인 전류(I_{DS})는 거의 흐르지 않는다.

[0060] '1' 상태를 읽기 위하여, 상기 제2 게이트 전극(124)에 $V_{G2} = 0.0$ V의 제2 게이트 전압이 인가되고, 드레인에 $V_{DS} = 1$ V의 제1 드레인 전압이 인가될 수 있다. 상기 제2 게이트 전극이 마주보는 진성 영역에서 전도대 에너지 우물에 구속된 전자들은 에너지 장벽을 낮추도록 에너지 밴드를 변경한다. 또한, 상기 제1 게이트 전극이 마주보는 진성 영역에서 가전자대 에너지 우물에 구속된 홀들은 에너지 장벽을 낮추도록 에너지 밴드를 변경한다. 이에 따라, 반도체 컬럼을 통하여 드레인 전류(I_{DS})가 흐른다.

[0061] 도 4를 참조하면, n 채널 동작 모드에서, 온/오프 전류 점멸비는 10^{11} 을 가지며, 문턱 전압 이하 기울기 특성(subthreshold swing; SS)는 0.1 mV/dec 수준이다. 게이트 전압에 따른 드레인 전류는 히스테리시스를 보이며, 소정의 동작 조건에 따라 무축전기 메모리 특성을 보인다.

[0062] 따라서, 상기 메모리 소자(100)는 무축전기 DRAM으로 사용될 수 있다. 이하에서, 무축전기 DRAM의 구조 및 동작 방법에 대하여 설명한다.

[0063] p-i-n 구조는 게이트 전극에 게이트 바이어스 전압이 인가됨에 따라, p-n-p-n 구조로 변경된다. 상기 제1 게이트 전극(134)에 인가되는 게이트 바이어스 전압은 1V 내지 3V 수준일 수 있다. 상기 제2 게이트 전극(124)에 인가되는 상기 제1 게이트 전압은 -0.25V 내지 -1 V이고, 상기 제2 게이트 전압은 -0.1 V 내지 0.1 V이고, 상기 제3 게이트 전압은 0.25 V 내지 1 V일 수 있다. 또한, 제1 드레인 전압은 0.1 V ~ 1 V이고, 제2 드레인 전압은 0 V일 수 있다.

[0064] 상기 메모리 소자는 채널 내 형성된 포텐셜 장벽으로 인해 채널 내 에너지 장벽은 p-n-p-n (또는 p-n-i-n)와 같은 구조를 가진다. 특정 바이어스 조건에서 전하가 주입되면서 일부 전하들이 채널 내부에 축적된다. 이에 따라 포텐셜 장벽이 급격히 소멸함과 동시에 채널 내부 양성 피드백 루프(feedback loop)가 발생한다. 이러한 현상은 메모리소자 동작 시 메모리 윈도우 특성을 발생시키며, 채널 내부에 축적된 전하가 존재하는 동안 메모리 윈도우가 유지될 수 있다.

- [0065] 본 발명의 변형된 실시예에 따르면, 상기 메모리 소자(100)는 n-i-p 구조로 변경될 수 있다.
- [0066] 본 발명의 변형된 실시예에 따르면, 상기 메모리 소자(100)는 제1 게이트 전극(134)과 제1 게이트 절연막(132) 사이에 제1 전하 저장층 및 제1 보조 게이트 전극을 더 포함할 수 있다. 또한, 상기 메모리 소자는 제2 게이트 전극(124)과 제2 게이트 절연막(122) 사이에 제2 전하 저장층 및 제2 보조 게이트 전극을 더 포함할 수 있다. 이 경우, 게이트 전극은 채널 내부에 포텐셜 장벽을 형성하는데 기여하고, 상기 전하 저장층은 전하를 저장할 수 있다. 상기 전하 저장층 및 상기 게이트 전극은 채널(또는 반도체 컬럼) 내 포텐셜 장벽을 변경하여 양성 피드백 루프(feedback loop)를 발생시키고, 메모리 특성에 활용될 수 있다.
- [0067] 메모리 소자의 게이트 전극에 특정 전압조건(프로그래밍 조건 또는 소거 조건)을 가해주면, 전하 저장층에 채널 내부의 전하를 저장하거나, 반대로 전하 저장층에 저장된 전하를 채널로 방출한다. 이러한 과정을 통해 채널 내부 포텐셜 장벽의 높이와 소자의 문턱 전압 이동(threshold voltage shift) 특성이 변화한다. 전하 저장층 내 전하는 장시간 보존이 가능하므로, 비휘발성 메모리 특성을 가진다.
- [0068] 본 발명의 일 실시예에 따른 FB-RAM은 단일소자에서 휘발성 메모리와 비휘발성 메모리 기능을 선택적으로 작동할 수 있다. 휘발성 메모리 작동 시에는 상기 전하 저장층에 전하를 저장하지 않은 상태에서 게이트 전압만으로 포텐셜 장벽을 형성하여 휘발성 메모리 윈도우를 생성한다. 비휘발성 메모리 작동 시에는 전하 저장층에 전하를 저장하여 비휘발성 메모리 윈도우를 생성한다. 따라서 FB-RAM의 전하 저장층의 전하 저장 여부가 휘발성/비휘발성 동작변환 스위치 역할을 한다.
- [0069] 도 5 및 도 6을 참조하면, 메모리 소자는 p-채널 동작을 수행할 수 있다.
- [0070] DRAM에서, 논리 상태는 제1 논리 상태('0')와 제2 논리 상태('1')로 표시될 수 있다. 예를 들어, 상기 제2 게이트 전극(124)에 약 -3V 수준의 게이트 바이어스 전압이 항상 인가될 수 있다. '0' 상태를 쓰기 위하여, 상기 제1 게이트 전극(134)에 $V_{G1} = +0.5$ V의 제1 게이트 전압이 인가되고, 드레인에 $V_{DS} = 1$ V의 제1 드레인 전압이 인가된 경우, 에너지 장벽이 형성되어 전자와 홀들은 에너지 장벽을 넘기 어렵다. 따라서, 상기 반도체 컬럼(110)을 통하여 드레인 전류(I_{DS})는 거의 흐르지 않는다.
- [0071] 이어서, 상기 제2 게이트 전극(124)에 약 3V 수준의 게이트 바이어스 전압이 항상 인가된 상태에서, '0' 상태를 유지하기 위하여, 상기 제1 게이트 전극(134)에 $V_{G1} = 0$ V의 제2 게이트 전압이 인가되고, 드레인에 $V_{DS} = 0$ V의 제2 드레인 전압이 인가될 수 있다. 이 경우에도, 에너지 장벽에 의하여 상기 반도체 컬럼(110)을 통하여 흐르는 드레인 전류(I_{DS})는 거의 흐르지 않는다.
- [0072] 이어서, '0' 상태를 읽기 위하여, 상기 제1 게이트 전극에 $V_{G2} = 0$ V의 제2 게이트 전압이 인가되고, 드레인에 $V_{DS} = 1$ V의 제1 드레인 전압이 인가될 수 있다. 이 경우에도, 에너지 장벽에 의하여 상기 반도체 컬럼(110)을 통하여 흐르는 드레인 전류(I_{DS})는 거의 흐르지 않는다. 따라서, 상기 드레인에 연결된 전류 검출 회로(미도시)는 '0' 상태를 확인할 수 있다.
- [0073] 상기 제2 게이트 전극에 약 3V 수준의 게이트 바이어스 전압이 항상 인가된 상태에서, '1' 상태를 쓰기 위하여, 상기 제1 게이트 전극(134)에 $V_{G2} = -0.5$ V의 제3 게이트 전압이 인가되고, 드레인에 $V_{DS} = 1$ V의 제1 드레인 전압이 인가될 수 있다. 이 경우, 에너지 장벽이 낮아진다. 이에 따라, 전자들과 홀들은 상기 반도체 컬럼(110)을 통하여 흐를 수 있다.
- [0074] '1' 상태를 유지하기 위하여, 상기 제1 게이트 전극(134)에 $V_{G2} = 0.0$ V의 제2 게이트 전압이 인가되고, 드레인에 $V_{DS} = 0$ V의 제2 드레인 전압이 인가될 수 있다. 이 경우, 에너지 장벽이 형성되어, 드레인 전류(I_{DS})는 거의 흐르지 않는다.
- [0075] '1' 상태를 읽기 위하여, 상기 제1 게이트 전극(134)에 $V_{GS} = 0.0$ V의 제2 게이트 전압이 인가되고, 드레인에 $V_{DS} = 1$ V의 제1 드레인 전압이 인가될 수 있다. 에너지 장벽이 장벽이 변경되어 상기 반도체 컬럼을 통하여 드레인 전류(I_{DS})가 흐른다.
- [0076] 도 7은 본 발명의 일 실시예에 따른 무축전기 DRAM을 설명하는 회로도이다.
- [0077] 도 8은 도 7의 무축전기 DRAM의 셀 영역을 나타내는 평면도이다.

- [0078] 도 9는 도 8의 A-A' 선을 따라 자른 단면도이다.
- [0079] 도 10a 내지 도 10i는 공정 순서에 따라 도 8의 A-A'선을 자른 단면도들이다.
- [0080] 도 7 내지 도 10을 참조하면, 상기 무축전기 DRAM(200)은 복수의 단위 메모리 소자(100)를 포함한다. 상기 단위 메모리 소자들(100)은 매트릭스 형태로 배열되고, 상기 메모리 소자의 반도체 컬럼(110)은 기판에서 수직으로 연장된다. 상기 단위 메모리 소자(100)는 제1 게이트(G1), 제2 게이트(G2), 소오스(S), 드레인(D)을 포함하는 4단자 소자이다. 제1 방향으로 배열된 단위 메모리 소자(100)의 제1 게이트들은 제1 워드라인(WL1)에 연결되고, 상기 제2 게이트들(G2)은 제2 워드 라인(WL2)에 연결된다. 상기 제1 워드 라인(WL1)과 제1 게이트(G1)는 일체형으로 형성된다. 상기 제2 게이트들(G2)과 상기 제2 워드라인(WL2)는 일체형으로 형성된다. 또한, 제2 방향으로 배열된 단위 메모리 소자(100)의 드레인은 비트 라인(BL)에 연결된다. 또한, 제1 방향으로 배열된 단위 메모리 소자(100)의 소오스(S)는 소오스 라인(SL)에 연결된다. 상기 소오스 라인(SL)이 접지될 수 있다.
- [0081] n 채널 동작 모드인 경우, 제1 워드 라인(WL1)은 게이트 바이어스 전압에 의하여 에너지 장벽을 변경하고, 제2 워드 라인(WL2)과 하나의 비트 라인(BL)을 선택하여, 쓰기 동작, 홀드 동작, 및 읽기 동작에 대응하는 전압을 인가하면, 각 단위 메모리 셀(100)을 액세스할 수 있다.
- [0082] p 채널 동작 모드인 경우, 제2 워드 라인(WL1)은 게이트 바이어스 전압에 의하여 에너지 장벽을 변경하고, 제1 워드 라인(WL2)과 하나의 비트 라인(BL)을 선택하여, 쓰기 동작, 홀드 동작, 및 읽기 동작에 대응하는 전압을 인가하면, 각 단위 메모리 셀(100)을 액세스할 수 있다.
- [0083] 상기 단위 메모리 소자(100)는 반도체 컬럼(110), 제1 게이트 전극(134), 제2 게이트 전극(124), 제1 게이트 절연막(132), 및 제2 게이트 절연막(122)을 포함한다. 상기 반도체 컬럼(110)은 기판(201) 상에서 수직으로 연장되고 제1 도전형의 소오스 영역(112), 제2 도전형의 드레인 영역(116), 및 상기 소오스 영역(112)과 상기 드레인 영역(116) 사이에 배치된 진성 영역(114)을 포함한다. 상기 제1 게이트 전극은 상기 드레인 영역에 인접하게 배치되고 상기 진성 영역(114)을 감싸도록 배치된다. 상기 제2 게이트 전극은 상기 소오스 영역에 인접하게 배치되고 상기 진성 영역을 감싸도록 배치된다. 상기 제1 게이트 절연막(132)은 상기 제1 게이트 전극과 상기 진성 영역(114) 사이에 배치되고, 상기 제2 게이트 절연막(122)은 상기 제2 게이트 전극과 상기 진성 영역 사이에 배치된다.
- [0084] 상기 무축전기 DRAM(200)은 소자 분리막들(202), 소오스 라인들(SL), 반도체 컬럼들(110), 제1 워드 라인들(WL1), 제2 워드라인들(WL2), 제1 게이트 절연막(132), 제2 게이트 절연막(122), 게이트 분리막들(209), 그리고 비트 라인(BL)을 포함한다. 제1 게이트 전극은 제1 방향으로 배열된 복수의 트랜지스터들에 공통으로 사용되어 제1 워드라인(WL1)을 구성할 수 있다. 제2 게이트 전극은 제1 방향으로 배열된 복수의 트랜지스터들에 공통으로 사용되어 제2 워드 라인(WL2)을 구성할 수 있다. 상기 제1 워드 라인(WL1)과 제2 워드 라인(WL2)은 수직으로 정렬되어 서로 나란히 제1 방향으로 연장될 수 있다.
- [0085] 상기 소자 분리막들(202)은 기판(201)에서 제1 방향으로 나란히 연장된다. 상기 소오스 라인들(SL)은 상기 소자 분리막(202)과 동일한 상부면을 가지고 상기 소자 분리막(202) 사이에 배치되고 상기 제1 방향으로 나란히 연장된다. 상기 반도체 컬럼들(110)은 상기 소오스 라인들(SL) 상에서 주기적으로 배치되고 상기 기판(201)에서 수직하게 연장된다. 상기 제1 워드 라인들(WL1)은 상기 반도체 컬럼의 드레인 영역에 인접하여 배치되고 상기 제1 방향으로 배열된 상기 반도체 컬럼들(110)의 진성 영역의 측면을 감싸도록 배치되고 상기 제1 방향으로 연장된다. 상기 제2 워드 라인들(WL2)은 상기 반도체 컬럼의 소오스 영역에 인접하게 배치되고 상기 제1 워드 라인들(WL1)과 수직으로 이격되고 상기 제1 워드 라인들(WL1)과 정렬되고 상기 반도체 컬럼들(110)의 진성 영역의 측면을 감싸도록 배치되고 상기 제1 방향으로 연장된다.
- [0086] 상기 제1 게이트 절연막(132)은 상기 반도체 컬럼(110)과 상기 제1 워드 라인(WL1) 사이에 배치되어 상기 반도체 컬럼(110)의 측면을 감싸도록 배치된다. 제2 게이트 절연막(122)은 상기 반도체 컬럼과 상기 제2 워드 라인(WL2) 사이에 배치되어 상기 반도체 컬럼의 측면을 감싸도록 배치된다.
- [0087] 상기 게이트 분리막들(209)은 상기 제1 방향으로 연장되고 제2 방향으로 이격되어 배치된 제1/제2 워드 라인(WL1/WL2)들 사이를 채운다.
- [0088] 비트 라인(BL)은 상기 제1 방향에 수직한 제2 방향으로 배열된 상기 반도체 컬럼들(110)의 상부면에 접하여 상기 제2 방향으로 연장된다.
- [0089] 상기 반도체 컬럼(110)은 차례로 적층된 제1 도전형의 소오스 영역, 진성 영역, 및 제2 도전형의 드레인 영역을

포함한다. 상기 소오스 영역은 상기 소오스 라인(SL)과 접촉하고, 상기 드레인 영역은 상기 비트 라인(BL)과 접촉한다. 상기 제1 도전형은 n형이고, 상기 제2 도전형은 p형일 수 있다.

- [0090] 상기 기판(201)은 실리콘 기판일 수 있다. 상기 기판은 단위 메모리 셀들이 형성되는 셀 영역과 주변회로들이 배치되는 주변 영역으로 구분될 수 있다. 상기 셀 영역은 이온 주입 공정에 의하여 웰 공정(well process)에 의하여 상기 제2 도전형으로 도핑될 수 있다.
- [0091] 소자 분리막들(202)은 실리콘 산화막일 수 있다. 상기 소자 분리막들(202)은 얇은 트렌치 분리 공정(shallow trench isolation; STI) 공정에 의하여 형성될 수 있다. 상기 소오스 라인들(SL)은 STI 공정에 의하여 정의된 활성 영역에 대응할 수 있다. 상기 소오스 라인들(SL)은 상기 활성 영역을 상기 제1 도전형 불순물들에 의하여 도핑되어 생성될 수 있다.
- [0092] 상기 반도체 컬럼들(110)은 실리콘이고 화학 기상 증착법 또는 에피택시 성장법 등에 의하여 형성될 수 있다. 또한, 상기 반도체 컬럼들(110)은 성장과 동시에 도핑되어 p-i-n 구조 또는 n-i-p 구조를 가질 수 있다. 상기 제1/제2 워드 라인들(WL1/WL2)은 고농도로 도핑된 폴리 실리콘, 금속, 금속합금, 금속 실리사이드 중에서 적어도 하나를 포함할 수 있다. 상기 제1/제2 게이트 절연막(132, 122)은 실리콘 산화막 또는 실리콘 산화질화막일 수 있다. 상기 게이트 분리막들(209)들은 실리콘 산화막 또는 실리콘 질화막일 수 있다. 상기 비트 라인(BL)은 금속, 금속 합금, 및 금속 실리사이드 중에서 적어도 하나를 포함할 수 있다.
- [0093] 상기 무축전기 DRAM은 다음과 같은 제조 방법에 의하여 형성될 수 있다. 기판(201) 상에 제1 방향으로 연장되는 소자 분리막(202)을 형성하여 활성 영역을 정의한다. 상기 소자 분리막(202)은 STI 공정에 의하여 형성될 수 있다. 상기 활성 영역은 제1 도전형으로 도핑될 수 있다.
- [0094] 이어서, 상기 활성 영역이 형성된 기판 상에 제1 층간 절연막(203), 제2 층간 절연막(204), 제3 층간 절연막(205), 제4 층간 절연막(206), 및 제5 층간 절연막(207)을 적층한다. 상기 제1 층간 절연막(203), 상기 제3 층간 절연막(205), 및 상기 제5 층간 절연막(207)은 실리콘 산화막일 수 있다. 상기 제2 층간 절연막(204) 및 상기 제4 층간 절연막(206)은 실리콘 질화막일 수 있다.
- [0095] 이어서, 상기 제5 층간 절연막(207), 상기 제4 층간 절연막(206), 상기 제3 층간 절연막(205), 제2 층간 절연막(204), 및 제1 층간 절연막(201)을 관통하는 관통홀(110a)을 형성한다.
- [0096] 이어서, 상기 관통홀(110a)에 차례로 제1 도전형의 소오스 영역, 진성 영역, 및 제2 도전형의 드레인 영역을 포함하는 반도체 컬럼(110)을 성장시킨다. 상기 반도체 컬럼은 성장과 동시에 불순물에 의하여 도핑되거나, 성장 후에 이온 주입 공정에 의하여 도핑될 수 있다.
- [0097] 이어서, 상기 제1 방향으로 배열된 상기 반도체 컬럼들(110)을 사이에 두고 상기 제5 층간 절연막(207), 상기 제4 층간 절연막(206), 상기 제3 층간 절연막(205), 제2 층간 절연막(204), 및 제1 층간 절연막(203)을 관통하고 상기 제1 방향으로 연장되는 트렌치(208a)를 형성한다. 상기 트렌치(208a)는 상기 반도체 컬럼을 사이에 두고 주기적으로 배열될 수 있다.
- [0098] 본 발명의 변형된 실시예에 따르면, 상기 트렌치(208a)는 상기 제1 층간 절연막을 관통하지 않을 수 있다.
- [0099] 이어서, 상기 제2 층간 절연막(204) 및 상기 제4 층간 절연막(206)을 제거한 후 노출된 상기 반도체 컬럼(110)의 측면에 제1 게이트 절연막(132) 및 제2 게이트 절연막(122)을 형성한다. 상기 제4 층간 절연막이 제거된 영역에 제1 게이트 절연막이 형성되고, 상기 제2 층간 절연막이 제거된 영역에 제2 게이트 절연막이 형성된다. 상기 제2 층간 절연막 및 상기 제4 층간 절연막은 습식 식각에 의하여 선택적으로 제거될 수 있다.
- [0100] 이어서, 상기 제2 층간 절연막 및 상기 제4 층간 절연막이 제거된 부위 및 상기 트렌치(208a)에 도전체(208)를 채운다. 상기 도전체는 게이트 전극을 형성하는 물질로 도핑된 폴리 실리콘, 금속, 또는 금속 합금일 수 있다. 바람직하게는, 상기 도전체는 폴리 실리콘 또는 탄탈늄일 수 있다.
- [0101] 이어서, 상기 트렌치(208a)를 채운 상기 도전체(208)를 제거하여 게이트 전극(또는 워드라인)을 형성하고 보조 트렌치(209a)를 형성한다. 게이트 전극은 제1 게이트 전극 및 제2 게이트 전극을 포함한다. 상기 제1 게이트 전극은 상기 제1 방향으로 연장되어 제1 워드 라인(WL1)을 형성한다. 상기 제2 게이트 전극은 상기 제2 방향으로 연장되어 제2 워드 라인(WL2)을 형성한다.
- [0102] 이어서, 상기 보조 트렌치(209a)를 절연체로 매립하여 게이트 분리막(209)을 형성한다. 상기 게이트 분리막은 실리콘 산화막 또는 실리콘 질화막일 수 있다.

- [0103] 이어서, 상기 반도체 컬럼의 상기 드레인 영역에 접촉하고 상기 제1 방향으로 수직한 제2 방향으로 연장되는 비트 라인(BL)을 형성한다.
- [0104] 도 10a를 참조하면, 기판(201) 상에 제1 방향으로 연장되는 소자 분리막(201)을 형성하여 활성 영역을 정의한다. 상기 기판(201) 상에 마스크를 이용하여 셀 영역과 주변 영역을 구분하고, 이온 주입 공정을 통하여 웰을 각각 형성한다.
- [0105] 상기 셀 영역에서 상기 기판(201) 상에 제1 방향으로 연장되는 소자 분리막(201)을 형성한다. 상기 소자 분리막과 활성 영역은 종래의 STI 공정을 통하여 형성될 수 있다. 상기 활성 영역은 이웃한 소자 분리막 사이에 노출된 영역으로 제1 도전형의 불순물을 이용하여 이온 주입 공정에 의하여 제1 도전형으로 고농도로 도핑될 수 있다. 이에 따라, 상기 활성 영역은 상기 소오스 라인(SL)을 형성할 수 있다. 상기 소자 분리막(201)은 실리콘 산화막이고, 상기 소자 분리막(202)의 상부면에는 식각 정지막(미도시)으로 실리콘 질화막을 포함할 수 있다.
- [0106] 상기 소오스 라인(SL)이 형성된 상기 기판(201) 상에 차례로 제1 층간 절연막(203), 제2 층간 절연막(204), 제3 층간 절연막(205), 제4 층간 절연막(206), 및 제5 층간 절연막(207)을 적층한다. 상기 제1 층간 절연막(203), 상기 제3 층간 절연막(205), 상기 제5 층간 절연막(207)은 실리콘 산화막이고, 상기 제2 층간 절연막(204) 및 상기 제4 층간 절연막(206)은 실리콘 질화막일 수 있다. 상기 제3 층간 절연막(205)의 두께는 상기 제2 층간 절연막(204) 또는 제4 층간 절연막(206)보다 얇을 수 있다.
- [0107] 도 10b를 참조하면, 패터닝 공정을 이용하여 상기 제5 층간 절연막(207), 상기 제4 층간 절연막(206), 상기 제3 층간 절연막(205), 상기 제2 층간 절연막(204), 및 상기 제1 층간 절연막(203)을 관통하는 관통홀(110a)을 형성한다. 상기 관통홀(110a)은 상기 소오스 라인 상에서 주기적으로 매트릭스 형태로 배치될 수 있다.
- [0108] 도 10c를 참조하면, 상기 관통홀(110a)에 차례로 제1 도전형의 소오스 영역(112), 진성 영역(114), 및 제2 도전형의 드레인 영역(116)을 포함하는 반도체 컬럼(110)을 성장시킨다. 상기 진성 영역(114)은 상기 제2 층간 절연막(204), 상기 제3 층간 절연막(205), 및 제4 층간 절연막(206)과 정렬될 수 있다. 상기 반도체 컬럼(110)은 실리콘 에피택시얼 공정에 의하여 형성되거나, 폴리 실리콘을 증착하고 어닐링 공정을 통하여 결정화할 수 있다. 도핑은 실리콘 에피택시얼 공정 중에 수행되거나, 실리콘 컬럼을 형성한 후 이온 주입 공정에 의하여 수행될 수 있다. 상기 반도체 컬럼(110)이 상기 관통홀을 채운 후 평탄화 공정이 수행될 수 있다.
- [0109] 도 10d를 참조하면, 상기 제1 방향으로 배열된 상기 반도체 컬럼들(110)을 사이에 두고 상기 제5 층간 절연막(207), 상기 제4 층간 절연막(206), 상기 제3 층간 절연막(205), 상기 제2 층간 절연막(204), 및 상기 제1 층간 절연막(203)을 관통하고 상기 1 방향으로 연장되는 트렌치(208a)를 형성한다. 상기 트렌치(208a)는 상기 제1 방향으로 연장되어 상기 제2 층간 절연막(204) 및 상기 제4 층간 절연막(206)은 서로 분리될 수 있다.
- [0110] 도 10e를 참조하면, 상기 제2 층간 절연막(204) 및 상기 제4 층간 절연막(206)은 습식 식각에 의하여 선택적으로 제거될 수 있다.
- [0111] 도 10f를 참조하면, 상기 제4 층간 절연막(206) 및 상기 제2 층간 절연막(204)을 제거한 후 노출된 상기 반도체 컬럼(110)의 측면에 제1 게이트 절연막(132) 및 제2 게이트 절연막(122)을 각각 형성한다. 상기 제1 게이트 절연막(132) 및 상기 제2 게이트 절연막(122)은 수십 nm 수준의 실리콘 산화막일 수 있다. 상기 실리콘 산화막은 열 산화 공정에 의하여 형성될 수 있다.
- [0112] 도 10g를 참조하면, 상기 제2 층간 절연막(204) 및 상기 제4 층간 절연막(206)이 제거된 부위 및 상기 트렌치(208a)에 도전체(108)를 채운다. 상기 도전체는 분리된 후에 게이트 전극으로 사용되고, 트랜지스터들을 연결하는 워드 라인으로 사용될 수 있다. 상기 도전체는 고농도로 도핑된 폴리 실리콘, 금속, 금속 합금, 금속 실리사이드 중에서 적어도 하나를 포함할 수 있다. 상기 도전체(208)가 상기 트렌치(208a)를 채운 후 평탄화 공정이 수행될 수 있다.
- [0113] 도 10h를 참조하면, 패터닝 공정을 사용하여 상기 트렌치(208a)를 채운 상기 도전체(208)를 제거하여 제1 게이트 전극(또는 제1 워드라인) 및 제2 게이트 전극(또는 제2 워드라인)을 형성하고 보조 트렌치(209a)를 형성한다. 상기 보조 트렌치(209a)는 상기 제2 방향으로 상기 도전체를 서로 분리하여 제1 워드 라인(WL1) 및 제2 워드 라인(WL2)을 형성한다.
- [0114] 도 10i를 참조하면, 상기 보조 트렌치(209a)를 절연체로 매립하여 게이트 분리막(209)을 형성할 수 있다. 상기 절연체가 상기 보조 트렌치(208a)를 채운 후 평탄화 공정이 수행될 수 있다.
- [0115] 다시, 도 9를 참조하면, 패터닝 공정을 사용하여 상기 반도체 컬럼(100)의 상기 드레인 영역에 접촉하고 상기

제1 방향으로 수직인 제2 방향으로 연장되는 비트 라인(BL)을 형성한다. 상기 비트 라인(BL)은 제2 방향으로 배열된 상기 반도체 컬럼(100)의 상기 드레인 영역들을 서로 연결할 수 있다. 상기 비트 라인(BL)은 금속, 금속 합금, 또는 금속 실리사이드 중에서 적어도 하나를 포함할 수 있다.

[0116] 도 11은 본 발명의 다른 실시예에 따른 메모리 소자를 설명하는 평면도이다.

[0117] 도 12는 도 11의 B-B' 선을 따라 자른 단면도이다.

[0118] 도 13a 내지 도 13h는 도 12의 메모리 소자를 제조하는 방법을 설명하는 단면도들이다.

[0119] 도 11 내지 도 13을 참조하면, 무축전기 DRAM(300)은 단위 메모리 소자(100)를 포함한다. 상기 단위 메모리 소자들(100)은 매트릭스 형태로 배열되고, 상기 메모리 소자의 반도체 컬럼(110)은 기판에서 수직으로 연장된다. 상기 단위 메모리 소자(100)는 제1 게이트(G1), 제2 게이트(G2), 소오스(S), 드레인(D)을 포함하는 4 단자 소자이다. 제1 방향으로 배열된 단위 메모리 소자의 제1 게이트들은 제1 워드라인(WL1)에 연결된다. 제2 게이트들은 제2 워드 라인(WL2)에 연결된다.

[0120] 또한, 제2 방향으로 배열된 단위 메모리 소자의 드레인(D)은 비트 라인(BL)에 연결된다. 또한, 제1 방향으로 배열된 단위 메모리 소자의 소오스(S)는 소오스 라인(SL)에 연결된다. 제1 워드 라인(WL1) 또는 제2 워드 라인(WL2) 중에서 하나는 게이트 바이어스 전압을 인가하기 위하여 사용되고, 제1 워드 라인(WL1) 또는 제2 워드 라인(WL2) 중에서 다른 하나와 상기 비트 라인(BL)을 선택하여, 쓰기 동작, 홀드 동작, 및 읽기 동작에 대응하는 전압을 인가하면, 각 단위 메모리 셀을 액세스할 수 있다.

[0121] 상기 단위 메모리 소자(100)는 반도체 컬럼(110), 제1 게이트 전극(134) 제2 게이트 전극(124), 제1 게이트 절연막(132), 및 제2 게이트 절연막(122)을 포함한다. 상기 반도체 컬럼(110)은 기판 상에서 수직으로 연장되고 제1 도전형의 소오스 영역(112), 제2 도전형의 드레인 영역(116), 및 상기 소오스 영역(112)과 상기 드레인 영역(116) 사이에 배치된 진성 영역(114)을 포함한다. 상기 제1 게이트 전극(134)은 상기 드레인 영역에 인접하여 상기 진성 영역(114)을 감싸도록 배치된다. 상기 제2 게이트 전극은 상기 소오스 영역에 인접하여 상기 진성 영역(114)를 감싸도록 배치된다. 상기 제1 게이트 전극과 상기 제2 게이트 전극은 수직으로 서로 이격된다. 상기 제1 게이트 절연막(132)은 상기 제1 게이트 전극(134)과 상기 진성 영역(114) 사이에 배치되고, 상기 제2 게이트 절연막(122)은 상기 제2 게이트 전극(124)과 상기 진성 영역 사이에 배치된다.

[0122] 상기 메모리 소자(300)는 소오스 라인들(SL), 반도체 컬럼들(110), 제1 워드 라인들(WL1), 제2 워드 라인(WL2), 제1 게이트 절연막(132), 제2 게이트 절연막(122), 게이트 분리막들(309), 그리고 비트 라인(BL)을 포함한다. 상기 제1 게이트 전극(134)은 제1 방향으로 배열된 복수의 트랜지스터들에 공통으로 사용되어 제1 워드라인(WL1)을 구성할 수 있다. 상기 제2 게이트 전극(124)은 제1 방향으로 배열된 복수의 트랜지스터들에 공통으로 사용되어 제2 워드라인(WL2)를 구성할 수 있다.

[0123] 상기 소오스 라인들(SL)은 기판 상에서 제1 방향으로 나란히 연장된다. 소오스 라인 절연막(302)은 상기 소오스 라인들(SL)과 상기 기판(201) 사이에 배치된다. 상기 소오스 라인들은 도핑된 실리콘일 수 있다. 상기 소오스 라인 절연막은 실리콘 산화막일 수 있다. 상기 소오스 라인과 상기 소오스 라인 절연막은 수직으로 서로 정렬될 수 있다.

[0124] 상기 반도체 컬럼들(110)은 상기 소오스 라인들(SL) 상에서 주기적으로 배치되고 기판에서 수직하게 연장된다. 상기 제1 워드 라인들(WL1)은 상기 제1 방향으로 배열된 상기 반도체 컬럼들(110)의 측면을 감싸도록 배치되고 상기 제1 방향으로 연장된다. 상기 제2 워드 라인들(WL2)은 상기 제1 워드 라인들(WL1)의 하부에서 상기 제1 방향으로 배열된 상기 반도체 컬럼들(110)의 측면을 감싸도록 배치되고 상기 제1 방향으로 연장된다.

[0125] 상기 제1 게이트 절연막(132)은 상기 반도체 컬럼(110)과 상기 제1 워드 라인(WL1) 사이에 배치되어 상기 반도체 컬럼(110)의 측면을 감싸도록 배치된다. 상기 제2 게이트 절연막(122)은 상기 반도체 컬럼(110)과 상기 제2 워드 라인(WL2) 사이에 배치되어 상기 반도체 컬럼(110)의 측면을 감싸도록 배치된다.

[0126] 상기 게이트 분리막들(309)은 상기 제1 방향으로 연장되고 상기 워드라인들(WL1, WL2) 사이를 채운다.

[0127] 상기 비트 라인(BL)은 상기 제1 방향에 수직인 제2 방향으로 배열된 상기 반도체 컬럼들(110)의 상부면에 접하여 상기 제2 방향으로 연장된다. 상기 반도체 컬럼(110)은 제1 도전형의 소오스 영역, 제2 도전형의 드레인 영역, 및 상기 소오스 영역과 상기 드레인 영역 사이에 배치된 진성 영역을 포함한다. 상기 소오스 영역은 상기 소오스 라인(SL)과 접촉하고, 상기 드레인 영역은 상기 비트 라인(BL)과 접촉한다. 상기 제1 도전형은 n형이고,

상기 제2 도전형은 p형일 수 있다.

- [0128] 상기 기판(201)은 실리콘 기판일 수 있다. 상기 기판은 단위 메모리 셀들이 형성되는 셀 영역과 주변회로들이 배치되는 주변 영역으로 구분될 수 있다.
- [0129] 상기 소오스 라인들(SL)은 소오스 라인 절연막(302)을 개재하여 상기 기판(201) 상에 형성된다. 상기 소오스 라인들(SL)은 제1 방향으로 연장되고, 제1 도전형으로 도핑된 실리콘일 수 있다. 상기 반도체 컬럼들(110)은 실리콘이고 화학 기상 증착법 또는 에피택시 성장법 등에 의하여 형성될 수 있다. 또한, 상기 반도체 컬럼들(110)은 성장과 동시에 도핑되어 p-i-n 구조 또는 n-i-p 구조를 가질 수 있다. 상기 워드 라인들(WL1, WL2)은 고농도로 도핑된 폴리 실리콘, 금속, 금속합금, 금속 실리사이드 중에서 적어도 하나를 포함할 수 있다. 상기 제1 게이트 절연막(132) 및 제2 게이트 절연막(122)은 실리콘 산화막 또는 실리콘 산화질화막일 수 있다. 상기 게이트 분리막들(309)들은 실리콘 산화막 또는 실리콘 질화막일 수 있다. 상기 비트 라인(BL)은 금속, 금속 합금, 및 금속 실리사이드 중에서 적어도 하나를 포함할 수 있다.
- [0130] 상기 무축전기 DRAM(300)은 다음과 같은 제조 방법에 의하여 형성될 수 있다.
- [0131] 기판(201) 상에 소오스 라인 절연막(302)을 개재하여 제1 방향으로 연장되는 소오스 라인(SL)을 패터닝한다. 이어서, 상기 소오스 라인(SL)이 형성된 기판 상에 제1 층간 절연막(303), 제2 층간 절연막, 제3 층간 절연막(305), 제4 층간 절연막, 및 제5 층간 절연막(307)을 적층하고 상기 소오스 라인 상에 상기 제5 층간 절연막, 상기 제4 층간 절연막, 상기 제3 층간 절연막, 및 상기 제1 층간 절연막을 관통하는 관통홀을 형성한다. 이어서, 상기 관통홀에 차례로 제1 도전형의 소오스 영역, 진성 영역, 및 제2 도전형의 드레인 영역을 포함하는 반도체 컬럼(110)을 성장시킨다. 이어서, 상기 제1 방향으로 배열된 상기 반도체 컬럼들을 사이에 두고 상기 제5 층간 절연막(307), 상기 제4 층간 절연막, 상기 제3 층간 절연막(305), 및 상기 제2 층간 절연막을 관통하고 상기 제1 방향으로 연장되는 트렌치를 형성한다. 이어서, 상기 제2 층간 절연막 및 상기 제4 층간 절연막을 제거한 후 노출된 상기 반도체 컬럼의 측면에 제1 게이트 절연막(132) 및 제2 게이트 절연막(122)을 형성한다. 상기 제2 층간 절연막 및 상기 제4 층간 절연막이 제거된 부위 및 상기 트렌치에 도전체를 채운다. 이어서, 상기 트렌치를 채운 상기 도전체를 제거하여 게이트 전극을 형성하고 보조 트렌치를 형성한다. 이어서, 상기 보조 트렌치를 절연체로 매립한다. 이어서, 상기 반도체 컬럼의 상기 드레인 영역에 접촉하고 상기 제1 방향에 수직한 제2 방향으로 연장되는 비트 라인(BL)을 형성한다.
- [0132] 도 13a를 참조하면, 기판(201) 상에 소오스 라인 절연막(302) 및 도전층을 형성하고 패터닝하여 소오스 라인(SL)을 형성한다. 상기 소오스 라인 절연막(302)은 실리콘 산화막 또는 실리콘 질화막일 수 있다. 상기 도전층은 제1 도전형으로 도핑된 폴리 실리콘 또는 단결정 실리콘일 수 있다.
- [0133] 본 발명의 변형된 실시예에 따르면, 상기 소오스 라인 절연막은 패터닝되지 않을 수 있다.
- [0134] 이어서, 상기 소오스 라인(SL)이 형성된 기판(201) 상에 제1 층간 절연막(303), 제2 층간 절연막(304), 제3 층간 절연막(305), 제4 층간 절연막(306), 및 제5 층간 절연막(307)을 적층한다. 상기 제1 층간 절연막(303)을 증착한 후에 평탄화될 수 있다. 상기 제1 층간 절연막(303), 상기 제3 층간 절연막(305), 및 상기 제5 층간 절연막(307)은 실리콘 산화막일 수 있다. 상기 제2 층간 절연막(304) 및 상기 제4 층간 절연막(306)은 실리콘 질화막일 수 있다.
- [0135] 도 13b를 참조하면, 패터닝 공정을 이용하여 상기 소오스 라인(SL) 상에 상기 제5 층간 절연막(307), 상기 제4 층간 절연막(306), 상기 제3 층간 절연막(305), 상기 제2 층간 절연막(304), 및 상기 제1 층간 절연막(303)을 관통하는 관통홀(110a)을 형성한다. 상기 관통홀(110a)은 상기 소오스 라인(SL) 상에서 매트릭스 형태로 배열될 수 있다.
- [0136] 도 13c를 참조하면, 상기 관통홀(110a)에 차례로 제1 도전형의 소오스 영역, 진성 영역, 및 제2 도전형의 드레인 영역을 포함하는 반도체 컬럼을 성장시킨다. 상기 반도체 컬럼(110)이 형성된 후 평탄화 공정이 진행될 수 있다.
- [0137] 도 13d를 참조하면, 상기 제1 방향으로 배열된 상기 반도체 컬럼들(110)을 사이에 두고 상기 제5 층간 절연막(307), 상기 제4 층간 절연막(306), 및 상기 제2 층간 절연막(305)을 관통하고 상기 제1 방향으로 연장되는 트렌치(308a)를 형성한다. 상기 트렌치들(308a)은 상기 제2 내지 제5 층간 절연막들을 서로 분리한다.
- [0138] 도 13e 및 도 13f를 참조하면, 상기 제2 층간 절연막(304) 및 제4 층간 절연막(306)은 습식 식각에 의하여 선택적으로 제거된다. 노출된 상기 반도체 컬럼(110)의 측면에 제1 게이트 절연막(132) 및 제2 게이트 절연막(122)

을 각각 형성한다.

- [0139] 본 발명의 변형된 실시예에 따르면, 상기 제1 및 제2 게이트 절연막이 형성된 후 전하 저장층 및 보조 게이트 절연막을 추가적으로 더 형성할 수 있다. 이 경우, 상기 전하 저장층은 전하 트랩 동작을 수행할 수 있다.
- [0140] 도 13g를 참조하면, 상기 제2 층간 절연막(304) 및 상기 제4 층간 절연막(306)이 제거된 부위 및 상기 트렌치(308a)에 도전체(308)를 채운다. 상기 도전체가 상기 트렌치(308a)를 채운 후 평탄화 공정이 진행될 수 있다.
- [0141] 도 13h를 참조하면, 상기 트렌치(308a)를 채운 상기 도전체를 제거하여 제1 게이트 전극(또는 제1 워드라인) 및 제2 게이트 전극(또는 제2 워드 라인)을 형성하고 보조 트렌치(309a)를 형성한다. 이어서, 상기 보조 트렌치(309a)를 절연체로 매립한다. 이에 따라, 게이트 분리막(309)이 형성된다.
- [0142] 다시, 도 12를 참조하면, 패터닝 공정을 이용하여 상기 반도체 컬럼(110)의 상기 드레인 영역에 접촉하고 상기 제1 방향에 수직한 제2 방향으로 연장되는 비트 라인(BL)을 형성한다.
- [0143] 도 14는 본 발명의 또 다른 실시예에 따른 메모리 소자를 나타내는 개념도이다.
- [0144] 도 15는 도 14의 메모리 소자를 설명하는 회로도이다.
- [0145] 도 16은 15의 메모리 소자를 나타내는 평면도이다.
- [0146] 도 17은 도 16의 C-C'선을 따라 자른 단면도이다.
- [0147] 도 18a 내지 도 18h는 도 17의 메모리 소자의 제조 공정을 설명하는 단면도들이다.
- [0148] 도 14 내지 도 18을 참조하면, 메모리 소자(100a)는 기판(201) 상에서 수직으로 연장되고 제1 도전형의 소오스 영역, 제2 도전형의 드레인 영역, 및 상기 소오스 영역과 상기 드레인 영역 사이에 배치된 진성 영역을 포함하는 반도체 컬럼(110); 상기 드레인 영역에 인접하여 상기 진성 영역을 감싸도록 배치된 제1 게이트 전극(134); 상기 소오스 영역에 인접하여 상기 진성 영역을 감싸도록 배치된 제2 게이트 전극(124); 상기 제1 게이트 전극과 상기 진성 영역 사이에 배치된 제1 게이트 절연막(132a), 및 제2 게이트 전극과 상기 진성 영역 사이에 배치된 제2 게이트 절연막(122a)을 포함한다. 상기 메모리 소자는 상기 제1 게이트 절연막과 상기 제1 게이트 전극 사이에 배치된 제1 전하 저장층(132b) 및 상기 제1 전하 저장층과 상기 제1 게이트 전극 사이에 배치된 제1 보조 게이트 절연막(132c)을 포함한다. 상기 메모리 소자는 상기 제2 게이트 절연막(122a)과 상기 제2 게이트 전극(124) 사이에 배치된 제2 전하 저장층(122b) 및 상기 제2 전하 저장층과 상기 제2 게이트 전극 사이에 배치된 제2 보조 게이트 절연막(122c)을 포함한다.
- [0149] 상기 제1 전하 저장층(132b) 및 상기 제2 전하 저장층(122b)은 실리콘 질화막과 같은 전하 트랩층일 수 있다. 상기 제1 보조 게이트 절연막(132c) 및 상기 제2 보조 게이트 절연막(122c)은 고유전율막일 수 있다. 예를 들어, 상기 제1 보조 게이트 절연막(132c)은 알루미늄산화막, 또는 지르코늄산화막, 또는 hafnium 산화막일 수 있다.
- [0150] 메모리 소자(400)는 EPROM으로 동작할 수 있다. 상기 메모리 소자는 메모리 소자 매트릭스 형태로 배열된 단위 메모리 소자(100a)를 포함할 수 있다.
- [0151] 상기 메모리 소자(400)은 기판에서 제1 방향으로 나란히 연장되는 소자 분리막들(202); 상기 소자 분리막과 동일한 상부면을 가지고 상기 소자 분리막 사이에 배치되고 상기 제1 방향으로 나란히 연장되는 소오스 라인들(SL); 상기 소오스 라인들 상에서 주기적으로 배치되고 기판에서 수직하게 연장되는 반도체 컬럼들(110); 상기 제1 방향으로 배열된 상기 반도체 컬럼들의 측면을 감싸도록 배치되고 상기 제1 방향으로 연장되는 제1 워드 라인들(WL1); 상기 제1 워드 라인들에 수직으로 이격되고 상기 제1 방향으로 배열된 상기 반도체 컬럼들의 측면을 감싸도록 배치되고 상기 제1 방향으로 연장되는 제2 워드 라인들(WL2); 상기 반도체 컬럼과 상기 제1 워드 라인 사이에 배치되어 상기 반도체 컬럼의 측면을 감싸도록 배치된 제1 게이트 절연막(132a); 상기 반도체 컬럼과 상기 제2 워드 라인 사이에 배치되어 상기 반도체 컬럼의 측면을 감싸도록 배치된 제2 게이트 절연막(122a); 상기 제1 방향으로 연장되고 상기 제1 워드라인들 및 제2 워드라인들 사이를 채우는 게이트 분리막들(209); 및 상기 제1 방향에 수직한 제2 방향으로 배열된 상기 반도체 컬럼들의 상부면에 접하여 상기 제2 방향으로 연장되는 비트 라인(BL)을 포함한다. 상기 반도체 컬럼은 제1 도전형의 소오스 영역, 제2 도전형의 드레인 영역, 및 상기 소오스 영역과 상기 드레인 영역 사이에 배치된 진성 영역을 포함한다. 상기 소오스 영역은 상기 소오스 라인과 접촉하고, 상기 드레인 영역은 상기 비트 라인(BL)과 접촉한다. 상기 제1 워드 라인은 상기 드레인 영역에 인접하게 배치되고, 상기 제2 워드 라인은 상기 소오스 영역에 인접하게 배치될 수 있다.

- [0152] 하부 절연막은 상기 제1 워드 라인(WL1)과 상기 기판(201) 사이에 배치된다. 상부 절연막은 상기 제1 워드 라인(WL)과 상기 비트 라인 사이에 배치된다. 중간 절연막은 상기 제1 워드 라인과 상기 제2 워드 라인 사이에 배치된다. 상기 제1 층간 절연막(203)은 패터닝되어 하부 절연막을 구성할 수 있다. 상기 제3 층간 절연막(205)은 패터닝되어 중간 절연막을 구성할 수 있다. 상기 상부 절연막(207)은 패터닝되어 상부 절연막을 구성할 수 있다.
- [0153] 상기 제1 전하 저장층(132b)은 상기 상부 절연막(207)과 상기 제1 워드 라인(WL1) 사이에 개재하도록 연장되고, 상기 제1 전하 저장층(132b)은 상기 중간 절연막(205)과 상기 제1 워드 라인(WL1)의 하부면 사이에 개재하도록 연장된다.
- [0154] 상기 제2 전하 저장층(122b)은 상기 중간 절연막(205)과 상기 제2 워드 라인(WL2) 사이에 개재하도록 연장되고, 상기 제2 전하 저장층(122b)은 상기 하부 절연막(203)과 상기 제2 워드 라인(WL2)의 하부면 사이에 개재하도록 연장된다.
- [0155] 상기 제1 보조 게이트 절연막(132c)은 상기 상부 절연막(207)과 상기 제1 워드 라인(WL) 사이에 개재하도록 연장되고, 상기 제1 보조 게이트 절연막(132c)은 상기 중간 절연막(205)과 상기 제1 워드 라인(WL1) 사이에 개재하도록 연장된다.
- [0156] 상기 제2 보조 게이트 절연막(122c)은 상기 중간 절연막(205)과 상기 제2 워드 라인(WL2) 사이에 개재하도록 연장되고, 상기 제2 보조 게이트 절연막(122c)은 상기 하부 절연막(203)과 상기 제2 워드 라인(WL2) 사이에 개재하도록 연장된다.
- [0157] 본 발명의 일 실시예 따르면, 메모리 소자(110a)는 게이트 구조가 전하 저장층(132b, 122b)을 포함하는 경우, 비휘발성 메모리로 동작할 수 있다. 비휘발성 메모리로 동작하기 위하여, 메모리 소자(110a)는 프로그램 동작과 소거(erase) 동작을 수행한다. 상기 제1 전하 저장층(132b) 또는 제2 전하 저장층(122b) 중에 적어도 하나는 전하를 저장할 수 있다.
- [0158] 예를 들어, 프로그램 동작은 상기 제1 전하 저장층(132b)에 전하를 저장하여 트랜지스터의 문턱 전압을 변경할 수 있다. 구체적으로, 수 V 이상의 프로그램 게이트 전압이 상기 제1 게이트 전극(134)에 인가되어, 1V 수준의 프로그램 드레인 전압이 상기 드레인에 인가될 수 있다. 이에 따라, 드레인 전류의 전자 전하가 상기 제1 전하 저장층(132b)으로 이동하여 트랩될 수 있다. 상기 프로그램 게이트 전압은 MOS 트랜지스터의 문턱 전압보다 충분히 큰 양의 전압일 수 있다. 프로그램 동작에 의하여 논리 상태 1이 기록된 경우, 상기 트랜지스터의 문턱 전압이 증가한다. 프로그램 동작 후, 독출 동작시, 게이트 전압은 0V이고, 드레인 전압은 1V 수준일 수 있다.
- [0159] 소거 동작은 상기 제1 전하 저장층(132b)에 저장된 전자 전하를 제거할 수 있다. 구체적으로, 음의 수 V 이상의 소거 게이트 전압이 상기 제1 게이트 전극(134)에 인가되며, 상기 제1 전하 저장층(132b)에 저장된 전하는 채널로 빠져나올 수 있다. 상기 소거 게이트 전압은 MOS 트랜지스터의 문턱 전압보다 충분히 큰 음의 전압일 수 있다.
- [0160] 소거 동작시, 선택된 제1 워드 라인(WL1)에 연결된 모든 메모리 소자에서 소거(erase) 동작이 수행된다. 한편, 프로그램 동작시, 선택된 제1 워드 라인(WL1)에 연결된 모든 메모리 소자 중에서 비트 라인(BL)에 의하여 드레인 전압이 인가된 소자만이 선택적으로 프로그램될 수 있다. 소거 동작 후, 독출 동작시, 게이트 전압은 0V이고, 드레인 전압은 1V 수준일 수 있다.
- [0161] 상기 제1 전하 저장층(132b) 또는 상기 제2 전하 저장층(122b)에 전자 전하를 저장할지를 결정한다. 상기 제1 전하 저장층(132b)에 전하를 저장하는 경우에는, 반도체 메모리 소자는 EPROM으로 동작한다. 한편, 상기 제1 전하 저장층(132b)에 전하를 저장하지 않고 사용하는 경우에는, 무축전기 DRAM으로 동작한다.
- [0162] 상기 메모리 소자(110a)가 n 채널 동작 모드의 무축전기 DRAM으로 동작하는 경우, 상기 제1 게이트 전극(134)은 게이트 바이어스 전압으로 항상 유지된다. 상기 메모리 소자가 제1 논리 상태를 나타내기 위하여, 상기 제2 게이트 전극(124)에 제1 게이트 전압을 인가하고 상기 드레인 영역에 제1 드레인 전압을 인가하여 상기 제1 논리 상태를 쓴다. 이어서, 상기 제1 논리 상태를 유지하도록, 상기 제2 게이트 전극(124)에 제2 게이트 전압을 인가하고, 상기 드레인 영역에 제2 드레인 전압을 인가한다. 이어서, 상기 제1 논리 상태를 독출하기 위하여, 상기 제2 게이트 전극(124)에 상기 제2 게이트 전압을 인가하고, 상기 드레인 영역에 상기 제1 드레인 전압을 인가한다.
- [0163] 상기 메모리 소자(110a)가 n 채널 동작 모드의 무축전기 DRAM으로 동작하는 경우, 상기 제1 게이트 전극(134)은

게이트 바이어스 전압으로 항상 유지된다. 한편, 상기 메모리 소자에 제2 논리 상태를 나타내기 위하여, 상기 제2 게이트 전극(124)에 제3 게이트 전압을 인가하고, 상기 드레인 영역에 상기 제1 드레인 전압을 인가하여 제2 논리 상태를 기록한다. 이어서, 상기 제2 논리 상태를 유지하기 위하여, 상기 제2 게이트 전극(124)에 상기 제2 게이트 전압을 인가하고, 상기 드레인 영역에 상기 제2 드레인 전압을 인가한다. 이어서, 상기 제2 논리 상태를 독출하기 위하여, 상기 제2 게이트 전극(124)에 상기 제2 게이트 전압을 인가하고, 상기 드레인 영역에 상기 제1 드레인 전압을 인가한다. p-i-n 구조는 제1 게이트 전극의 게이트 바이어스 전압에 의하여, p-n-p-n 구조로 변경된다. 상기 제1 게이트 전압은 -0.25V 내지 -1 V이고, 상기 제2 게이트 전압은 -0.1 V 내지 0.1 V이고, 상기 제3 게이트 전압은 0.25 V 내지 1 V일 수 있다. 또한, 제1 드레인 전압은 0.1 V ~1 V이고, 제2 드레인 전압은 0 V일 수 있다.

[0164] 상기 메모리 소자(400)는 다음과 같은 제조 방법에 의하여 형성될 수 있다. 기판(201) 상에 제1 방향으로 연장되는 소자 분리막(202)을 형성하여 활성 영역을 정의한다. 이어서, 상기 활성 영역이 형성된 상기 기판(201) 상에 제1 층간 절연막(203), 제2 층간 절연막(204), 제3 층간 절연막(205), 제4 층간 절연막(206), 및 제4 층간 절연막(207)을 적층한다. 이어서, 상기 제5 층간 절연막, 상기 제4 층간 절연막, 상기 제3 층간 절연막, 상기 제2 층간 절연막, 및 상기 제1 층간 절연막을 관통하는 관통홀(110a)을 형성한다. 이어서, 상기 관통홀에 차례로 제1 도전형의 소오스 영역, 진성 영역, 및 제2 도전형의 드레인 영역을 포함하는 반도체 컬럼(110)을 성장시킨다. 이어서, 상기 제1 방향으로 배열된 상기 반도체 컬럼들(110)을 사이에 두고 상기 제5 층간 절연막, 상기 제4 층간 절연막, 상기 제3 층간 절연막, 상기 제2 층간 절연막, 및 상기 제1 층간 절연막을 관통하고 상기 제1 방향으로 연장되는 트렌치(208a)를 형성한다. 이어서, 상기 제2 층간 절연막 및 상기 제4 층간 절연막을 제거한 후 노출된 상기 반도체 컬럼의 측면에 제2 게이트 절연막 및 제1 게이트 절연막을 각각 형성한다. 이어서, 상기 제1 게이트 절연막 및 제2 게이트 절연막을 형성된 후 제4 층간 절연막 및 제2 층간 절연막이 제거된 부위 및 상기 트렌치에 제1 전하 저장층 및 제2 전하 저장층을 각각 형성한다. 이어서, 상기 제1 전하 저장층 및 상기 제2 전하 저장층을 형성한 후 상기 제4 층간 절연막 및 상기 제2 층간 절연막이 제거된 부위 및 상기 트렌치에 제1 보조 게이트 절연막 및 제2 보조 게이트 절연막을 각각 형성한다. 이어서, 상기 제2 층간 절연막 및 상기 제4 층간 절연막이 제거된 부위 및 상기 트렌치에 도전체를 채운다. 이어서, 상기 트렌치를 채운 상기 도전체를 제거하여 제1 게이트 전극 및 제2 게이트 전극을 형성하고 보조 트렌치(209a)를 형성한다. 이어서, 상기 보조 트렌치를 절연체로 매립하여 게이트 분리막(209)을 형성한다. 이어서, 상기 반도체 컬럼의 상기 드레인 영역에 접촉하고 상기 제1 방향에 수직인 제2 방향으로 연장되는 비트 라인(BL)을 형성한다.

[0165] 도 18a를 참조하면, 기판(201) 상에 제1 방향으로 연장되는 소자 분리막(202)을 형성하여 활성 영역을 정의한다. 상기 기판 상에 마스크를 이용하여 셀 영역과 주변 영역을 구분하고, 이온 주입 공정을 통하여 웰을 각각 형성한다.

[0166] 상기 셀 영역에서 기판 상에 제1 방향으로 연장되는 소자 분리막(202)을 형성한다. 상기 소자 분리막과 활성 영역은 종래의 STI 공정을 통하여 형성될 수 있다. 상기 활성 영역은 이웃한 소자 분리막(202) 사이에 노출된 영역으로 제1 도전형의 불순물을 이용하여 이온 주입 공정에 의하여 제1 도전형으로 고농도로 도핑될 수 있다. 이에 따라, 상기 활성 영역은 상기 소오스 라인(SL)을 형성할 수 있다. 상기 소자 분리막(202)은 실리콘 산화막이고, 상기 소자 분리막의 상부면에는 식각 정지막으로 실리콘 질화막을 포함할 수 있다.

[0167] 상기 소오스 라인(SL)이 형성된 상기 기판(201) 상에 차례로 제1 층간 절연막(203), 제2 층간 절연막(204), 제3 층간 절연막(205), 제4 층간 절연막(206), 및 제5 층간 절연막(207)을 적층한다. 상기 제1 층간 절연막(203), 상기 제3 층간 절연막(205), 및 제5 층간 절연막(207)은 실리콘 산화막이고, 상기 제2 층간 절연막(204) 및 상기 제4 층간 절연막(206)은 실리콘 질화막일 수 있다. 상기 제3 층간 절연막(205)의 두께는 상기 제2 층간 절연막(204) 또는 제4 층간 절연막(206)보다 얇을 수 있다.

[0168] 도 18b를 참조하면, 패터닝 공정을 이용하여 상기 제1 층간 절연막(203), 상기 제2 층간 절연막(204), 상기 제3 층간 절연막(205), 상기 제4 층간 절연막(206), 및 상기 제5 층간 절연막(207)을 관통하는 관통홀(110a)을 형성한다. 상기 관통홀(110a)은 상기 소오스 라인 상에서 주기적으로 매트릭스 형태로 배치될 수 있다.

[0169] 도 18c를 참조하면, 상기 관통홀(110a)에 차례로 제1 도전형의 소오스 영역, 진성 영역, 및 제2 도전형의 드레인 영역을 포함하는 반도체 컬럼(110)을 성장시킨다. 상기 진성 영역은 상기 제2 내지 제4 층간 절연막(204, 205, 206)과 정렬될 수 있다. 상기 반도체 컬럼(110)은 실리콘 에피택시얼 공정에 의하여 형성되거나, 폴리실리콘을 증착하고 어닐링 공정을 통하여 결정화할 수 있다. 도핑은 실리콘 에피택시얼 공정 중에 수행되거나, 실리콘 컬럼을 형성한 후 이온 주입 공정에 의하여 수행될 수 있다. 상기 반도체 컬럼(110)이 상기 관통홀

(110a)을 채운 후 평탄화 공정이 수행될 수 있다.

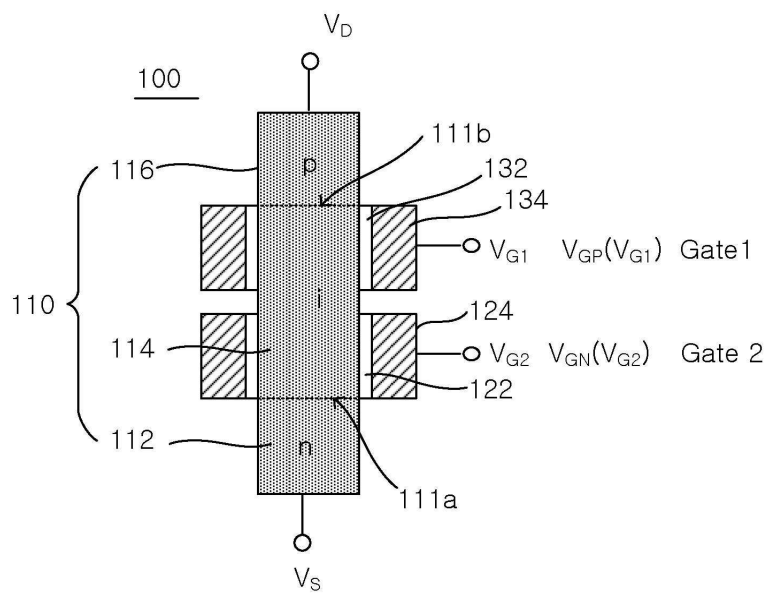
- [0170] 도 18d를 참조하면, 상기 제1 방향으로 배열된 상기 반도체 컬럼들(110)을 사이에 두고 상기 제5 층간 절연막(207), 상기 제4 층간 절연막(206), 상기 제3 층간 절연막(205), 상기 제2 층간 절연막(204), 상기 제1 층간 절연막(203)을 관통하고 상기 1 방향으로 연장되는 트렌치(208a)를 형성한다. 상기 트렌치(208a)는 상기 제1 방향으로 연장되어 상기 제1 내지 제5 층간 절연막들은 서로 분리할 수 있다. 절단된 제1 층간 절연막(203)은 하부 절연막을 제공하고, 절단된 제3 층간 절연막(205)은 중간 절연막을 제공하고, 절단된 제5 층간 절연막(207)은 상부 절연막을 제공한다.
- [0171] 도 18e를 참조하면, 상기 제2 층간 절연막(204) 및 상기 제4 층간 절연막(206)은 습식 식각에 의하여 선택적으로 제거될 수 있다. 상기 제4 층간 절연막(206) 및 상기 제2 층간 절연막(204)을 제거한 후 노출된 상기 반도체 컬럼(110)의 측면에 제1 게이트 절연막(132a) 및 제2 게이트 절연막(122a)을 각각 형성한다. 상기 제1 및 제2 게이트 절연막(132a, 122a)은 수십 nm 수준의 실리콘 산화막일 수 있다. 상기 실리콘 산화막은 열 산화 공정에 의하여 형성될 수 있다. 상기 제1 및 제2 게이트 절연막이 형성된 후 제1 및 제2 전하 저장막(132b, 122b) 및 제1 및 제2 보조 게이트 절연막(132c, 122c)이 순차적으로 형성될 수 있다. 상기 제1 및 제2 전하 저장막은 전하를 트랩할 수 있는 박막으로, 실리콘 질화막일 수 있다. 상기 제1 및 제2 보조 게이트 절연막은 고유전율 물질로 알루미늄 산화막일 수 있다.
- [0172] 도 18f를 참조하면, 상기 제1 및 제2 게이트 절연막(120)을 형성된 후 제4 층간 절연막(206) 및 제2 층간 절연막(204)이 제거된 부위 및 상기 트렌치(208a)에 제1 전하 저장층(132b) 및 제2 전하 저장층(122b)을 각각 형성한다. 상기 제1 및 제2 전하 저장층은 실리콘 질화막일 수 있다.
- [0173] 이어서, 상기 제1 및 제2 전하 저장층(132b, 122b)을 형성한 후 상기 제4 층간 절연막 및 상기 제2 층간 절연막이 제거된 부위 및 상기 트렌치에 제1 보조 게이트 절연막(132c) 및 제2 보조 게이트 절연막(122c)을 각각 형성한다. 상기 제1 및 제2 보조 게이트 절연막(132c, 122c)은 고유전율 물질로 알루미늄 산화막, 지르코늄 산화막 또는 하프늄 산화막일 수 있다.
- [0174] 도 18g를 참조하면, 상기 제1 및 제2 보조 게이트 절연막(132c, 122c)을 형성한 후, 상기 제2 층간 절연막(204) 및 상기 제4 층간 절연막(206)이 제거된 부위 및 상기 트렌치(208a)에 도전체(208)를 채운다. 상기 도전체(208)는 분리된 후에 제1 게이트 전극(또는 제1 워드 라인) 및 제2 게이트 전극(또는 제2 워드 라인)으로 사용되고, 트렌치스터들을 연결하는 워드라인으로 사용될 수 있다. 상기 도전체는 고농도로 도핑된 폴리 실리콘, 금속, 금속 합금, 금속 실리사이드 중에서 적어도 하나를 포함할 수 있다. 상기 도전체(208)가 상기 트렌치(208a)를 채운 후 평탄화 공정이 수행될 수 있다.
- [0175] 도 18h를 참조하면, 패터닝 공정을 이용하여 상기 트렌치(208a)를 채운 상기 도전체(208)를 제거하여 보조 트렌치(209a)를 형성한다. 상기 보조 트렌치는 상기 제2 방향으로 상기 도전체(208)를 서로 분리하여 제1 워드 라인(WL1) 및 제2 워드 라인(WL2)을 형성한다.
- [0176] 다시, 도 17을 참조하면, 상기 보조 트렌치(209a)를 절연체로 매립하여 게이트 분리막(209)을 형성할 수 있다. 상기 게이트 분리막(209)은 제1 및 제2 워드 라인 사이에 배치되어 상기 제1 및 제2 워드 라인들을 서로 분리할 수 있다. 상기 절연체가 상기 보조 트렌치(209a)를 채운 후 평탄화 공정이 수행될 수 있다.
- [0177] 이어서, 상기 반도체 컬럼(100)의 상기 드레인 영역에 접촉하고 상기 제1 방향에 수직한 제2 방향으로 연장되는 비트 라인(BL)을 형성한다. 상기 비트 라인은 제2 방향으로 배열된 상기 반도체 컬럼(110)의 상기 드레인 영역들을 서로 연결할 수 있다. 상기 비트 라인은 금속, 금속 합금, 또는 금속 실리사이드 중에서 적어도 하나를 포함할 수 있다.
- [0178] 본 발명의 변형된 실시예에 따르면, 소오스 라인은 활성 영역에 형성되지 않고 기판 상에 별도의 도전층을 형성하고 패터닝하여 형성될 수 있다.
- [0179] 이상과 같이 본 발명에서는 구체적인 구성 요소 등과 같은 특정 사항들과 한정된 실시 예 및 도면에 의해 설명되었으나 이는 본 발명의 보다 전반적인 이해를 돕기 위해서 제공된 것일 뿐, 본 발명은 상기의 실시 예에 한정되는 것은 아니며, 본 발명이 속하는 분야에서 통상적인 지식을 가진 자라면 이러한 기재로부터 다양한 수정 및 변형이 가능하다.
- [0180] 따라서, 본 발명의 사상은 설명된 실시 예에 국한되어 정해져서는 아니되며, 후술하는 특허청구범위뿐 아니라 이 특허청구범위와 균등하거나 등가적 변형이 있는 모든 것들은 본 발명 사상의 범주에 속한다고 할 것이다.

부호의 설명

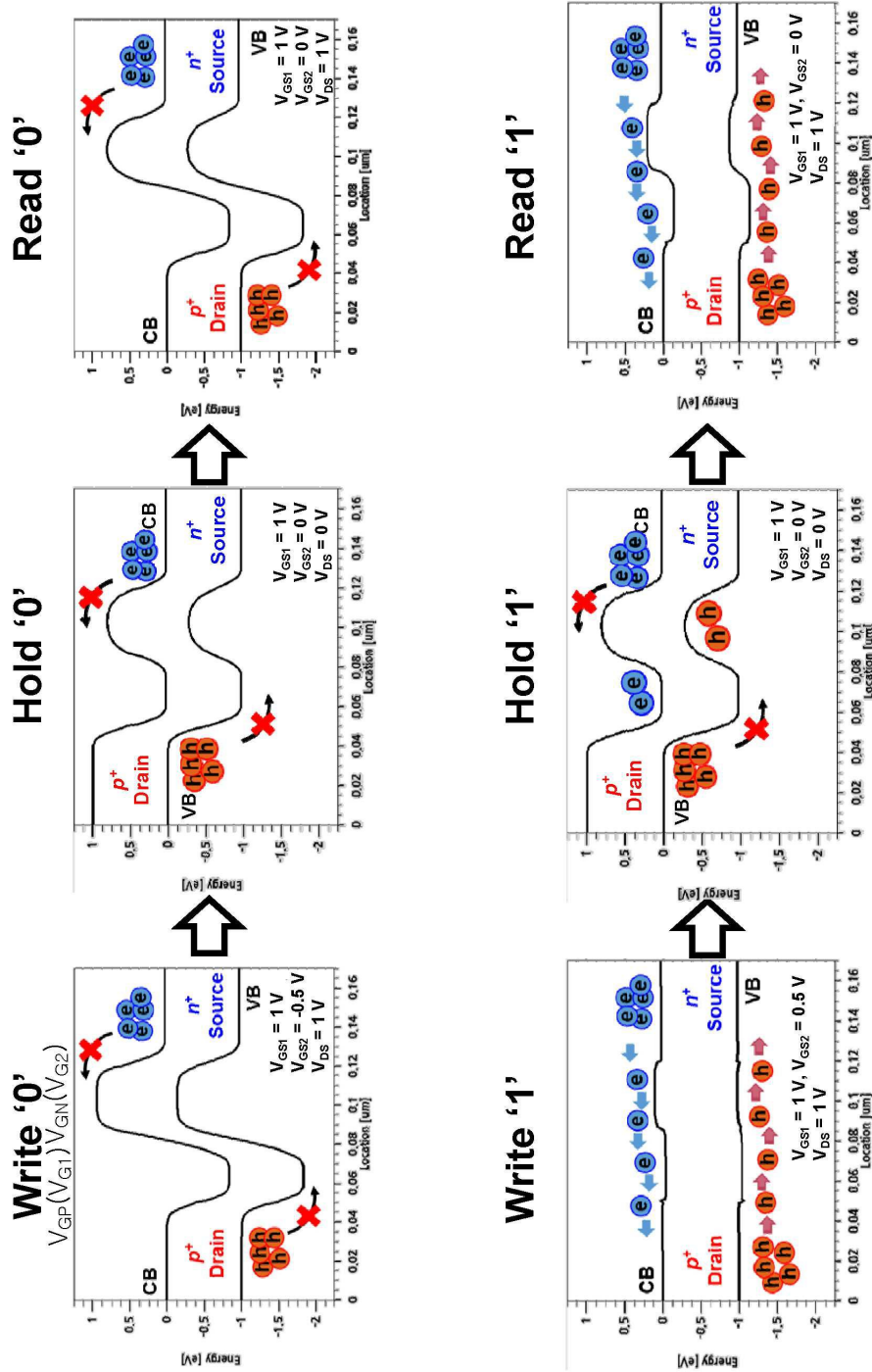
- [0181]
- 110: 수직 반도체 컬럼
 - 112: 소오스 영역
 - 114: 진성 영역
 - 116: 드레인 영역
 - 122: 제2 게이트 절연막
 - 124: 제2 게이트 전극
 - 132: 제1 게이트 절연막
 - 134: 제1 게이트 전극

도면

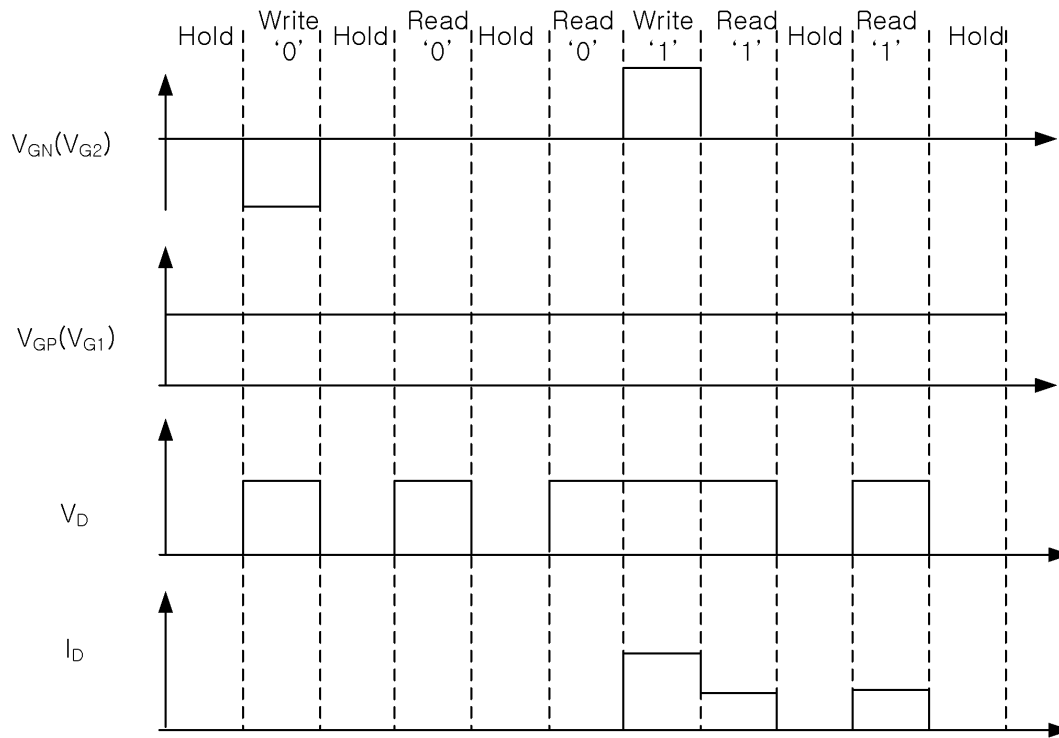
도면1



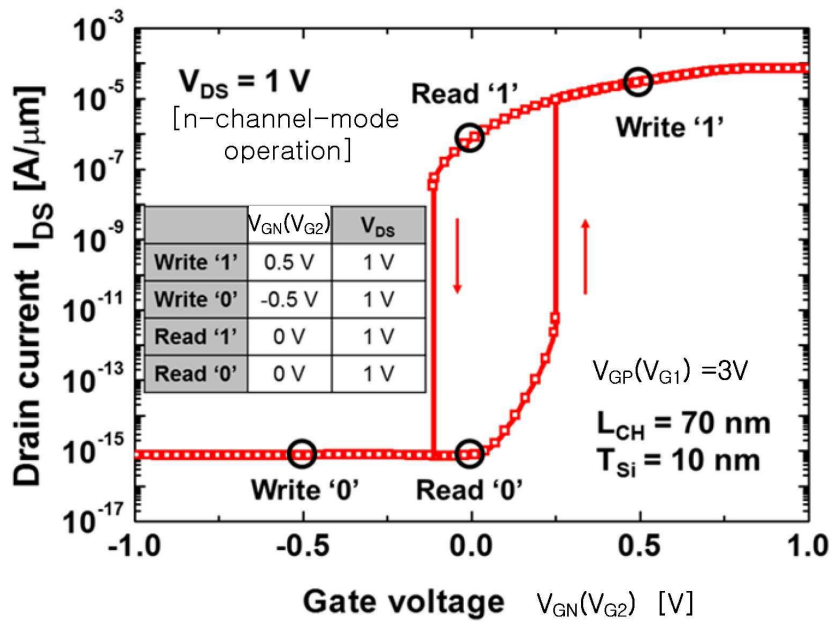
도면2



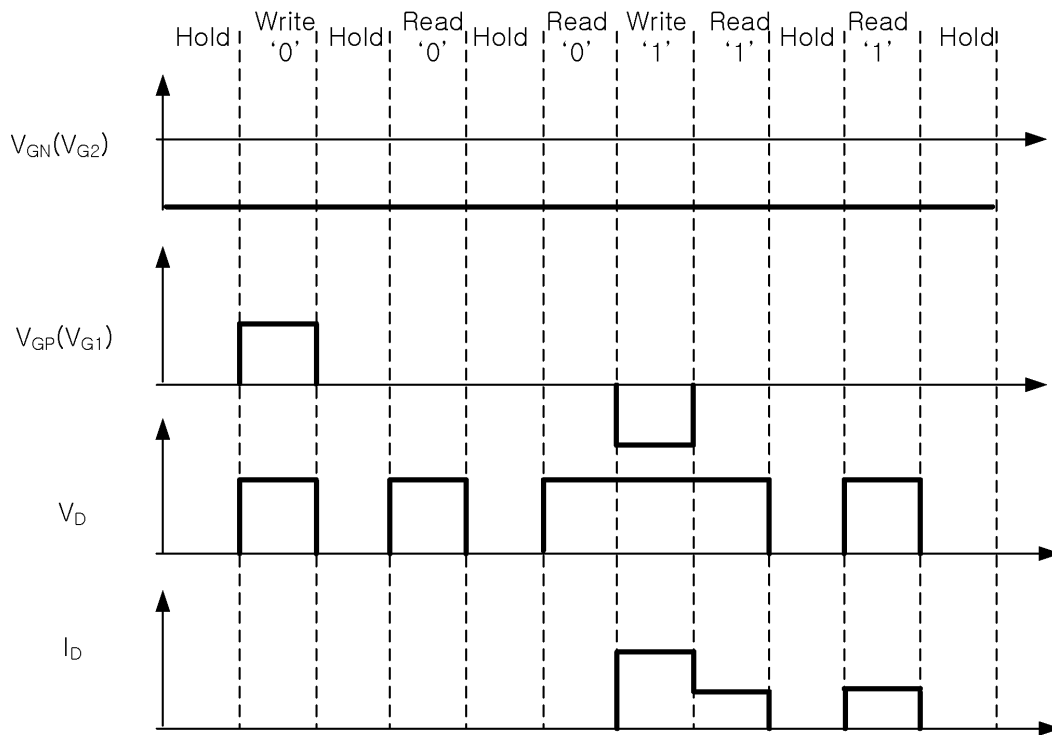
도면3



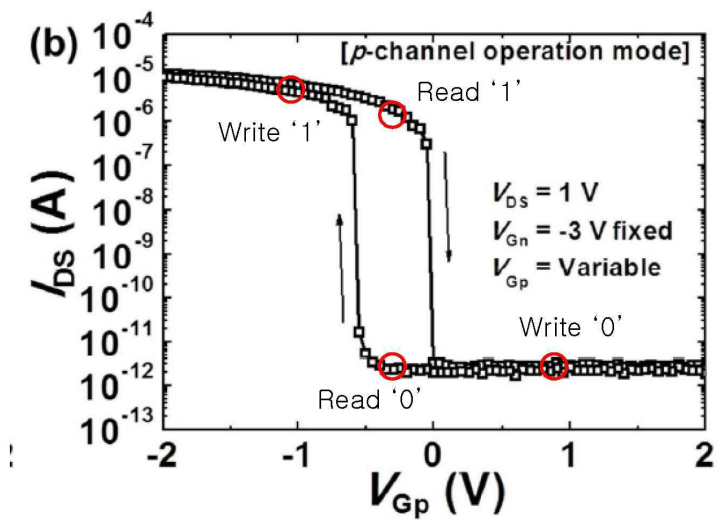
도면4



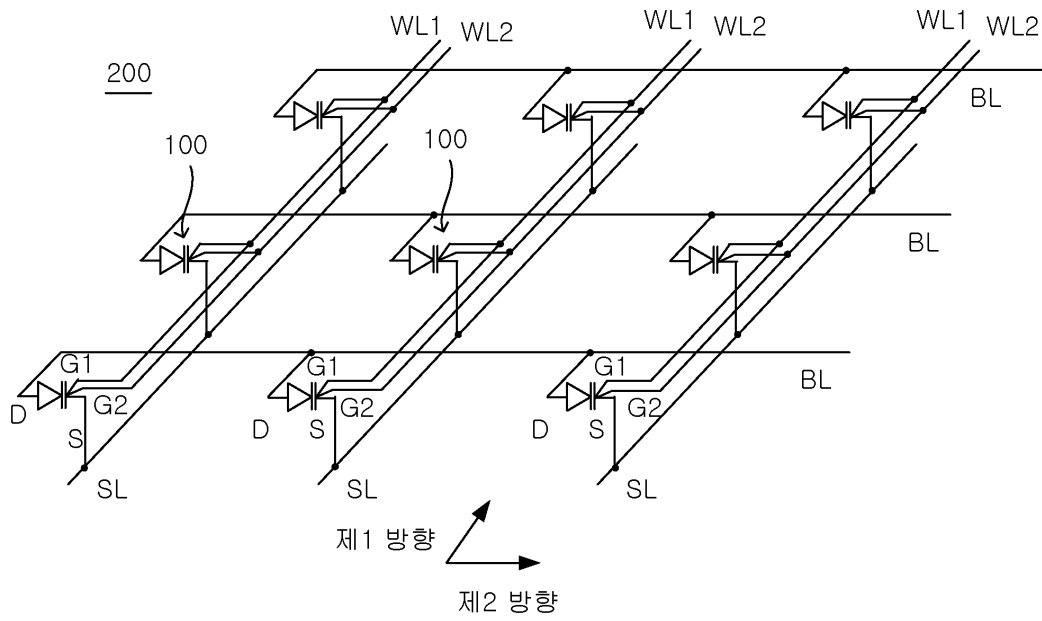
도면5



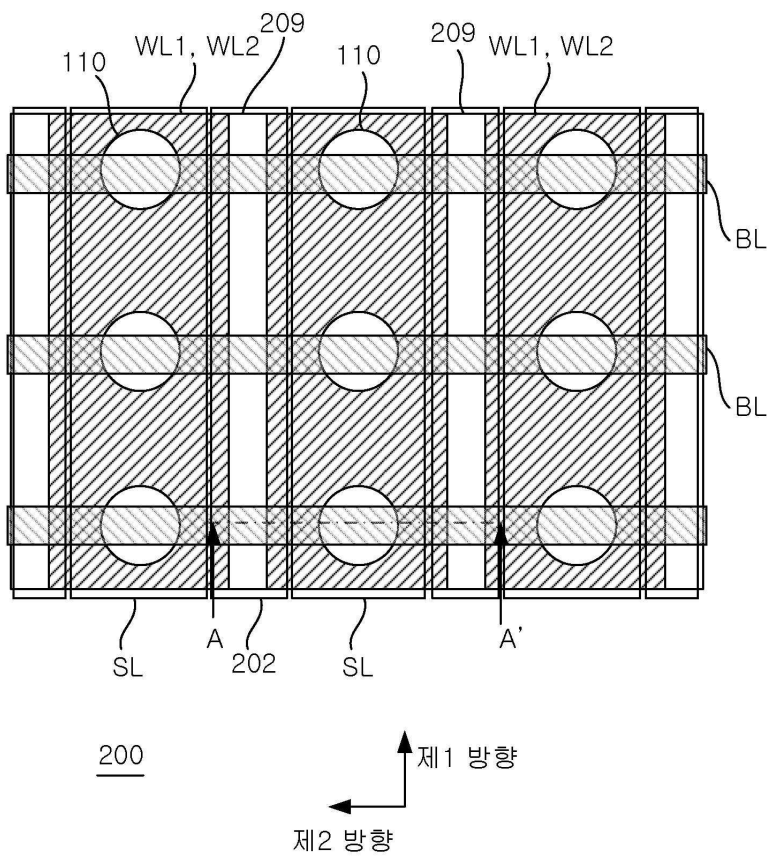
도면6



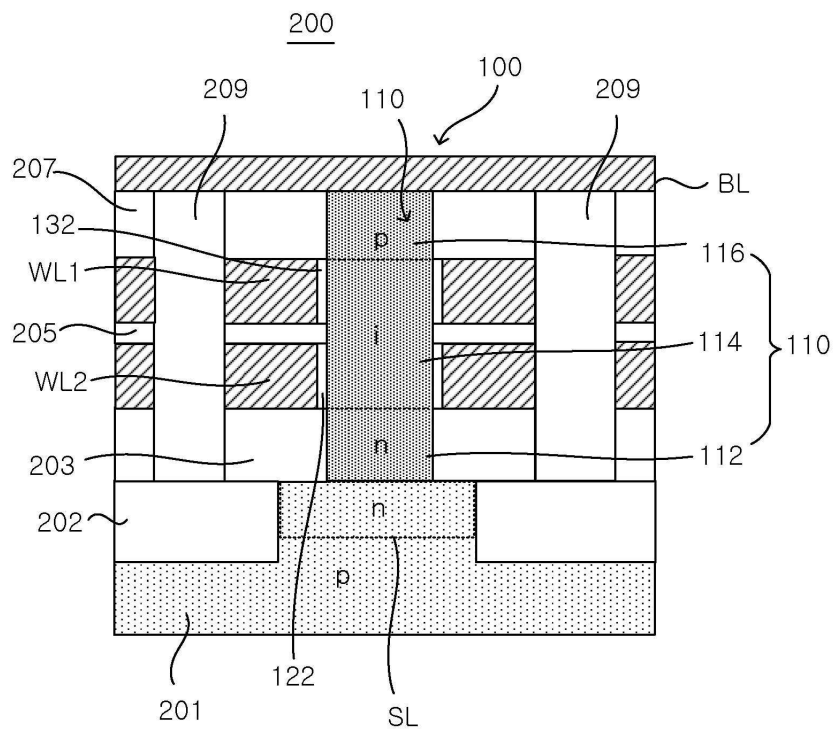
도면7



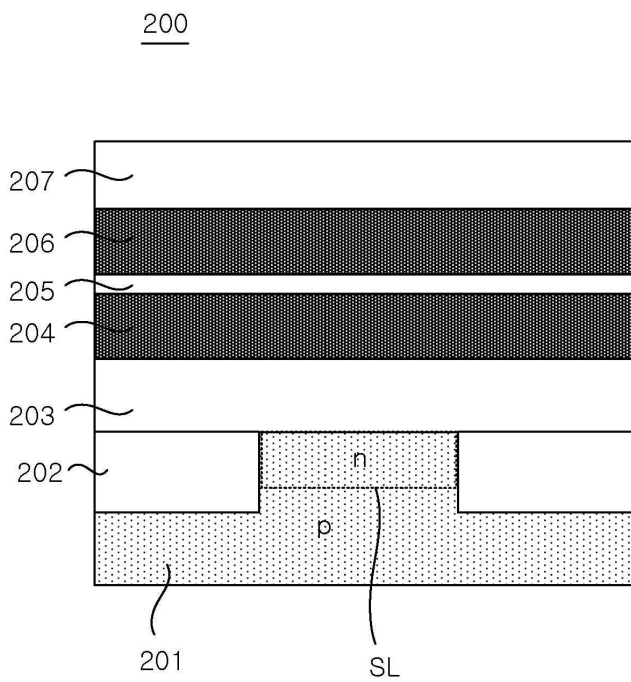
도면8



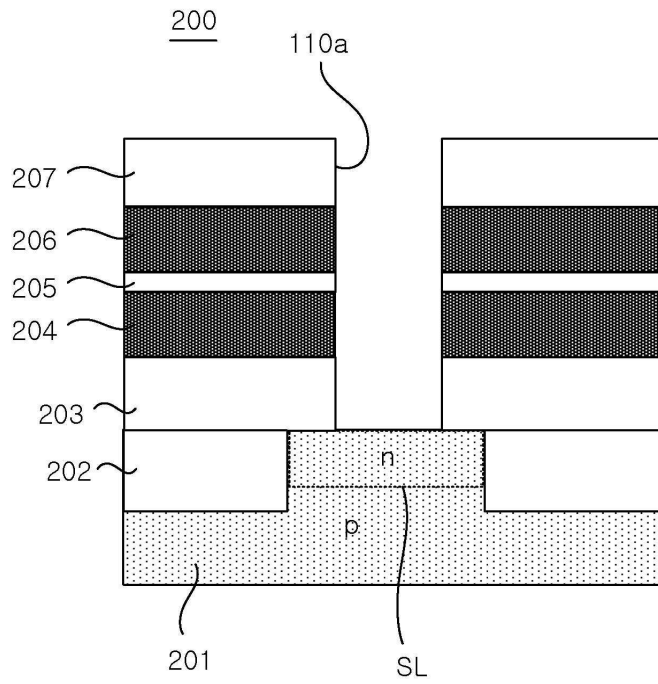
도면9



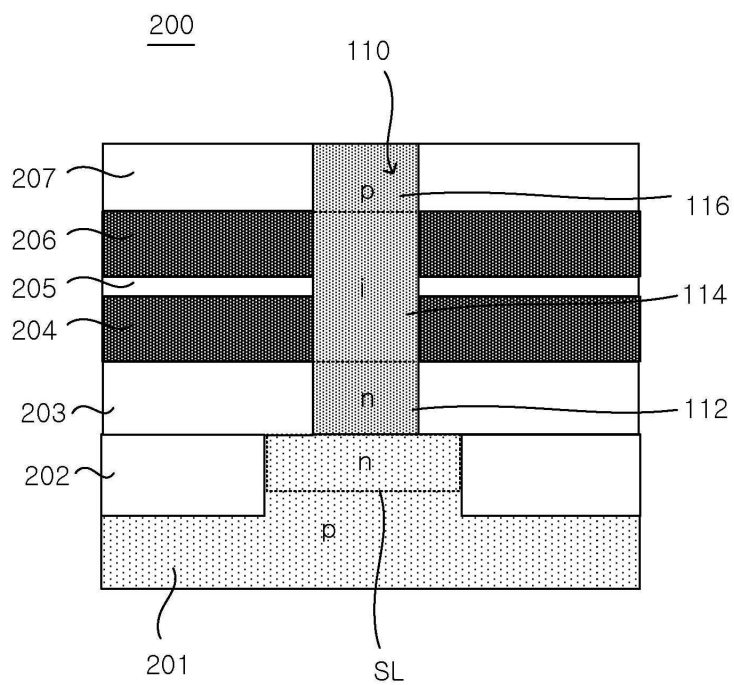
도면10a



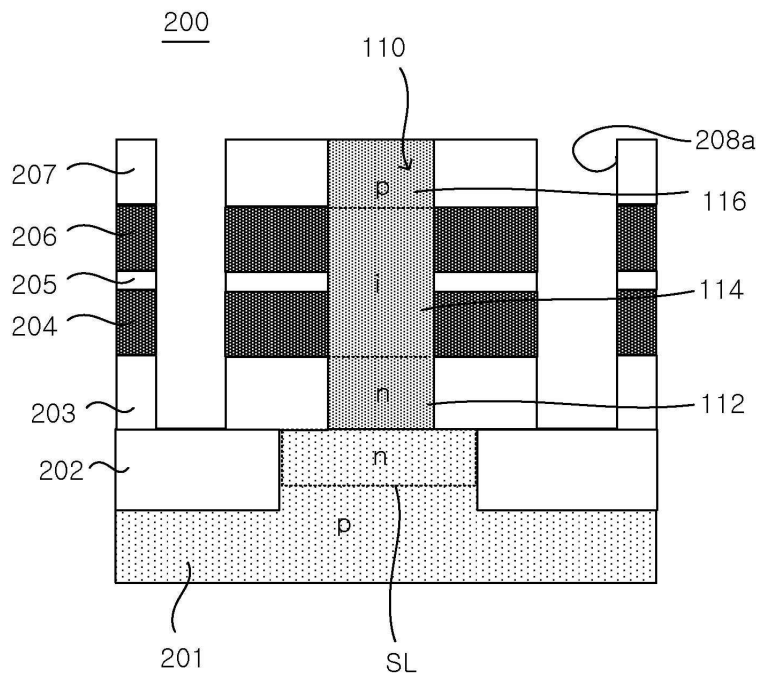
도면10b



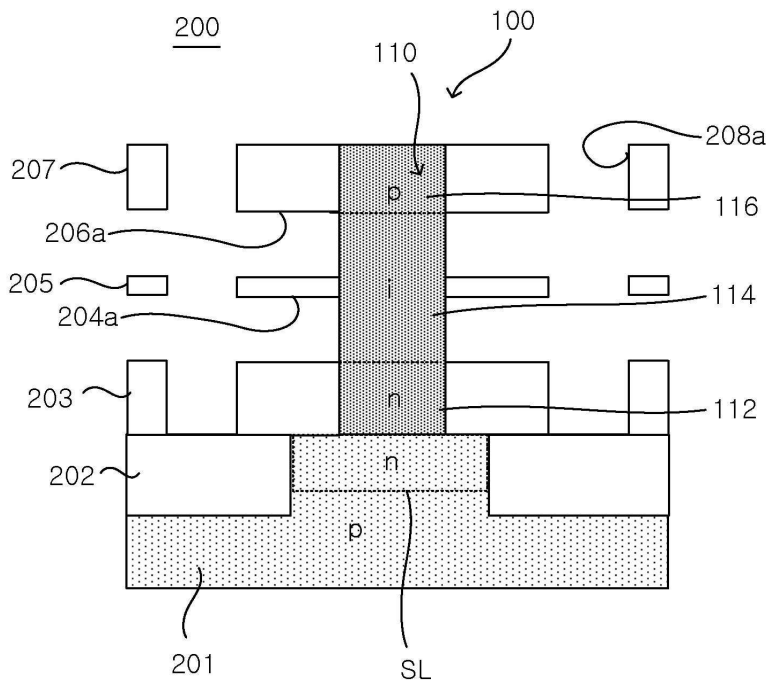
도면10c



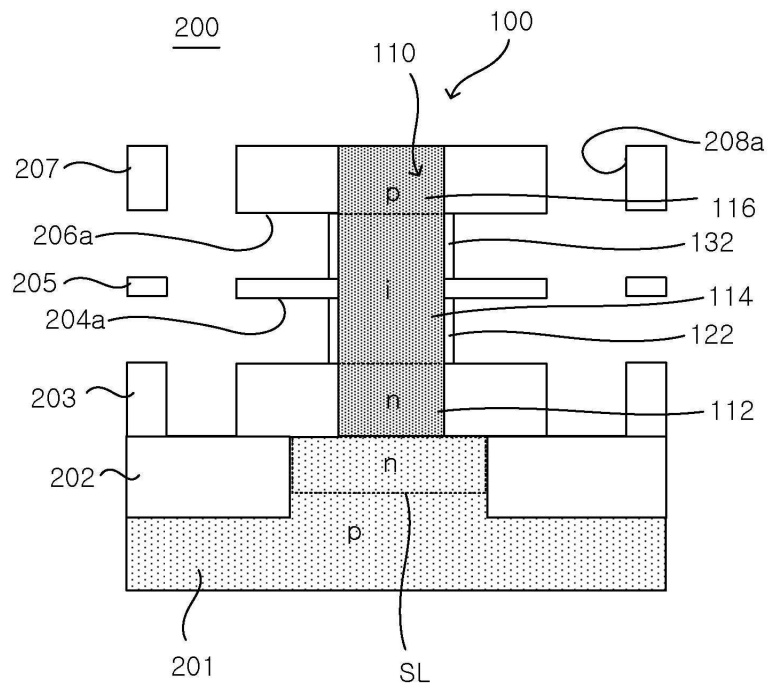
도면10d



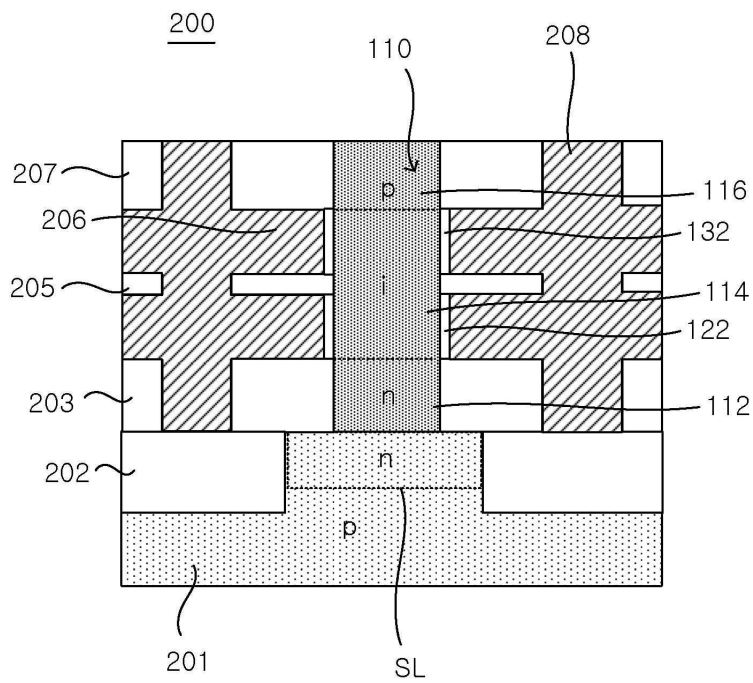
도면10e



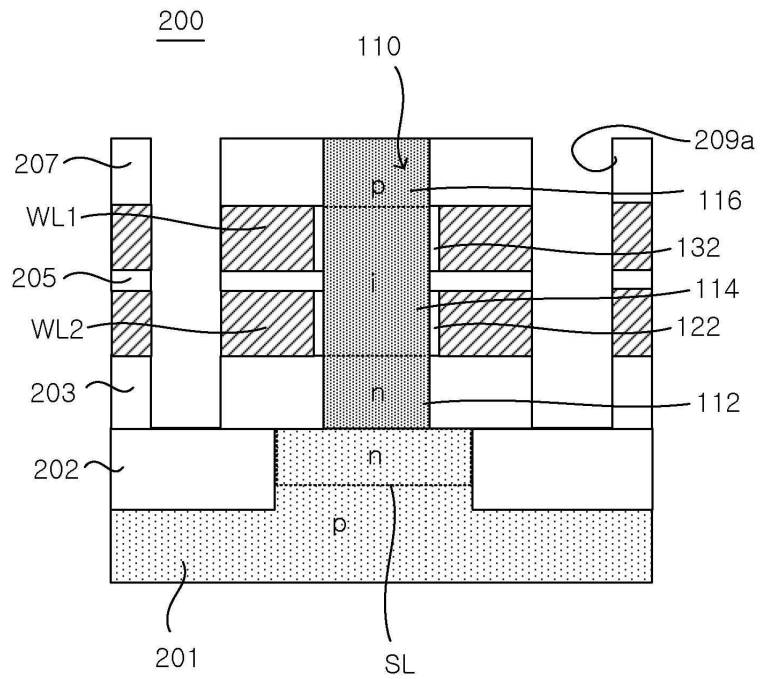
도면10f



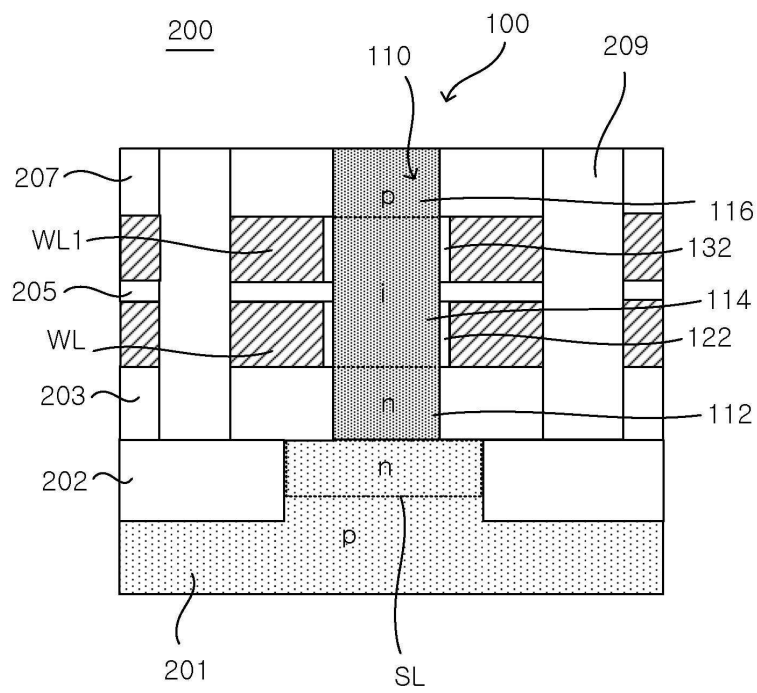
도면10g



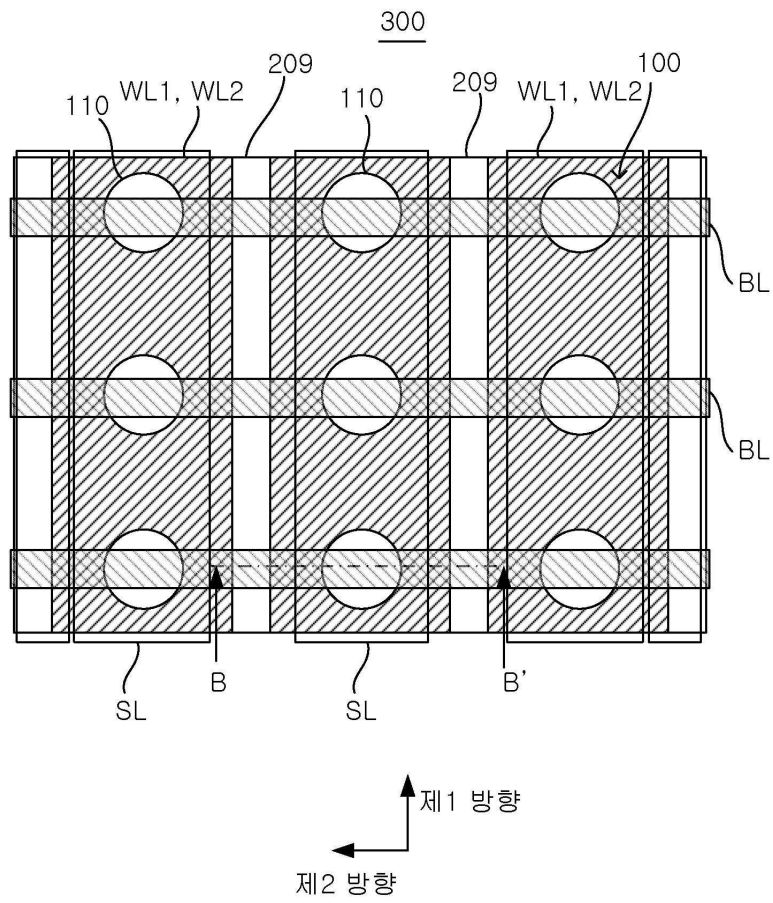
도면10h



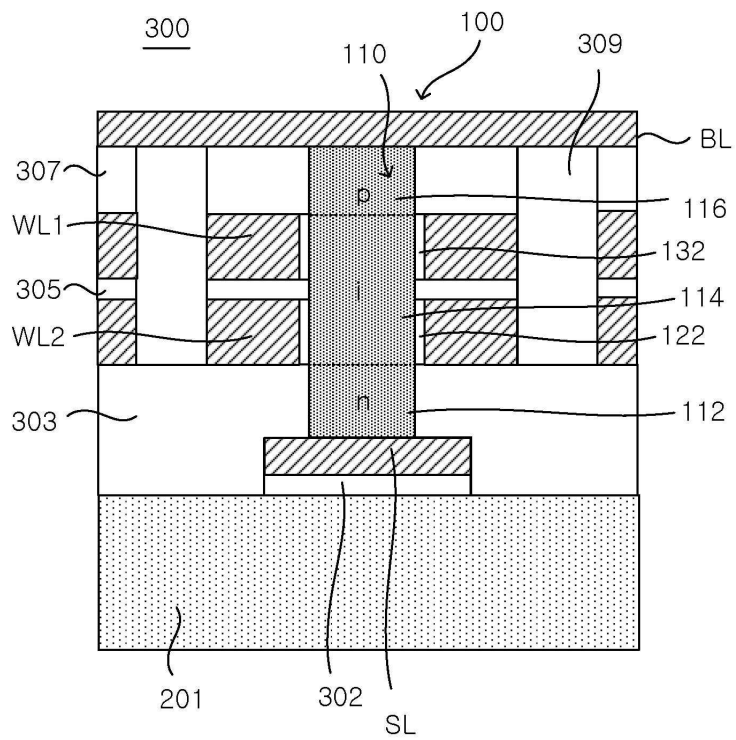
도면10i



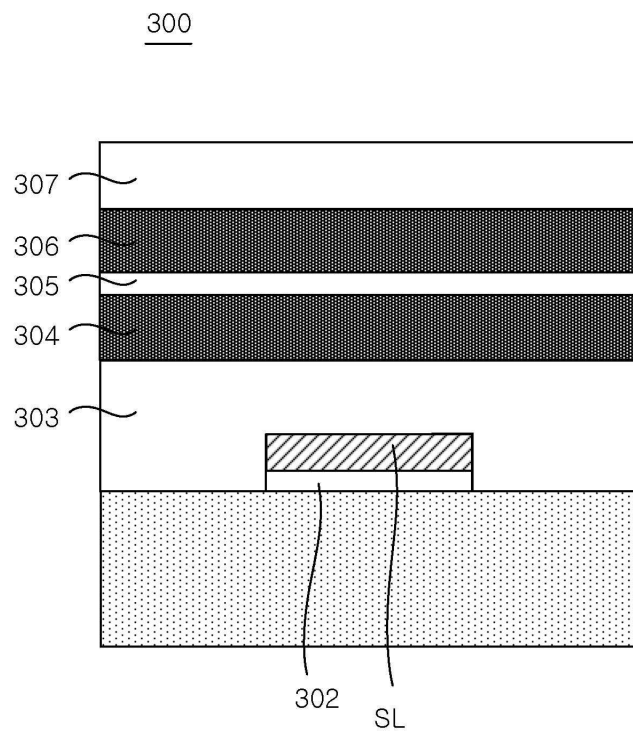
도면11



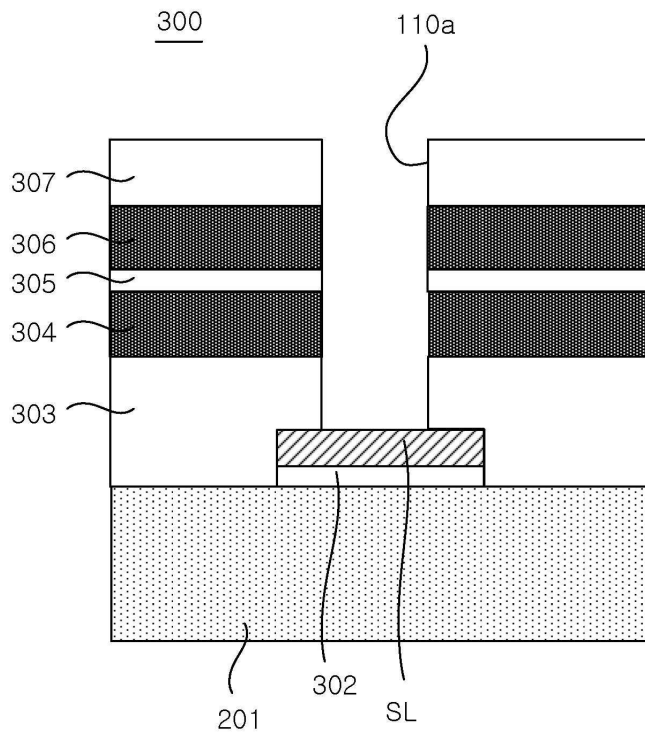
도면12



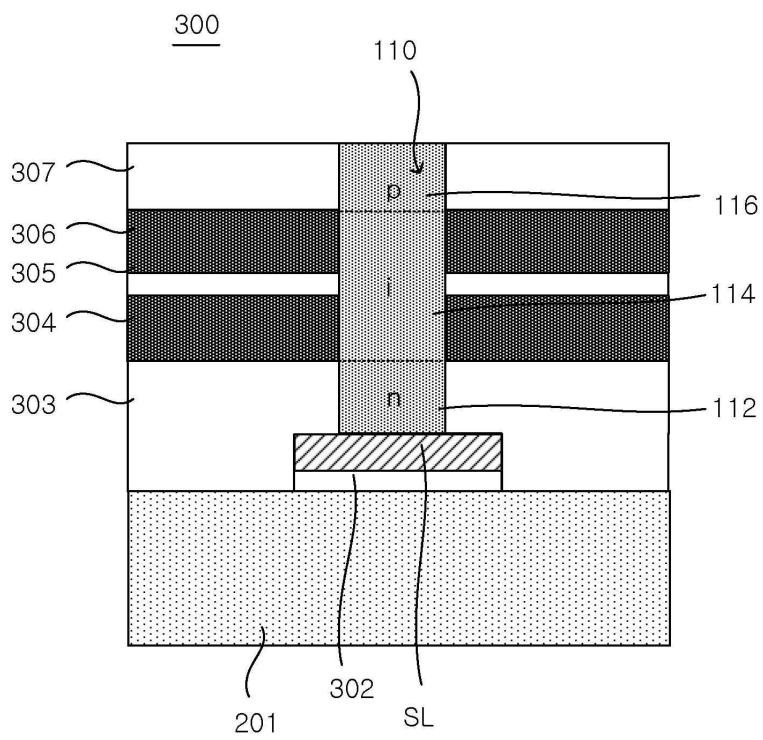
도면13a



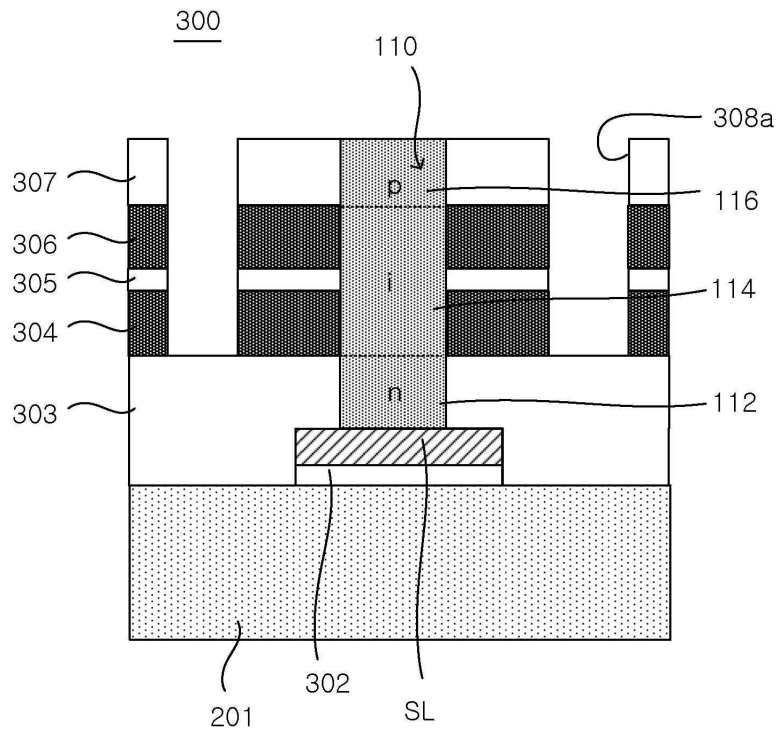
도면13b



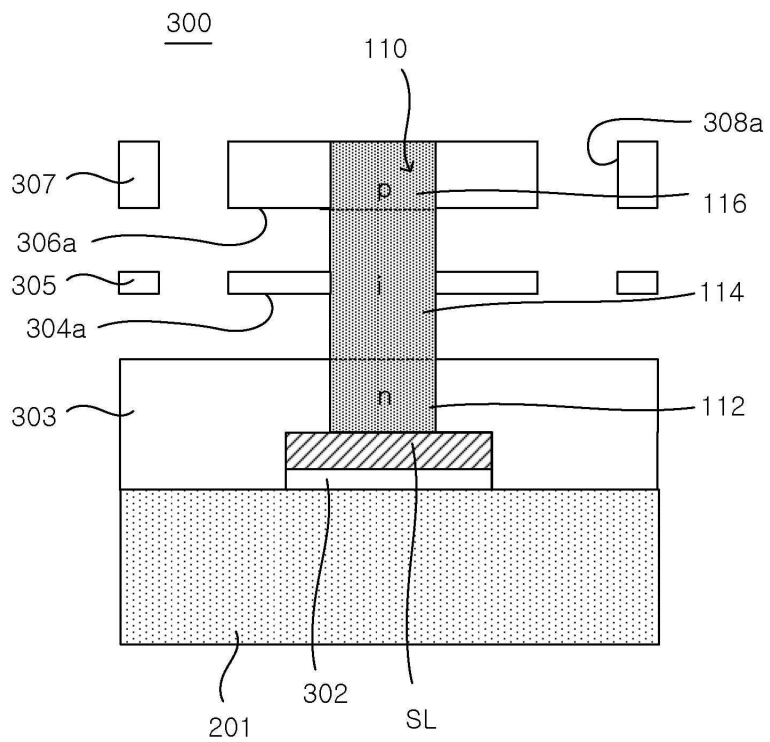
도면13c



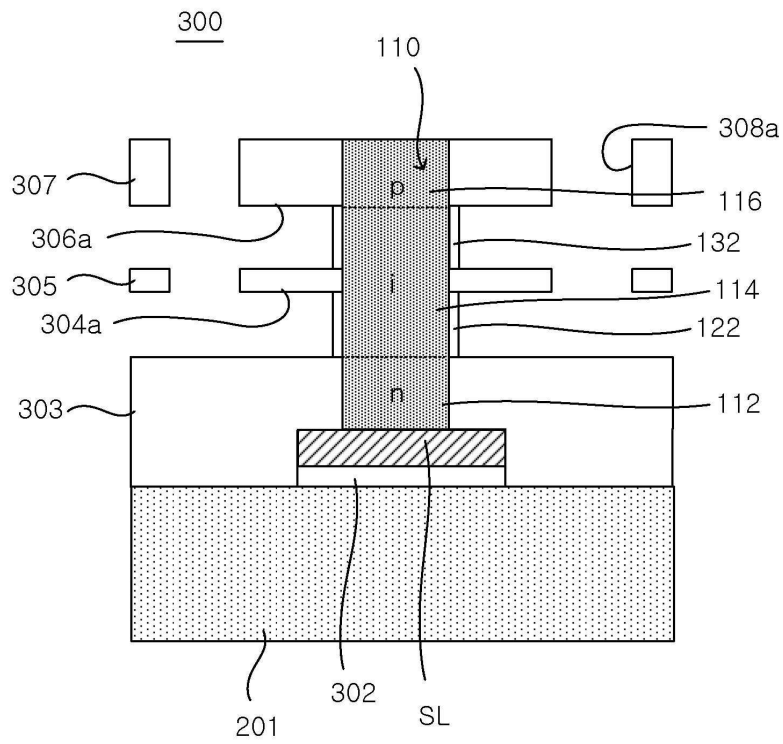
도면13d



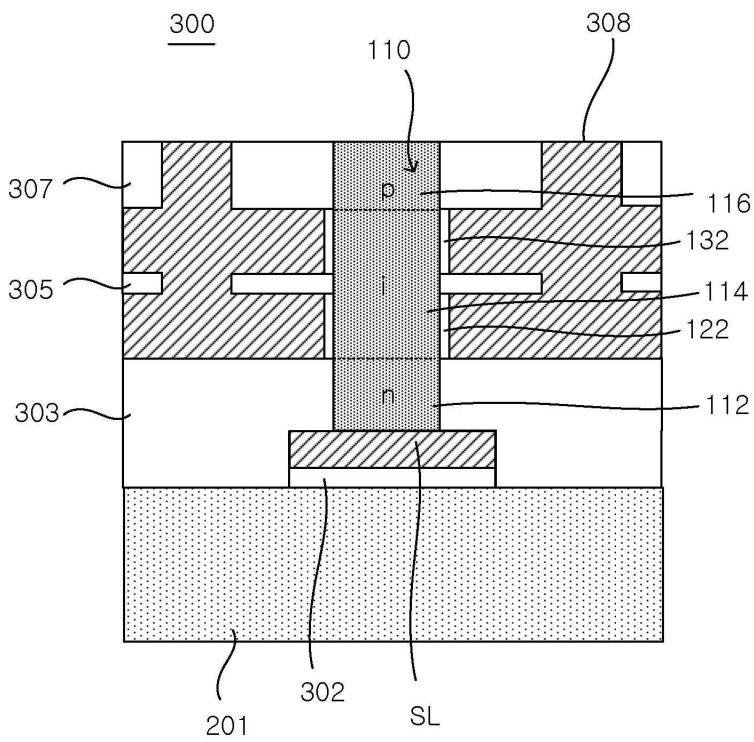
도면13e



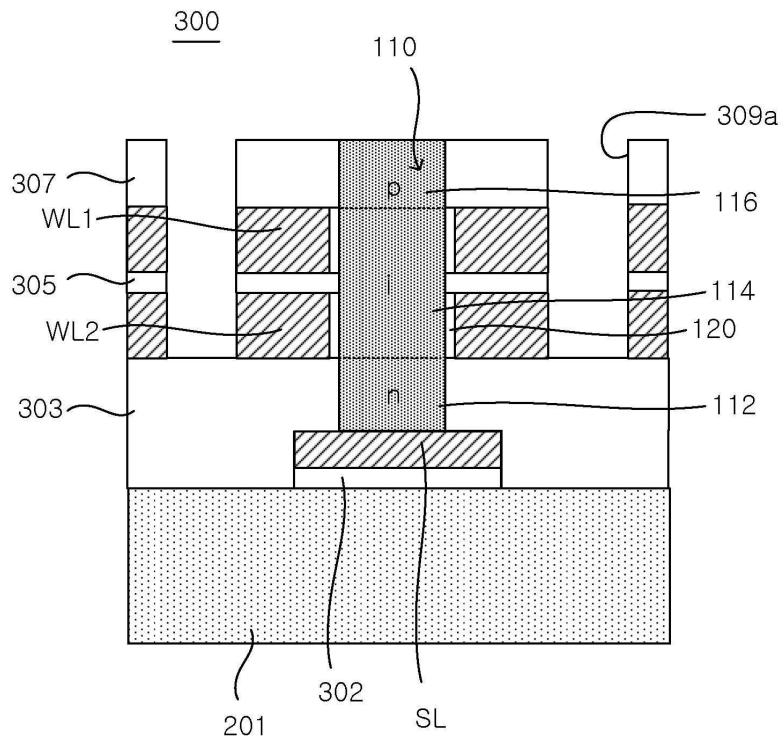
도면13f



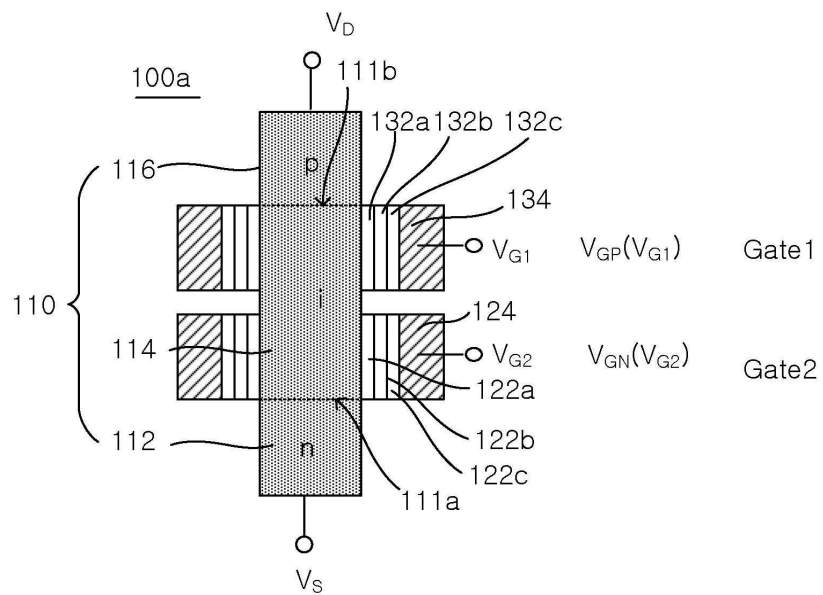
도면13g



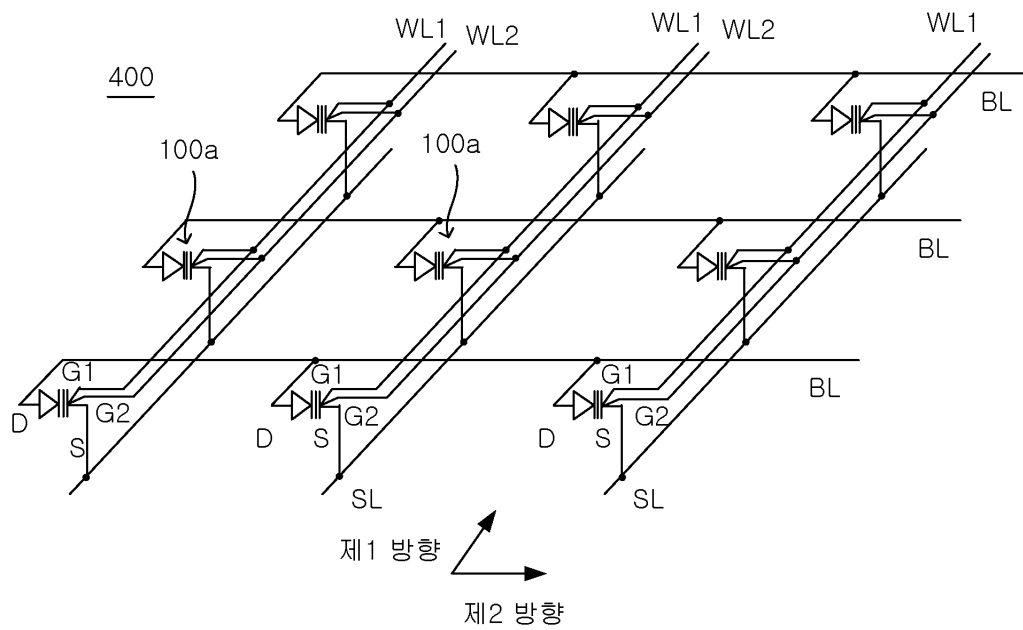
도면13h



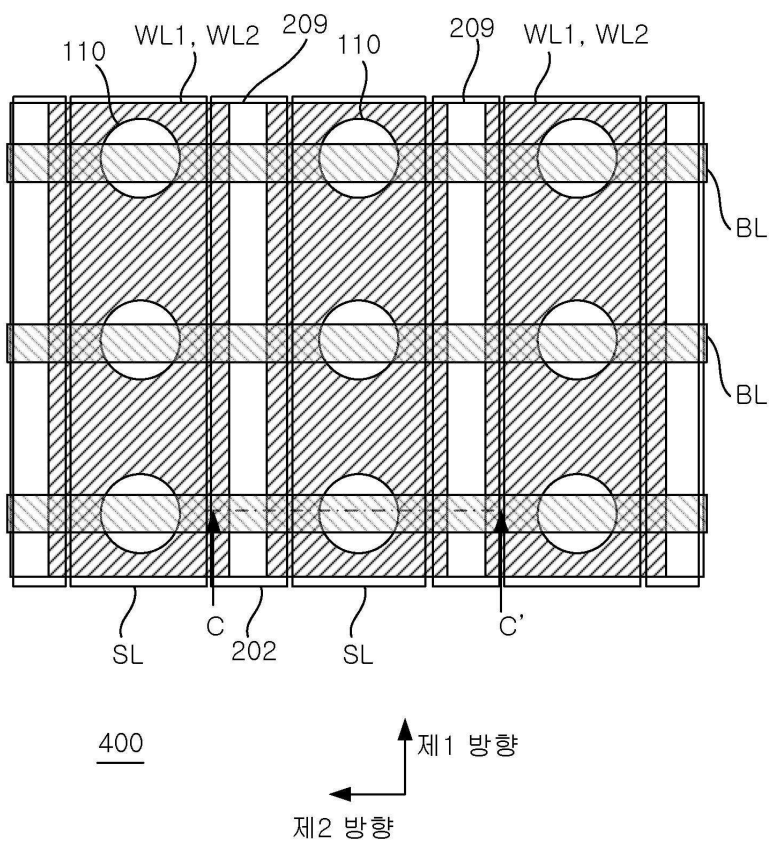
도면14



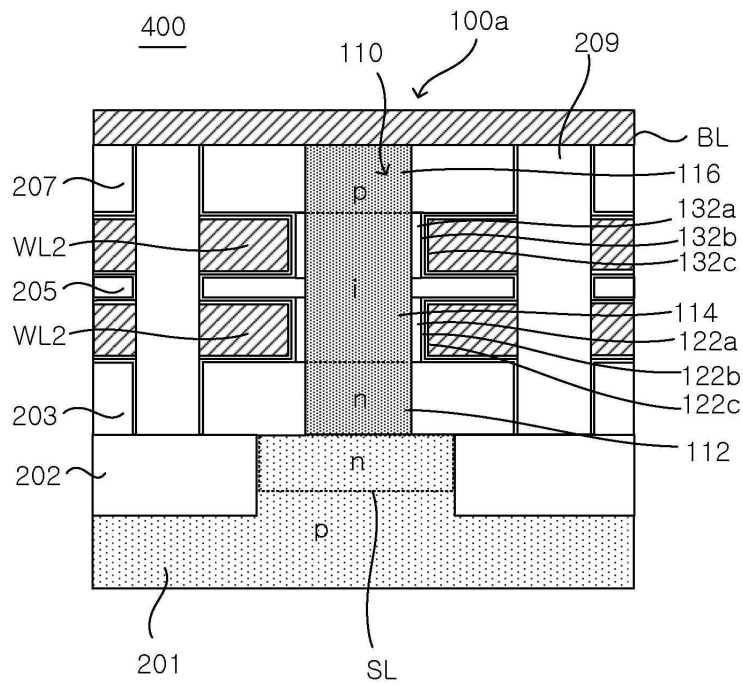
도면15



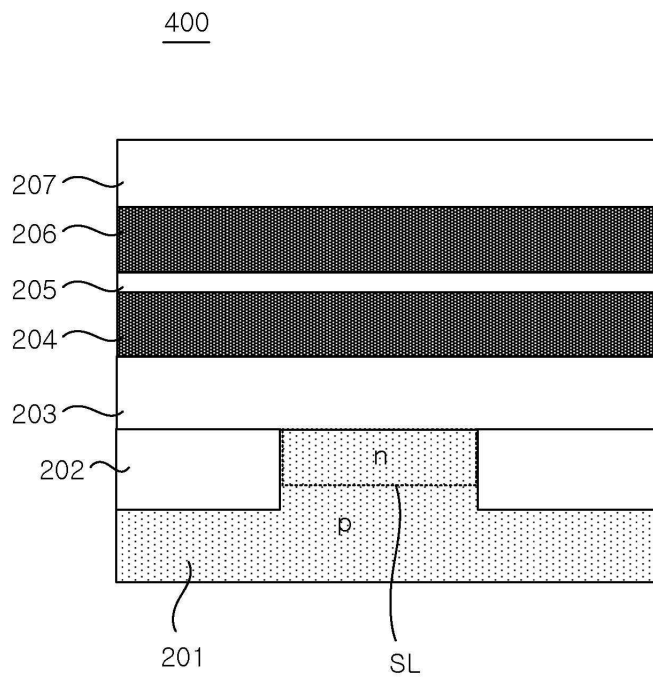
도면16



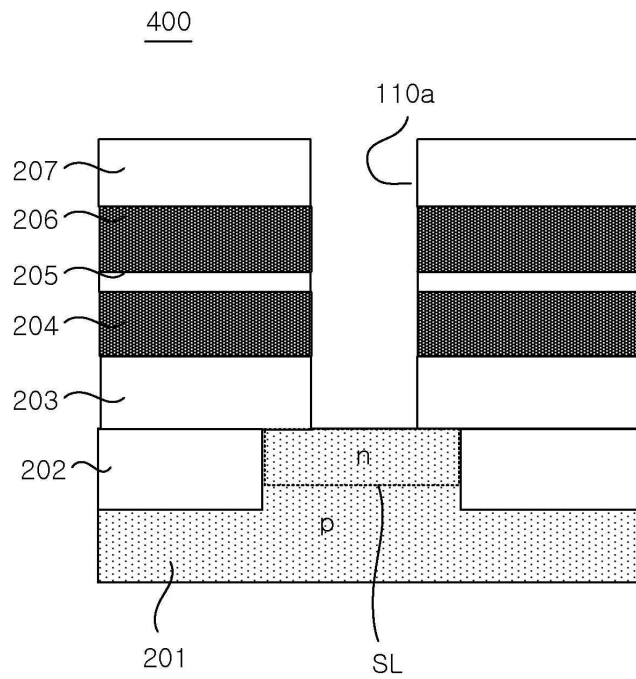
도면17



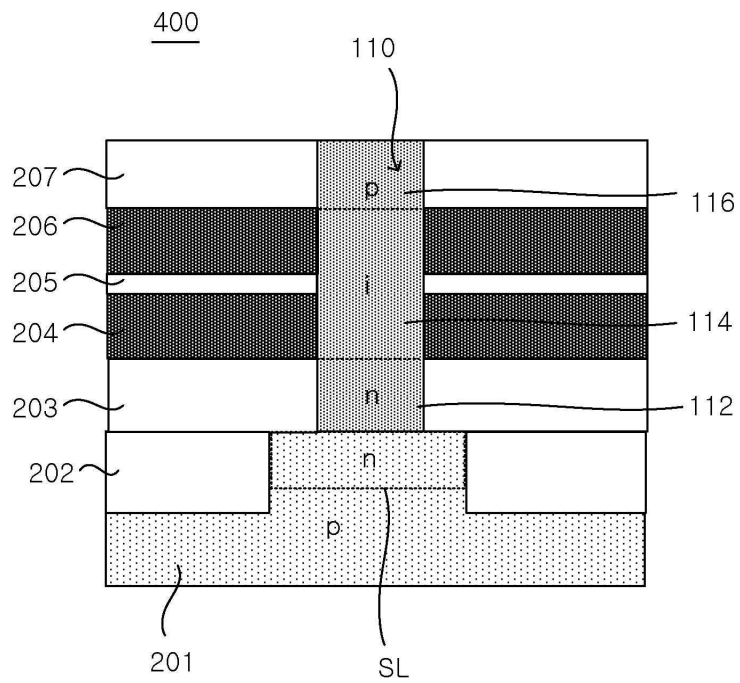
도면18a



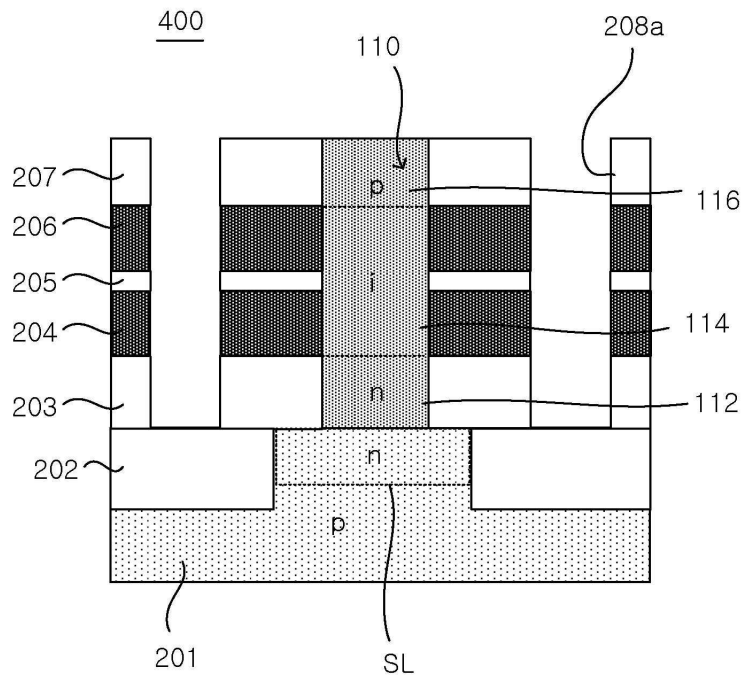
도면18b



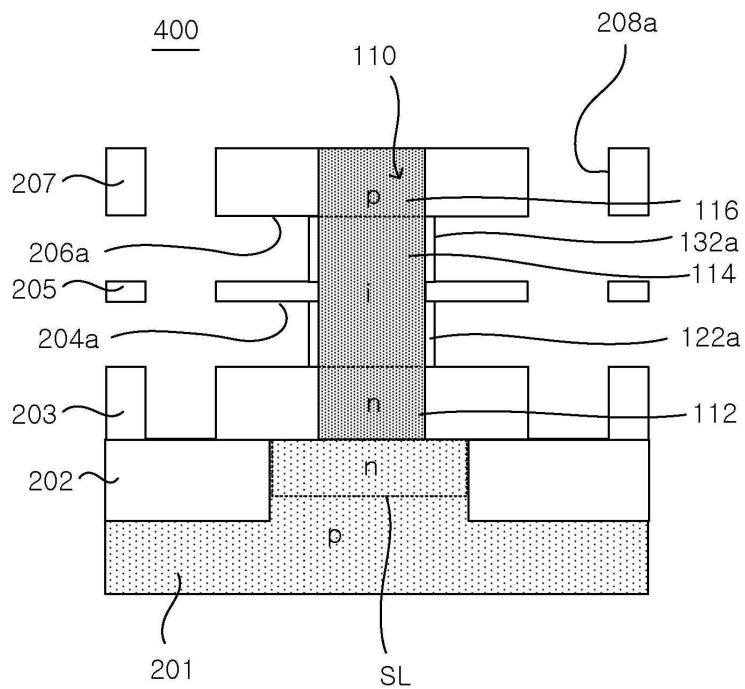
도면18c



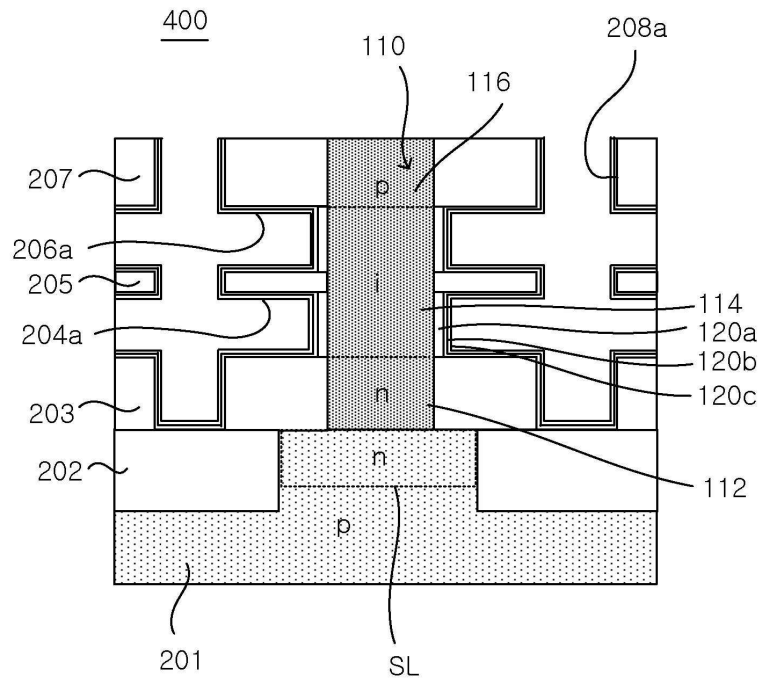
도면18d



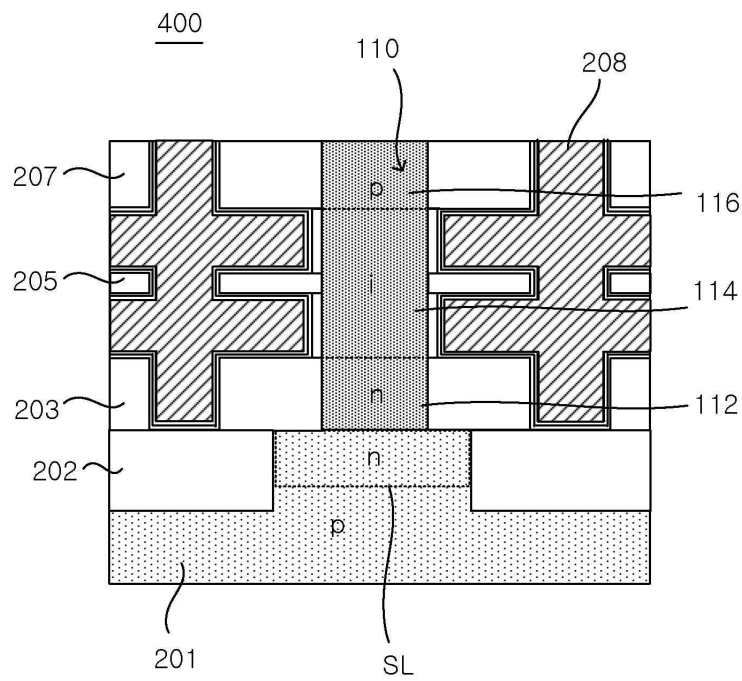
도면18e



도면18f



도면18g



도면18h

