



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0120934
(43) 공개일자 2016년10월19일

(51) 국제특허분류(Int. Cl.)
H04N 19/51 (2014.01) H04N 19/625 (2014.01)
(52) CPC특허분류
H04N 19/51 (2015.01)
H04N 19/625 (2015.01)
(21) 출원번호 10-2015-0050135
(22) 출원일자 2015년04월09일
심사청구일자 2015년04월09일

(71) 출원인
경희대학교 산학협력단
경기도 용인시 기흥구 덕영대로 1732 (서천동, 경희대학교 국제캠퍼스내)
(72) 발명자
장익준
서울특별시 성동구 독서당로40길 25, 107동 1207호(옥수동, 현대아파트)
김진상
경기도 용인시 수지구 죽전로193번길 35, 104동 803호(죽전동, 성현마을반도유보라아파트)
(74) 대리인
김연권

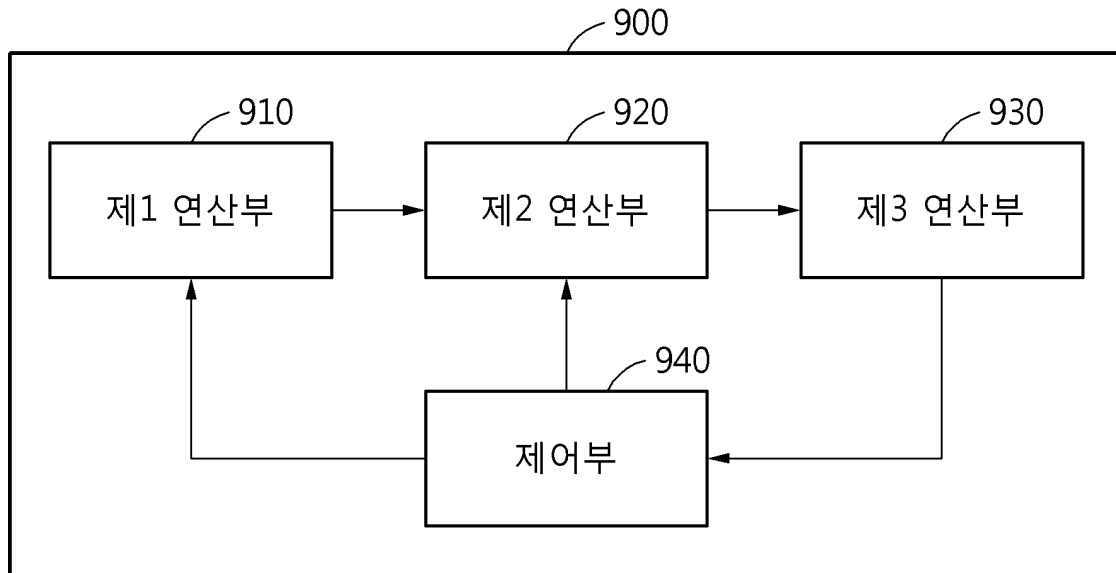
전체 청구항 수 : 총 8 항

(54) 발명의 명칭 절대차 합 연산장치 및 방법

(57) 요약

본 발명은 탐색 윈도우 범위 내에서 M*N 크기를 갖는 현재 매크로 블록과 참조 매크로 블록의 픽셀들 간의 절대차(AD, absolute difference)를 연산하는 제1 연산부, 상기 절대차 연산에 의해 추가된 상위비트들을 고려하여 상기 각각의 절대차에 대한 절대차 합(SAD, sum of absolute difference)을 연산하는 제2 연산부 및 상기 각각의 연산된 절대차 합 중에서 최소값을 갖는 최소 절대차 합(min SAD)을 결정하는 제3 연산부를 포함하는 절대차 합 연산장치 및 방법을 개시한다.

대표도 - 도9



이 발명을 지원한 국가연구개발사업

과제고유번호 2013R1A1A1005832

부처명 미래창조부

연구관리전문기관 한국연구재단

연구사업명 신진연구

연구과제명 유사 문턱 전압에서 안정적 동작을 제공하는 초저전력 임베디드 메모리 설계기술 연구

기 여 율 1/1

주관기관 경희대학교 산학협력단

연구기간 2013.06.01 ~ 2016.05.31

명세서

청구범위

청구항 1

탐색 윈도우 범위 내에서 $M \times N$ 크기를 갖는 현재 매크로 블록과 참조 매크로 블록의 픽셀들 간의 절대차(AD, absolute difference)를 연산하는 제1 연산부;

상기 절대차 연산에 의해 추가된 상위비트들을 고려하여 상기 각각의 절대차에 대한 절대차 합(SAD, sum of absolute difference)을 연산하는 제2 연산부; 및

상기 각각의 연산된 절대차 합 중에서 최소값을 갖는 최소 절대차 합(min SAD)을 결정하는 제3 연산부를 포함하는 절대차 합 연산장치.

청구항 2

제1항에 있어서,

상기 제2 연산부는

상위 순(highest order)으로 선정된 개수의 추가된 상위비트들을 하나의 상위비트로 근사화하는 근사화 규칙에 기반하여 상기 각각의 절대차에 대한 상기 절대차 합을 연산하는

절대차 합 연산장치.

청구항 3

제2항에 있어서,

상기 근사화 규칙은

논리합 게이트(OR gate) 자리올림 방식에 적용되는

절대차 합 연산장치.

청구항 4

제2항에 있어서,

상기 최소 절대차 합에 대한 이산 코사인 변환(DCT, discrete cosine transform)값이 선정된 임계값보다 같거나 큰 경우, 상기 선정된 개수보다 적은 개수로 재선정하여 상기 근사화 규칙을 변경하는 제어부

를 더 포함하는 절대차 합 연산장치.

청구항 5

제4항에 있어서,

상기 제2 연산부는

상기 변경된 근사화 규칙을 적용하여 상기 각각의 절대차에 대한 상기 절대차 합을 재연산하는

절대차 합 연산장치.

청구항 6

탐색 윈도우 범위 내에서 $M \times N$ 크기를 갖는 현재 매크로 블록과 참조 매크로 블록의 픽셀들 간의 절대차를 연산하는 단계;

상기 절대차 연산에 의해 추가된 상위비트들을 고려하여 상기 각각의 절대차에 대한 절대차 합을 연산하는 단계; 및

상기 각각의 연산된 절대차 합 중에서 최소값을 갖는 최소 절대차 합을 결정하는 단계를 포함하는 절대차 합 연산방법.

청구항 7

제6항에 있어서,

상기 절대차 합을 연산하는 단계는

상위 순으로 선정된 개수의 추가된 상위비트들을 하나의 상위비트로 근사화하는 근사화 규칙에 기반하여 상기 각각의 절대차에 대한 상기 절대차 합을 연산하는

절대차 합 연산방법.

청구항 8

제7항에 있어서,

상기 최소 절대차 합에 대한 이산 코사인 변환값이 선정된 임계값보다 같거나 큰 경우, 상기 선정된 개수보다 적은 개수로 재선정하여 상기 근사화 규칙을 변경하는 단계

를 더 포함하는 절대차 합 연산방법.

발명의 설명

기술 분야

[0001] 본 발명은 절대차 합 연산장치 및 방법에 관한 것으로, 보다 상세하게는 상위비트들을 하나의 상위비트로 근사화하여 절대차 합을 연산하는 연산장치 및 방법에 관한 것이다.

배경 기술

[0002] 최근에는 디지털 신호처리, 저장매체 및 전송방식에 관한 기술이 발전함에 따라 음성에 국한되었던 음성 서비스가 디지털 영상이 포함된 멀티미디어 서비스로 진화되었다.

[0003] 디지털 영상은 연속적인 프레임들로 구성되고, 각각의 프레임들은 선정된 크기를 갖는 매크로 블록(MB, Macro block)들로 구성되며, 각각의 매크로 블록들은 선정된 크기의 픽셀들을 포함한다. 따라서, 디지털 영상은 음성에 비해 방대한 데이터가 포함될 수 있다.

[0004] 멀티미디어 서비스는 디지털 영상을 효율적으로 압축하는 압축 기술을 이용하여 압축된 디지털 영상을 제공할 수 있다. 압축 기술은 디지털 영상의 연속적인 프레임들 간의 시간적 중복성을 제거하는 기술이고, 시간적 중복성을 제거하기 위해 움직임 추정(motion estimation) 기술이 포함될 수 있다.

[0005] 종래의 움직임 추정 기술은 매크로 블록 단위로 모든 픽셀에 대한 절대차 합(SAD, sum of absolute difference) 연산을 수행할 수 있다. 보다 상세하게는, 종래의 움직임 추정 기술은 현재 매크로 블록과 참조 매크로 블록의 픽셀들 간의 절대차(AD, absolute difference)를 연산하고, 각각의 절대차에 대한 합을 연산할 수 있다.

[0006] 여기서, 픽셀들은 비트 열(bit string)로 나타낼 수 있고, 비트 열은 하위비트들(LSB's, least significant bits)과 상위비트들(MSB's, most significant bits)을 포함할 수 있다. 하위비트들은 비트 열에서 오른쪽 부근의 유효숫자에 위치하고, 상위비트들은 비트 열에서 왼쪽 부근의 유효숫자에 위치한다.

[0007] 종래의 움직임 추정 기술은 절대차 연산에 의해 보정 비트 및 인버터 비트를 포함하는 상위비트들이 추가될 수 있다. 따라서, 종래의 움직임 추정 기술은 상위비트들이 추가 되면서 자리올림 전파지연(carry-propagation delay)을 겪는 문제점이 존재하였다.

[0008] 또한, 종래의 움직임 추정 기술은 추가적 상위비트들에 대한 연산을 수행하는 논리 소자가 추가되면서 전력 소모가 커지는 문제점이 존재하였다.

선행기술문헌

비특허문헌

- [0009] (비특허문헌 0001) Vanne, J., Aho, E., Hamalainen, T.D. and Kuusilinn, K. "A High-Performance Sum of Absolute Difference Implementation for Motion Estimation". IEEE Trans. Circ. Syst. Video Tech. vol. 16, issue 7, July.2006
- (비특허문헌 0002) Kaul, H., Anders, M.A., Mathew, S.K., Hsu, S.K., Agarwal, A., Krishnamurthy, R.K. and Borkar, S. A 320 mV 56 μ W 411

발명의 내용

해결하려는 과제

- [0010] 본 발명은 상위 순으로 선정된 개수의 추가된 상위비트들을 하나의 상위비트로 근사화하는 근사화 규칙을 이용함으로써, 자리올림 전파지연을 감소시키고, 높은 전송속도의 압축된 디지털 영상을 제공하는 절대차 합 연산장치 및 방법을 제공한다.
- [0011] 본 발명은 근사화 규칙이 적용되는 논리 소자를 이용함으로써, 시스템의 전력 소비를 줄이는 절대차 합 연산장치 및 방법을 제공한다.
- [0012] 본 발명은 적응적으로 근사화 규칙을 변경하여 움직임 압축의 성능을 개선시키는 절대차 합 연산장치 및 방법을 제공한다.

과제의 해결 수단

- [0013] 본 발명의 실시예에 따른 절대차 합 연산장치는 탐색 윈도우 범위 내에서 $M \times N$ 크기를 갖는 현재 매크로 블록과 참조 매크로 블록의 픽셀들 간의 절대차(AD, absolute difference)를 연산하는 제1 연산부, 상기 절대차 연산에 의해 추가된 상위비트들을 고려하여 상기 각각의 절대차에 대한 절대차 합(SAD, sum of absolute difference)을 연산하는 제2 연산부 및 상기 각각의 연산된 절대차 합 중에서 최소값을 갖는 최소 절대차 합(min SAD)을 결정하는 제3 연산부를 포함한다.
- [0014] 상기 제2 연산부는 상위 순(highest order)으로 선정된 개수의 추가된 상위비트들을 하나의 상위비트로 근사화하는 근사화 규칙에 기반하여 상기 각각의 절대차에 대한 상기 절대차 합을 연산할 수 있다.
- [0015] 상기 근사화 규칙은 논리합 게이트(OR gate) 자리올림 방식에 적용될 수 있다.
- [0016] 본 발명의 실시예에 따른 절대차 합 연산장치는 상기 최소 절대차 합에 대한 이산 코사인 변환(DCT, discrete cosine transform)값이 선정된 임계값보다 같거나 큰 경우, 상기 선정된 개수보다 적은 개수로 재선정하여 상기 근사화 규칙을 변경하는 제어부를 더 포함할 수 있다.
- [0017] 상기 제2 연산부는 상기 변경된 근사화 규칙을 적용하여 상기 각각의 절대차에 대한 상기 절대차 합을 재연산할 수 있다.
- [0018] 본 발명의 실시예에 따른 절대차 합 연산방법은 탐색 윈도우 범위 내에서 $M \times N$ 크기를 갖는 현재 매크로 블록과 참조 매크로 블록의 픽셀들 간의 절대차를 연산하는 단계, 상기 절대차 연산에 의해 추가된 상위비트들을 고려하여 상기 각각의 절대차에 대한 절대차 합을 연산하는 단계 및 상기 각각의 연산된 절대차 합 중에서 최소값을 갖는 최소 절대차 합을 결정하는 단계를 포함한다.
- [0019] 상기 절대차 합을 연산하는 단계는 상위 순으로 선정된 개수의 추가된 상위비트들을 하나의 상위비트로 근사화하는 근사화 규칙에 기반하여 상기 각각의 절대차에 대한 상기 절대차 합을 연산할 수 있다.
- [0020] 본 발명의 실시예에 따른 절대차 합 연산방법은 상기 최소 절대차 합에 대한 이산 코사인 변환값이 선정된 임계값보다 같거나 큰 경우, 상기 선정된 개수보다 적은 개수로 재선정하여 상기 근사화 규칙을 변경하는 단계를 더 포함할 수 있다.

발명의 효과

- [0021] 본 발명의 일실시예는 상위 순으로 선정된 개수의 추가된 상위비트들을 하나의 상위비트로 근사화하는 근사화

규칙을 이용함으로써, 자리올림 전파지연을 감소시킬 수 있고, 높은 전송속도의 압축된 디지털 영상을 제공할 수 있다.

[0022] 본 발명은 근사화 규칙이 적용되는 논리 소자를 이용함으로써, 시스템의 전력 소비를 줄일 수 있다.

[0023] 본 발명은 적응적으로 근사화 규칙을 변경하여 움직임 압축의 성능을 개선시킬 수 있다.

도면의 간단한 설명

[0024] 도 1은 16개 쌍 픽셀의 입력을 갖는 절대차 합 연산장치를 도시한 예이다.

도 2는 자리올림 저장 가산기를 기반으로 16개 쌍 픽셀의 입력을 갖는 절대차 합 연산장치를 도시한 예이다.

도 3은 리플 자리올림 가산기를 기반으로 16개 쌍 픽셀의 입력을 갖는 절대차 합 연산장치를 도시한 예이다.

도 4는 도 3의 자리올림 가산기 구조를 도시한 예이다.

도 5는 상위비트들을 하나의 상위비트로 근사화하는 예를 도시한 것이다.

도 6a는 도 5의 상위비트로 근사화하지 않은 상태에서 절대차 합에 대한 분포를 도시한 예이다.

도 6b는 도 5의 상위비트로 근사화한 상태에서 절대차 합에 대한 분포를 도시한 예이다.

도 7은 4개 상위비트들을 하나의 상위비트로 근사화하는 절대차 합 연산장치를 도시한 예이다.

도 8은 도 7의 4개 상위비트들을 하나의 상위비트로 근사화 동작을 수행하는 논리 소자의 구조를 도시한 예이다.

도 9는 본 발명의 실시예에 따른 절대차 합 연산장치를 도시한 블록도이다.

도 10은 본 발명의 실시예에 따른 절대차 합 연산방법을 도시한 흐름도이다.

발명을 실시하기 위한 구체적인 내용

[0025] 이하 첨부 도면들 및 첨부 도면들에 기재된 내용들을 참조하여 본 발명의 실시예를 상세하게 설명하지만, 본 발명이 실시예에 의해 제한되거나 한정되는 것은 아니다.

[0026] 한편, 본 발명을 설명함에 있어서, 관련된 공지 기능 또는 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는, 그 상세한 설명을 생략할 것이다. 그리고, 본 명세서에서 사용되는 용어(terminology)들은 본 발명의 실시예를 적절히 표현하기 위해 사용된 용어들로서, 이는 사용자, 운용자의 의도 또는 본 발명이 속하는 분야의 관례 등에 따라 달라질 수 있다. 따라서, 본 용어들에 대한 정의는 본 명세서 전반에 걸친 내용을 토대로 내려져야 할 것이다.

[0027] 도 1은 16개 쌍 픽셀의 입력을 갖는 절대차 합 연산장치를 도시한 예이다.

[0028] 도 1을 참조하면, 절대차 합 연산장치(100)는 탐색 윈도우 범위(SWR, searching window range) 내에서 매크로 블록 단위로 모든 픽셀에 대한 절대차 합(SAD, sum of absolute difference) 연산(120)을 수행할 수 있고, 각각의 연산된 절대차 합 중에서 최소값을 갖는 최소 절대차 합을 결정할 수 있다.

[0029] 보다 상세하게는, 절대차 합 연산장치(100)는 디지털 영상의 시간적인 중복성(temporal redundancy)을 줄이기 위해 탐색 윈도우 범위 내에서 현재 매크로 블록과 참조 매크로 블록의 픽셀들 간의 절대차(AD, absolute difference)를 연산하고, 각각의 절대차에 대한 절대차 합을 연산할 수 있으며, 각각의 연산된 절대차 합 중에서 최소값을 갖는 최소 절대차 합을 결정할 수 있다.

[0030] 또한, 절대차 합 연산장치(100)는 도1에 도시된 바와 같이, 4 단계(S1, S2, S3, S4)로 각각의 절대차에 대한 절대차 합을 누적하여 연산할 수 있고, 각각의 연산된 절대차 합 중에서 최소값을 갖는 최소 절대차 합을 결정할 수 있다.

[0031] 여기서, 픽셀들은 비트 열(bit string)로 나타낼 수 있고, 비트 열은 하위비트들(LSB's, least significant bits)과 상위비트들(MSB's, most significant bits)을 포함할 수 있다. 하위비트들은 비트 열에서 오른쪽 부근의 유효숫자에 위치하고, 상위비트들은 비트 열에서 왼쪽 부근의 유효숫자에 위치한다.

[0032] 하나의 매크로 블록은 M*N 크기를 갖는 픽셀들일 수 있고, H.264 비디오 표준에서 4*4 크기를 갖는 16개의 픽셀들일 수 있다.

[0033] 실시예에 따르면, 절대차 합 연산장치(100)는 4*4, 4*8, 8*4, 8*8, 8*16, 16*8, 16*16 또는 M*N 크기를 갖는 현재 매크로 블록과 참조 매크로 블록의 픽셀들 간의 절대차를 연산하고, 각각의 절대차에 대한 절대차 합을 연산할 수 있다.

[0034] 예를 들어, 절대차 합 연산장치(100)는 하기 수식 (1)을 통하여 절대차 합 연산을 수행할 수 있다.

[0035] [수식 1]

$$SAD = \sum_{i=0}^{M \times N - 1} |C_i - R_i|$$

[0036]

[0037] 여기서, M*N은 매크로 블록의 크기를 의미하고, Ci는 현재 매크로 블록의 i 번째 픽셀의 휘도(luma)값 또는 채도(chroma) 값을 의미하며, Ri는 참조 매크로 블록의 i 번째 픽셀의 luma 또는 chroma 값을 의미한다.

[0038] 도 1을 참조하면, 절대차 합 연산장치(100)는 4*4 크기를 갖는 현재 매크로 블록과 참조 매크로 블록의 16개 쌍 픽셀에 대한 절대차를 연산할 수 있다.

[0039] 또한, 절대차 합 연산장치(100)는 16개 쌍 픽셀을 병렬적으로 처리할 수 있고, 16개 쌍 픽셀의 비트들에 대한 절대차를 하기 수식 (2)를 통하여 연산할 수 있다.

[0040] [수식 2]

$$AD = |a - b| = \begin{cases} (a + \bar{b}) + 1 & \text{if } a > b \\ (\bar{a} + b) & \text{if } a \leq b \end{cases}$$

[0041]

[0042] 수식 (2)를 참조하면, 절대차 합 연산장치는 절대차 연산에 의해 보정 비트 및 인버터 비트를 포함하는 상위비트들을 추가할 수 있다.

[0043] 예를 들어, a가 b보다 클 경우, 보정 비트가 추가될 수 있고, a가 b보다 같거나 작은 경우, 인버터 비트가 추가될 수 있다.

[0044] 본 발명의 일측에 따르면, 절대차 합 연산장치(100)는 절대차 합 연산 시, 상위비트들이 추가되면서 자리올림 전파지연(carry-propagation delay)(또는 임계 경로 지연(critical path delay))을 겪을 수 있다.

[0045] 본 발명의 다른 일측에 따르면, 절대차 합 연산장치(100)는 최소 절대차 합 결정 시, 상위비트가 추가되면서 자리올림 전파지연을 겪을 수 있다.

[0046] 또한, 절대차 합 연산장치(100)는 자리올림 전파지연을 감소하기 위해 자리올림 저장 가산기(CSA, carry-save adder)를 이용할 수 있다. 이하, 도 2를 참조하여 자리올림 저장 가산기를 이용한 절대차 합 연산장치(200)를 상세히 설명하기로 한다.

[0047] 도 2는 자리올림 저장 가산기를 기반으로 16개 쌍 픽셀의 입력을 갖는 절대차 합 연산장치를 도시한 예이다.

[0048] 도 2를 참조하면, 절대차 합 연산장치(200)는 탐색 윈도우 범위 내에서 4*4 크기를 갖는 현재 매크로 블록과 참조 매크로 블록의 16개 쌍 픽셀에 대한 절대차를 연산하고, 자리올림 저장 가산기를 이용하여 각각의 절대차에 대한 절대차 합을 연산할 수 있으며, 각각의 연산된 절대차 합 중에서 최소값을 갖는 최소 절대차 합을 결정할 수 있다.

[0049] 여기서, 16개 쌍 픽셀은 비트 열로 나타낼 수 있고, 비트 열은 하위비트들과 상위비트들을 포함할 수 있다.

[0050] 또한, 자리올림 저장 가산기는 적어도 3개 이상의 비트 수에 대한 덧셈 연산을 수행할 수 있고, 전가산기(full adder)의 구조일 수 있으며, Sklansky 가산기일 수 있다.

- [0051] 도 2에 도시된 바와 같이, 절대차 합 연산장치(200)는 자리올림 저장 가산기를 이용하여 절대차 합 연산 및 최소 절대차 합을 연산하는 경우, 52개의 타이밍 유닛(timing units)들이 포함될 수 있다. 타이밍 유닛은 자리올림 전파지연의 시간을 의미한다.
- [0052] 본 발명의 일측에 따르면, 절대차 합 연산장치(200)는 도 2에 도시된 타이밍 유닛들의 개수를 줄이기 위해 리플 자리올림 가산기(RCA, ripple-carry adder)를 이용할 수 있다. 이하, 도 3 및 도 4를 참조하여 리플 자리올림 가산기를 이용한 절대차 합 연산장치(300)를 상세히 설명하기로 한다.
- [0053] 도 3은 리플 자리올림 가산기를 기반으로 16개 쌍 픽셀의 입력을 갖는 절대차 합 연산장치를 도시한 예이고, 도 4는 도 3의 자리올림 가산기 구조를 도시한 예이다.
- [0054] 도 3을 참조하면, 절대차 합 연산장치(300)는 탐색 윈도우 범위 내에서 4*4 크기를 갖는 현재 매크로 블록과 참조 매크로 블록의 16개 쌍 픽셀에 대한 절대차를 연산하고, 리플 자리올림 가산기를 이용하여 각각의 절대차에 대한 절대차 합을 연산할 수 있으며, 각각의 연산된 절대차 합 중에서 최소값을 갖는 최소 절대차 합을 결정할 수 있다.
- [0055] 여기서, 16개 쌍 픽셀은 비트 열로 나타낼 수 있고, 비트 열은 하위비트들과 상위비트들을 포함할 수 있다.
- [0056] 도 4에 도시된 바와 같이, 리플 자리올림 가산기는 전가산기(410) 및 반가산기(half adder)(420)를 포함할 수 있다. 보다 상세하게는, 리플 자리올림 가산기는 2개 입력에 대한 부정 논리곱/부정 논리합 게이트(NAND/NOR gate) 및 인버터 등 논리 소자를 포함할 수 있다.
- [0057] 절대차 합 연산장치(300)는 4 단계로 각각의 절대차에 대한 절대차 합을 연산할 수 있고, 각각의 연산된 절대차 합 중에서 최소값을 갖는 최소 절대차 합을 결정할 수 있다.
- [0058] 이 때, 절대차 합 연산장치(300)는 절대차 합 연산 및 최소 절대차 합 결정 시, 상위비트들이 추가될 수 있고, 추가된 상위비트들(310)에 대한 연산을 수행하는 논리 소자가 추가될 수 있다.
- [0059] 예를 들어, 절대차 합 연산장치(300)는 상위비트들을 누적하여 연산하는 경우, 6개의 전가산기의 동작이 필요할 수 있고, 상위비트들에 대한 절대차 합 중에서 최소값을 갖는 최소 절대차 합을 결정하는 경우 3개의 전가산기의 동작이 필요할 수 있다.
- [0060] 보다 상세하게는, 절대차 합 연산장치(300)는 상위비트들에 대한 절대차 합 연산 및 최소 절대차 합을 결정하는 경우, 108개의 논리 게이트를 포함할 수 있다. 이 때, 하나의 전가산기는 12개의 논리 게이트를 포함할 수 있다.
- [0061] 도 3에 도시된 바와 같이, 절대차 합 연산장치(300)는 리플 자리올림 가산기를 이용하여 16개 쌍의 픽셀에 대한 절대차 합 연산 및 최소 절대차 합을 연산하는 경우, 48개의 타이밍 유닛들이 포함될 수 있다.
- [0062] 본 발명의 일측에 따르면, 절대차 합 연산장치(300)는 절대차 합 연산 시, 상위비트들이 추가되면서 자리올림 전파지연을 겪을 수 있다. 이하, 도 5 내지 도 8을 참조하여 상위비트들을 하나의 상위비트로 근사화하여 자리올림 전파지연을 줄일 수 있는 절대차 합 연산장치(700)를 상세히 설명하기로 한다.
- [0063] 도 5는 상위비트들을 하나의 상위비트로 근사화하는 예를 도시한 것이고, 도 6a는 도 5의 상위비트로 근사화하지 않은 상태에서 절대차 합에 대한 분포를 도시한 예이며, 도 6b는 도 5의 상위비트로 근사화한 상태에서 절대차 합에 대한 분포를 도시한 예이다.
- [0064] 도 5를 참조하면, 절대차 합 연산장치는 상위 순(highest order)으로 2개 이상의 상위비트들을 선택하여 하나의 상위비트로 근사화할 수 있다.
- [0065] 도 5에 도시된 바와 같이, 절대차 합 연산장치는 상위 순으로 4개의 상위비트들을 선택할 수 있고, 선택된 상위비트들을 하나의 상위비트로 근사화할 수 있다.
- [0066] 본 발명의 일측에 따르면, 절대차 합 연산장치는 선택된 상위비트들을 하나의 상위비트로 근사화하여도 디지털 영상의 압축 성능을 유지할 수 있고, 자리올림 전파지연을 줄일 수 있다.
- [0067] 예를 들어, 상위비트들을 하나의 상위비트로 근사화하지 않은 상태 및 근사화한 상태에서 절대차 합에 대한 분

포의 차이는 도 6a 및 도6b에 도시된 바와 같이, 디지털 영상 압축에 영향을 미치지 않는 만큼으로 존재할 수 있다.

[0068] 표 1은 압축된 디지털 영상의 전송속도를 나타내는 표이다. 보다 상세하게는, 표 1은 3 내지 5개의 상위비트들을 선택하여 하나의 상위비트로 근사화한 경우, 각각의 압축된 디지털 영상의 전송속도를 나타내는 표이다.

[0069] [표 1]

Search ALG	Video	Normal	Approximation		
			3 MSBs	4 MSBs	5 MSBs
FS	Racel	2055	2057	2098	2636
	Akko&Kayo	1155	1156	1180	1359
	Rena_	727	727	727	732
	Ballroom	915	915	923	971
	Exit	368	368	369	388
FFS	Racel	2090	2091	2120	2207
	Akko&Kayo	1161	1161	1162	1177
	Rena	728	728	730	731
	Ballroom	918	918	919	928
	Exit	369	369	369	370
UHS	Racel	3883	3883	3890	3895
	Akko&Kayo	1885	1894	1900	1901
	Rena	748	748	750	750
	Ballroom	970	971	974	980
	Exit	406	407	411	413

[0070]

[0071] 표 1은 640*460의 해상도를 갖는 디지털 영상과 다양한 탐색 윈도우 범위를 연산하는 탐색 알고리즘을 적용하여 전송속도를 산출한 표이다.

[0072] 탐색 알고리즘은 전영역 탐색(FS, full search), 빠른 전영역 탐색FFS(fast full search), 및 UHS(umh-exagon search) 알고리즘을 포함할 수 있다.

[0073] 표 1을 참조하면, 절대차 합 연산장치는 하나의 상위비트로 근사화하는 경우, 하나의 상위비트로 근사하지 않는 경우 보다 더 높은 전송속도의 압축된 디지털 영상을 제공할 수 있다.

[0074] 또한, 절대차 합 연산장치는 많은 상위비트들의 개수를 선택하여 하나의 상위비트로 근사화 하는 경우, 적게 상위비트들의 개수를 선택하여 하나의 상위비트로 근사화 하는 경우 보다 더 높은 전송속도의 압축된 디지털 영상을 제공할 수 있다.

[0075] 따라서, 절대차 합 연산장치는 상위 순으로 적어도 2개 이상의 상위비트들을 선택하여 하나의 상위비트로 근사화함으로써, 압축된 디지털 영상의 전송 효율을 향상시킬 수 있다.

[0076] 도 7은 4개 상위비트들을 하나의 상위비트로 근사화하는 절대차 합 연산장치를 도시한 예이고, 도 8은 도 7의 4개 상위비트들을 하나의 상위비트로 근사화 동작을 수행하는 논리 소자의 구조를 도시한 예이다.

[0077] 도 7을 참조하면, 절대차 합 연산장치(700)는 탐색 윈도우 범위 내에서 4*4 크기를 갖는 현재 매크로 블록과 참조 매크로 블록의 16개 쌍 픽셀에 대한 절대차를 연산할 수 있다.

[0078] 여기서, 16개 쌍 픽셀은 비트 열로 나타낼 수 있고, 비트 열은 하위비트들과 상위비트들을 포함할 수 있고, 절

대차 합 연산장치는 절대차 연산에 의해 보정 비트 및 인버터 비트를 포함하는 상위비트들(710)을 추가할 수 있다.

[0079] 실시예에 따르면, 절대차 합 연산장치(700)는 상위 순(highest order)으로 선정된 개수의 추가된 상위비트들을 하나의 상위비트로 근사화하는 근사화 규칙 (예를 들어, 근사화 규칙은 논리 소자로 구현될 수 있음)을 이용하여 각각의 절대차에 대한 절대차 합을 연산할 수 있으며, 각각의 연산된 절대차 합 중에서 최소값을 갖는 최소 절대차 합을 결정할 수 있다.

[0080] 또한, 절대차 합 연산장치(700)는 4개의 단계로 각각의 절대차에 대한 절대차 합을 누적하여 연산할 수 있고, 각각의 연산된 절대차 합 중에서 최소값을 갖는 최소 절대차 합을 결정할 수 있다.

[0081] 상위 순(highest order)으로 선정된 개수의 추가된 상위비트들을 하나의 상위비트로 근사화하는 예로, 도 7의 참조부호 720에 포함된 회로는 도 8에 도시된 논리 소자로 대체될 수 있다.

[0082] 도 8을 참조하면, 4개 상위비트들을 하나의 상위비트로 근사화 동작을 수행하는 논리 소자는 논리합 게이트(OR gate) 자리올림 방식으로 동작할 수 있고, 2개 입력에 대한 부정 논리곱 게이트 및 인버터를 포함할 수 있다.

[0083] 예를 들어, 절대차 합 연산장치는 근사화된 하나의 상위비트에 대한 절대차 합 연산 및 최소 절대차 합을 결정하는 경우, 2개 입력에 대한 부정 논리곱 게이트 14개 및 인버터 28개 등 42개의 논리 게이트를 포함할 수 있다.

[0084] 따라서, 도 8에 도시된 예에 따르면, Accumulator의 최상위 출력 비트는 논리합 게이트를 통해 하나의 근사화된 상위 비트 "36"이 출력될 수 있다.

[0085] 도 7에 도시된 바와 같이, 절대차 합 연산장치(700)는 4개 상위비트들을 하나의 상위비트로 근사화하여 16개 쌍의 픽셀에 대한 절대차 합 연산 및 최소 절대차 합을 연산하는 경우, 42개의 타이밍 유닛들이 포함될 수 있다.

[0086] 도 2, 도 3 및 도 7을 참조하면, 절대차 합 연산장치는 자리올림 저장 가산기, 리플 자리올림 가산기 및 4개 상위비트들을 하나의 상위비트로 근사화하는 논리 소자를 이용하여 16개 쌍의 픽셀에 대한 절대차 합 연산 및 최소 절대차 합을 연산하는 경우, 52개, 48개 및 42개의 타이밍 유닛들이 포함될 수 있다.

[0087] 따라서, 절대차 합 연산장치는 4개 상위비트들을 하나의 상위비트로 근사화하는 경우, 자리올림 전파지연을 줄일 수 있다.

[0088] 도 2, 도 3 및 도 7을 참조하면, 절대차 합 연산장치는 리플 자리올림 가산기 및 4개 상위비트들을 하나의 상위비트로 근사화 동작을 수행하는 논리 소자를 이용하여 16개 쌍의 픽셀에 대한 절대차 합 연산 및 최소 절대차 합을 연산하는 경우, 108개 및 42개의 논리 게이트가 포함될 수 있다.

[0089] 표 2는 전력 시뮬레이션 결과를 나타내는 표이다.

[0090] [표 2]

Design	Critical path delay (ns)	At clock period = 5.4ns	
		Power (mW)	Area (um ²)
RCA_based SAD	4.546684	4.6388	14971
J. Vanne's SAD	4.899782	5.7086	17034
4-MSB a-SAD	4.004959	4.1796	14737

[0091]

[0092] 표 2를 참조하면, 절대차 합 연산장치는 자리올림 저장 가산기(J.Vanne's SAD), 리플 자리올림 가산기(RCA-based SAD) 및 4개 상위비트들을 하나의 상위비트로 근사화 동작을 수행하는 논리 소자(4-MSB a-SAD)를 적용하는 경우, 근사화 동작을 수행하는 논리 소자가 가장 전력 소모가 적을 수 있다.

[0093] 따라서, 절대차 합 연산장치는 4개 상위비트들을 하나의 상위비트로 근사화하는 경우, 논리 소자의 전력 소비를 줄일 수 있다.

- [0094] 절대차 합 연산장치는 상위 순(highest order)으로 선정된 개수의 추가된 상위비트들을 하나의 상위비트로 근사화하는 근사화 규칙에 기반하여 각각의 절대차에 대한 절대차 합을 연산할 수 있고, 각각의 연산된 절대차 합 중에서 최소값을 갖는 최소 절대차 합을 결정할 수 있다.
- [0095] 근사화 규칙은 추가된 상위비트들 중 상위 순으로 2, 3, 4, 또는 N 개를 선정하여 하나의 상위비트로 근사화하는 규칙일 수 있다.
- [0096] 본 발명의 일측에 따르면, 절대차 합 연산장치는 추가된 상위비트들의 개수가 커질수록 압축된 디지털 영상의 전송 효율을 향상시킬 수 있으나, 움직임 압축(motion compression)의 성능을 하향시킬 수 있다.
- [0097] 예를 들어, 절대차 합 연산장치는 최소 절대차 합을 이용하여 고주파 기반의 이산 코사인 변환(DCT, discrete cosine transform)값으로 변환할 수 있고, 변환된 이산 코사인 변환값을 이용하여 움직임 압축을 구현할 수 있다.
- [0098] 이 때, 탐색 윈도우 범위 내에서 연산된 최소 절대차 합에 대한 이산 코사인 변환값이 선정된 임계값보다 같거나 큰 경우, 움직임 압축의 성능은 하향될 수 있다.
- [0099] 따라서, 절대차 합 연산장치는 최소 절대차 합에 대한 이산 코사인 변환(DCT, discrete cosine transform)값이 선정된 임계값보다 같거나 큰 경우, 상기 선정된 개수보다 적은 개수로 재선정하여 상기 근사화 규칙을 변경할 수 있다.
- [0100] 또한, 절대차 합 연산장치는 변경된 근사화 규칙을 적용하여 각각의 절대차에 대한 절대차 합을 재연산하고, 각각의 재연산된 절대차 합 중에서 최소값을 갖는 최소 절대차 합을 재결정하여 움직임 압축의 성능을 개선시킬 수 있다.
- [0101] 또한, 절대차 합 연산장치는 폭넓은 동적 전압 스케일링(wide dynamic voltage scaling)에 기반하여 움직임 압축을 구현할 수 있다. 이에 따라, 절대차 합 연산장치는 에너지 효율을 향상시킬 수 있다.
- [0102] 이하, 절대차 합 연산장치 및 방법의 구체적인 실시예들을 설명하기로 한다. 도 1 내지 도 8은 후술하는 절대차 합 연산장치 및 방법의 설명에 모두 적용될 수 있다.
- [0103] 도 9는 본 발명의 실시예에 따른 절대차 합 연산장치를 도시한 블록도이다.
- [0104] 도 9를 참조하면, 절대차 합 연산장치(900)는 제1 연산부(910), 제2 연산부(920) 및 제3 연산부(930)를 포함한다.
- [0105] 제1 연산부(910)는 탐색 윈도우 범위 내에서 $M \times N$ 크기를 갖는 현재 매크로 블록과 참조 매크로 블록의 픽셀들 간의 절대차를 연산한다.
- [0106] 픽셀들은 비트 열로 나타낼 수 있고, 비트 열은 하위비트들과 상위비트들을 포함할 수 있다. 하위비트들은 비트 열에서 오른쪽 부근의 유효숫자에 위치하고, 상위비트들은 비트 열에서 왼쪽 부근의 유효숫자에 위치한다.
- [0107] 하나의 매크로 블록은 $M \times N$ 크기를 갖는 픽셀들일 수 있고, H.264 비디오 표준에서 4×4 크기를 갖는 16개의 픽셀들일 수 있다.
- [0108] 본 발명의 일측에 따르면, 제1 연산부(910)는 탐색 윈도우 범위 내에서 $M \times N$ 크기를 갖는 현재 매크로 블록과 참조 매크로 블록의 픽셀들 간의 절대차를 병렬적으로 처리할 수 있고, 절대차 연산에 의해 보정 비트 및 인버터 비트를 포함하는 상위비트들을 추가할 수 있다.
- [0109] 제2 연산부(920)는 절대차 연산에 의해 추가된 상위비트들을 고려하여 각각의 절대차에 대한 절대차 합을 연산한다.
- [0110] 보다 상세하게는, 제2 연산부(920)는 상위 순으로 선정된 개수의 추가된 상위비트들을 하나의 상위비트로 근사화하는 근사화 규칙에 기반하여 각각의 절대차에 대한 절대차 합을 연산할 수 있다. 근사화 규칙은 논리합 게이트 자리올림 방식에 적용될 수 있고, 논리 소자로 구현될 수 있다.
- [0111] 또한, 제2 연산부(920)는 다단계로 각각의 절대차에 대한 절대차 합을 누적하여 연산할 수 있다.

- [0112] 제3 연산부(930)는 각각의 연산된 절대차 합 중에서 최소값을 갖는 최소 절대차 합을 결정한다.
- [0113] 따라서, 절대차 합 연산장치(900)는 결정된 최소 절대차 합을 통하여 현재 매크로 블록과 참조 매크로 블록 간의 상관관계 또는 유사성을 나타내는 움직임 벡터를 획득할 수 있다.
- [0114] 또한, 절대차 합 연산장치(900)는 획득된 움직임 벡터를 이용하여 디지털 영상의 시간적인 중복성을 줄임으로써, 압축된 디지털 동영상을 획득할 수 있다.
- [0115] 본 발명의 일측에 따르면, 절대차 합 연산장치(900)는 상위 순으로 적어도 2개 이상의 상위비트들을 하나의 상위비트로 근사화함으로써, 압축된 디지털 영상의 전송 효율을 향상시킬 수 있다.
- [0116] 본 발명의 다른 일측에 따르면, 절대차 합 연산장치(900)는 추가된 상위비트들의 개수가 커질수록 압축된 디지털 영상의 전송 효율을 향상시킬 수 있으나, 움직임 압축의 성능을 하향시킬 수 있다.
- [0117] 예를 들어, 절대차 합 연산장치(900)는 최소 절대차 합을 이용하여 고주파 기반의 이산 코사인 변환(DCT, discrete cosine transform)값으로 변환할 수 있고, 변환된 이산 코사인 변환값을 이용하여 움직임 압축을 구현할 수 있다.
- [0118] 이 때, 탐색 윈도우 범위 내에서 연산된 최소 절대차 합에 대한 이산 코사인 변환값이 선정된 임계값보다 같거나 큰 경우, 움직임 압축의 성능은 하향될 수 있다.
- [0119] 본 발명의 실시예에 따른 절대차 합 연산장치(900)는 최소 절대차 합에 대한 이산 코사인 변환값이 선정된 임계값보다 같거나 큰 경우, 선정된 개수보다 적은 개수로 재선정하여 근사화 규칙을 변경하는 제어부(940)를 더 포함할 수 있다.
- [0120] 제2 연산부(920)는 변경된 근사화 규칙을 적용하여 각각의 절대차에 대한 절대차 합을 재연산할 수 있고, 제3 연산부(930)는 각각의 재연산된 절대차 합 중에서 최소값을 갖는 갱신된 최소 절대차 합을 결정하여 움직임 압축의 성능을 개선시킬 수 있다.
- [0121] 도 10은 본 발명의 실시예에 따른 절대차 합 연산방법을 도시한 흐름도이다.
- [0122] 도 10을 참조하면, 절대차 합 연산장치는 단계 1010에서, 탐색 윈도우 범위 내에서 $M \times N$ 크기를 갖는 현재 매크로 블록과 참조 매크로 블록의 픽셀들 간의 절대차를 연산한다.
- [0123] 픽셀들은 비트 열로 나타낼 수 있고, 비트 열은 하위비트들과 상위비트들을 포함할 수 있다. 하위비트들은 비트 열에서 오른쪽 부근의 유효숫자에 위치하고, 상위비트들은 비트 열에서 왼쪽 부근의 유효숫자에 위치한다.
- [0124] 하나의 매크로 블록은 $M \times N$ 크기를 갖는 픽셀들일 수 있고, H.264 비디오 표준에서 4×4 크기를 갖는 16개의 픽셀들일 수 있다.
- [0125] 단계 1010에서, 절대차 합 연산장치는 탐색 윈도우 범위 내에서 $M \times N$ 크기를 갖는 현재 매크로 블록과 참조 매크로 블록의 픽셀들 간의 절대차를 병렬적으로 처리할 수 있고, 절대차 연산에 의해 보정 비트 및 인버터 비트를 포함하는 상위비트들을 추가할 수 있다.
- [0126] 단계 1020에서, 절대차 합 연산장치는 절대차 연산에 의해 추가된 상위비트들을 고려하여 각각의 절대차에 대한 절대차 합을 연산한다.
- [0127] 보다 상세하게는 단계 1020에서, 상위 순으로 선정된 개수의 추가된 상위비트들을 하나의 상위비트로 근사화하는 근사화 규칙에 기반하여 각각의 절대차에 대한 절대차 합을 연산할 수 있다. 근사화 규칙은 논리합 게이트 자리올림 방식에 적용될 수 있고, 논리 소자로 구현될 수 있다.
- [0128] 단계 1030에서, 절대차 합 연산장치는 각각의 연산된 절대차 합 중에서 최소값을 갖는 최소 절대차 합을 결정한다.
- [0129] 본 발명의 실시예에 따른 절대차 합 연산장치는 최소 절대차 합에 대한 이산 코사인 변환값이 선정된 임계값보다 같거나 큰 경우, 선정된 개수보다 적은 개수로 재선정하여 근사화 규칙을 변경하는 단계를 더 포함할 수 있다.
- [0130] 이에 따라, 단계 1020에서, 변경된 근사화 규칙을 적용하여 각각의 절대차에 대한 절대차 합을 재연산할 수 있고, 단계 1030에서, 각각의 재연산된 절대차 합 중에서 최소값을 갖는 갱신된 최소 절대차 합을 결정하여 움직임

임 압축의 성능을 개선시킬 수 있다.

[0131] 실시예에 따른 방법은 다양한 컴퓨터 수단을 통하여 수행될 수 있는 프로그램 명령 형태로 구현되어 컴퓨터 관독 가능 매체에 기록될 수 있다. 상기 컴퓨터 관독 가능 매체는 프로그램 명령, 데이터 파일, 데이터 구조 등을 단독으로 또는 조합하여 포함할 수 있다. 상기 매체에 기록되는 프로그램 명령은 실시예를 위하여 특별히 설계되고 구성된 것들이거나 컴퓨터 소프트웨어 당업자에게 공지되어 사용 가능한 것일 수도 있다. 컴퓨터 관독 가능 기록 매체의 예에는 하드 디스크, 플로피 디스크 및 자기 테이프와 같은 자기 매체(magnetic media), CD-ROM, DVD와 같은 광기록 매체(optical media), 플롭티컬 디스크(floptical disk)와 같은 자기-광 매체(magneto-optical media), 및 롬(ROM), 램(RAM), 플래시 메모리 등과 같은 프로그램 명령을 저장하고 수행하도록 특별히 구성된 하드웨어 장치가 포함된다. 프로그램 명령의 예에는 컴파일러에 의해 만들어지는 것과 같은 기계어 코드뿐만 아니라 인터프리터 등을 사용해서 컴퓨터에 의해서 실행될 수 있는 고급 언어 코드를 포함한다. 상기된 하드웨어 장치는 실시예의 동작을 수행하기 위해 하나 이상의 소프트웨어 모듈로서 작동하도록 구성될 수 있으며, 그 역도 마찬가지이다.

[0132]

[0133] 이상과 같이 실시예들이 비록 한정된 실시예와 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기의 기재로부터 다양한 수정 및 변형이 가능하다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다.

[0134]

[0135] 그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.

부호의 설명

[0136] 100, 200, 300, 700, 900: 절대차 합 연산장치

910: 제1 연산부

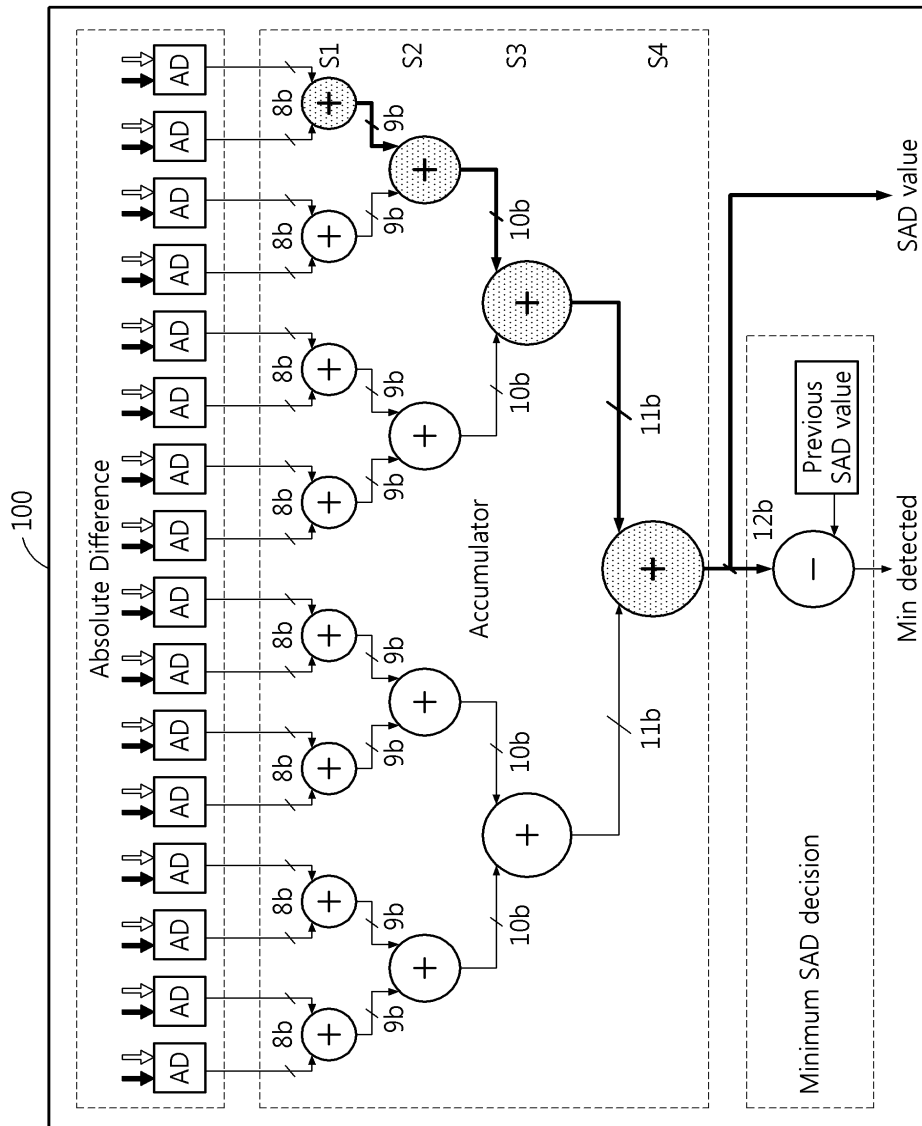
920: 제2 연산부

930: 제3 연산부

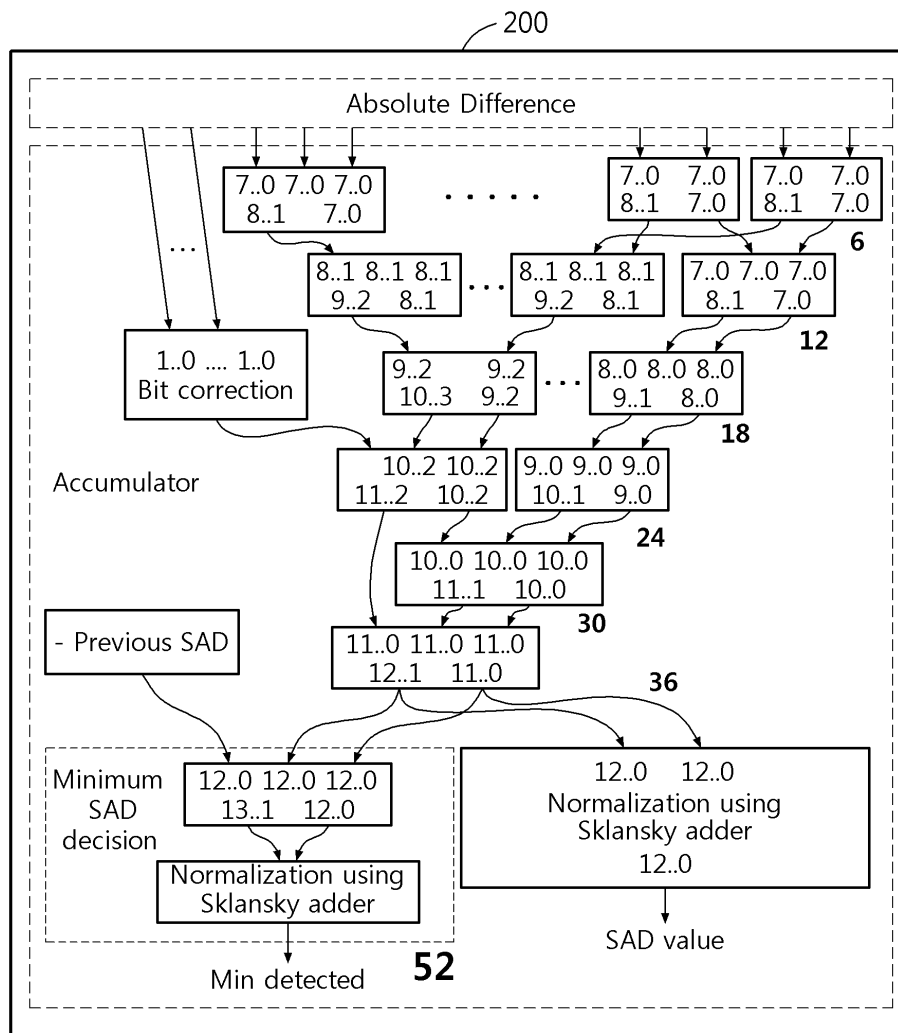
940: 제어부

도면

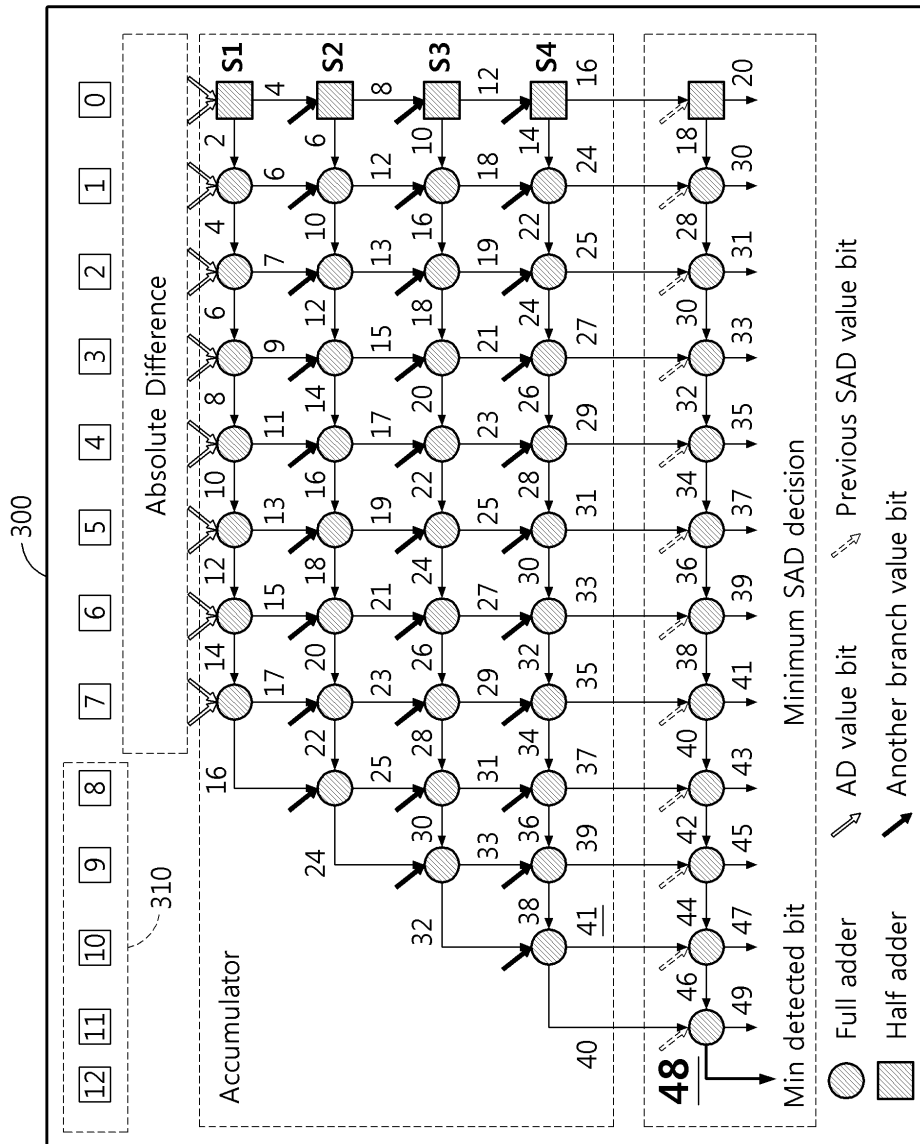
도면1



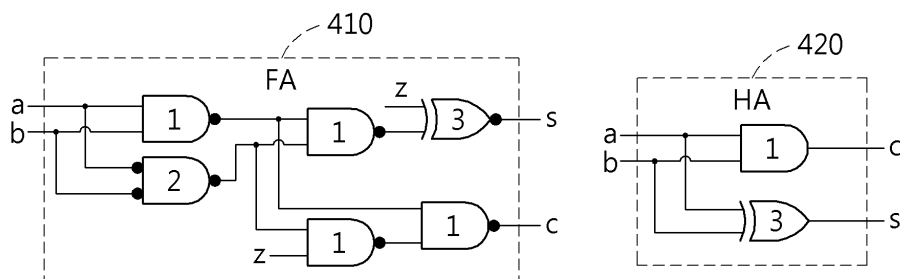
도면2



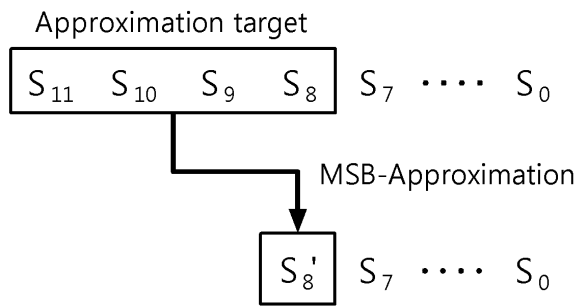
도면3



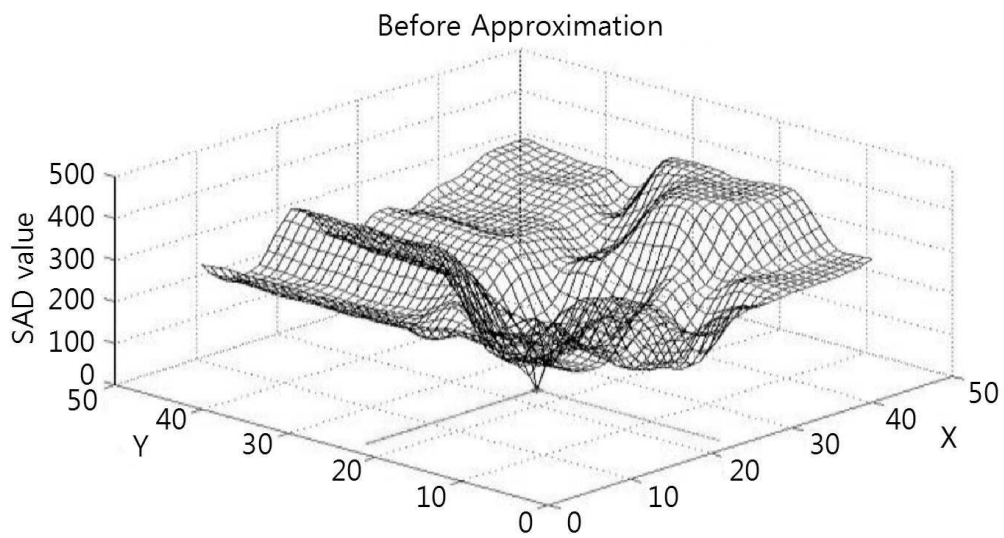
도면4



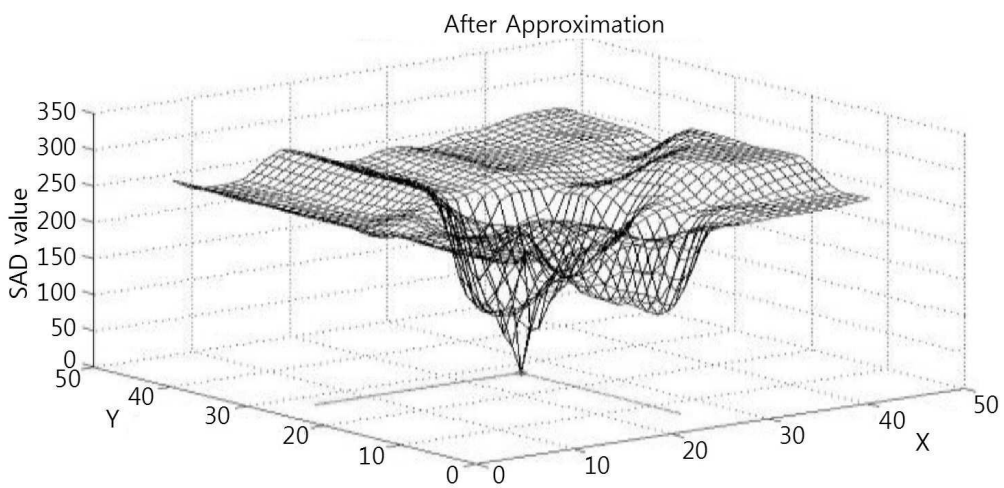
도면5



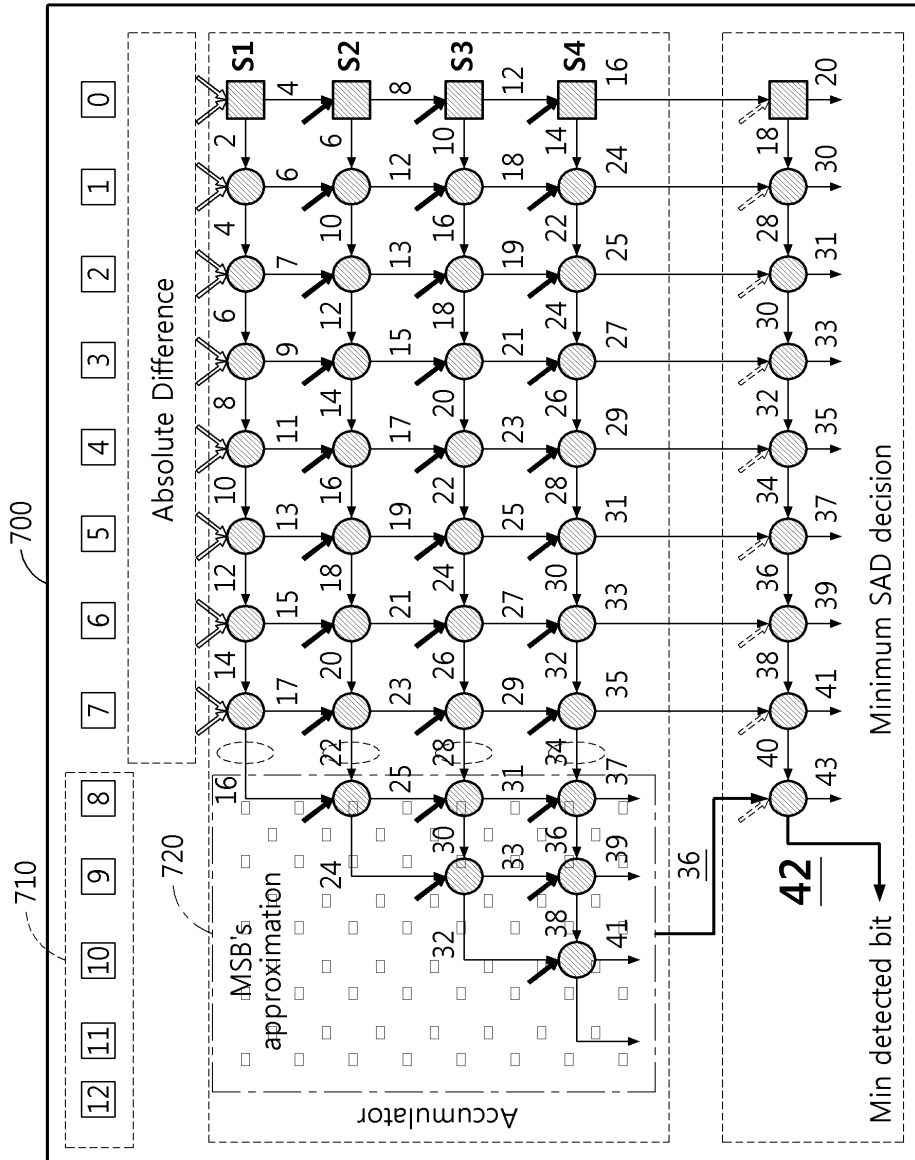
도면6a



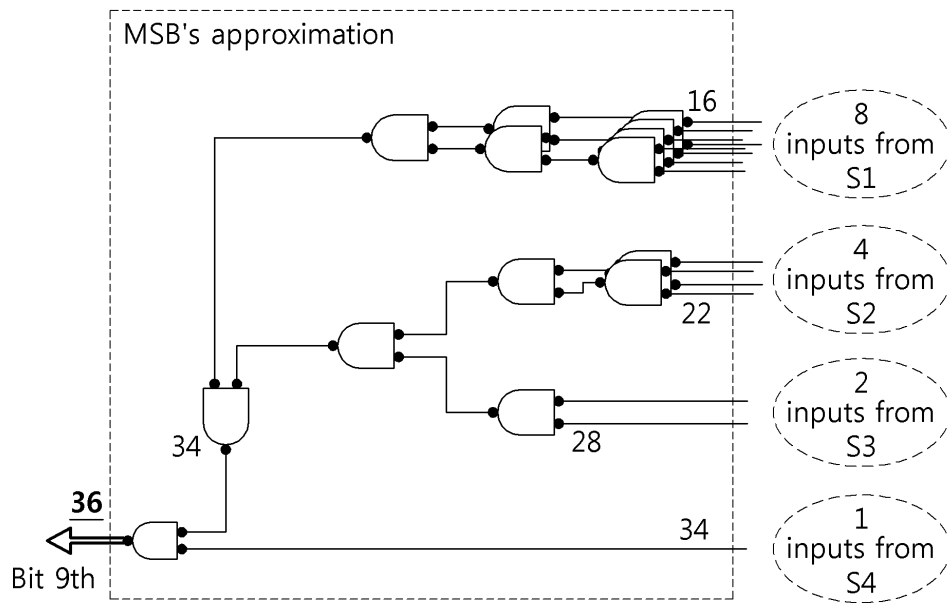
도면6b



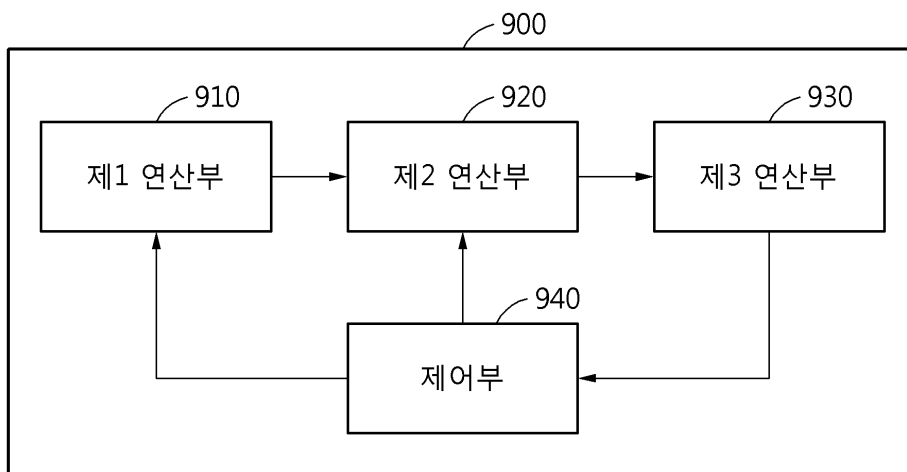
도면7



도면8



도면9



도면10

