

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6385187号  
(P6385187)

(45) 発行日 平成30年9月5日(2018.9.5)

(24) 登録日 平成30年8月17日(2018.8.17)

(51) Int.Cl.		F I			
HO 4 N	5/3745	(2011.01)	HO 4 N	5/3745	7 0 0
HO 4 N	5/347	(2011.01)	HO 4 N	5/347	
HO 1 L	27/146	(2006.01)	HO 1 L	27/146	D
			HO 1 L	27/146	E

請求項の数 19 (全 21 頁)

(21) 出願番号	特願2014-156783 (P2014-156783)	(73) 特許権者	000001007
(22) 出願日	平成26年7月31日 (2014.7.31)		キヤノン株式会社
(65) 公開番号	特開2016-34101 (P2016-34101A)		東京都大田区下丸子3丁目30番2号
(43) 公開日	平成28年3月10日 (2016.3.10)	(74) 代理人	100126240
審査請求日	平成29年7月28日 (2017.7.28)		弁理士 阿部 琢磨
		(74) 代理人	100124442
			弁理士 黒岩 創吾
		(72) 発明者	橋本 誠二
			東京都大田区下丸子3丁目30番2号キヤノン株式会社内
		(72) 発明者	高橋 秀和
			東京都大田区下丸子3丁目30番2号キヤノン株式会社内

最終頁に続く

(54) 【発明の名称】 光電変換装置、光電変換システム

(57) 【特許請求の範囲】

【請求項1】

複数の光電変換部と、増幅部と、を有する画素セルが複数行および複数列に渡って配された光電変換装置において、

前記複数の光電変換部の各々は、第1の電極と、第2の電極と、前記第1の電極および前記第2の電極の間に配された、信号電荷を蓄積する光電変換層と、前記光電変換層および前記第2の電極の間に配された絶縁層と、を含み、

前記増幅部に、前記複数の光電変換部の各々が蓄積した前記信号電荷に基づく光信号が出力され、

前記増幅部は、前記光信号に基づく信号を出力し、

さらに前記光電変換装置は、第1のノードと第2のノードとを有する容量素子を有し、前記第1のノードは、前記複数の光電変換部の各々の前記第2の電極と、前記増幅部とに電氣的に接続され、

前記第2のノードに、互いに値の異なる複数の電位が選択的に供給されることを特徴とする光電変換装置。

【請求項2】

前記画素セルは、複数の転送部をさらに有し、

前記複数の転送部の各々は、前記複数の光電変換部の各々の前記第2の電極と前記増幅部との間の電氣的経路の導通と非導通とを切り替えることを特徴とする請求項1に記載の光電変換装置。

## 【請求項 3】

前記容量素子の容量値が可変であって、

前記光電変換層から前記信号電荷を排出する時に、前記複数の転送部のうちの一部の転送部のみがオンすることで前記光電変換部と前記増幅部との間の電気的経路が導通している場合には、前記容量素子の容量値は第 1 の容量値であり、

前記光電変換層から前記信号電荷を排出する時に、前記複数の転送部が共にオンすることで、前記複数の光電変換部と前記増幅部との間の電気的経路の各々が共に導通している場合には、前記容量素子の容量値は前記第 1 の容量値よりも大きい第 2 の容量値であることを特徴とする請求項 2 に記載の光電変換装置。

## 【請求項 4】

前記複数の光電変換部に対して、1つの前記増幅部が設けられていることを特徴とする請求項 1 ~ 3 のいずれかに記載の光電変換装置。

## 【請求項 5】

前記第 2 のノードが、前記複数の電位を供給する電位供給部に電気的に接続されていることを特徴とする請求項 1 ~ 4 のいずれかに記載の光電変換装置。

## 【請求項 6】

前記光電変換装置は、

複数の前記容量素子と、

前記複数の容量素子の各々に各々が対応して設けられ、前記電位供給部から前記複数の容量素子の各々に、各々が前記複数の電位を供給する複数のバッファ回路とを有することを特徴とする請求項 5 に記載の光電変換装置。

## 【請求項 7】

前記電位供給部が前記第 2 のノードに第 1 の電位を供給することによって、前記光電変換層が前記信号電荷を蓄積し、

前記電位供給部が前記第 2 のノードに前記第 1 の電位とは異なる電位を供給することによって、前記光電変換層から前記信号電荷が排出されることを特徴とする請求項 5 または 6 に記載の光電変換装置。

## 【請求項 8】

前記複数の光電変換部のうちの N 個 ( N は 1 以上の数 ) の光電変換部と前記増幅部との間の電気的経路が導通状態にある場合には、前記電位供給部が前記容量素子の前記第 2 のノードに前記異なる電位の第 2 の電位を供給することで前記 N 個の光電変換部の各々の前記光電変換層から前記信号電荷を排出し、

前記複数の光電変換部のうちの前記 N 個より多い数の M 個の光電変換部の各々と前記増幅部との間の各々の電気的経路が共に導通状態にある場合には、前記電位供給部が、前記容量素子の前記第 2 のノードに前記異なる電位の第 3 の電位を供給することで前記 M 個の光電変換部の各々の前記光電変換層から前記信号電荷を排出し、

前記信号電荷はホールであり、前記第 3 の電位は前記第 2 の電位よりも値の大きい電位であることを特徴とする請求項 7 に記載の光電変換装置。

## 【請求項 9】

前記複数の光電変換部のうちの N 個 ( N は 1 以上の数 ) の光電変換部と前記増幅部との間の電気的経路が導通状態にある場合には、前記電位供給部が前記容量素子の前記第 2 のノードに前記異なる電位の第 2 の電位を供給することで前記 N 個の光電変換部の各々の前記光電変換層から前記信号電荷を排出し、

前記複数の光電変換部のうちの前記 N 個より多い数の M 個の光電変換部の各々と前記増幅部との間の各々の電気的経路が共に導通状態にある場合には、前記電位供給部が、前記容量素子の前記第 2 のノードに前記異なる電位の第 3 の電位を供給することで前記 M 個の光電変換部の各々の前記光電変換層から前記信号電荷を排出し、

前記信号電荷は電子であり、前記第 3 の電位は前記第 2 の電位よりも値の小さい電位であることを特徴とする請求項 7 に記載の光電変換装置。

## 【請求項 10】

10

20

30

40

50

前記複数の光電変換部に対して、1つのマイクロレンズが設けられ

前記複数の光電変換部のうちの一部の光電変換部のみと前記増幅部との間の電気的経路が共に導通状態にあることによって、前記一部の光電変換部の前記第2の電極から前記増幅部に前記光信号が出力された後、

前記複数の光電変換部のうちの全ての光電変換部と前記増幅部との間の電気的経路が共に導通状態にあることによって、前記増幅部に、前記全ての前記光電変換部の各々の前記第2の電極から出力された前記光信号同士を加算した信号が出力されることを特徴とする請求項1～9のいずれかに記載の光電変換装置。

【請求項11】

前記光電変換装置に光学系から光が入射し、

前記光学系の互いに異なる射出瞳から射出された光が、前記複数の光電変換部の各々に入射し、

前記複数の光電変換部のうちの一部の光電変換部のみと前記増幅部との間の電気的経路が共に導通状態にあることによって、前記一部の光電変換部の前記第2の電極から前記増幅部に前記光信号が出力された後、

前記複数の光電変換部のうちの全ての光電変換部と前記増幅部との間の電気的経路が共に導通状態にあることによって、前記増幅部に、前記全ての前記光電変換部の各々の前記第2の電極から出力された前記光信号同士を加算した信号が出力されることを特徴とする請求項1～9のいずれかに記載の光電変換装置。

【請求項12】

前記複数の光電変換部は、半導体基板に設けられており、

前記複数の光電変換部は、前記半導体基板の深さ方向に積層されていることを特徴とする請求項1～11のいずれかに記載の光電変換装置。

【請求項13】

前記容量素子は、互いに対向する2つの電極を有し、

前記2つの電極のうちの一の電極が、前記容量素子の前記第1のノードであって、

前記2つの電極のうち他の電極が、前記容量素子の前記第2のノードであることを特徴とする請求項1～12のいずれかに記載の光電変換装置。

【請求項14】

前記容量素子は半導体基板に設けられ、

前記容量素子の前記第1のノードは半導体領域と当該半導体領域の上に配されたゲートとの一方であって、

前記第2のノードは半導体領域と当該半導体領域の上に配されたゲートとの他方に電気的に接続されていることを特徴とする請求項1～12のいずれかに記載の光電変換装置。

【請求項15】

前記第1の電極に、電源電圧が供給されていることを特徴とする請求項1～14のいずれかに記載の光電変換装置。

【請求項16】

前記光電変換層が量子ドットを含むことを特徴とする請求項1～15のいずれかに記載の光電変換装置。

【請求項17】

前記信号電荷と同じ極性の電荷の、前記第1の電極から前記光電変換層への注入を低減するブロッキング層を、前記第1の電極と前記光電変換層との間に有することを特徴とする請求項1～16のいずれかに記載の光電変換装置。

【請求項18】

請求項1～17のいずれかに記載の光電変換装置と、

前記光電変換装置が出力する、前記光信号に基づく信号を処理することで画像を生成する出力信号処理部と、  
を有することを特徴とする光電変換システム。

【請求項19】

10

20

30

40

50

請求項 10 または 11 に記載の光電変換装置と、出力信号処理部とを有する光電変換システムであって、

前記光電変換装置は、  
前記複数の光電変換部のうちの一部のみの前記光電変換部から出力された前記光信号に基づく第 1 の信号と、

前記複数の光電変換部のうちの全ての前記光電変換部から出力された前記光信号に基づく第 2 の信号とをそれぞれ前記出力信号処理部に出力し、

前記第 1 の信号と前記第 2 の信号との差を用いて位相差を検出し、

前記第 2 の信号を用いて画像を生成することを特徴とする光電変換システム。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明は、光電変換装置、光電変換システムに関する。

【背景技術】

【0002】

特許文献 1 には、光電変換部と、容量素子と、転送トランジスタと、アンプとを有する光電変換装置が記載されている。光電変換部は、第 1 の電極と、第 1 の電極に対して基板側に設けられた第 2 の電極と、第 1 の電極および第 2 の電極の間に配された光電変換層とを有する。そして、容量素子は、第 2 の電極から出力された信号を蓄積する。転送トランジスタは、容量素子が蓄積した信号を、アンプに出力する。

20

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開 2002 - 350551 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

特許文献 1 の光電変換装置では、1 つの光電変換部に対し 1 つの容量素子を設けていた。よって、光電変換装置の回路面積が増加する課題があった。

【課題を解決するための手段】

30

【0005】

本発明は上記の課題を鑑みて為されたものであり、一の態様は、複数の光電変換部と、増幅部と、を有する光電変換装置において、前記複数の光電変換部の各々は、第 1 の電極と、第 2 の電極と、前記第 1 の電極および前記第 2 の電極の間に配された、信号電荷を蓄積する光電変換層と、前記光電変換層および前記第 2 の電極の間に配された絶縁層と、を含み、前記増幅部に、前記複数の光電変換部の各々が蓄積した前記信号電荷に基づく光信号が出力され、前記増幅部は、前記光信号に基づく信号を出力し、さらに前記光電変換装置は、第 1 のノードと第 2 のノードとを有する容量素子を有し、前記第 1 のノードは、前記複数の光電変換部の各々の前記第 2 の電極と、前記増幅部とに電氣的に接続され、前記第 2 のノードに、互いに値の異なる複数の電位が選択的に供給されることを特徴とする光電変換装置である。

40

【発明の効果】

【0006】

本発明により、光電変換装置の回路面積を低減することができる。

【図面の簡単な説明】

【0007】

【図 1】光電変換装置の構成の一例を示した図

【図 2】光電変換部の動作の一例を示した図

【図 3】光電変換装置の動作の一例を示した図

【図 4】光電変換装置の動作の一例を示した図

50

- 【図5】容量駆動部の構成の一例を示した図  
 【図6】光電変換装置の動作の一例を示した図  
 【図7】光電変換装置の動作の一例を示した図  
 【図8】光電変換装置の構成の一例を示した図  
 【図9】光電変換システムの構成の一例を示した図  
 【発明を実施するための形態】

【0008】

以下、図面を参照しながら、各実施例の光電変換装置を説明する。

【0009】

(実施例1)

図1は、本発明の光電変換装置の構成の一例を示した図である。

【0010】

図1に示した光電変換装置10は、画素セル1000、容量駆動部12、垂直信号線17、電流源18、列増幅部19を有する。また、光電変換装置10は、電源部30a、電源部30bを有する。

【0011】

画素セル1000は、単位画素10a、単位画素10b、リセット部14、画素出力部16を有する。

【0012】

単位画素10aは、光電変換部101aと転送トランジスタ15aとを有する。また、単位画素10bは、光電変換部101bと転送トランジスタ15bとを有する。光電変換部101aは、第1の電極201、ブロッキング層203、光電変換層205、絶縁層207、第2の電極209を有する。ブロッキング層203は第1の電極201と光電変換層205との間に設けられており、光電変換層205はブロッキング層203と絶縁層207との間に設けられている。また、絶縁層207は、光電変換層205と第2の電極209との間に設けられている。光電変換部101bは、光電変換部101aと同様の構成を用いることができる。以下の説明では、光電変換部101aに関して説明する。と同じである。転送トランジスタ15a、15bの各々は、複数の光電変換部101a、101bの各々に対応して設けられている。転送トランジスタ15a、15bの各々は、複数の光電変換部101a、101bの各々の光信号を、増幅部である増幅トランジスタ16aに転送する転送部である。

【0013】

第1の電極201は、光電変換層205が感度を有する波長域の光の透過率の高い導電部材で構成される。例えば、ITO(Indium Tin Oxide)などのインジウム、および/またはスズを含む化合物や、ZnOなどの化合物が、第1の電極201の材料として用いられる。これにより、本実施例の光電変換層205は、銅などの不透明の電極を第1の電極201として用いる場合に比して、より多くの光を取り込むことができる。他の例として、本実施例の第1の電極201は、所定の量の光が透過する程度の薄さを有するポリシリコンや金属で形成されていても良い。

【0014】

ブロッキング層203は、光電変換層205が蓄積する信号電荷と同じ極性の電荷が第1の電極201から光電変換層205に注入されることを低減する。光電変換層205は、第1の電極201に印加される電位 $V_s$ と、第2の電極209の電位との電位差によって空乏化する。また第1の電極201に印加される電位 $V_s$ と第2の電極209の電位との関係に応じて、光電変換層205のポテンシャルの傾きが反転する。このような構成により、光電変換層205は、信号電荷の蓄積、および、蓄積された信号電荷の排出を行うことができる。光電変換部101aの動作については後述する。

【0015】

尚、本実施例において、第1の電極201に供給される電源電圧は、電源部30a、30bから供給される電位 $V_s$ である。

10

20

30

40

50

## 【0016】

光電変換層205は、真性のアモルファスシリコン（以下、 $a-Si$ ）、低濃度のP型の $a-Si$ 、低濃度のN型の $a-Si$ などで形成される。あるいは、光電変換層205は、化合物半導体で形成されてもよい。例えば、BN、GaAs、GaP、AlSb、GaAlAsPなどのIII-V族化合物半導体、CdSe、ZnS、HdTeなどのII-VI族化合物半導体、PbS、PbTe、CuOなどのIV-VI族化合物半導体が挙げられる。あるいは、光電変換層205は、有機材料で形成されてもよい。例えば、フラーレン、クマリン6(C6)、ローダミン6G(R6G)、亜鉛フタロシアニン(ZnPc)、キナクリドン、フタロシアニン系化合物、ナフタロシアニン系化合物などを用いることができる。さらに、光電変換層205は、上述の化合物半導体を含んで構成された量子ドット膜を用いることができる。

10

## 【0017】

光電変換層205が半導体で構成される場合、当該半導体の不純物濃度が低いか、あるいは、当該半導体は真性であるとよい。このような構成によれば、光電変換層205に空乏層を十分に広げることができるため、高感度化、ノイズ低減などの効果を得ることができる。

## 【0018】

ブロッキング層203には、光電変換層205に用いられる半導体と同じ材料であって、光電変換層205に用いられる半導体よりも不純物濃度の高いN型あるいはP型の半導体を用いることができる。例えば、光電変換層205に $a-Si$ が用いられる場合、ブロッキング層203に不純物がドーブされたN型の $a-Si$ 、あるいは、不純物がドーブされたP型の $a-Si$ が用いられる。不純物濃度の違いによりフェルミ準位の位置が異なるため、ブロッキング層203は、電子およびホールのうち一方に対してのみ、ポテンシャルバリアとして機能する。

20

## 【0019】

光電変換層205が量子ドット膜を含む場合には、量子ドット膜に用いられる半導体と同じ材料であって、量子ドット膜の導電型とは逆の導電型のブロッキング層203を設ければよい。例えば、量子ドット膜がP型のPbSである場合には、ブロッキング層203はN型のPbSとすれば良い。また、量子ドット膜と同じ材料で、同じ導電型のブロッキング層203であっても、不純物濃度を量子ドット膜とブロッキング層203とで異ならせればよい。

30

## 【0020】

もしくは、光電変換層205とは異なる材料でブロッキング層203を構成することができる。このような構成によれば、ヘテロ接合が形成される。材料の違いによりバンドギャップが異なるため、電子およびホールのうち一方に対してのみ、ポテンシャルバリアを形成することができる。光電変換層205が量子ドット膜を含む場合には、例えば量子ドット膜としてPbSを用い、ブロッキング層203にZnOを用いるようにしても良い。

## 【0021】

光電変換層205と第2の電極209との間には、絶縁層207が配される。例えば絶縁層207の材料として、アモルファス酸化シリコン（以下、 $a-SiO$ ）、アモルファス窒化シリコン( $a-SiN$ )、有機材料が用いられる。絶縁層207の厚さは、トンネル効果により信号電荷が透過しない程度の厚さとするるとよい。このような構成にすることで、リーク電流を低減できるため、ノイズを低減することができる。具体的には、絶縁層207の厚さは50nm以上とするるとよい。

40

## 【0022】

ブロッキング層203、光電変換層205、および、絶縁層207にアモルファス膜を用いる場合は、水素化処理を行い、水素でダングリングボンドを終端してもよい。このような構成により、ノイズを低減することができる。

## 【0023】

第2の電極209は金属などの導電部材で構成される。第2の電極209には、配線を

50

構成する導電部材、あるいは、外部と接続するためのパッド電極を構成する導電部材と同じ材料が用いられる。このような構成によれば、本実施例の光電変換部101aは、第2の電極209と、配線を構成する導電部材、あるいは、パッド電極とを同時に形成することができる。したがって、本実施例の光電変換部101aは、第2の電極209を、配線を構成する導電部材あるいはパッド電極と異なる材料とした場合に比して、簡略化した製造プロセスで製造することができる。

#### 【0024】

光電変換部101aの第1の電極201は電源部30aと電氣的に接続されている。電源部30aは、第1の電極201に電位 $V_s$ を供給する。光電変換部101bの第1の電極は電源部30bと電氣的に接続されている。電源部30bは、光電変換部101bの第1の電極に電位 $V_s$ を供給する。

10

#### 【0025】

転送トランジスタ15aは、光電変換部101aの第2の電極209と電氣的に接続されている。また、転送トランジスタ15bは、光電変換部101bの第2の電極と電氣的に接続されている。転送トランジスタ15aのゲートには、不図示の垂直走査回路から信号T1が入力される。また、転送トランジスタ15bのゲートには、不図示の垂直走査回路から信号T2が入力される。

#### 【0026】

リセット部14は、リセットトランジスタ14aを有する。リセットトランジスタ14aは、ソースとドレインの一方にリセット電位 $V_{res}$ が供給され、ソースとドレインの他方がノードFDに電氣的に接続されている。リセット電位 $V_{res}$ は、電位 $V_s$ よりも小さい電位である。本実施例では、電位 $V_s$ は5V、リセット電位 $V_{res}$ は2Vとする。また、リセットトランジスタ14aのゲートには、不図示の垂直走査回路から信号RESが入力される。

20

#### 【0027】

容量駆動部12は、バッファ回路12aと容量素子12bとを有する。容量素子12bの一方のノードである第1のノードは、ノードFDに電氣的に接続されている。さらに言えば、容量素子12bの第1のノードは、転送部である転送トランジスタ15a、15bのそれぞれを介して、光電変換部101a、101bのそれぞれに対して共通に電氣的に接続されている。容量素子12bの他方のノードである第2のノードは、バッファ回路12aに電氣的に接続されている。バッファ回路12aには、垂直走査回路とは別に設けられた不図示のタイミングジェネレータから信号Vpが入力される。バッファ回路12aは、信号Vpの電位をバッファした電位を、容量素子12bに供給する。この不図示のタイミングジェネレータは、電位の異なる信号Vpを、バッファ回路12aを介して、容量素子12bに供給する電位供給部である。

30

#### 【0028】

ノードFDには容量素子12bが電氣的に接続される。容量素子12bは、例えば、互いに対向する2つの電極を含む。2つの電極はポリシリコンや金属などの材料で構成される。あるいは、容量素子12bは、半導体領域と当該半導体領域の上に配されたポリシリコン電極とを含んで構成される。ノードFDに容量素子12bが接続される構成によれば、光信号を光電変換部101aから読み出すときにノイズを低減することができる。このノイズ低減の動作について説明する。

40

#### 【0029】

本実施例の光電変換装置では、ノードFDの電位の制御を行う。光電変換部101aの第2の電極209の電位は、ノードFDの容量値(増幅トランジスタ16aのゲート容量)と、第1の電極201と第2の電極209との間の容量成分の容量値(以下、光電変換部101aの容量値とする)との比に応じて変化する。これは、ノードFDと光電変換部101aとを、直列に接続された2つの容量として見なすことができるからである。

#### 【0030】

本実施例の光電変換装置では、ノードFDの電位の制御を行う。光電変換部101aの

50

第2の電極209の電位は、容量素子12bと、ノードFDで接続された増幅トランジスタ16aのゲート容量と、第1の電極201と第2の電極209との間の容量成分の容量値(以下、光電変換部101aの容量値とする)との合成容量との比に応じて変化する。これは、容量素子12bと合成容量とを、直列に接続された2つの容量として見なすことができるからである。

【0031】

本実施例の光電変換装置では、容量素子12bの容量値が大きいほど、信号Vpを変化させた時の第2の電極209の電位の変化量が大きくなる。

【0032】

本実施例によれば、ノードFDに容量素子12bが電氣的に接続される。容量素子12bの、信号Vpの電位が入力されるノードと、ノードFDとは、電氣的に分離されている。

【0033】

したがって、光電変換部101aから光信号を読み出すために第2の電極209の電位を制御した際に、第1の電極201と第2の電極209との間に大きな電位差を印加することができる。これにより、本実施例の光電変換装置は、光電変換層205を容易に空乏化することができる。これにより、光電変換部101aの入射光に対する感度が向上する。また、光電変換層205の入射光に基づく信号電荷の蓄積開始時の電位を略一定の電位とすることによって、光信号に含まれるノイズを低減することができる。

【0034】

画素出力部16は、増幅トランジスタ16aと、選択トランジスタ16bとを有する。増幅トランジスタ16aのゲートは、ノードFDに電氣的に接続されている。また、増幅トランジスタ16aのソースとドレインの一方には、電位Vddが入力され、ソースとドレインの他方は、選択トランジスタ16bのソースとドレインの一方に電氣的に接続されている。選択トランジスタ16bのソースとドレインの他方は、垂直信号線17に電氣的に接続されている。また、選択トランジスタ16bのゲートには、不図示の垂直走査回路から信号SELが入力される。増幅部である増幅トランジスタ16aは、第2の電極209から出力される信号を増幅した信号を出力する。

【0035】

電流源18は、垂直信号線17を介して、選択トランジスタ16bと電氣的に接続されている。選択トランジスタ16bがオンすると、増幅トランジスタ16aと電流源18とによってソースフォロワ回路が構成される。

【0036】

列増幅部19の入力ノードは垂直信号線17に電氣的に接続されている。列増幅部19の出力ノードは、不図示の信号保持部に電氣的に接続されている。不図示の信号保持部は、不図示の出力部に電氣的に接続されている。この不図示の出力部が出力する信号が、光電変換装置が、光電変換装置の外部に出力する信号である。

【0037】

図1に示した光電変換装置は、複数の光電変換部である光電変換部101aと光電変換部101bに対して、1つの容量素子12bと、1つの増幅トランジスタ16aとが設けられている。つまり、1つの容量素子12bおよび1つの増幅トランジスタ16aは、光電変換部101aと光電変換部101bで共有されている。

【0038】

図1では、1つの画素セル1000のみを示しているが、実際には複数の画素セルが、数千行、数千列に渡って配列されている。また、垂直信号線17、電流源18、列増幅部19のそれぞれは、複数の画素セル1000が配列された列に対応して、それぞれが複数列設けられている。複数の画素セル1000は、画素領域に設けられている。また、列増幅部19は、画素領域の外部に設けられた周辺回路領域に設けられている。周辺回路領域は、例えば、複数の光電変換部101に対して共通に設けられた第1の電極201の正射影の外部の領域である。

10

20

30

40

50

## 【 0 0 3 9 】

次に、本実施例における光電変換部 1 0 1 a の動作について説明する。図 2 ( a ) ~ ( d ) のそれぞれは、光電変換部 1 0 1 a におけるエネルギーバンドを模式的に示している。図 2 ( a ) ~ ( d ) のそれぞれには、第 1 の電極 2 0 1、ブロッキング層 2 0 3、光電変換層 2 0 5、絶縁層 2 0 7、第 2 の電極 2 0 9 のエネルギーバンドが示されている。図 2 の縦軸は電子に対するポテンシャルを表している。図 2 の上に行くほど、電子に対するポテンシャルが高い。したがって、図 2 の下に行くほど、電位は低くなる。第 1 の電極 2 0 1、および、第 2 の電極 2 0 9 については、フェルミ準位が示されている。ブロッキング層 2 0 3、および、光電変換層 2 0 5 については、伝導帯のエネルギー準位と価電子帯のエネルギー準位との間のバンドギャップが示されている。

10

## 【 0 0 4 0 】

光電変換部 1 0 1 a の動作としては、以下のステップ ( 1 ) ~ ( 5 ) が繰り返し行われる。( 1 ) 増幅部の入力ノードのリセット、( 2 ) ノイズ信号の読み出し、( 3 ) 光電変換部からの信号電荷の転送、( 4 ) 光信号の読み出し、( 5 ) 信号電荷の蓄積。以下、それぞれのステップについて説明する。

## 【 0 0 4 1 】

図 2 ( a ) は、ステップ ( 1 ) からステップ ( 2 ) における光電変換部 1 0 1 a の状態を示している。第 1 の電極 2 0 1 には、電位  $V_s$  が供給されている。第 1 の電位  $V_s$  は、例えば、3 V である。光電変換層 2 0 5 には、露光期間中に生じた信号電荷として、白丸で示されたホールが蓄積されている。蓄積されたホールの量に応じて、光電変換層 2 0 5 の絶縁層 2 0 7 側の表面ポテンシャルは変化する。また、バッファ回路 1 2 a は第 1 の電位  $V_{d1}$  を容量素子 1 2 b に供給している。第 1 の電位  $V_{d1}$  は、例えば、0 V である。

20

## 【 0 0 4 2 】

この状態でリセットトランジスタ 1 4 a をオンする。これにより、第 2 の電極 2 0 9 を含むノード、つまり、ノード F D の電位がリセット電位  $V_{res}$  にリセットされる。リセット電位  $V_{res}$  は、例えば、1 V である。ノード F D は増幅トランジスタ 1 6 a のゲートに接続されているため、ノード F D は増幅部の入力ノードである。そのため、増幅部の入力ノードのリセットが行われる。

## 【 0 0 4 3 】

その後、リセットトランジスタ 1 4 a をオフする。これにより、ノード F D が電氣的にフローティングになる。このときリセットトランジスタ 1 4 a によるリセットノイズ ( 図 2 のノイズ  $kTC1$  ) が発生しうる。このとき、信号電荷のホールは、光電変換層 2 0 5 に蓄積されたままである。

30

## 【 0 0 4 4 】

選択トランジスタ 1 0 5 がオンすることにより、増幅トランジスタ 1 6 a がリセットノイズを含むノイズ信号を出力する。

## 【 0 0 4 5 】

図 2 ( b ) および ( c ) は、ステップ ( 3 ) における光電変換部 1 0 1 a の状態を示している。まず、バッファ回路 1 2 a は第 2 の電位  $V_{d2}$  を容量素子 1 2 b に供給する。信号電荷としてホールを用いているため、第 2 の電位  $V_{d2}$  は第 1 の電位  $V_{d1}$  より高い電位である。第 2 の電位  $V_{d2}$  は、例えば、5 V である。

40

## 【 0 0 4 6 】

このとき、第 2 の電極 2 0 9 ( ノード F D ) の電位は、バッファ回路 1 2 a が供給する電位の変化と同じ方向に向かって変化する。第 2 の電極 2 0 9 の電位の変化量  $dVB$  は、ノード F D に電氣的に接続された容量素子 1 2 b の容量値  $C1$  と、光電変換部 1 0 1 a の容量値  $C2$  との比に応じて決まる。 $dVB$  は、

$$dVB = (V_{d2} - V_{d1}) \times C1 / (C1 + C2) \quad \dots (1)$$

と表される。以下の説明では、説明を簡単にするため、容量値  $C1$  と容量値  $C2$  とが等しいとする。従って、変化量  $dVB$  は、

$$dVB = (V_{d2} - V_{d1}) \times (1/2) \quad \dots (2)$$

50

と表される。尚、本実施例では、光電変換部 101b の容量値もまた、光電変換部 101b の容量値 C2 と等しいとする。

【0047】

本実施例では、第2の電極209の電位の変化量  $dV_B$  が、第1の電極209の電位  $V_s$  とリセット電位  $V_{res}$  の差 ( $V_s - V_{res}$ ) よりも十分に大きい。そのため、第2の電極209のポテンシャルは、第1の電極201のポテンシャルよりも低くなり、光電変換層205のポテンシャルの傾きが反転する。これにより、黒丸で示された電子が第1の電極209から光電変換層205へ注入される。また、信号電荷として光電変換層205に蓄積されたホールの一部または全部が、ブロッキング層203の方へ移動する。移動したホールは、ブロッキング層203の多数キャリアと再結合して消滅する。その結果、光電変換層205のホールが光電変換層205から排出される。光電変換層205の全体が空乏化する場合には、信号電荷として蓄積されたホールの全部が排出される。

10

【0048】

次に、図2(c)に示される状態においては、バッファ回路12aは、第1の電位  $V_d1$  を容量素子12bに供給する。これにより、光電変換層205のポテンシャルの傾きが再び反転する。そのため、図2(b)の状態の時に光電変換層205に注入されていた電子は、光電変換層205から排出される。一方、ブロッキング層203が、第1の電極201から光電変換層205へのホールの注入を低減している。したがって、ノードFDの電位は、リセットされた状態から、消滅したホールの量に応じた電位  $V_{sig}$  だけ変化する。つまり、信号電荷として蓄積されたホールの量に応じた電位  $V_{sig}$  がノードFDに現れる。蓄積されたホールの量に応じた電位  $V_{sig}$  を、光信号成分と呼ぶ。

20

【0049】

ここで、図2(c)に示される状態の時に、選択トランジスタ16bがオンする。これにより、増幅トランジスタ16aが光信号を出力する。ステップ(2)で読み出されたノイズ信号と、ステップ(4)で読み出された光信号との差分が、蓄積された信号電荷に応じた電位  $V_{sig}$  に基づく信号である。

【0050】

図2(d)は、ステップ(5)における光電変換部101aの状態を示している。第1の電極201に電位  $V_s$  が供給され、ノードFDにリセット電位  $V_{res}$  が供給される。リセット電位  $V_{res}$  は第1の電極201の電位  $V_s$  より低いいため、光電変換層205の電子は第1の電極201に排出される。一方、光電変換層205のホールは、光電変換層205と絶縁層207との界面に向かって移動する。しかし、ホールは絶縁層207に移動できないため、光電変換層205に蓄積される。また、前述の通り、ブロッキング層203が、ホールが光電変換層205に注入されることを低減する。したがって、この状態で光電変換層205に光が入射すると、光電変換によって生じた電子ホール対のうち、ホールのみが信号電荷として光電変換層205に蓄積される。電位  $V_{ch}$  は、光電変換層205において蓄積されたホールに基づいて、第2の電極209の変化する電位である。

30

【0051】

信号電荷が電子の場合、第2の電位  $V_d2$  は第1の電位  $V_d1$  より低い電位とすればよい。また、ブロッキング層203の導電型を、本実施例のブロッキング層203とは反対の導電型とすれば良い。そのため、図2(a)~(d)でのポテンシャルの傾きが反転する。それ以外の動作は同じである。

40

【0052】

次に、図3を参照しながら、図1に示した光電変換装置のタイミングチャートを説明する。

【0053】

図3(a)は、光電変換部101aおよび光電変換部101bのそれぞれからノードFDに、信号を個別に出力させる動作を示している。一方、図3(b)は、光電変換部101aおよび光電変換部101bのそれぞれが生成した光信号同士を加算した信号が、ノードFDに出力される動作を示している。図3(a)、図3(b)に示した各信号は、図1

50

に示した各信号と対応している。図3(a)、図3(b)に示した信号 S/Hは、不図示のタイミングジェネレータが、列増幅部19の後段に設けられた、不図示の信号保持部のサンプリング動作を制御する信号である。信号保持部は、信号 S/Hの信号レベルが Hiレベル(以下、Hiとする)から Loレベル(以下、Loとする)に変化した時に、列増幅部19が出力する信号を保持する。

【0054】

まず、図3(a)に示した動作を説明する。図3(a)に示した、期間T0-1における動作が、光電変換部101aに関わる動作である。また期間T0-2における動作が、光電変換部101bに関わる動作である。

【0055】

時刻t1に、不図示の垂直走査回路は、信号 RESと信号 T1のそれぞれの信号レベルを、Loレベル(以下、Loと表記する)からHiレベル(以下、Hiと表記する)にする。Hiの信号 RESがゲートに入力されたりセットトランジスタ14aは、オンする。これにより、ノードFDの電位が、電位Vd1にリセットされる。また、Hiの信号 T1がゲートに入力された転送トランジスタ15aがオンする。これにより、光電変換部101aの第2の電極209とノードFDとの間の電氣的経路が非導通状態から導通状態になるため、第2の電極209の電位は、電位Vd1にリセットされる。また、垂直走査回路は信号 SELをHiとする。これにより、選択トランジスタ16bがオンとなる。したがって、増幅トランジスタ16aは、ノードFDの電位に基づく信号を垂直信号線17に出力する。

【0056】

時刻t2に、不図示の垂直走査回路は、信号 RESをHiからLoにする。これにより、ノードFDのリセットが解除される。この時刻t1から時刻t2までの期間T1-1の動作が、上述したステップ(2)に対応する動作である。

【0057】

その後、不図示のタイミングジェネレータは、信号 S/Hの信号レベルをLoからHiにし、その後再び、Loとする。信号保持部は、この信号 S/Hの信号レベルがHiからLoに変化した時に列増幅部19が出力する信号を保持する。この時に、列増幅部19が出力する信号は、ノイズ信号である。この動作は、上述したステップ(2)に対応する。図3(a)では、信号保持部のノイズ信号の保持に関わる動作をNと表記している。

【0058】

尚、時刻t3に達するまでの期間においては、バッファ回路12aは、Loの信号 Vpに基づいて、第1の電位Vd1を容量素子12bに供給している。Loの信号 Vpは、本実施例では0Vとする。バッファ回路12aは、0Vである第1の電位Vd1を、容量素子12bに供給している。

【0059】

時刻t3に、タイミングジェネレータは信号 Vpの信号レベルをLoである0VからHiである10Vにする。また、Hiの信号 Vpに基づいて、バッファ回路12aは、10Vである第2の電位Vd2を容量素子12bに供給する。第2の電極209の電位の変化量dVBは、上記の(2)式により、 $dVB = (10 - 0) \times (1/2) = 5 (V)$ となる。従って、第2の電極209の電位は、リセット電位Vresに対して5Vが印加された電位となる。

【0060】

Hiの信号 Vpが入力されることにより、図2(b)に示したように、光電変換層205のホールがリフレッシュされる。その後、タイミングジェネレータが信号 VpをLoとする。これにより、図2(c)に示したように、第2の電極209に光信号が出力される。この動作は、上述したステップ(3)に対応する。転送トランジスタ15aはオンしているため、光電変換部101aの第2の電極209と増幅トランジスタ16aとの間の電氣的経路は導通状態となっている。よって、増幅トランジスタ16aは、光信号に基づく信号を、垂直信号線17に出力する。この動作は、上述したステップ(4)に対応す

10

20

30

40

50

る。列増幅部 19 は、増幅トランジスタ 16 a が出力した光信号に基づく信号を増幅した信号（以下、増幅光信号と表記する）を出力する。

【0061】

その後、タイミングジェネレータは、信号 S/H を Hi とした後、Lo とする。これにより、信号保持部は、列増幅部 19 が出力した増幅光信号を保持する。図 3 (a) では、信号保持部の増幅光信号の保持に関わる動作を S と表記している。

【0062】

次に、時刻 t5 から時刻 t6 の期間において、光電変換部 101 a の下部電極の残留電荷をリセットする。これにより、光電変換部 101 a は、図 2 (d) に示したように、光に基づく信号電荷の蓄積を再び行う準備が整う。この動作は、ステップ (5) の動作を行うための準備の動作である。

【0063】

時刻 t6 に、垂直走査回路は、信号 T1 を Lo とする。また、垂直走査回路は、信号 SEL を Lo とする。これにより、選択トランジスタ 16 b がオフとなる。これにより、光電変換部 101 a が蓄積した信号電荷に基づく信号の垂直信号線 17 への出力が終了する。

【0064】

信号保持部が保持した、ノイズ信号と増幅光信号との差を得ることにより、増幅光信号に含まれるノイズ成分を低減した信号を得ることができる。

【0065】

その後、光電変換部 101 b においても、光電変換部 101 a を用いて行った動作と同じ動作を行うことによって、光電変換部 101 b が蓄積した信号電荷に基づく信号が垂直信号線 17 に出力される。

【0066】

次に、図 3 (b) に示した動作を説明する。以下の説明では図 3 (a) を参照しながら説明した動作とは異なる点を中心に説明する。図 3 (b) に示した動作は、光電変換部 101 a と光電変換部 101 b のそれぞれの光信号をノード FD で加算する動作である。

【0067】

時刻 t10 に、垂直走査回路は、信号 T1、信号 T2 の両方の信号レベルを、Lo から Hi にする。これにより、転送トランジスタ 15 a、転送トランジスタ 15 b の両方がオンする。また、信号 RES を Hi とする。これにより、光電変換部 101 a、光電変換部 101 b の両方の第 2 の電極 209 の電位と、ノード FD の電位がそれぞれリセット電位 Vres に基づいてリセットされる。

【0068】

時刻 t11 に、垂直走査回路は信号 RES を Lo とする。

【0069】

その後、タイミングジェネレータは、信号 S/H を Hi とした後に Lo とする。これにより、信号保持部はノイズ信号を保持する。

【0070】

時刻 t12 に、タイミングジェネレータは、信号 Vp の信号レベルを Lo である 0 V から、Hi である 15 V にする。ここで、Hi の信号 Vp の信号レベルを 15 V としている点について説明する。上記の (1) 式で表した第 2 の電極 209 の電位の変化量 dVB は、図 3 (b) に示した動作では、光電変換部 101 b の容量値を C3 とすると、

$$dVB = (Vd2 - Vd1) \times C1 / (C1 + C2 + C3) \quad \dots (3)$$

となる。本実施例では、上述の通り、C1 = C2 = C3 としているため、(3) 式は、

$$dVB = (Vd2 - Vd1) \times (1/3) \quad \dots (4)$$

と書き換えられる。光電変換部 101 a および光電変換部 101 b のそれぞれの第 2 の電極 209 の電位の変化量 dVB を、図 3 (a) の動作と同じく 5 V とするためには、Vd1 = 0 (V) であるため、Vd2 = 15 (V) となる。よって、信号 Vp を 15 V としている。図 3 (a) のように、光電変換部 101 a、光電変換部 101 b から個別に光信

10

20

30

40

50

号を読み出す場合に対して、信号  $V_p$  の  $H_i$  の信号レベルは、 $3/2$  倍となる。

【0071】

信号  $V_p$  を  $H_i$  から  $L_o$  とする。また、転送トランジスタ 15 a、15 b は共にオンしているため、光電変換部 101 a、101 b の第 2 の電極 209 と増幅トランジスタ 16 a との間の電氣的経路は導通状態である。よって、ノード  $F_D$  には、光電変換部 101 a と光電変換部 101 b のそれぞれの第 2 の電極 209 から光信号が出力される。ノード  $F_D$  の電位は、光電変換部 101 a と光電変換部 101 b とのそれぞれの光信号同士を加算した信号の電位となる。

【0072】

その後、タイミングジェネレータは、信号  $S/H$  を  $H_i$  とした後、 $L_o$  とする。これにより、信号保持部は、光電変換部 101 a と光電変換部 101 b とのそれぞれの光信号同士を加算した信号を、増幅トランジスタ 16 a と、列増幅部 19 とが順に増幅した信号を保持する。

10

【0073】

このように、本実施例の光電変換装置は、図 3 (a) に示した動作では、複数の光電変換部の各々の光信号を個別に読み出すことができる。また、本実施例の光電変換装置は、図 3 (b) に示した動作では、複数の光電変換部の各々の光信号同士を、増幅部の入力ノードであるノード  $F_D$  で加算した信号を、読み出すことができる。

【0074】

また、本実施例の光電変換装置は、1つの容量素子 12 b と、1つの増幅トランジスタ 16 a とを、複数の光電変換部 101 a、101 b でシェアしている。これにより、複数の光電変換部 101 a、101 b の各々に対して、1つの容量素子 12 b と、1つの増幅トランジスタ 16 a とを個別に設ける場合に比して、画素セルの回路面積を小さくすることができる。

20

【0075】

また、RGB のカラーフィルタがベイヤー配列で設けられ、各色に対応して複数の光電変換部の各々が設けられている場合がある。この場合には、同じ色のカラーフィルタが配された複数の光電変換部で、1つの容量素子 12 b と、1つの増幅トランジスタ 16 a とを共有するようにしても良い。

【0076】

また、信号  $V_p$  は、タイミングジェネレータからバッファ 12 a を介して容量素子 12 b に入力されていた。他の例として、図 8 のように、バッファ 12 a を介さずに、信号  $V_p$  がタイミングジェネレータから容量素子 12 b に入力されても良い。

30

【0077】

また、本実施例では、1つの増幅トランジスタ 16 a を、複数の光電変換部 101 a、101 b でシェアする構成を説明した。他の例として、図 8 のように、複数の光電変換部 101 a、101 b の各々に対し、複数の増幅トランジスタ 16 a の各々が設けられている構成であっても良い。例えば、行列状に複数の画素セル 1000 が配列された構成の場合、複数の画素セル 1000 の各々が、各々の画素セル 1000 が有する光電変換部の数と同じ数の増幅トランジスタ 16 を有する。そして、同じ行に属する画素セル 1000 で、1つの容量素子 12 a を共有する構成であっても良い。複数の容量素子 12 b が設けられる構成では、複数のバッファ回路 12 a の各々が複数の容量素子 12 b の各々に対応して設けられている構成が好ましい。このようにバッファ回路 12 a が容量素子 12 b に対応して設けられていることにより、電位供給部に掛かる負荷を低減することができる。

40

【0078】

本実施例では、2つの光電変換部 101 a、101 b が1つの容量素子 12 b と、1つの増幅トランジスタ 16 a とをシェアする構成を説明した。1つの容量素子 12 b と1つの増幅トランジスタ 16 a とをシェアする光電変換部は、複数であれば良い。また、ノード  $F_D$  に共通して電氣的に接続されている複数の光電変換部 101 において、光信号をノード  $F_D$  に同時に読み出す数が、 $N$  個 ( $N$  は 1 以上の整数) の場合に対し、 $N$  個よりも多

50

いM個の場合、信号  $V_p$  の  $H_i$  の信号レベルを大きくする。これは、光電変換部 101 が出力する光信号が、光電変換部 101 が蓄積した信号電荷がホールである場合である。光電変換部 101 が蓄積した信号電荷が電子の場合には、光信号をノードFDに同時に読み出す数が、N個 (Nは1以上の整数) の場合に対し、N個よりも多いM個の場合、信号  $V_p$  の  $H_i$  の信号レベルをより小さくする。

【0079】

また、本実施例の光電変換装置は、図3(a)に示した、複数の光電変換部の各々から個別に光信号を読み出す動作と、図3(b)に示した、複数の光電変換部の光信号同士を加算した信号を読み出す動作とを組み合わせても良い。このような動作の一例を、図4に示す。

10

【0080】

時刻  $t_{21}$  から時刻  $t_{26}$  までの期間が、ノイズ信号と、光電変換部 101a の光信号との読み出しに関わる動作を行う期間である。時刻  $t_{27}$  から時刻  $t_{31}$  までの期間が、光電変換部 101a と光電変換部 101b の光信号同士を加算した信号の読み出しに関わる動作を行う期間である。この動作により、信号保持部は、時刻  $t_{26}$  に、光電変換部 101a の光信号を、増幅トランジスタ 16a と列増幅部 19 とが増幅した信号である A 信号を保持する。また、時刻  $t_{29}$  に、信号保持部は、光電変換部 101a と光電変換部 101b の光信号同士を加算した信号を、増幅トランジスタ 16a と列増幅部 19 とが増幅した信号である A + B 信号を保持する。光電変換装置は、この A 信号と A + B 信号をそれぞれ、光電変換装置の外部に出力する。

20

【0081】

ここで、光電変換装置と、光電変換装置が出力する信号を処理する出力信号処理部とを有する光電変換システムの一例について説明する。光電変換装置の外部に設けられた出力信号処理部は、A + B 信号から A 信号を差し引くことによって、B 信号を得ることができる。この出力信号処理部が生成する B 信号は、光電変換部 101b の光信号を、増幅トランジスタ 16a と列増幅部 19 とが増幅して得られる信号に相当する信号である。光電変換装置が、複数のマイクロレンズが設けられたマイクロレンズアレイをさらに有し、1つのマイクロレンズが、1つの光電変換部 101a、101b に対して設けられている場合がある。この場合、光電変換装置に光を導く光学系の互いに異なる射出瞳から射出された光が、複数の光電変換部 191a、101b の各々に入射する。この構成の場合には、出力信号処理部が生成した B 信号と、光電変換装置が出力した A 信号とによって、出力信号処理部は、光電変換部 101a に入射した光と、光電変換部 101b に入射した光との位相差を検出することができる。これにより、光電変換装置と出力信号処理部とを有する光電変換システムは、位相差検出方式による焦点検出を行うことができる。また、出力信号処理部は、光電変換装置から出力された A + B 信号を用いて、画像を生成することができる。

30

【0082】

尚、本実施例では、光電変換部 101 の信号電荷に基づく光信号を読み出す際に、第2の電極 209 の電位を制御していた。他の例として、本実施例の光電変換装置は、光電変換部 101 の信号電荷に基づく光信号を読み出す際に、第1の電極 201 を制御するよう

40

【0083】

尚、本実施例では、画素セル 1000 に転送トランジスタ 15 が設けられた構成を示したが、転送トランジスタ 15 を設けなくとも良い。つまり、容量素子 12b の一方のノードである第1のノードが、光電変換部 101a、101b の第2の電極 209 に直結していてもよい。この場合には、信号  $V_p$  の信号レベルが  $H_i$  となる期間に、光信号の出力を行わない光電変換部 101 の第1の電極 201 をフローティング状態にする。一方、光信号の出力を行う光電変換部 101 の第1の電極 201 には電位  $V_s$  を供給する。これに

50

より、転送トランジスタ15が画素セル1000に設けられていない場合においても、ノードFDに共通に電氣的に接続された複数の光電変換部101から、光信号を選択的に増幅トランジスタ16aに読み出すことができる。

【0084】

尚、本実施例の光電変換部101は、ショットキー型の光電変換部であっても良い。

【0085】

本実施例の光電変換装置は、複数の光電変換部10a、10bと、増幅16aと、を有する。複数の光電変換部10a、10bの各々は、第1の電極201と、第2の電極209と、信号電荷を蓄積する光電変換層205と、絶縁層207と、を含む。容量素子12bの第1のノードは、複数の光電変換部10a、10bの各々の第2の電極209と、増幅部16aとに電氣的に接続されている。容量素子12bの第2のノードに、互いに値の異なる複数の電位が選択的に入力される。この構成により、複数の光電変換部12a、12bとで容量素子12bをシェアしていることから、1つの光電変換部に対して1つの容量素子12bを有する場合に比して、容量素子12bの数を減らすことができる。本実施例の光電変換装置は、容量素子12bの数を減らせることによって、光電変換装置の回路面積を低減することができる。

10

【0086】

(実施例2)

容量駆動部12の他の例を、図5の構成図と図6(a)、図6(b)のタイミング図を参照しながら説明する。

20

【0087】

本実施例の容量駆動部12bは、容量素子C11と容量素子C12に直列に接続したスイッチを並列に構成している。

【0088】

スイッチはパルス Cselにより制御する。

【0089】

図6(a)は光電変換部101a、101bの光信号を個別に読み出す動作を示している。図6(a)の動作では、タイミングジェネレータは信号 CselをLoとする。これにより、容量素子C12を用いず、容量素子C11を用いて光電変換部101a、101bをそれぞれ個別に駆動する。図6(a)に示した動作は、図3(a)に示した動作に対し、信号 Cselを除いて、同じである。信号 VpのHiの信号レベルも、図6(a)に示した動作では、図3(a)と同じ10Vである。

30

【0090】

図6(b)は、複数の光電変換部101a、101bの光信号同士をノードFDで加算した信号を読み出す動作である。

【0091】

図6(b)の動作ではタイミングジェネレータは、信号 CselをHiとする。従って、容量素子C11と容量素子C12の合成容量で、2つの光電変換部101a、101bを駆動する。本実施例では容量素子C12の容量値を容量素子C11の容量値と同じとする。これにより、Hiの信号 Vpの信号レベルを、図6(a)に示した動作の場合と同じ信号レベルの10Vから変えずに、2つの光電変換部101a、101bの第2の電極209の電位を、リセット電位Vresに対して5V印加した電位とすることができる。本実施例の容量駆動部12は、複数の光電変換部101a、101bの光信号を個別に読み出す場合と、複数の光電変換部101a、101bの光信号を加算して読み出す場合とで、信号 VpのHiの信号レベルを変えずに、動作させることができる。これにより、信号 Vpを供給する回路の構成を、実施例1の光電変換装置に比して、本実施例の光電変換装置は簡略化することができる。

40

【0092】

尚、本実施例の図6(b)の動作では、光信号を加算する光電変換部の数を2つとしていたが、3つ以上の数であっても良い。容量駆動部12の容量素子C11に対して、並列

50

に設けられる容量素子の数は、光電変換装置の動作モードにおいて、光信号を加算する光電変換部の数が最大となるモードでの、光信号を加算する光電変換部の数と同じとするのが良い。

【0093】

本実施例では、複数の光電変換部101a、101bで、1つの増幅部をシェアしている。これにより、複数の光電変換部101a、101bの各々に対し、複数の増幅部の各々を設ける構成に比して、本実施例の光電変換装置は画素セルの回路面積を小さくすることができる。

【0094】

また、本実施例では、容量駆動部12を、複数の光電変換部101a、101bでシェアしている。これにより、容量駆動部12を、複数の光電変換部101a、101bの各々に設ける場合に比して、本実施例の光電変換装置は、画素セル1000の回路面積を小さくすることができる。

10

【0095】

尚、本実施例の光電変換装置においても、複数の光電変換部101a、101bの各々に対し、複数の増幅トランジスタ16の各々が設けられている構成であっても良い。例えば、行列状に複数の画素セル1000が配列された構成の場合、複数の画素セル1000の各々が、各々の画素セル1000が有する光電変換部の数と同じ数の増幅トランジスタ16を有する。そして、同じ行に属する画素セル1000で、1つの容量駆動部12を共有する構成であっても良い。

20

【0096】

(実施例3)

本実施例の光電変換装置について、実施例1と異なる点を中心に説明する。

【0097】

図7は、積層された複数の光電変換部のレイアウトと、複数の光電変換部の光信号の読み出しに関わる素子を示した回路とを合わせて示した図である。本実施例の光電変換装置は、単位セル1000が設けられた半導体基板に、深さ方向に複数の光電変換部1010B、1010G、1010Rが積層されている。つまり、本実施例の光電変換装置は、入射光の差し込む側から順に、複数の光電変換部1010B、1010G、1010Rが設けられている。光電変換部1010Bは、青色の光に基づく信号電荷を蓄積する。また、光電変換部1010Gは、緑色の光に基づく信号電荷を蓄積する。また、光電変換部1010Rは、赤色の光に基づく信号電荷を蓄積する。

30

【0098】

光電変換部1010Bは、第1の電極201B、ブロッキング層203B、光電変換層205B、絶縁層207B、第2の電極209Bを有する。これらの構成は、実施例1で述べた光電変換部101aの構成と同じである。光電変換部1010Gと、光電変換部1010Rのそれぞれは、光電変換部1010Bと同じ構成を有する。

【0099】

複数の転送トランジスタ15B、15G、15Rはそれぞれ順に、複数の光電変換部1010B、1010G、1010Rのそれぞれに電氣的に接続されている。複数の転送トランジスタ15B、15G、15Rは、ノードFDに共通に電氣的に接続されている。

40

【0100】

容量駆動部12、リセット部14、画素出力部16、垂直信号線17、電流源18、列増幅部19の構成は、実施例1の光電変換装置と同じである。

【0101】

本実施例の光電変換装置は、3つの光電変換部1010B、1010G、1010Rが1つの容量駆動部12をシェアしている。これにより、1つの容量駆動部12は、3つの光電変換部1010B、1010G、1010Rのそれぞれを駆動することができる。よって、3つの光電変換部1010B、1010G、1010Rのそれぞれに対して、1つずつ容量駆動部12を設ける構成に比して、画素セル1000の回路面積を小さくするこ

50

とができる。

【0102】

(実施例4)

上記の実施例1から実施例3で述べた光電変換装置は種々の光電変換システムに適用可能である。光電変換システムの一例としては、デジタルスチルカメラ、デジタルカムコーダー、監視カメラなどがあげられる。図9に、光電変換システムの一例としてデジタルスチルカメラに本発明の実施例1から実施例3のいずれかの光電変換装置を適用した光電変換システムの模式図を示す。

【0103】

図9に例示した光電変換システムは、光電変換装置154、レンズの保護のためのバリア151、被写体の光学像を光電変換装置154に結像させるレンズ152及びレンズ152を通過する光量を可変にするための絞り153を有する。レンズ152及び絞り153は光電変換装置154に光を導く光学系である。また、図9に例示した光電変換システムは光電変換装置154より出力される出力信号の処理を行う出力信号処理部155を有する。

10

【0104】

出力信号処理部155は、光電変換装置154が出力するアナログ信号をデジタル信号に変換するAD変換を行う。また、出力信号処理部155はその他、必要に応じて各種の補正、圧縮を行って画像データを出力する動作を行う。

【0105】

図9に例示した光電変換システムはさらに、画像データを一時的に記憶するためのバッファメモリ部156、外部コンピュータ等と通信するための外部インターフェース部(外部I/F部)157を有する。さらに光電変換システムは、撮像データの記録又は読み出しを行うための半導体メモリ等の記録媒体159、記録媒体159に記録又は読み出しを行うための記録媒体制御インターフェース部(記録媒体制御I/F部)158を有する。なお、記録媒体159は光電変換システムに内蔵されていてもよく、着脱可能であってもよい。

20

【0106】

さらに光電変換システムは、各種演算とデジタルスチルカメラ全体を制御する全体制御・演算部1510、光電変換装置154と出力信号処理部155に各種タイミング信号を出力するタイミング発生部1511を有する。ここで、タイミング信号などは外部から入力されてもよく、光電変換システムは少なくとも光電変換装置154と、光電変換装置154から出力された出力信号を処理する出力信号処理部155とを有すればよい。以上のように、本実施例の光電変換システムは、光電変換装置154を適用して撮像動作を行うことが可能である。

30

【0107】

また、出力信号処理部155は、実施例1で述べたように、光電変換装置154が出力する信号を用いて、位相差の検出を行っても良い。

【0108】

なお、上記実施形態は、いずれも本発明を実施するにあたっての具体化の例を示したものに過ぎず、これらの例示によって本発明の技術的範囲が限定的に解釈されてはならない。すなわち、本発明はその技術思想、又はその主要な特徴から逸脱することなく、様々な態様で実施することができる。また、これまで述べた各実施例を種々組み合わせて実施することができる。

40

【符号の説明】

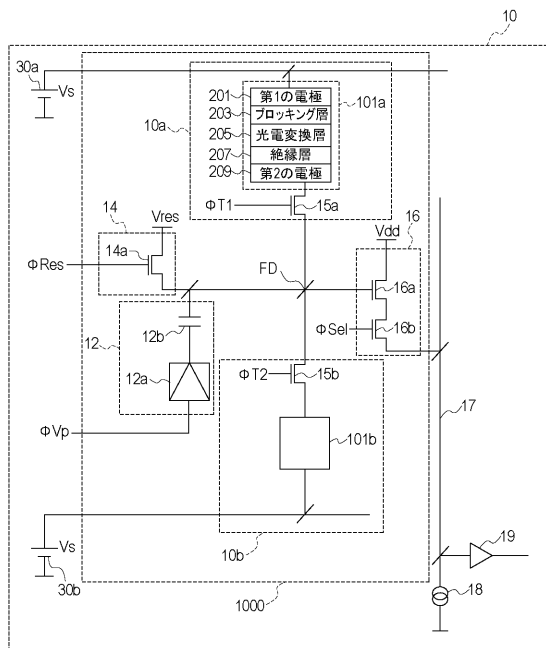
【0109】

- 10 単位画素
- 12 容量駆動部
- 12a バッファ回路
- 12b 容量素子

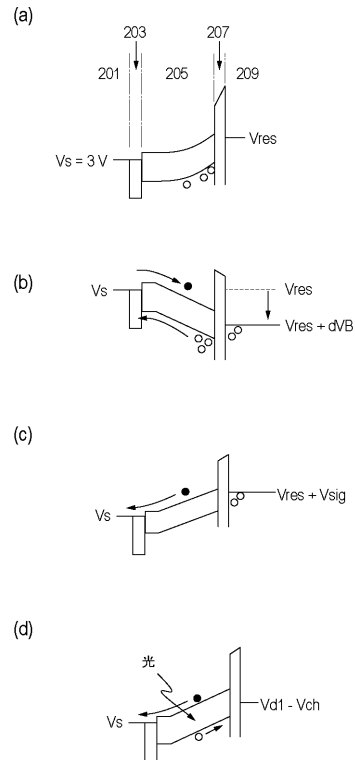
50

- 1 4 リセット部
- 1 4 a リセットトランジスタ
- 1 5 転送トランジスタ
- 1 6 画素出力部
- 1 6 a 増幅トランジスタ
- 1 6 b 選択トランジスタ
- 1 7 垂直信号線
- 1 8 電流源
- 1 9 列増幅部
- 3 0 電源部
- 1 0 1 光電変換部
- 1 0 0 0 画素セル

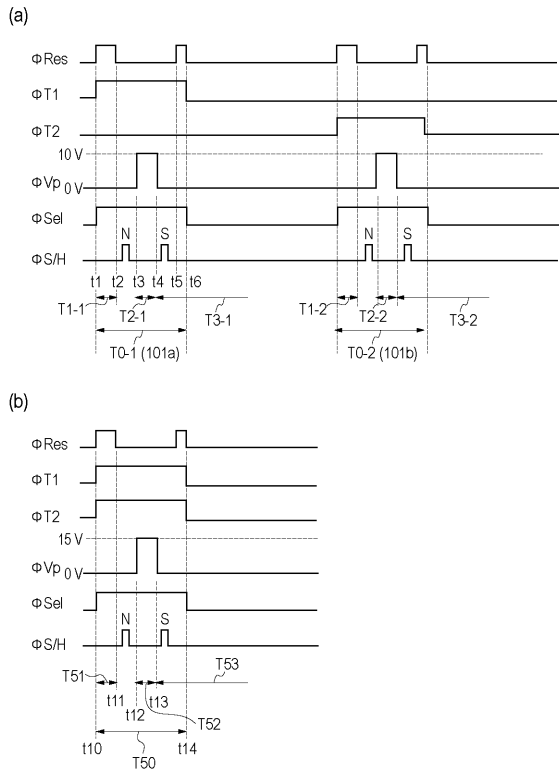
【 図 1 】



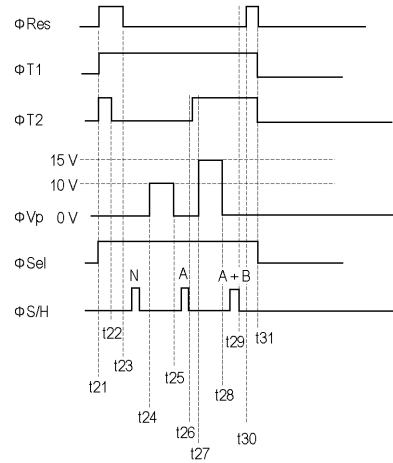
【 図 2 】



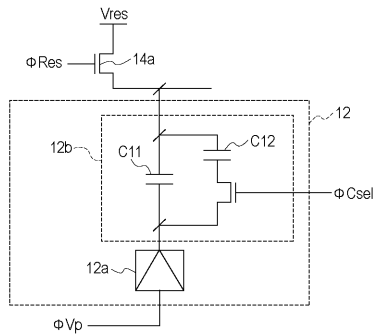
【 図 3 】



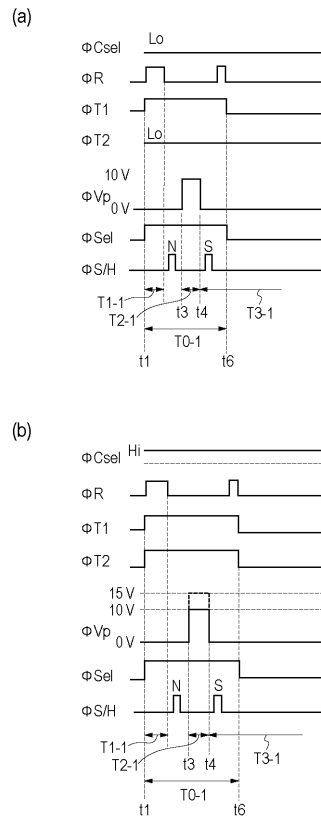
【 図 4 】



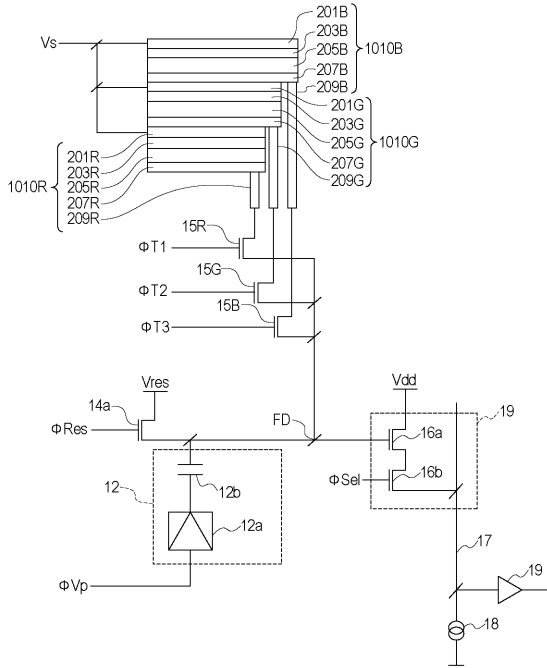
【 図 5 】



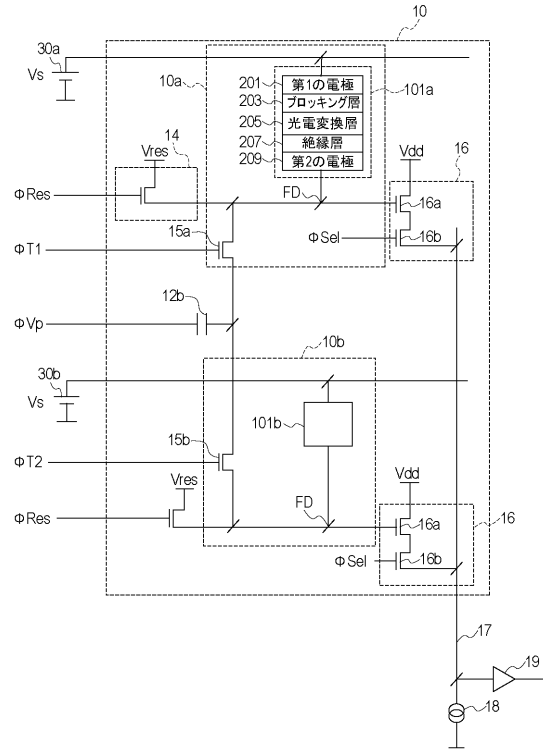
【 図 6 】



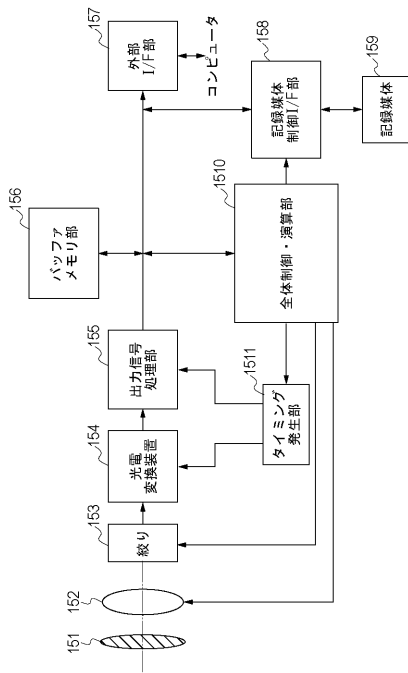
【図7】



【図8】



【図9】



---

フロントページの続き

(72)発明者 古林 篤  
東京都大田区下丸子3丁目30番2号キヤノン株式会社内

審査官 鈴木 明

(56)参考文献 特開2003-078124(JP,A)  
特開2009-033701(JP,A)  
特開2005-175526(JP,A)  
特開2014-030148(JP,A)  
特開平09-092809(JP,A)  
特開2005-303284(JP,A)  
米国特許出願公開第2009/0152664(US,A1)

(58)調査した分野(Int.Cl., DB名)  
H04N 5/30-5/378  
H01L 27/14-27/148