

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구  
국제사무국

(43) 국제공개일  
2020년 3월 19일 (19.03.2020)

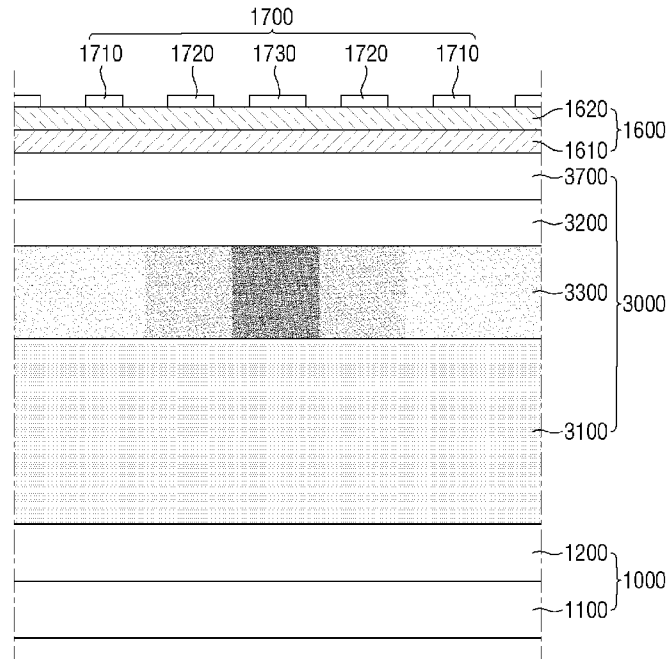


(10) 국제공개번호  
**WO 2020/054938 A1**

- (51) 국제특허분류: *H01L 33/00* (2010.01) *H01L 33/36* (2010.01)  
*H01L 33/50* (2010.01) *H01L 33/32* (2010.01)  
*H01L 33/06* (2010.01) *H01L 27/15* (2006.01)
- (21) 국제출원번호: PCT/KR2019/004870
- (22) 국제출원일: 2019년 4월 23일 (23.04.2019)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보: 10-2018-0109391 2018년 9월 13일 (13.09.2018) KR
- (71) 출원인: 삼성디스플레이 주식회사 (SAMSUNG DISPLAY CO., LTD.) [KR/KR]; 17113 경기도 용인시 기흥구 삼성로1, Gyeonggi-Do (KR).
- (72) 발명자: 이승아 (LEE, Seung A); 06267 서울시 강남구 남부순환로359길 13, 302호, Seoul (KR). 김동욱 (KIM, Dong Uk); 18505 경기도 화성시 동탄순환대로7길 22, 3041동 1604호, Gyeonggi-Do (KR). 조현민 (CHO, Hyun Min); 18505 서울시 서초구 남부순환로 2614, 402호, Seoul (KR). 김대현 (KIM, Dae Hyun); 18447 경기도 화성시 동탄반석로 231, 146동 1603호, Gyeonggi-Do (KR). 민정홍 (MIN, Jung Hong); 18000 경기도 평택시 팽성읍 두리길 96, Gyeonggi-Do (KR). 이동언 (LEE, Dong Eon); 18477 경기도 화성시 동탄대로시범길 20, 1427동 703호, Gyeonggi-Do (KR). 차형래 (CHA, Hyung Rae); 05236 서울시 강동구 고덕로 131, 117동 2001호, Seoul (KR).
- (74) 대리인: 특허법인 가산 (KASAN IP & LAW FIRM); 06719 서울시 서초구 남부순환로 2423 한원빌딩 7층, Seoul (KR).
- (81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK,

(54) Title: METHOD FOR MANUFACTURING LIGHT-EMITTING ELEMENTS AND DISPLAY DEVICE COMPRISING LIGHT-EMITTING ELEMENTS

(54) 발명의 명칭: 발광 소자의 제조방법 및 발광 소자를 포함하는 표시 장치



(57) Abstract: Provided are a method for manufacturing light-emitting elements and a display device comprising the light-emitting elements. The method for manufacturing light-emitting elements comprises the steps of: providing a semiconductor structure formed on a substrate; defining wavelength regions on the semiconductor structure by measuring light with different wavelengths emitted from the semiconductor structure; and forming, on the semiconductor structure, nano-patterns having different diameters and separated from each other according to the wavelength regions, and etching the semiconductor structure to form element rods.



WO 2020/054938 A1

MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

공개:

- 국제조사보고서와 함께 (조약 제21조(3))

---

(57) 요약서: 발광 소자의 제조방법 및 발광 소자를 포함하는 표시 장치가 제공된다. 발광 소자의 제조 방법은 기판 상에 형성되는 반도체 구조물을 제공하는 단계, 상기 반도체 구조물에서 방출되는 서로 다른 파장대를 갖는 광을 측정하여 상기 반도체 구조물 상에 파장영역을 정의하는 단계 및 상기 파장영역에 따라 상기 반도체 구조물 상에 서로 다른 직경을 갖고 서로 이격되어 배치되는 나노 패턴을 형성하고, 상기 반도체 구조물을 식각하여 소자 로드를 형성하는 단계를 포함한다.

## 명세서

### 발명의 명칭: 발광 소자의 제조방법 및 발광 소자를 포함하는 표시 장치

#### 기술분야

- [1] 본 발명은 발광 소자의 제조방법 및 발광 소자를 포함하는 표시 장치에 관한 것으로, 더욱 상세하게는 형광물질 조성의 차이에 따라 형성된 발광 파장의 편차가 보상된 발광 소자의 제조방법 및 발광 소자를 포함하는 표시 장치에 관한 것이다.

#### 배경기술

- [2] 표시 장치는 멀티미디어의 발달과 함께 그 중요성이 증대되고 있다. 이에 부응하여 유기발광 표시 장치(Organic Light Emitting Display, OLED), 액정 표시 장치(Liquid Crystal Display, LCD) 등과 같은 여러 종류의 표시 장치가 사용되고 있다.
- [3] 표시 장치의 화상을 표시하는 장치로서 유기 발광 표시 패널이나 액정 표시 패널과 같은 표시 패널을 포함한다. 그 중, 발광 표시 패널로써, 발광 소자를 포함할 수 있는데, 예를 들어 발광 다이오드(Light Emitting Diode, LED)의 경우, 유기물을 형광 물질로 이용하는 유기 발광 다이오드(OLED), 무기물을 형광물질로 이용하는 무기 발광 다이오드 등이 있다.
- [4] 유기 발광 다이오드(OLED)의 경우, 발광 소자의 형광물질로 유기물을 이용하는 것으로, 제조공정이 간단하며 표시 소자가 플렉서블한 특성을 가질 수 있는 장점이 있다. 그러나, 유기물은 고온의 구동환경에 취약한 점, 청색 광의 효율이 상대적으로 낮은 것으로 알려져 있다.
- [5] 반면에, 무기 발광 다이오드의 경우, 형광물질로 무기물 반도체를 이용하여, 고온의 환경에서도 내구성을 가지며, 유기 발광 다이오드에 비해 청색 광의 효율이 높은 장점이 있다. 또한, 기존의 무기 발광 다이오드 소자의 한계로 지적되었던 제조 공정에 있어서도, 유전영동(Dielectrophoresis, DEP)법을 이용한 전사방법이 개발되었다. 이에 유기 발광 다이오드에 비해 내구성 및 효율이 우수한 무기 발광 다이오드에 대한 연구가 지속되고 있다.

#### 발명의 상세한 설명

##### 기술적 과제

- [6] 무기 발광 다이오드는 기판상에 n형 또는 p형으로 도핑(doping)된 반도체층과 무기물 형광물질층을 성장시키고, 특정 형태를 가진 로드(rod)를 형성한 뒤 이를 분리하는 방법으로 제조될 수 있다. 다만, 기판, 예컨대 웨이퍼(wafer) 기판상에서 무기물 형광물질층을 성장시키는 경우, 웨이퍼 기판상의 공간적 위치에 따라 형광물질 조성의 차이가 발생하게 된다. 이에 따라, 웨이퍼 기판 상에서 성장된 로드(rod)들 간에 발광 파장의 편차가 생기는 문제가 있었다.

- [7] 따라서, 본 발명이 해결하고자 하는 과제는 발광 소자의 제조 시, 웨이퍼 기판상에 성장된 로드(rod)의 직경을 조절하여, 불균일하게 형성되는 로드의 발광 파장 편차가 감소된 발광 소자의 제조 방법 및 발광 소자를 포함하는 표시 장치를 제공하는 것이다.
- [8] 본 발명의 과제들은 이상에서 언급한 과제로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

### 과제 해결 수단

- [9] 상기 과제를 해결하기 위한 일 실시예에 따른 발광 소자의 제조 방법은 기판상에 형성되는 반도체 구조물을 제공하는 단계, 상기 반도체 구조물에서 방출되는 서로 다른 파장대를 갖는 광을 측정하여 상기 반도체 구조물 상에 파장영역을 정의하는 단계 및 상기 파장영역에 따라 상기 반도체 구조물 상에 서로 다른 직경을 갖고 서로 이격되어 배치되는 나노 패턴을 형성하고, 상기 반도체 구조물을 식각하여 소자 로드를 형성하는 단계를 포함할 수 있다.
- [10] 상기 파장영역은 제1 파장대를 갖는 제1 광이 방출되는 제1 파장영역, 상기 제1 파장대보다 짧은 제2 파장대를 갖는 제2 광이 방출되는 제2 파장영역 및 상기 제2 파장대보다 짧은 제3 파장대를 갖는 제3 광이 방출되는 제3 파장영역을 포함할 수 있다.
- [11] 상기 나노 패턴을 형성하는 단계에서, 상기 파장영역에서 방출되는 광의 파장대가 짧아질수록 상기 파장영역 상에 직경이 큰 상기 나노 패턴이 형성될 수 있다.
- [12] 상기 나노 패턴은 제1 나노 패턴, 상기 제1 나노 패턴의 직경보다 큰 직경을 갖는 제2 나노 패턴 및 상기 제2 나노 패턴의 직경보다 큰 직경을 갖는 제3 나노 패턴을 포함하고, 상기 제1 나노 패턴은 상기 제1 파장 영역상에 형성되고, 상기 제2 나노 패턴은 상기 제2 파장 영역 상에 형성되며, 상기 제3 나노 패턴은 상기 제3 파장 영역 상에 형성될 수 있다.
- [13] 상기 소자 로드는 상기 제1 파장영역과 중첩되는 영역에 형성되는 제1 소자 로드, 상기 제2 파장영역과 중첩되는 영역에 형성되는 제2 소자 로드 및 상기 제3 파장영역과 중첩되는 영역에 형성되는 제3 소자 로드를 포함할 수 있다.
- [14] 상기 제2 소자로드는 상기 제1 소자로드보다 직경이 크되, 상기 제3 소자로드보다 직경이 작고, 상기 제1 소자로드, 상기 제2 소자로드 및 상기 제3 소자로드는 실질적으로 동일한 파장대의 광을 방출할 수 있다.
- [15] 상기 제3 파장영역은 상기 반도체 구조물의 중심부에 배치되고, 상기 제2 파장영역은 상기 제3 파장영역의 외면을 둘러싸도록 배치되며, 상기 제1 파장영역은 상기 제2 파장영역의 외면을 둘러싸도록 배치될 수 있다.
- [16] 상기 반도체 구조물은 중심부를 가로지르는 제1 축을 포함하고, 상기 제1 축의 일 단으로부터 상기 중심부로 갈수록 상기 나노 패턴의 직경은 증가하되, 상기

- 중심부로부터 상기 제1 축의 타 단으로 갈수록 상기 나노 패턴의 직경은 감소할 수 있다.
- [17] 상기 반도체 구조물은 중심부를 가로지르는 제2 축을 포함하고, 상기 제1 과장영역은 상기 제2 축의 일 단에 배치되고, 상기 제2 과장영역은 상기 제1 과장영역의 외면을 부분적으로 둘러싸되, 상기 제2 축의 타 단의 방향으로 연장되고, 상기 제3 과장영역은 상기 제2 과장영역의 외면을 부분적으로 둘러싸되, 상기 제2 축의 타단까지 연장되도록 배치될 수 있다.
- [18] 상기 제2 축을 따라 배치되는 적어도 하나의 상기 나노 패턴의 직경은 상기 제2 축의 상기 일 단으로부터 상기 타 단으로 갈수록 증가할 수 있다.
- [19] 상기 과제를 해결하기 위한 다른 실시예에 따른 발광 소자의 제조 방법은 기판 및 상기 기판 상에 형성되고, 제1 도전형 반도체층, 활성 물질층 및 제2 도전형 반도체층을 포함하는 반도체 구조물을 제공하는 단계, 상기 반도체 구조물 상에 형성되는 식각 마스크층 및 상기 식각 마스크층 상에 형성되고 서로 다른 직경을 갖고 서로 이격되어 형성되는 적어도 하나의 나노 패턴을 포함하는 식각 패턴층을 형성하는 단계, 상기 나노 패턴이 이격된 영역을 따라 상기 기판에 수직인 방향으로 상기 반도체 구조물을 식각하여 소자 로드를 형성하는 단계 및 상기 소자 로드를 상기 기판으로부터 분리하여 발광 소자를 형성하는 단계를 포함할 수 있다.
- [20] 상기 나노 패턴은 제1 나노 패턴, 상기 제1 나노 패턴의 직경보다 큰 직경을 갖는 제2 나노 패턴 및 상기 제2 나노 패턴의 직경보다 큰 직경을 갖는 제3 나노 패턴을 포함할 수 있다.
- [21] 상기 발광 소자는 직경이 상기 제1 나노 패턴의 직경과 동일한 제1 발광 소자, 직경이 상기 제2 나노 패턴의 직경과 동일한 제2 발광 소자 및 직경이 상기 제3 나노 패턴의 직경과 동일한 제3 발광 소자를 포함할 수 있다.
- [22] 상기 제1 발광 소자와 상기 제2 발광 소자의 직경의 차이는 상기 제2 발광 소자의 직경의 2% 내지 16%의 범위를 가질 수 있다.
- [23] 적어도 하나의 상기 나노 패턴들이 서로 이격된 간격은 상기 나노 패턴들의 직경에 2.5배 내지 3.5배의 범위를 가질 수 있다.
- [24] 상기 나노 패턴은 원형 또는 다각형의 형상을 가질 수 있다.
- [25] 상기 기판과 상기 제1 도전형 반도체층 사이에 분리층을 더 포함하며, 상기 발광 소자를 형성하는 단계는 상기 분리층이 제거되어 상기 소자 로드가 상기 기판과 분리되는 단계를 포함할 수 있다.
- [26] 상기 과제를 해결하기 위한 또 다른 실시예에 따른 표시 장치는 기판, 상기 기판상에서 제1 방향으로 연장되고, 상기 제1 방향과 다른 제2 방향으로 서로 이격되어 배치되는 적어도 하나의 제1 전극 및 제2 전극, 상기 제1 전극 및 상기 제2 전극이 서로 이격된 공간에 배치되는 적어도 하나의 발광 소자, 상기 제1 전극을 부분적으로 덮되, 상기 발광 소자의 제1 단부와 접촉하는 제1 접촉 전극 및 상기 제1 접촉 전극과 이격되어 배치되고 상기 제2 전극을 부분적으로 덮되,

상기 발광 소자의 상기 제1 단부의 반대편인 제2 단부와 접촉하는 제2 접촉 전극을 포함하며, 상기 발광 소자는 제1 발광 소자 및 상기 제1 발광 소자의 직경보다 큰 직경을 갖는 제2 발광 소자를 포함하되, 상기 제1 발광 소자와 상기 제2 발광 소자는 실질적으로 동일한 파장대의 광을 방출할 수 있다.

[27] 상기 제1 발광 소자와 상기 제2 발광 소자의 직경의 차이는 상기 제2 발광 소자의 직경의 2% 내지 16%의 범위를 가질 수 있다.

[28] 상기 발광 소자는 제3 발광 소자를 더 포함하고, 상기 제3 발광 소자는 상기 제2 발광 소자의 직경보다 큰 직경을 갖되, 상기 제2 발광 소자와 실질적으로 동일한 파장대의 광을 방출할 수 있다.

[29] 기타 실시예의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

### 발명의 효과

[30] 일 실시예에 따른 발광 소자의 제조 방법에 의하면, 반도체 구조물 상에 형성되는 나노 패턴은 서로 다른 직경을 가짐으로써, 형성되는 소자 로드에서 방출되는 광의 파장대가 편이될 수 있다. 이에 따라, 복수의 발광 소자들은 서로 다른 직경을 갖되 실질적으로 동일한 파장대의 광을 방출할 수 있다.

[31] 또한, 상술한 발광 소자들을 포함하여 각 화소 내에서 방출되는 발광 파장의 편차가 최소화된 표시 장치를 제공할 수 있다.

[32] 실시예들에 따른 효과는 이상에서 예시된 내용에 의해 제한되지 않으며, 더욱 다양한 효과들이 본 명세서 내에 포함되어 있다.

### 도면의 간단한 설명

[33] 도 1은 일 실시예에 따른 표시 장치의 평면도이다.

[34] 도 2는 도 1의 I-I'선, II-II'선 및 III-III' 선을 따라 자른 단면도이다.

[35] 도 3은 일 실시예에 따른 발광 소자의 개략도이다.

[36] 도 4는 도 1의 IV-IV' 선을 따라 자른 단면도이다.

[37] 도 5 및 도 6은 일 실시예에 따른 반도체 구조물을 형성하는 방법을 개략적으로 도시하는 단면도이다.

[38] 도 7은 일 실시예에 따른 발광 소자의 제조 방법 중 소자 로드를 형성하는 단계를 나타내는 순서도이다.

[39] 도 8 내지 도 16은 일 실시예에 따른 발광 소자의 제조방법을 개략적으로 나타내는 단면도들이다.

[40] 도 17 내지 도 19은 다른 실시예에 따른 나노 패턴을 개략적으로 나타내는 평면도이다.

[41] 도 20 및 도 21은 또 다른 실시예에 따른 발광 소자의 제조방법 중 일부를 나타내는 단면도이다.

### 발명의 실시를 위한 형태

[42] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본

발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

- [43] 소자(elements) 또는 층이 다른 소자 또는 층의 "상(on)"으로 지칭되는 것은 다른 소자 바로 위에 또는 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.
- [44] 비록 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않음은 물론이다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있음은 물론이다.
- [45] 이하, 첨부된 도면을 참고로 하여 실시예들에 대해 설명한다.
- [46] 도 1은 일 실시예에 따른 표시 장치의 평면도이다.
- [47] 표시 장치(10)는 화소(PX)로 정의되는 영역을 적어도 하나 포함할 수 있다. 복수의 화소(PX)들은 표시 장치(10)의 표시부에 배치되어 각각 특정 파장대의 광을 표시 장치(10)의 외부로 방출할 수 있다. 도 1에서는 3개의 화소(PX1, PX2, PX3)들을 예시적으로 도시하였으나, 표시 장치(10)는 더 많은 수의 화소를 포함할 수 있음은 자명하다. 도면에서는 단면상 일 방향, 예컨대 제1 방향(D1)으로만 배치되는 복수의 화소(PX)들을 도시하고 있으나, 복수의 화소(PX)들은 제1 방향(D1)과 교차하는 방향인 제2 방향(D2)으로도 배치될 수도 있다. 또한, 도 1의 화소(PX)들이 복수개로 분할되어 각각이 하나의 화소(PX)를 구성할 수도 있다. 반드시 도 1과 같이 화소들이 평행하게 제1 방향(D1)으로만 배치되지 않고 수직인 방향(또는, 제2 방향(D2))으로 배치되거나 zigzag형으로 배치되는 등 다양한 구조가 가능하다.
- [48] 도면에서는 도시하지 않았으나, 표시 장치(10)는 발광 소자(300)가 배치되어 특정 색의 광을 표시하는 발광영역과 발광영역 이외의 영역으로 정의되는 비발광영역을 포함할 수 있다. 비발광영역은 표시 장치(10)의 외부에서 시인되지 않도록 특정 부재들에 의해 커버될 수 있다. 비발광영역에는 발광영역에 배치되는 발광 소자(300)를 구동하기 위한 다양한 부재들이 배치될 수 있다. 일 예로, 비발광영역에는 발광영역으로 전기신호를 인가하기 위한 배선, 회로부, 구동부 등이 배치될 수 있으나, 이에 제한되는 것은 아니다.
- [49] 복수의 화소(PX)들은 특정 파장대의 광을 방출하는 발광 소자(300)를 하나 이상 포함하여 색을 표시할 수 있다. 발광 소자(300)에서 방출되는 광은 표시 장치(10)의 발광영역을 통해 외부에서 표시될 수 있다. 일 실시예에서, 서로 다른 색을 표시하는 화소(PX)마다 서로 다른 색을 발광하는 발광 소자(300)를 포함할 수 있다. 예를 들어, 적색을 표시하는 제1 화소(PX1)는 적색의 광을 발광하는

발광 소자(300)를 포함하고, 녹색을 표시하는 제2 화소(PX2)는 녹색의 광을 발광하는 발광 소자(300)를 포함하고, 청색을 표시하는 제3 화소(PX3)는 청색의 광을 방출하는 발광 소자(300)를 포함할 수 있다. 다만, 이에 제한되는 것은 아니며, 경우에 따라서는 서로 다른 색을 나타내는 화소들이 동일한 색(예컨대 청색)을 발광하는 발광 소자(300)를 포함하고, 발광 경로 상에 파장 변환층이나 컬러 필터를 배치하여 각 화소의 색을 구현할 수도 있다. 다만, 이에 제한되는 것은 아니며, 경우에 따라서는 인접한 화소(PX)들이 같은 색의 광을 방출할 수도 있다.

- [50] 도 1을 참조하면, 표시 장치(10)는 복수의 전극(210, 220)들과 복수의 발광 소자(300)를 포함할 수 있다. 각 전극(210, 220)들의 적어도 일부는 각 화소(PX) 내에 배치되어, 발광 소자(300)와 전기적으로 연결되고, 발광 소자(300)가 특정 색을 발광하도록 전기신호를 인가할 수 있다.
- [51] 또한, 각 전극(210, 220)들의 적어도 일부는 발광 소자(300)를 정렬하기 위해, 화소(PX) 내에 전기장을 형성하는 데에 활용될 수 있다. 구체적으로 설명하면, 복수의 화소(PX)들에 서로 다른 색을 발광하는 발광 소자(300)를 정렬시킬 때, 각 화소(PX)별로 서로 다른 발광 소자(300)를 정확하게 정렬시키는 것이 필요하다. 유전영동법을 이용하여 발광 소자(300)를 정렬시킬 때에는, 발광 소자(300)가 포함된 용액을 표시 장치(10)에 도포하고, 이에 교류 전원을 인가하여 전기장에 의한 커패시턴스를 형성함으로써 발광 소자(300)에 유전영동힘을 가해 정렬시킬 수 있다.
- [52] 복수의 전극(210, 220)은 제1 전극(210) 및 제2 전극(220)을 포함할 수 있다. 예시적인 실시예에서, 제1 전극(210)은 각 화소(PX)마다 분리된 화소 전극이고, 제2 전극(220)은 복수의 화소(PX)를 따라 공통으로 연결된 공통 전극일 수 있다. 제1 전극(210)과 제2 전극(220) 중 어느 하나는 발광 소자(300)의 애노드 전극이고, 다른 하나는 발광 소자(300)의 캐소드 전극일 수 있다. 다만, 이에 제한되지 않고 그 반대의 경우일 수도 있다.
- [53] 제1 전극(210)과 제2 전극(220)은 각각 제1 방향(D1)으로 연장되어 배치되는 전극 줄기부(210S, 220S)와 전극 줄기부(210S, 220S)에서 제1 방향(D1)과 교차하는 방향인 제2 방향(D2)으로 연장되어 분지되는 적어도 하나의 전극 가지부(210B, 220B)를 포함할 수 있다.
- [54] 구체적으로, 제1 전극(210)은 제1 방향(D1)으로 연장되어 배치되는 제1 전극 줄기부(210S)와 제1 전극 줄기부(210S)에서 분지되며, 제2 방향(D2)으로 연장되는 적어도 하나의 제1 전극 가지부(210B)를 포함할 수 있다. 제1 전극 줄기부(210S)는 도면에서는 도시하지 않았으나 일 단부는 신호인가패드에 연결되고, 타 단부는 제1 방향(D1)으로 연장되며, 각 화소(PX) 사이에서 전기적으로 연결이 분리될 수 있다. 상기 신호인가패드는 표시 장치(10) 또는 외부의 전력원과 연결되어 제1 전극 줄기부(210S)에 전기신호를 인가하거나, 발광 소자(300)의 정렬시 교류 전원을 인가할 수 있다.

- [55] 임의의 일 화소의 제1 전극 줄기부(210S)는 동일 행에 속하는(예컨대, 제1 방향(D1)으로 인접한) 이웃하는 화소의 제1 전극 줄기부(210S)와 실질적으로 동일 직선 상에 놓일 수 있다. 다시 말해, 일 화소의 제1 전극 줄기부(210S)는 양단이 각 화소(PX) 사이에서 이격되어 종지하되, 이웃 화소의 제1 전극 줄기부(210S)는 상기 일 화소의 제1 전극 줄기부(210S)의 연장선에 정렬될 수 있다. 이와 같은 제1 전극 줄기부(210S)의 배치는 제조 과정에서 하나의 연결된 줄기 전극으로 형성되었다가, 발광 소자(300)의 정렬 공정을 수행한 후에 레이저 등을 통해 단선되어 형성된 것일 수 있다. 이에 따라, 각 화소(PX)에 배치되는 제1 전극 줄기부(210S)는 각 제1 전극 가지부(210B)에 서로 다른 전기 신호를 인가할 수 있고, 제1 전극 가지부(210B)는 각각 별개로 구동될 수 있다.
- [56] 제1 전극 가지부(210B)는 제1 전극 줄기부(210S)의 적어도 일부에서 분지되고, 제2 방향(D2)으로 연장되어 배치되되, 제1 전극 줄기부(210S)에 대향되어 배치되는 제2 전극 줄기부(220S)와 이격된 상태에서 종지될 수 있다. 즉, 제1 전극 가지부(210B)는 일 단부가 제1 전극 줄기부(210S)와 연결되고, 타 단부는 제2 전극 줄기부(220S)와 이격된 상태로 화소(PX) 내에 배치될 수 있다. 제1 전극 가지부(210B)는 각 화소(PX) 마다 전기적으로 분리되는 제1 전극 줄기부(210S)에 연결되어 있기 때문에, 각 화소(PX)별로 서로 다른 전기 신호를 인가받을 수 있다.
- [57] 또한, 제1 전극 가지부(210B)는 각 화소(PX)에 하나 이상 배치될 수 있다. 도 1에서는 두개의 제1 전극 가지부(210B)가 배치되고, 그 사이에 제2 전극 가지부(220B)가 배치된 것을 도시하고 있으나, 이에 제한되지 않으며, 더 많은 수의 제1 전극 가지부(210B)가 배치될 수 있다. 이 경우, 제1 전극 가지부(210B)들은 복수개의 제2 전극 가지부(220B)와 교대로 이격된 상태로 배치되며, 그 사이에 복수개의 발광 소자(300)가 배치될 수 있다. 몇몇 실시예에서, 제1 전극 가지부(210B)들 사이에 제2 전극 가지부(220B)가 배치되어, 각 화소(PX)는 제2 전극 가지부(220B)를 기준으로 대칭구조를 가질 수 있다. 다만, 이에 제한되지 않는다.
- [58] 제2 전극(220)은 제1 방향(D1)으로 연장되어 제1 전극 줄기부(210S)와 이격되어 대향하도록 배치되는 제2 전극 줄기부(220S)와 제2 전극 줄기부(220S)에서 분지되되, 제2 방향(D2)으로 연장되어 제1 전극 가지부(210B)와 이격되어 대향하도록 배치되는 적어도 하나의 제2 전극 가지부(220B)를 포함할 수 있다. 제2 전극 줄기부(220S)도 제1 전극 줄기부(210S)와 같이 일 단부는 신호인가패드(미도시)에 연결될 수 있다. 다만, 제2 전극 줄기부(220S)는 타 단부가 제1 방향(D1)으로 인접한 복수의 화소(PX)로 연장될 수 있다. 즉, 제2 전극 줄기부(220S)는 각 화소(PX) 사이에서 전기적으로 연결될 수 있다. 이에 따라, 임의의 일 화소 제2 전극 줄기부(220S)는 양단이 각 화소(PX) 사이에서 이웃 화소의 제2 전극 줄기부(220S)의 일 단에 연결되어 각 화소(PX)에 동일한 전기 신호를 인가할 수 있다.

- [59] 제2 전극 가지부(220B)는 제2 전극 줄기부(220S)의 적어도 일부에서 분지되고, 제2 방향(D2)으로 연장되어 배치되며, 제1 전극 줄기부(210S)와 이격된 상태에서 종지될 수 있다. 즉, 제2 전극 가지부(220B)는 일 단부가 제2 전극 줄기부(220S)와 연결되고, 타 단부는 제1 전극 줄기부(210S)와 이격된 상태로 화소(PX) 내에 배치될 수 있다. 제2 전극 가지부(220B)는 각 화소(PX)마다 전기적으로 연결되는 제2 전극 줄기부(220S)에 연결되어 있기 때문에, 각 화소(PX)마다 동일한 전기 신호를 인가 받을 수 있다.
- [60] 또한, 제2 전극 가지부(220B)는 제1 전극 가지부(210B)와 이격되어 대향하도록 배치될 수 있다. 여기서, 제1 전극 줄기부(210S)와 제2 전극 줄기부(220S)는 각 화소(PX)의 중앙을 기준으로 서로 반대방향에서 이격되어 대향하므로, 제1 전극 가지부(210B)와 제2 전극 가지부(220B)는 연장되는 방향이 반대일 수 있다. 다시 말해, 제1 전극 가지부(210B)는 제2 방향(D2)의 일 방향으로 연장되고, 제2 전극 가지부(220B)는 제2 방향(D2)의 타 방향으로 연장되어, 각 가지부의 일 단부는 화소(PX)의 중앙을 기준으로 서로 반대방향에 배치될 수 있다. 다만, 이에 제한되지 않으며, 제1 전극 줄기부(210S)와 제2 전극 줄기부(220S)는 화소(PX)의 중앙을 기준으로 동일한 방향에서 서로 이격되어 배치될 수도 있다. 이 경우, 각 전극 줄기부(210S, 220S)에서 분지되는 제1 전극 가지부(210B)와 제2 전극 가지부(220B)는 동일한 방향으로 연장될 수도 있다.
- [61] 도 1에서는 각 화소(PX) 내에 하나의 제2 전극 가지부(220B)가 배치된 것을 도시하고 있으나, 이에 제한되지 않으며, 더 많은 수의 제2 전극 가지부(220B)가 배치될 수 있다.
- [62] 제1 전극 가지부(210B)와 제2 전극 가지부(220B) 사이에는 복수의 발광 소자(300)가 정렬될 수 있다. 구체적으로, 복수의 발광 소자(300) 중 적어도 일부는 일 단부가 제1 전극 가지부(210B)와 전기적으로 연결되고, 타 단부가 제2 전극 가지부(220B)와 전기적으로 연결될 수 있다.
- [63] 복수의 발광 소자(300)들은 제2 방향(D2)으로 이격되고, 실질적으로 서로 평행하게 정렬될 수 있다. 발광 소자(300)들이 이격되는 간격은 특별히 제한되지 않는다. 경우에 따라서는 복수의 발광 소자(300)들이 인접하게 배치되어 무리를 이루고, 다른 복수의 발광 소자(300)들은 일정 간격 이격된 상태로 무리를 이룰 수도 있으며, 불균일한 밀집도를 가지되 일 방향으로 배향되어 정렬될 수도 있다.
- [64] 한편, 복수의 발광 소자(300)들은 서로 다른 직경을 갖는 발광 소자, 예컨대 제1 발광 소자(301), 제2 발광 소자(302) 및 제3 발광 소자(303)를 포함할 수 있다.
- [65] 후술할 바와 같이, 발광 소자(300)는 소자 활성층(330)의 조성, 활성물질의 종류 등에 따라 다른 파장대의 광을 방출할 수 있다. 발광 소자(300)의 제조 시, 동일한 웨이퍼 기판 상에 성장된 소자 활성층(330)은 공간적 위치에 따라 조성의 차이가 존재하고, 부분적으로 발광하는 광의 파장대에 편차를 가질 수 있다.
- [66] 예를 들어, 임의의 직경을 가진 제2 발광 소자(302)가 제2 파장대를 가진 제2

광(L2)을 방출하는 경우, 동일한 웨이퍼 기판 상에서 성장된 다른 발광 소자들은 웨이퍼 기판의 공간적 위치에 따라 소자 활성층(330) 조성의 차이가 존재할 수 있다. 이에 따라, 다른 임의의 발광 소자가 제2 발광 소자(302)와 동일한 직경을 가질 경우 소자 활성층(330) 조성의 차이에 따라 다른 파장대의 광, 예컨대 제2 파장대보다 긴 제1 파장대의 제1 광(L1) 또는 제2 파장대보다 짧은 제3 파장대의 제3 광(L3)을 방출할 수도 있다. 다시 말해, 동일한 웨이퍼 기판 상에서 성장된 발광 소자(300)는 동일한 직경을 가질 경우, 소자 활성층(330) 조성의 차이에 의해 발광 파장의 편차가 생길 수 있다.

- [67] 이와 같은 발광 소자(300)들 간의 발광 파장의 편차를 최소화하기 위해, 일 실시예에 발광 소자(300)의 제조 방법은 서로 다른 직경을 갖는 식각 패터층(1700, 도 8에 도시)을 형성하여 소자 활성층(330) 조성의 차이에 따라 다른 직경을 갖는 소자 로드(ROD, 도 12에 도시)를 형성할 수 있고, 일 실시예에 따른 표시 장치(10)는 서로 다른 직경을 갖되, 실질적으로 동일한 파장대의 광을 방출하는 발광 소자(300)를 포함할 수 있다. 이에 대한 보다 자세한 설명은 후술하기로 한다.
- [68] 제1 전극 가지부(210B)와 제2 전극 가지부(220B) 상에는 각각 접촉 전극(260)이 배치될 수 있다.
- [69] 복수의 접촉 전극(260)은 제2 방향(D2)으로 연장되어 배치되며, 제1 방향(D1)으로 서로 이격되어 배치될 수 있다. 접촉 전극(260)은 발광 소자(300)의 적어도 일 단부와 접촉될 수 있으며, 접촉 전극(260)은 제1 전극(210) 또는 제2 전극(220)과 접촉되어 전기 신호를 인가받을 수 있다. 이에 따라, 접촉 전극(260)은 제1 전극(210)과 제2 전극(220)으로부터 전달되는 전기 신호를 발광 소자(300)에 전달할 수 있다.
- [70] 접촉 전극(260)은 각 전극 가지부(210B, 220B) 상에서 이들을 부분적으로 덮도록 배치되며, 발광 소자(300)의 일 단부 또는 타 단부와 접촉되는 제1 접촉 전극(261)과 제2 접촉 전극(262)을 포함할 수 있다.
- [71] 제1 접촉 전극(261)은 제1 전극 가지부(210B) 상에 배치되며, 발광 소자(300)의 제1 전극(210)과 전기적으로 연결되는 일 단부와 접촉될 수 있다. 제2 접촉 전극(262)은 제2 전극 가지부(220B) 상에 배치되며, 발광 소자(300)의 제2 전극(220)과 전기적으로 연결되는 타 단부와 접촉될 수 있다.
- [72] 몇몇 실시예에서, 제1 전극 가지부(210B) 또는 제2 전극 가지부(220B)와 전기적으로 연결되는 발광 소자(300)의 양 단부는 n형 또는 p형으로 도핑된 도전형 반도체층일 수 있다. 제1 전극 가지부(210B)와 전기적으로 연결되는 발광 소자(300)의 일 단부가 p형으로 도핑된 도전형 반도체층일 경우, 제2 전극 가지부(220B)와 전기적으로 연결되는 발광 소자(300)의 타 단부는 n형으로 도핑된 도전형 반도체층일 수 있다. 다만, 이에 제한되는 것은 아니며, 그 반대의 경우일 수도 있다.
- [73] 제1 접촉 전극(261)과 제2 접촉 전극(262)은 각각 제1 전극 가지부(210B)와 제2

전극 가지부(220B) 상에서 이들을 부분적으로 덮도록 배치될 수 있다. 도 1과 같이, 제1 접촉 전극(261)과 제2 접촉 전극(262)은 제2 방향(D2)으로 연장되며, 서로 이격되어 대향하도록 배치될 수 있다. 다만, 제1 접촉 전극(261)과 제2 접촉 전극(262)의 일 단부는 각 전극 가지부(210B, 220B)의 일 단부가 일부 노출되도록 종지할 수 있다. 또한, 제1 접촉 전극(261)과 제2 접촉 전극(262)의 타 단부는 각 전극 줄기부(210S, 220S)와 중첩되지 않도록 이격된 상태로 종지할 수 있다. 다만, 이에 제한되는 것은 아니며, 각 전극 가지부(210B, 220B)를 덮을 수도 있다.

[74] 한편, 도 1에 도시된 바와 같이, 제1 전극 줄기부(210S)와 제2 전극 줄기부(220S)는 각각 콘택홀, 예컨대 제1 전극 콘택홀(CNTD) 및 제2 전극 콘택홀(CNTS)을 통해 후술하는 박막 트랜지스터(120) 또는 전원 배선(161)과 전기적으로 연결될 수 있다. 도 1에서는 제1 전극 줄기부(210S)와 제2 전극 줄기부(220S) 상의 콘택홀은 각 화소(PX) 별로 배치된 것을 도시하고 있으나, 이에 제한되는 것은 아니다. 상술한 바와 같이, 제2 전극 줄기부(220S)의 경우 인접한 화소(PX)로 연장되어 전기적으로 연결될 수 있기 때문에, 몇몇 실시예에서 제2 전극 줄기부(220S)는 하나의 콘택홀을 통해 박막 트랜지스터와 전기적으로 연결될 수 있다.

[75] 이하에서는 도 2를 참조하여, 표시 장치(10) 상에 배치되는 복수의 부재들의 보다 구체적인 구조에 대하여 설명한다.

[76] 도 2는 도 1의 I-I' 선, II-II' 선 및 III-III' 선을 따라 자른 단면도이다. 도 2는 일 화소(PX)만을 도시하고 있으나, 다른 화소의 경우에도 동일하게 적용될 수 있다. 도 2는 임의의 발광 소자(300)의 일 단부와 타 단부를 가로지르는 단면을 도시한다.

[77] 도 1 및 도 2를 참조하면, 표시 장치(10)는 기판(110), 기판(110) 상에 배치된 박막 트랜지스터(120, 140), 박막 트랜지스터(120, 140) 상부에 배치된 전극(210, 220)들과 발광 소자(300)를 포함할 수 있다. 박막 트랜지스터는 제1 박막 트랜지스터(120)와 제2 박막 트랜지스터(140)를 포함할 수 있으며, 이들은 각각 구동 트랜지스터와 스위칭 트랜지스터일 수 있다. 각 박막 트랜지스터(120, 140)는 활성층, 게이트 전극, 소스 전극 및 드레인 전극을 포함할 수 있다. 제1 전극(210)은 제1 박막 트랜지스터(120)의 드레인 전극과 전기적으로 연결될 수 있다.

[78] 더욱 구체적으로 설명하면, 기판(110)은 절연 기판일 수 있다. 기판(110)은 유리, 석영, 또는 고분자 수지 등의 절연 물질로 이루어질 수 있다. 상기 고분자 물질의 예로는 폴리에테르술폰(polyethersulphone: PES), 폴리아크릴레이트(polyacrylate: PA), 폴리아릴레이트(polyarylate: PAR), 폴리에테르이미드(polyetherimide: PEI), 폴리에틸렌 나프탈레이트(polyethylene naphthalate: PEN), 폴리에틸렌 테레프탈레이트(polyethylene terephthalate: PET), 폴리페닐렌 설파이드(polyphenylene sulfide: PPS), 폴리알릴레이트(polyallylate), 폴리이미드(polyimide: PI), 폴리카보네이트(polycarbonate: PC), 셀룰로오스 트리

아세테이트(cellulose triacetate: CAT), 셀룰로오스 아세테이트 프로피오네이트(cellulose acetate propionate: CAP) 또는 이들의 조합을 들 수 있다. 기판(110)은 리지드 기판일 수 있지만, 벤딩(bending), 폴딩(folding), 롤링(rolling) 등이 가능한 플렉시블(flexible) 기판일 수도 있다.

- [79] 기판(110) 상에는 버퍼층(115)이 배치될 수 있다. 버퍼층(115)은 불순물 이온이 확산되는 것을 방지하고, 수분이나 외기의 침투를 방지하며, 표면 평탄화 기능을 수행할 수 있다. 버퍼층(115)은 실리콘 질화물, 실리콘 산화물, 또는 실리콘 산질화물 등을 포함할 수 있다.
- [80] 버퍼층(115) 상에는 반도체층이 배치된다. 반도체층은 제1 박막 트랜지스터(120)의 제1 활성층(126), 제2 박막 트랜지스터(140)의 제2 활성층(146) 및 보조층(163)을 포함할 수 있다. 반도체층은 다결정 실리콘, 단결정 실리콘, 산화물 반도체 등을 포함할 수 있다.
- [81] 반도체층 상에는 제1 게이트 절연층(170)이 배치된다. 제1 게이트 절연층(170)은 반도체층을 덮는다. 제1 게이트 절연층(170)은 박막 트랜지스터의 게이트 절연막으로 기능할 수 있다. 제1 게이트 절연층(170)은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물, 알루미늄 산화물, 탄탈륨 산화물, hafnium 산화물, 지르코늄 산화물, 티타늄 산화물 등을 포함할 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다.
- [82] 제1 게이트 절연층(170) 상에는 제1 도전층이 배치된다. 제1 도전층은 제1 게이트 절연층(170)을 사이에 두고 제1 박막 트랜지스터(120)의 제1 활성층(126) 상에 배치된 제1 게이트 전극(121), 제2 박막 트랜지스터(140)의 제2 활성층(146) 상에 배치된 제2 게이트 전극(141) 및 보조층(163) 상에 배치된 전원 배선(161)을 포함할 수 있다. 제1 도전층은 몰리브덴(Mo), 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 칼슘(Ca), 티타늄(Ti), 탄탈륨(Ta), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속을 포함할 수 있다. 제1 도전층은 단일막 또는 다층막일 수 있다.
- [83] 제1 도전층 상에는 제2 게이트 절연층(180)이 배치된다. 제2 게이트 절연층(180)은 층간 절연막일 수 있다. 제2 게이트 절연층(180)은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물, hafnium 산화물, 알루미늄 산화물, 티타늄 산화물, 탄탈륨 산화물, 아연 산화물 등의 무기 절연 물질로 이루어질 수 있다.
- [84] 제2 게이트 절연층(180) 상에는 제2 도전층이 배치된다. 제2 도전층은 제2 절연층을 사이에 두고 제1 게이트 전극(121) 상에 배치된 커패시터 전극(128)을 포함한다. 커패시터 전극(128)은 제1 게이트 전극(121)과 유지 커패시터를 이룰 수 있다.
- [85] 제2 도전층은 상술한 제1 도전층과 동일하게 몰리브덴(Mo), 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 칼슘(Ca), 티타늄(Ti), 탄탈륨(Ta), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속을 포함할 수 있다.

- [86] 제2 도전층 상에는 층간절연층(190)이 배치된다. 층간절연층(190)은 층간 절연막일 수 있다. 더 나아가, 층간절연층(190)은 표면 평탄화 기능을 수행할 수 있다. 층간절연층(190)은 아크릴계 수지(polyacrylates resin), 에폭시 수지(epoxy resin), 페놀 수지(phenolic resin), 폴리아미드계 수지(polyamides resin), 폴리아미드계 수지(polyimides resin), 불포화 폴리에스테르계 수지(unsaturated polyesters resin), 폴리페닐렌계 수지(poly phenylenethers resin), 폴리페닐렌설파이드계 수지(polyphenylenesulfides resin) 또는 벤조사이클로부텐(benzocyclobutene, BCB) 등의 유기 절연 물질을 포함할 수 있다.
- [87] 층간절연층(190) 상에는 제3 도전층이 배치된다. 제3 도전층은 제1 박막 트랜지스터(120)의 제1 드레인 전극(123)과 제1 소스 전극(124), 제2 박막 트랜지스터(140)의 제2 드레인 전극(143)과 제2 소스 전극(144), 및 전원 배선(161) 상부에 배치된 전원 전극(162)을 포함한다.
- [88] 제1 소스 전극(124) 및 제1 드레인 전극(123)은 각각 층간절연층(190)과 제2 게이트 절연층(180)을 관통하는 제1 컨택홀(129)을 통해 제1 활성층(126)과 전기적으로 연결될 수 있다. 제2 소스 전극(144) 및 제2 드레인 전극(143)은 각각 층간절연층(190)과 제2 게이트 절연층(180)을 관통하는 제2 컨택홀(149)을 통해 제2 활성층(146)과 전기적으로 연결될 수 있다. 전원 전극(162)은 층간절연층(190)과 제2 게이트 절연층(180)을 관통하는 제3 컨택홀(169)을 통해 전원 배선(161)과 전기적으로 연결될 수 있다.
- [89] 제3 도전층은 알루미늄(Al), 몰리브덴(Mo), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 칼슘(Ca), 티타늄(Ti), 탄탈륨(Ta), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속을 포함할 수 있다. 제3 도전층은 단일막 또는 다층막일 수 있다. 예를 들어, 제3 도전층은 Ti/Al/Ti, Mo/Al/Mo, Mo/AlGe/Mo, Ti/Cu 등의 적층구조로 형성될 수 있다.
- [90] 제3 도전층 상에는 절연기판층(200)이 배치된다. 절연기판층(200)은 아크릴계 수지(polyacrylates resin), 에폭시 수지(epoxy resin), 페놀 수지(phenolic resin), 폴리아미드계 수지(polyamides resin), 폴리아미드계 수지(polyimides resin), 불포화 폴리에스테르계 수지(unsaturated polyesters resin), 폴리페닐렌계 수지(poly phenylenethers resin), 폴리페닐렌설파이드계 수지(polyphenylenesulfides resin) 또는 벤조사이클로부텐(benzocyclobutene, BCB) 등의 유기 물질로 이루어질 수 있다. 절연기판층(200)의 표면은 평탄할 수 있다.
- [91] 절연기판층(200) 상에는 복수의 격벽(410, 420)이 배치될 수 있다. 복수의 격벽(410, 420)은 각 화소(PX) 내에서 서로 이격되어 대향하도록 배치되고, 서로 이격된 격벽(410, 420), 예컨대 제1 격벽(410) 및 제2 격벽(420) 상에는 각각 제1 전극(210)과 제2 전극(220)이 배치될 수 있다. 도 1에서는 하나의 화소(PX) 내에 3개의 격벽(410, 420), 구체적으로 2개의 제1 격벽(410)과 하나의 제2 격벽(420)이

배치되어, 각각 이들을 덮도록 제1 전극(210)과 제2 전극(220)이 배치되는 경우를 도시하고 있다. 도 2에서는 이들 중 하나의 제1 격벽(410)과 하나의 제2 격벽(420)의 단면도만을 도시하고 있으며, 이들의 배치 구조는 도 2에서 도시되지 않은 다른 제1 격벽(410)의 경우에도 동일하게 적용될 수 있다.

[92] 다만, 격벽(410, 420)의 수는 이에 제한되지 않는다. 예를 들어, 하나의 화소(PX) 내에 더 많은 수의 격벽(410, 420)이 배치되어 더 많은 수의 제1 전극(210)과 제2 전극(220)이 배치될 수도 있다. 격벽(410, 420)은 그 위에 제1 전극(210)이 배치되는 적어도 하나의 제1 격벽(410)과, 그 위에 제2 전극(220)이 배치되는 적어도 하나의 제2 격벽(420)을 포함할 수도 있다. 이 경우, 제1 격벽(410)과 제2 격벽(420)은 서로 이격되어 대향하도록 배치되며, 복수의 격벽들이 일 방향으로 서로 교대로 배치될 수 있다. 몇몇 실시예에서, 두개의 제1 격벽(410)이 이격되어 배치되고, 상기 이격된 제1 격벽(410) 사이에 하나의 제2 격벽(420)이 배치될 수도 있다.

[93] 또한, 도 2에서는 도시하지 않았으나, 상술한 바와 같이 제1 전극(210)과 제2 전극(220)은 각각 전극 줄기부(210S, 220S)와 전극 가지부(210B, 220B)를 포함할 수 있다. 도 2의 제1 격벽(410)과 제2 격벽(420) 상에는 각각 제1 전극 가지부(210B)와 제2 전극 가지부(220B)가 배치된 것으로 이해될 수 있다.

[94] 복수의 격벽(410, 420)은 실질적으로 동일한 물질로 이루어져 하나의 공정에서 형성될 수 있다. 이 경우, 격벽(410, 420)은 하나의 격자형 패턴을 이룰 수도 있다. 격벽(410, 420)은 폴리이미드(PI)를 포함할 수 있다.

[95] 한편, 도면에서는 도시하지 않았으나, 복수의 격벽(410, 420)들 중 적어도 일부는 각 화소(PX)의 경계에 배치되어 이들을 서로 구분할 수도 있다. 이 경우, 화소(PX)의 경계에 배치되는 격벽(410, 420) 상에는 전극(210, 220)이 배치되지 않을 수 있다. 이러한 격벽들도 상술한 제1 격벽(410) 및 제2 격벽(420)과 함께 실질적으로 격자형 패턴으로 배치될 수 있다. 각 화소(PX)의 경계에 배치되는 격벽(410, 420) 중 적어도 일부는 표시 장치(10)의 다른 전극 라인들을 커버하도록 형성될 수도 있다.

[96] 복수의 격벽(410, 420)은 절연기판층(200)을 기준으로 적어도 일부가 돌출된 구조를 가질 수 있다. 격벽(410, 420)은 발광 소자(300)가 배치된 평면을 기준으로 상부로 돌출될 수 있고, 상기 돌출된 부분은 적어도 일부가 경사를 가질 수 있다. 경사를 가지고 돌출된 구조의 격벽(410, 420)은 그 위에 배치되는 반사층(211, 221)이 입사되는 광을 반사시킬 수 있다. 발광 소자(300)에서 반사층(211, 221)으로 향하는 광은 반사되어 표시 장치(10)의 외부 방향, 예를 들어, 격벽(410, 420)의 상부로 전달될 수 있다. 돌출된 구조의 격벽(410, 420)의 형상은 특별히 제한되지 않는다. 도 2에서는 측면이 경사지고, 상면이 평탄하여 모서리가 각진 형태인 것을 도시하고 있으나, 이에 제한되지 않으며 곡선형으로 돌출된 구조일 수도 있다.

[97] 복수의 격벽(410, 420) 상에는 반사층(211, 221)이 배치될 수 있다.

- [98] 제1 반사층(211)은 제1 격벽(410)을 덮으며, 일부는 절연기관층(200)을 관통하는 제4 컨택홀(319\_1)을 통해 제1 박막 트랜지스터(120)의 제1 드레인 전극(123)과 전기적으로 연결된다. 제2 반사층(221)은 제2 격벽(420)을 덮으며, 일부는 절연기관층(200)을 관통하는 제5 컨택홀(319\_2)을 통해 전원 전극(162)과 전기적으로 연결된다.
- [99] 제1 반사층(211)은 화소(PX) 내에서 제4 컨택홀(319\_1)을 통해 제1 박막 트랜지스터(120)의 제1 드레인 전극(123)과 전기적으로 연결될 수 있다. 따라서, 제1 박막 트랜지스터(120)는 화소(PX)와 중첩되는 영역에 배치될 수 있다. 도 1에서는 제1 전극 줄기부(210S)상에 배치된 제1 전극 컨택홀(CNTD)을 통해 제1 박막 트랜지스터(120)와 전기적으로 연결되는 것을 도시하고 있다. 즉, 제1 전극 컨택홀(CNTD)은 제4 컨택홀(319\_1)일 수 있다.
- [100] 제2 반사층(221)도 화소(PX) 내에서 제5 컨택홀(319\_2)을 통해 전원 전극(162)과 전기적으로 연결될 수 있다. 도 2에서는 일 화소(PX) 내에서 제2 반사층(221)이 제5 컨택홀(319\_2)을 통해 연결되는 것을 도시하고 있다. 도 1에서는 제2 전극 줄기부(220S) 상의 복수의 제2 전극 컨택홀(CNTS)을 통해 각 화소(PX)의 제2 전극(220)이 전원 배선(161)과 전기적으로 연결되는 것을 도시하고 있다. 즉, 제2 전극 컨택홀(CNTS)은 제5 컨택홀(319\_2)일 수 있다.
- [101] 상술한 바와 같이, 도 1에서는 제1 전극 컨택홀(CNTD)과 제2 전극 컨택홀(CNTS)은 각각 제1 전극 줄기부(210S)와 제2 전극 줄기부(220S)상에 배치된다. 이에 따라, 도 2는 표시 장치(10)의 단면도상, 제1 전극(210) 및 제2 전극(220)은 제1 전극 가지부(210B)와 제2 전극 가지부(220B)가 배치되는 격벽(410, 420)과 이격된 영역에서 각각 제4 컨택홀(319\_1) 및 제5 컨택홀(319\_2)을 통해 제1 박막 트랜지스터(120) 또는 전원 배선(161)과 전기적으로 연결되는 것을 도시하고 있다.
- [102] 다만, 이에 제한되는 것은 아니다. 예를 들어, 도 1에서 제2 전극 컨택홀(CNTS)은 제2 전극 줄기부(220S) 상에서도 다양한 위치에 배치될 수 있고, 경우에 따라서는 제2 전극 가지부(220B) 상에 위치할 수도 있다. 또한, 몇몇 실시예에서는, 제2 반사층(221)은 일 화소(PX) 이외의 영역에서 하나의 제2 전극 컨택홀(CNTS) 또는 제5 컨택홀(319\_2)과 연결될 수 있다.
- [103] 표시 장치(10)의 화소(PX)가 배치된 발광영역 이외의 영역, 예컨대, 발광영역의 외측부에는 발광 소자(300)가 배치되지 않는 비발광영역이 존재할 수 있다. 상술한 바와 같이, 각 화소(PX)의 제2 전극(220)들은 서로 제2 전극 줄기부(220S)를 통해 전기적으로 연결되어, 동일한 전기 신호를 인가받을 수 있다.
- [104] 몇몇 실시예에서 제2 전극(220)의 경우, 표시 장치(10)의 외측부에 위치한 상기 비발광영역에서 제2 전극 줄기부(220S)가 하나의 제2 전극 컨택홀(CNTS)을 통해 전원 전극(162)과 전기적으로 연결될 수 있다. 도 1의 표시 장치(10)와 달리, 제2 전극 줄기부(220S)가 하나의 컨택홀을 통해 전원 전극(162)과 연결되더라도, 제2

전극 출기부(220S)는 인접한 화소(PX)에 연장되어 배치되고 전기적으로 연결되어 있기 때문에, 각 화소(PX)의 제2 전극 가지부(220B)에 동일한 전기 신호를 인가할 수도 있다. 표시 장치(10)의 제2 전극(220)의 경우, 전원 전극(162)으로부터 전기신호를 인가 받기 위한 컨택홀의 위치는 표시 장치(10)의 구조에 따라 다양할 수도 있다.

- [105] 한편, 다시 도 1과 도 2를 참조하면, 반사층(211, 221)은 발광 소자(300)에서 방출되는 광을 반사시키기 위해, 반사율이 높은 물질을 포함할 수 있다. 일 예로, 반사층(211, 221)은 은(Ag), 구리(Cu) 등과 같은 물질을 포함할 수 있으나, 이에 제한되는 것은 아니다.
- [106] 제1 반사층(211) 및 제2 반사층(221) 상에는 각각 제1 전극층(212) 및 제2 전극층(222)이 배치될 수 있다.
- [107] 제1 전극층(212)은 제1 반사층(211)의 바로 위에 배치된다. 제1 전극층(212)은 제1 반사층(211)과 실질적으로 동일한 패턴을 가질 수 있다. 제2 전극층(222)은 제2 반사층(221)의 바로 위에 배치되며, 제1 전극층(212)과 이격되도록 배치된다. 제2 전극층(222)은 제2 반사층(221)과 실질적으로 동일한 패턴을 가질 수 있다.
- [108] 일 실시예에서, 전극층(212, 222)은 각각 하부의 반사층(211, 221)을 덮을 수 있다. 즉, 전극층(212, 222)은 반사층(211, 221)보다 크게 형성되어 반사층(211, 221)의 단부 측면을 덮을 수 있다. 그러나, 이에 제한되는 것은 아니다.
- [109] 제1 전극층(212)과 제2 전극층(222)은 각각 제1 박막 트랜지스터(120) 또는 전원 전극(162)과 연결된 제1 반사층(211)과 제2 반사층(221)으로 전달되는 전기 신호를 후술할 접촉 전극(261, 262)들에 전달할 수 있다. 전극층(212, 222)은 투명성 전도성 물질을 포함할 수 있다. 일 예로, 전극층(212, 222)은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), ITZO(Indium Tin-Zinc Oxide) 등과 같은 물질을 포함할 수 있으나, 이에 제한되는 것은 아니다. 몇몇 실시예에서, 반사층(211, 221)과 전극층(212, 222)은 ITO, IZO, ITZO 등과 같은 투명도전층과 은, 구리와 같은 금속층이 각각 한층 이상 적층된 구조를 이룰 수 있다. 일 예로, 반사층(211, 221)과 전극층(212, 222)은 ITO/은(Ag)/ITO의 적층구조를 형성할 수도 있다.
- [110] 제1 격벽(410) 상에 배치되는 제1 반사층(211)과 제1 전극층(212)은 제1 전극(210)을 이룬다. 제1 전극(210)은 제1 격벽(410)의 양 끝단에서 연장된 영역까지 돌출될 수 있고, 이에 따라 제1 전극(210)은 상기 돌출된 영역에서 절연기판층(200)과 접촉할 수 있다. 제2 격벽(420) 상에 배치되는 제2 반사층(221)과 제2 전극층(222)은 제2 전극(220)을 이룬다. 제2 전극(220)은 제2 격벽(420)의 양 끝단에서 연장된 영역까지 돌출될 수 있고, 이에 따라 제2 전극(220)은 상기 돌출된 영역에서 절연기판층(200)과 접촉할 수 있다.
- [111] 제1 전극(210)과 제2 전극(220)은 각각 제1 격벽(410)과 제2 격벽(420)의 전 영역을 커버하도록 배치될 수 있다. 다만, 상술한 바와 같이, 제1 전극(210)과 제2 전극(220)은 서로 이격되어 대향하도록 배치된다. 각 전극들이 이격된 사이에는

후술할 바와 같이 제1 절연성 물질층(510)이 배치되고, 그 상부에 발광 소자(300)가 배치될 수 있다.

- [112] 또한, 제1 반사층(211)은 제1 박막 트랜지스터(120)로부터 구동 전압을 전달받을 수 있고, 제2 반사층(221)은 전원 배선(161)으로부터 전원 전압을 전달받을 수 있으므로, 제1 전극(210)과 제2 전극(220)은 각각 구동 전압과 전원 전압을 전달받는다. 제1 전극(210)은 제1 박막 트랜지스터(120)와 전기적으로 연결되고, 제2 전극(220)은 전원 배선(161)과 전기적으로 연결될 수 있다. 이에 따라, 제1 전극(210)과 제2 전극(220) 상에 배치되는 제1 접촉 전극(261) 및 제2 접촉 전극(262)은 상기 구동 전압과 전원 전압을 인가 받을 수 있다. 상기 구동 전압과 전원 전압은 발광 소자(300)로 전달되고, 발광 소자(300)에 소정이 전류가 흐르면서 광을 방출할 수 있다.
- [113] 제1 전극(210) 및 제2 전극(220) 상에는 이들을 부분적으로 덮는 제1 절연성 물질층(510)이 배치된다. 제1 절연성 물질층(510)은 제1 전극(210)과 제2 전극(220)의 상면을 대부분 덮도록 배치되며, 제1 전극(210)과 제2 전극(220)의 일부를 노출시킬 수 있다. 또한, 제1 절연성 물질층(510)은 제1 전극(210) 및 제2 전극(220) 사이의 공간 내에도 배치될 수 있다. 제1 절연성 물질층(510)은 평면상 제1 전극 가지부(210B) 및 제2 전극 가지부(220B) 사이의 공간을 따라 형성된 섬형 또는 선형 형상을 가질 수 있다.
- [114] 도 2에서는 하나의 제1 전극(210, 예컨대 제1 전극 가지부(210B))과 하나의 제2 전극(220, 예컨대 제2 전극 가지부(220B)) 사이의 이격된 공간에 제1 절연성 물질층(510)이 배치된 것을 도시하고 있다. 다만, 상술한 바와 같이 제1 전극(210)과 제2 전극(220)은 복수개일 수 있으므로, 제1 절연성 물질층(510)은 하나의 제1 전극(210)과 다른 제2 전극(220) 또는 하나의 제2 전극(220)과 다른 제1 전극(210) 사이에도 배치될 수 있다. 또한, 제1 절연성 물질층(510)은 제1 전극(210)과 제2 전극(220)이 서로 대향하는 각 측부의 반대 측부상에서도 이들을 부분적으로 덮도록 배치될 수 있다. 즉, 제1 절연성 물질층(510)은 제1 전극(210)과 제2 전극(220)의 중심부를 노출시키도록 배치될 수 있다.
- [115] 제1 절연성 물질층(510) 상에는 발광 소자(300)가 배치된다. 제1 절연성 물질층(510)은 발광 소자(300)와 절연기판층(200) 사이에 배치될 수 있다. 제1 절연성 물질층(510)의 하면은 절연기판층(200)에 접촉하고, 제1 절연성 물질층(510)의 상면에 발광 소자(300)가 배치될 수 있다. 그리고 제1 절연성 물질층(510)은 양 측면에서 각 전극(210, 220)과 접촉하여, 이들을 전기적으로 상호 절연시킬 수 있다.
- [116] 제1 절연성 물질층(510)은 각 전극(210, 220) 상의 일부 영역, 예컨대, 제1 전극(210)과 제2 전극(220)이 대향하는 방향으로 돌출된 영역 중 일부와 중첩될 수 있다. 또한, 격벽(410, 420)의 경사진 측면 및 평탄한 상면과 각 전극(210, 220)이 중첩되는 영역에도 제1 절연성 물질층(510)이 배치될 수 있다.
- [117] 일 예로, 제1 절연성 물질층(510)은 제1 전극(210)과 제2 전극(220)이 서로

대향하는 방향으로 돌출된 각 단부를 덮을 수 있다. 제1 절연성 물질층(510)은 절연기판층(200)과 하면의 일부가 접촉할 수 있고, 각 전극(210, 220)과 하면의 일부 및 측면이 접촉할 수 있다. 이에 따라, 제1 절연성 물질층(510)은 각 전극(210, 220)과 중첩된 영역을 보호함과 동시에, 이들을 전기적으로 상호 절연시킬 수 있다. 또한, 발광 소자(300)의 제1 도전형 반도체(310) 및 제2 도전형 반도체(320)가 다른 기재와 직접 접촉하는 것을 방지하여 발광 소자(300)의 손상을 방지할 수 있다.

[118] 다만, 이에 제한되지 않으며, 몇몇 실시예에서는 제1 절연성 물질층(510)이 제1 전극(210)과 제2 전극(220) 상의 영역 중에서 격벽(410, 420)의 경사진 측면과 중첩되는 영역에만 배치될 수도 있다. 이 경우, 제1 절연성 물질층(510)의 하면은 격벽(410, 420)의 경사진 측면에서 종지하고, 격벽(410, 420)의 경사진 측면 중 일부 상에 배치되는 각 전극(210, 220)은 노출되어 접촉 전극(260)과 컨택될 수 있다.

[119] 또한, 제1 절연성 물질층(510)은 발광 소자(300)의 양 단부는 노출되도록 배치될 수 있다. 이에 따라, 접촉 전극(260)은 상기 각 전극(210, 220)의 노출된 상부면과 발광 소자(300)의 양 단부와 접촉될 수 있고, 접촉 전극(260)은 제1 전극(210)과 제2 전극(220)으로 인가되는 전기 신호를 발광 소자(300)로 전달할 수 있다.

[120] 발광 소자(300)는 제1 전극(210)과 제2 전극(220) 사이에 적어도 하나 배치될 수 있다. 도 2에서는 단면상 제1 전극(210)과 제2 전극(220) 사이에 하나의 발광 소자(300)가 배치된 것을 도시하고 있으나, 도 1과 같이 평면상 다른 방향(예컨대, 제2 방향(D2))으로 복수의 발광 소자(300)들이 배치될 수 있음은 자명하다.

[121] 구체적으로, 발광 소자(300)는 일 단부가 제1 전극(210)과 전기적으로 연결되고, 타 단부는 제2 전극(220)과 전기적으로 연결될 수 있다. 발광 소자(300)의 양 단부는 각각 제1 접촉 전극(261) 및 제2 접촉 전극(262)과 컨택될 수 있다.

[122] 한편, 도 1에서는 각 화소(PX) 내에 동일한 색의 광을 방출하는 발광 소자(300)만이 배치된 경우를 예시하고 있다. 다만, 이에 제한되지 않고 상술한 바와 같이 서로 다른 색의 광을 방출하는 발광 소자(300)들이 하나의 화소(PX) 내에 함께 배치될 수도 있다.

[123] 발광 소자(300)는 발광 다이오드(Light Emitting diode)일 수 있다. 발광 소자(300)는 그 크기가 대체로 나노 단위인 나노 구조물일 수 있다. 발광 소자(300)는 무기물로 이루어진 무기 발광 다이오드일 수 있다. 발광 소자(300)가 무기 발광 다이오드일 경우, 서로 대향하는 두 전극들 사이에 무기 결정 구조를 갖는 발광 물질을 배치하고 발광 물질에 특정 방향으로 전계를 형성하면, 무기 발광 다이오드가 특정 극성이 형성되는 상기 두 전극 사이에 정렬될 수 있다.

[124] 몇몇 실시예에서 발광 소자(300)는 제1 도전형 반도체(310), 소자 활성층(330),

제2 도전형 반도체(320) 및 전극 물질층(370)이 순차적으로 형성되고, 이들의 외주면을 감싸는 절연층(380)을 포함할 수 있다. 발광 소자(300)의 상기 형성된 순서는 절연기판층(200)에 수평한 방향으로 제1 도전형 반도체(310), 소자 활성층(330), 제2 도전형 반도체(320) 및 전극 물질층(370)이 배치될 수 있다. 다시 말해, 상기 복수의 층들이 형성된 발광 소자(300)는 절연기판층(200)과 수평한 가로방향으로 배치될 수 있다. 다만, 이에 제한되지 않으며, 발광 소자(300)는 제1 전극(210)과 제2 전극(220) 사이에서 상술한 적층 방향이 반대가 되도록 정렬될 수도 있다.

- [125] 또한, 도 2에서는 하나의 발광 소자(300)만이 배치된 것을 도시하고 있으나, 상술한 바와 같이 제1 전극(210)과 제2 전극(220) 사이에는 서로 다른 직경을 갖는 복수의 발광 소자(300)들이 배치될 수 있다. 발광 소자(300)에 대한 자세한 설명은 후술하기로 한다.
- [126] 제2 절연성 물질층(520)은 발광 소자(300) 상의 적어도 일부 영역과 중첩되도록 배치될 수 있다. 제2 절연성 물질층(520)은 발광 소자(300)를 보호함과 동시에 제1 전극(210)과 제2 전극(220) 사이에서 발광 소자(300)를 고정시키는 기능을 수행할 수도 있다.
- [127] 도 2에서는 제2 절연성 물질층(520)이 단면도상 발광 소자(300)의 상부면에만 배치된 것을 도시하고 있으나, 제2 절연성 물질층(520)은 발광 소자(300)의 외면을 감싸도록 배치될 수 있다. 즉, 제1 절연성 물질층(510)과 같이 제2 절연성 물질층(520)은 평면상 제1 전극 가지부(210B)와 제2 전극 가지부(220B) 사이의 공간을 따라 제2 방향(D2)으로 연장되어 섬형 또는 선형의 형상을 갖도록 배치될 수 있다.
- [128] 또한, 제2 절연성 물질층(520)의 재료 중 일부는 발광 소자(300)의 하면과 제1 절연성 물질층(510)이 접하는 영역에도 배치될 수 있다. 이는 표시 장치(10)의 제조 시, 제1 절연성 물질층(510) 상에 발광 소자(300)가 정렬되고 그 위에 제2 절연성 물질층(520)이 배치될 때 형성된 것일 수도 있다. 발광 소자(300)의 하면과 접하는 제1 절연성 물질층(510)에 일부 공극이 형성되면, 제2 절연성 물질층(520)이 형성될 때 상기 공극으로 제2 절연성 물질층(520)의 재료 중 일부가 침투하여 형성된 것일 수도 있다.
- [129] 제2 절연성 물질층(520)은 발광 소자(300)의 양 측면이 노출되도록 배치된다. 즉, 단면상 발광 소자(300)의 상부면에 배치된 제2 절연성 물질층(520)은 일측방향으로 측정된 길이가 발광 소자(300)보다 짧아서, 제2 절연성 물질층(520)은 발광 소자(300)의 상기 양 측면보다 내측으로 함몰될 수 있다. 이에 따라, 제1 절연성 물질층(510), 발광 소자(300) 및 제2 절연성 물질층(520)은 측면이 계단식으로 적층될 수 있다. 이 경우 후술하는 접촉 전극(261, 262)은 발광 소자(300)의 양 단부 측면과 원활하게 접촉이 이루어질 수 있다. 다만, 이에 제한되지 않으며, 제2 절연성 물질층(520)의 길이와 발광 소자(300)의 길이가 일치하여 양 측부들이 정렬될 수 있다.

- [130] 한편, 제2 절연성 물질층(520)은 제1 절연성 물질층(510)을 덮도록 배치된 뒤 일부 영역, 예컨대, 발광 소자(300)가 접촉 전극(260)과 컨택되도록 노출되는 영역에서 패터닝되어 형성된 것일 수 있다. 제2 절연성 물질층(520)을 패터닝하는 단계는 통상적인 건식 식각 또는 습식 식각을 통해 수행할 수 있다. 여기서, 제1 절연성 물질층(510)이 패터닝되지 않도록 하기 위해, 제1 절연성 물질층(510)과 제2 절연성 물질층(520)은 서로 다른 식각 선택비를 갖는 재료를 포함할 수 있다. 다시 말해, 제2 절연성 물질층(520)을 패터닝할 때, 제1 절연성 물질층(510)은 에칭 스톱퍼(etching stopper)의 기능을 수행할 수도 있다.
- [131] 이에 따라 제2 절연성 물질층(520)이 발광 소자(300)의 외면을 덮고, 발광 소자(300)의 양 단부는 노출되도록 패터닝 하더라도, 제1 절연성 물질층(510)은 재료가 손상되지 않는다. 특히, 발광 소자(300)와 접촉 전극(260)이 컨택되는 발광 소자(300)의 양 단부에서 제1 절연성 물질층(510)과 발광 소자(300)는 매끄러운 접촉면을 형성할 수 있다.
- [132] 제2 절연성 물질층(520) 상에는 제1 전극(210) 상에 배치되고, 제2 절연성 물질층(520)의 적어도 일부와 중첩되는 제1 접촉 전극(261), 제2 전극(220) 상에 배치되고, 제2 절연성 물질층(520)의 적어도 일부와 중첩되는 제2 접촉 전극(262)이 배치될 수 있다.
- [133] 제1 접촉 전극(261)과 제2 접촉 전극(262)은 각각 제1 전극(210)과 제2 전극(220)의 상부면에 배치될 수 있다. 구체적으로, 제1 접촉 전극(261)과 제2 접촉 전극(262)은 제1 절연성 물질층(510)이 패터닝되어 제1 전극(210)과 제2 전극(220)의 일부가 노출되는 영역에서 각각 제1 전극층(212) 및 제2 전극층(222)과 접촉할 수 있다. 제1 접촉 전극(261)과 제2 접촉 전극(262)은 발광 소자(300)의 일 단부 측면, 예컨대 제1 도전형 반도체(310), 제2 도전형 반도체(320) 또는 전극 물질층(370)에 각각 접촉될 수 있다. 이에 따라, 제1 접촉 전극(261) 및 제2 접촉 전극(262)은 제1 전극층(212) 및 제2 전극층(222)에 인가된 전기 신호를 발광 소자(300)에 전달할 수 있다.
- [134] 제1 접촉 전극(261)은 제1 전극(210) 상에서 이를 부분적으로 커버하도록 배치되며, 하면이 부분적으로 발광 소자(300), 제1 절연성 물질층(510) 및 제2 절연성 물질층(520)과 접촉할 수 있다. 제1 접촉 전극(261)의 제2 접촉 전극(262)이 배치된 방향의 일 단부는 제2 절연성 물질층(520) 상에 배치된다. 제2 접촉 전극(262)은 제2 전극(220) 상에서 이를 부분적으로 커버하도록 배치되며, 하면이 부분적으로 발광 소자(300), 제1 절연성 물질층(510) 및 제3 절연성 물질층(530)과 접촉할 수 있다. 제2 접촉 전극(262)의 제1 접촉 전극(261)이 배치된 방향의 일 단부는 제3 절연성 물질층(530) 상에 배치된다.
- [135] 제1 절연성 물질층(510) 및 제2 절연성 물질층(520)은 제1 격벽(410)과 제2 격벽(420)의 상부면에서 제1 전극(210)과 제2 전극(220)을 덮도록 배치된 영역이 패터닝될 수 있다. 이에 따라, 제1 전극(210)과 제2 전극(220)은 각각 제1 전극층(212) 및 제2 전극층(222)이 노출되고, 상기 노출된 영역에서 각 접촉

- 전극(261, 262)과 전기적으로 연결될 수 있다.
- [136] 제1 접촉 전극(261) 및 제2 접촉 전극(262)은 제2 절연성 물질층(520) 또는 제3 절연성 물질층(530) 상에서 서로 이격되어 배치될 수 있다. 즉, 제1 접촉 전극(261) 및 제2 접촉 전극(262)은 발광 소자(300)와 제2 절연성 물질층(520) 또는 제3 절연성 물질층(530)에 함께 접촉되나, 제2 절연성 물질층(520) 상에서는 적층된 방향으로 이격되어 배치됨으로써 전기적으로 절연될 수 있다. 이로 인해 제1 접촉 전극(261)과 제2 접촉 전극(262)은 각각 제1 박막 트랜지스터(120)와 전원 배선(161)에서 서로 다른 전원을 인가 받을 수 있다. 일 예로, 제1 접촉 전극(261)은 제1 박막 트랜지스터(120)에서 제1 전극(210)으로 인가되는 구동 전압을, 제2 접촉 전극(262)은 전원 배선(161)에서 제2 전극(220)으로 인가되는 공통 전원 전압을 인가받을 수 있다. 다만, 이에 제한되는 것은 아니다.
- [137] 접촉 전극(261, 262)은 전도성 물질을 포함할 수 있다. 예를 들어, ITO, IZO, ITZO, 알루미늄(Al) 등을 포함할 수 있다. 다만, 이에 제한되는 것은 아니다.
- [138] 또한, 접촉 전극(261, 262)은 전극층(212, 222)과 동일한 물질을 포함할 수 있다. 접촉 전극(261, 262)은 전극층(212, 222)에 접촉될 수 있도록, 전극층(212, 222) 상에서 실질적으로 동일한 패턴으로 배치될 수 있다. 일 예로, 제1 전극층(212)과 제2 전극층(222)에 접촉되는 제1 접촉 전극(261)과 제2 접촉 전극(262)은 제1 전극층(212) 및 제2 전극층(222)으로 인가되는 전기 신호를 전달받아 발광 소자(300)로 전달할 수 있다.
- [139] 제3 절연성 물질층(530)은 제1 접촉 전극(261)의 상부에 배치되어, 제1 접촉 전극(261)과 제2 접촉 전극(262)을 전기적으로 상호 절연시킬 수 있다. 제3 절연성 물질층(530)은 제1 접촉 전극(261)을 덮도록 배치되며, 발광 소자(300)가 제2 접촉 전극(262)과 접촉될 수 있도록 발광 소자(300)의 일부 영역에는 중첩되지 않도록 배치될 수 있다. 제3 절연성 물질층(530)은 제2 절연성 물질층(520)의 상부면에서 제1 접촉 전극(261), 제2 접촉 전극(262) 및 제2 절연성 물질층(520)과 부분적으로 접촉할 수 있다. 제3 절연성 물질층(530)은 제2 절연성 물질층(520)의 상부면에서 제1 접촉 전극(261)의 일 단부를 커버하도록 배치될 수 있다. 이에 따라 제3 절연성 물질층(530)은 제1 접촉 전극(261)을 보호함과 동시에, 제1 접촉 전극(261)과 제2 접촉 전극(262)을 전기적으로 절연시킬 수 있다.
- [140] 제3 절연성 물질층(530)의 제2 전극(220)이 배치된 방향의 일 단부는 제2 절연성 물질층(520)의 일 측면과 정렬될 수 있다.
- [141] 한편, 몇몇 실시예에서, 표시 장치(10)는 제3 절연성 물질층(530)이 생략될 수도 있다. 이에 따라, 제1 접촉 전극(261)과 제2 접촉 전극(262)은 실질적으로 동일한 평면상에 배치될 수 있고, 후술할 패시베이션층(550)에 의해 제1 접촉 전극(261)과 제2 접촉 전극(262)은 전기적으로 상호 절연될 수 있다.
- [142] 패시베이션층(550)은 제3 절연성 물질층(530) 및 제2 접촉 전극(262)의 상부에 형성되어, 외부 환경에 대하여 절연기판층(200) 상에 배치되는 부재들을

보호하는 기능을 할 수 있다. 제1 접촉 전극(261) 및 제2 접촉 전극(262)이 노출될 경우, 전극 손상에 의해 접촉 전극 재료의 단선 문제가 발생할 수 있기 때문에, 패시베이션층(550)으로 이들을 커버할 수 있다. 즉, 패시베이션층(550)은 제1 전극(210), 제2 전극(220), 발광 소자(300) 등을 커버하도록 배치될 수 있다. 또한, 상술한 바와 같이, 제3 절연성 물질층(530)이 생략되는 경우, 패시베이션층(550)은 제1 접촉 전극(261)과 제2 접촉 전극(262)의 상부에 형성될 수 있다. 이 경우, 패시베이션층(550)은 제1 접촉 전극(261)과 제2 접촉 전극(262)을 전기적으로 상호 절연시킬 수도 있다.

- [143] 상술한 제1 절연성 물질층(510), 제2 절연성 물질층(520), 제3 절연성 물질층(530) 및 패시베이션층(550) 각각은 무기물 절연성 물질을 포함할 수 있다. 예를 들어, 제1 절연성 물질층(510), 제2 절연성 물질층(520), 제3 절연성 물질층(530) 및 패시베이션층(550)은 실리콘 산화물( $\text{SiO}_x$ ), 실리콘 질화물( $\text{SiN}_x$ ), 실리콘 산질화물( $\text{SiO}_x\text{N}_y$ ), 산화 알루미늄( $\text{Al}_2\text{O}_3$ ), 질화 알루미늄( $\text{AlN}$ ) 등과 같은 물질을 포함할 수 있다. 제1 절연성 물질층(510), 제2 절연성 물질층(520), 제3 절연성 물질층(530) 및 패시베이션층(550)은 동일한 물질로 이루어질 수도 있지만, 서로 다른 물질로 이루어질 수도 있다. 기타, 제1 절연성 물질층(510), 제2 절연성 물질층(520), 제3 절연성 물질층(530) 및 패시베이션층(550)에 절연성을 부여하는 다양한 물질이 적용가능하다.
- [144] 한편, 제1 절연성 물질층(510)과 제2 절연성 물질층(520)은 상술한 바와 같이, 서로 다른 식각 선택비를 가질 수 있다. 일 예로, 제1 절연성 물질층(510)이 실리콘산화물( $\text{SiO}_x$ )을 포함하는 경우, 제2 절연성 물질층(520)은 실리콘질화물( $\text{SiN}_x$ )을 포함할 수 있다. 다른 예로, 제1 절연성 물질층(510)이 실리콘질화물( $\text{SiN}_x$ )을 포함하는 경우에는, 제2 절연성 물질층(520)은 실리콘산화물( $\text{SiO}_x$ )을 포함할 수도 있다. 다만, 이에 제한되는 것은 아니다.
- [145] 한편, 발광 소자(300)는 기판상에서 에피택셜(Epitaxial) 성장법에 의해 제조될 수 있다. 기판상에 반도체층을 형성하기 위한 시드 결정(Seed crystal)층을 형성하고, 원하는 반도체 재료를 증착시켜 성장시킬 수 있다. 이하, 도 3을 참조하여 다양한 실시예들에 따른 발광 소자(300)의 구조에 대하여 상세히 설명하기로 한다.
- [146] 도 3은 일 실시예에 따른 발광 소자의 개략도이다.
- [147] 도 3을 참조하면, 발광 소자(300)는 복수의 도전형 반도체(310, 320), 소자 활성층(330), 전극 물질층(370) 및 절연층(380)을 포함할 수 있다. 제1 전극(210) 및 제2 전극(220)으로부터 인가되는 전기 신호는 복수의 도전형 반도체(310, 320)을 통해 소자 활성층(330)으로 전달되어 광을 방출할 수 있다.
- [148] 구체적으로, 발광 소자(300)는 제1 도전형 반도체(310), 제2 도전형 반도체(320), 제1 도전형 반도체(310)와 제2 도전형 반도체(320) 사이에 배치되는 소자 활성층(330), 제2 도전형 반도체(320) 상에 배치되는 전극 물질층(370)과, 이들의 외주면을 둘러싸도록 배치되는 절연층(380)을 포함할 수 있다. 절연층(380)은

제1 도전형 반도체(310), 제2 도전형 반도체(320), 소자 활성층(330) 및 전극 물질층(370)과 접촉하며 이들의 외주면을 감싸도록 형성될 수 있다. 도 3의 발광 소자(300)는 제1 도전형 반도체(310), 소자 활성층(330), 제2 도전형 반도체(320) 및 전극 물질층(370)이 길이방향으로 순차적으로 형성된 구조를 도시하고 있으나, 이에 제한되지 않는다. 전극 물질층(370)은 생략될 수 있고, 몇몇 실시예에서는 제1 도전형 반도체(310) 및 제2 도전형 반도체(320)의 양 측면 중 적어도 어느 하나에 배치될 수도 있다. 이하에서는, 도 3의 발광 소자(300)를 예시하여 설명하기로 하며, 후술되는 발광 소자(300)에 관한 설명은 발광 소자(300)가 다른 구조를 더 포함하더라도 동일하게 적용될 수 있음은 자명하다.

- [149] 제1 도전형 반도체(310)는 n형 반도체층일 수 있다. 일 예로, 발광 소자(300)가 청색 파장대의 광을 방출하는 경우, 제1 도전형 반도체(310)는  $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$  ( $0 \leq x \leq 1, 0 \leq y \leq 1, 0 \leq x+y \leq 1$ )의 화학식을 갖는 반도체 재료일 수 있다. 예를 들어, n형으로 도핑된  $\text{InAlGaN}$ ,  $\text{GaN}$ ,  $\text{AlGaN}$ ,  $\text{InGaN}$ ,  $\text{AlN}$  및  $\text{InN}$  중에서 어느 하나 이상일 수 있다. 제1 도전형 반도체(310)는 제1 도전성 도펀트가 도핑될 수 있으며, 일 예로 제1 도전성 도펀트는  $\text{Si}$ ,  $\text{Ge}$ ,  $\text{Sn}$  등일 수 있다. 제1 도전형 반도체(310)의 길이는  $1.5\mu\text{m}$  내지  $5\mu\text{m}$ 의 범위를 가질 수 있으나, 이에 제한되는 것은 아니다.
- [150] 제2 도전형 반도체(320)는 p형 반도체층일 수 있다. 일 예로, 발광 소자(300)가 청색 파장대의 광을 방출하는 경우, 제2 도전형 반도체(320)는  $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$  ( $0 \leq x \leq 1, 0 \leq y \leq 1, 0 \leq x+y \leq 1$ )의 화학식을 갖는 반도체 재료일 수 있다. 예를 들어, p형으로 도핑된  $\text{InAlGaN}$ ,  $\text{GaN}$ ,  $\text{AlGaN}$ ,  $\text{InGaN}$ ,  $\text{AlN}$  및  $\text{InN}$  중에서 어느 하나 이상일 수 있다. 제2 도전형 반도체(320)는 제2 도전성 도펀트가 도핑될 수 있으며, 일 예로 제2 도전성 도펀트는  $\text{Mg}$ ,  $\text{Zn}$ ,  $\text{Ca}$ ,  $\text{Se}$ ,  $\text{Ba}$  등일 수 있다. 제2 도전형 반도체(320)의 길이는  $0.08\mu\text{m}$  내지  $0.25\mu\text{m}$ 의 범위를 가질 수 있으나, 이에 제한되는 것은 아니다.
- [151] 소자 활성층(330)은 제1 도전형 반도체(310) 및 제2 도전형 반도체(320) 사이에 배치되며, 단일 또는 다중 양자 우물 구조의 물질을 포함할 수 있다. 소자 활성층(330)이 다중 양자 우물 구조의 물질을 포함하는 경우, 양자층(Quantum layer)와 우물층(Well layer)가 서로 교번적으로 복수개 적층된 구조일 수도 있다. 소자 활성층(330)은 제1 도전형 반도체(310) 및 제2 도전형 반도체(320)를 통해 인가되는 전기 신호에 따라 전자-정공 쌍의 결합에 의해 광을 발광할 수 있다. 일 예로, 소자 활성층(330)이 청색 파장대의 광을 방출하는 경우,  $\text{AlGaN}$ ,  $\text{AlInGaN}$  등의 물질을 포함할 수 있으며, 특히, 소자 활성층(330)이 다중 양자 우물 구조로, 양자층과 우물층이 교번적으로 적층된 구조인 경우, 양자층은  $\text{AlGaN}$  또는  $\text{AlInGaN}$ , 우물층은  $\text{GaN}$  또는  $\text{AlGaN}$  등과 같은 물질을 포함할 수 있다. 다만, 이에 제한되는 것은 아니며, 소자 활성층(330)은 밴드갭(Band gap) 에너지가 큰 종류 반도체 물질과 밴드갭 에너지가 작은 반도체 물질들이 서로 교번적으로 적층된 구조일 수도 있고, 발광하는 광의 파장대에 따라 다른 3족 내지 5족

반도체 물질들을 포함할 수도 있다. 이에 따라, 소자 활성층(330)이 방출하는 광은 청색 파장대의 광으로 제한되지 않고, 경우에 따라 적색, 녹색 파장대의 광을 방출할 수도 있다. 소자 활성층(330)의 길이는  $0.05\mu\text{m}$  내지  $0.25\mu\text{m}$ 의 범위를 가질 수 있으나, 이에 제한되는 것은 아니다.

- [152] 소자 활성층(330)에서 방출되는 광은 발광 소자(300)의 길이방향 외부면 뿐만 아니라, 양 측면으로 방출될 수 있다. 즉, 소자 활성층(330)에서 방출되는 광은 일 방향으로 방향성이 제한되지 않는다.
- [153] 한편, 발광 소자(300)의 소자 활성층(330)은 조성의 차이에 따라 발광하는 광의 파장대가 달라질 수 있다. 특히, 소자 활성층(330)의 활성물질의 종류에 따라 다른 색의 광을 방출할 수도 있으나, 동일한 종류의 활성물질을 포함하더라도 소자 활성층(330) 내의 조성비율, 반도체 결정의 격자 변형(lattice strain)에 따라 발광 파장에 편차가 생길 수 있다. 다시 말해 소자 활성층(330)이 동일한 종류의 활성물질을 포함하여 임의의 밴드갭 에너지를 가질 수 있으나, 발광 소자(300)의 제조 시 소자 활성층(330)에 형성되는 활성물질 결정의 격자 변형(lattice strain)에 따라 상기 밴드갭 에너지가 달라지고, 이에 따라 방출되는 광의 파장대에 편차가 생길 수 있다.
- [154] 여기서, 복수의 발광 소자(300)들이 서로 다른 직경을 갖도록 형성되는 경우, 각 발광 소자(300)의 소자 활성층(330)에 포함된 활성물질 결정의 격자 변형(lattice strain)이 달라질 수 있다. 발광 소자(300)들 간의 서로 다른 격자 변형(lattice strain)에 따라 소자 활성층(330)의 밴드갭 에너지가 달라질 수 있으며, 이에 따라 방출되는 광의 파장이 달라질 수 있다.
- [155] 따라서, 임의의 파장대의 광을 방출하는 발광 소자(300)를 기준으로, 발광 소자(300)의 직경을 조절하여 상기 파장대의 광과 편차를 가진 다른 발광 소자(300)의 발광 파장을 제어할 수 있다.
- [156] 전극 물질층(370)은 오믹(ohmic) 접촉 전극일 수 있다. 다만, 이에 제한되지 않고, 쇼트키(Schottky) 접촉 전극일 수도 있다. 전극 물질층(370)은 전도성이 있는 금속을 포함할 수 있다. 예를 들어, 전극 물질층(370)은 알루미늄(Al), 티타늄(Ti), 인듐(In), 금(Au), 은(Ag), ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide) 및 ITZO(Indium Tin-Zinc Oxide) 중에서 적어도 어느 하나를 포함할 수 있다. 전극 물질층(370)은 동일한 물질을 포함할 수 있고, 서로 다른 물질을 포함할 수도 있다. 다만, 이에 제한되는 것은 아니다.
- [157] 절연층(380)은 제1 도전형 반도체(310), 제2 도전형 반도체(320), 소자 활성층(330) 및 전극 물질층(370)의 외부에 형성되고, 이들을 보호하는 기능을 수행할 수 있다. 일 예로, 절연층(380)은 상기 부재들의 측면부를 둘러싸도록 형성되어, 발광 소자(300)의 길이방향의 양 단부, 예를 들어 제1 도전형 반도체(310) 및 전극 물질층(370)이 배치된 양 단부에는 형성되지 않을 수 있다. 다만, 이에 제한되지는 않는다.
- [158] 절연층(380)은 절연특성을 가진 물질들, 예를 들어, 실리콘 산화물(Silicon

oxide,  $\text{SiO}_x$ ), 실리콘 질화물(Silicon nitride,  $\text{SiN}_x$ ), 산질화 실리콘( $\text{SiO}_x\text{N}_y$ ), 질화알루미늄(Aluminum nitride,  $\text{AlN}$ ), 산화알루미늄(Aluminum oxide,  $\text{Al}_2\text{O}_3$ ) 등을 포함할 수 있다. 이에 따라 소자 활성층(330)이 제1 전극(210) 또는 제2 전극(220)과 직접 접촉하는 경우 발생할 수 있는 전기적 단락을 방지할 수 있다. 또한, 절연층(380)은 소자 활성층(330)을 포함하여 발광 소자(300)의 외주면을 보호하기 때문에, 발광 효율의 저하를 방지할 수 있다.

- [159] 도면에서는 절연층(380)이 길이방향으로 연장되어 제1 도전형 반도체(310)부터 전극 물질층(370)까지 커버할 수 있도록 형성된 것을 도시하고 있으나, 이에 제한되지 않는다. 절연층(380)은 제1 도전형 반도체(310), 소자 활성층(330) 및 제2 도전형 반도체(320)만 커버하거나, 전극 물질층(370) 외면의 일부만 커버하여 전극 물질층(370)의 일부 외면이 노출될 수도 있다.
- [160] 절연층(380)의 두께는  $0.5\ \mu\text{m}$  내지  $1.5\ \mu\text{m}$ 의 범위를 가질 수 있으나, 이에 제한되는 것은 아니다.
- [161] 또한, 몇몇 실시예에서, 절연층(380)은 외주면이 표면처리될 수 있다. 상술한 바와 같이, 발광 소자(300)가 전극(210, 220) 사이에서 정렬될 때, 복수의 발광 소자(300)가 용액내에서 분산된 상태로 도포될 수 있다. 여기서, 발광 소자(300)가 용액 내에서 인접한 다른 발광 소자(300)와 응집되지 않고 분산된 상태를 유지하기 위해, 절연층(380)은 표면이 소수성 또는 친수성 처리되어 상기 용액 내에서 상호 분산된 상태를 유지할 수 있다. 이에 따라, 발광 소자(300)의 정렬 시 제1 전극(210)과 제2 전극(220) 사이에 응집되지 않고 정렬될 수 있다.
- [162] 발광 소자(300)는 원통형일 수 있다. 이에 따라, 발광 소자(300)의 양 단부를 가로지르는 길이방향으로 자른 단면도는 사각형의 형상을 가질 수 있다. 다만, 발광 소자(300)의 형태가 이에 제한되는 것은 아니며, 정육면체, 직육면체, 육각기둥형 등 다양한 형태를 가질 수 있다. 발광 소자(300)는 길이가  $1\ \mu\text{m}$  내지  $10\ \mu\text{m}$  또는  $2\ \mu\text{m}$  내지  $5\ \mu\text{m}$ 의 범위를 가질 수 있으며, 바람직하게는  $4\ \mu\text{m}$  내외의 길이를 가질 수 있다. 또한, 발광 소자(300)의 직경은  $300\text{nm}$  내지  $700\text{nm}$ 의 범위를 가질 수 있으며, 상술한 바와 같이, 표시 장치(10)에 포함되는 복수의 발광 소자(300)들은 소자 활성층(330)의 조성 차이에 따라 서로 다른 직경을 가질 수 있다. 바람직하게는 발광 소자(300)의 직경은  $500\text{nm}$  내외의 범위를 가질 수 있다.
- [163] 한편, 상술한 바와 같이, 복수의 발광 소자(300)들은 서로 다른 직경을 가질 수 있다. 예시적인 실시예에서, 임의의 발광 소자(300)와 다른 직경을 갖는 발광 소자(300) 간 직경 차이는 상기 임의의 발광 소자(300)의 직경에 2% 내지 16%의 범위를 가질 수 있다. 일 예로, 임의의 발광 소자, 예컨대 제2 발광 소자(302)가  $500\text{nm}$ 의 직경을 가질 경우, 제1 발광 소자(301)의 직경은  $420\text{nm}$  내지  $490\text{nm}$ 의 범위를 가질 수 있고, 제3 발광 소자(303)의 직경은  $510\text{nm}$  내지  $580\text{nm}$ 의 범위를 가질 수 있다. 다만, 이에 제한되는 것은 아니며, 후술할 바와 같이 소자 활성층(330) 조성의 차이에 따라 발광 소자(300)들 간의 크기는 달라질 수 있다.
- [164] 이하에서는, 편의상 도 3에 도시된 발광 소자(300)를 예시하여 설명하겠으나,

상술한 바와 같이, 더 많은 수의 전극 물질층(370)을 포함하거나, 다른 구조를 더 포함하는 경우에도 동일하게 적용될 수 있다.

- [165] 한편, 도 4는 도 1의 IV-IV' 선을 따라 자른 단면도이다.
- [166] 도 1의 IV-IV' 선은 제1 전극(210)과 제2 전극(220) 사이에서 제1 방향(D1)으로 정렬된 발광 소자(300)의 양 단부 중심을 가로지르는 선일 수 있으며, 도 4는 복수의 발광 소자(300)의 양 단부 중심을 가로지르는 선을 따라 자른 단면도이다.
- [167] 도 2 및 도 4를 참조하면, 제1 발광 소자(301), 제2 발광 소자(302) 및 제3 발광 소자(303)는 하면이 부분적으로 제1 절연성 물질층(510) 및 제2 절연성 물질층(520)과 접하고, 상면은 제2 절연성 물질층(520)에 의해 제1 전극(210)과 제2 전극(220) 사이에서 고정될 수 있다. 제2 절연성 물질층(520) 상에는 제3 절연성 물질층(530) 및 패시베이션층(550)이 형성될 수 있으며, 도 4에 도시된 구조는 도 1 및 도 2를 참조하여 설명한 바와 동일하다.
- [168] 표시 장치(10)에 포함되는 복수의 발광 소자(300)들은 서로 다른 직경을 갖는 제1 발광 소자(301), 제2 발광 소자(302) 및 제3 발광 소자(303)를 포함할 수 있다. 제1 발광 소자(301), 제2 발광 소자(302) 및 제3 발광 소자(303)는 서로 다른 직경을 가지되, 실질적으로 동일한 파장대의 광을 방출할 수 있다.
- [169] 제2 발광 소자(302)의 직경( $r_2$ )은 제1 발광 소자(301)의 직경( $r_1$ )보다 크되, 제3 발광 소자(303)의 직경( $r_3$ )보다 작을 수 있다. 다시 말해, 제1 발광 소자(301), 제2 발광 소자(302) 및 제3 발광 소자(303)는 직경이 순차적으로 증가하도록 형성될 수 있다. 이는 각 발광 소자(300)들의 소자 활성층(330)에서 방출되는 광의 파장대가 편이될 수 있도록 발광 소자(300)의 제조 시 발광 소자(300)의 직경이 조절된 것일 수 있다.
- [170] 상술한 바와 같이, 발광 소자(300)의 제조 시, 복수의 발광 소자(300)들 간에 소자 활성층(330)은 서로 다른 조성을 가질 수 있고, 이에 따라 각 발광 소자(300)들은 밴드갭 에너지가 다를 수 있다. 예를 들어, 동일한 웨이퍼 기판 상에서 성장된 제1 발광 소자(301), 제2 발광 소자(302) 및 제3 발광 소자(303)가 각각 동일한 직경을 가질 경우, 발광 소자들의 소자 활성층(330)은 서로 다른 파장의 광을 방출할 수 있다. 제1 발광 소자(301)의 소자 활성층(330)은 제1 파장대의 제1 광(L1)을, 제2 발광 소자(302)의 소자 활성층(330)은 제2 파장대의 제2 광(L2)을, 제3 발광 소자(303)의 소자 활성층(330)은 제3 파장대의 제3 광(L3)을 방출할 수 있다.
- [171] 여기서, 제2 발광 소자(302)의 소자 활성층(330)이 방출하는 광인 제2 광(L2)을 기준으로 하는 경우, 제1 발광 소자(301)와 제3 발광 소자(303)의 소자 활성층(330)이 방출하는 광은 제2 광(L2)과 파장대의 편차를 가질 수 있다. 다만, 각 발광 소자(300)들이 방출하는 광의 파장의 편차를 최소화하기 위해, 각 발광 소자(300)는 서로 다른 직경을 가짐으로써 발광 파장이 편이(shift)될 수 있다. 각 발광 소자(300)의 직경을 달리하여 소자 활성층(330)의 격자 변형(lattice strain)을 제어함으로써, 제1 발광 소자(301), 제2 발광 소자(302) 및 제3 발광 소자(303)는

실질적으로 동일한 파장의 광을 방출하도록 편이된 것일 수 있다.

- [172] 일 예로, 제1 발광 소자(301)의 직경( $r_1$ )은 제2 발광 소자(302)의 직경( $r_2$ )보다 작을 수 있으며, 제1 발광 소자(301)의 소자 활성층(330)에서 방출되는 광은 제1 광(L1)에서 제2 광(L2)으로 파장이 짧아지도록 청색 편이(Blue shift)될 수 있고, 제3 발광 소자(303)의 직경( $r_3$ )은 제2 발광 소자(302)의 직경( $r_2$ )보다 클 수 있으며, 제3 발광 소자(303)의 소자 활성층(330)에서 방출되는 광은 제3 광(L3)에서 제2 광(L2)으로 파장이 길어지도록 적색 편이(Redshift)될 수 있다. 이에 따라, 제1 발광 소자(301), 제2 발광 소자(302) 및 제3 발광 소자(303)는 실질적으로 동일한 파장대의 광, 예컨대 제2 광(L2)을 방출할 수 있다. 다만, 이에 제한되지 않으며, 표시 장치(10)에 포함되는 복수의 발광 소자(300)들은 직경이 다른 발광 소자(300)들을 더 많은 수 포함할 수 있다.
- [173] 이와 같이 서로 다른 직경을 갖는 제1 발광 소자(301), 제2 발광 소자(302) 및 제3 발광 소자(303)들은 발광 소자(300)의 제조 시, 서로 다른 직경을 갖는 나노 패턴(1710, 1720, 1730, 도 8에 도시)을 포함하는 식각 패턴층(1700, 도 8에 도시)을 형성함으로써 제조된 것일 수 있다. 웨이퍼 기판 상에서 성장된 반도체 구조물(3000, 도 6에 도시)을 수직으로 식각하는 단계에서, 서로 다른 직경을 갖는 나노 패턴(1710, 1720, 1730)을 형성함으로써, 최종적으로 제조된 발광 소자(300)들은 서로 다른 직경을 갖되, 실질적으로 동일한 파장대의 광을 방출할 수 있다. 이에 따라, 복수의 발광 소자(300)들은 발광 파장의 편차를 최소화할 수 있고, 일 실시예에 따른 표시 장치(10)는 각 화소(PX)에서 방출되는 광의 순도와 신뢰도를 향상시킬 수 있다.
- [174] 이하에서는 도 5 내지 도 16을 참조하여, 일 실시예에 따른 발광 소자(300)의 제조방법에 대하여 상세히 설명한다.
- [175] 도 5 내지 도 16은 일 실시예에 따른 발광 소자의 제조방법을 개략적으로 도시하는 단면도들이다.
- [176] 도 5 및 도 6은 일 실시예에 따른 반도체 구조물을 형성하는 방법을 개략적으로 도시하는 단면도이다.
- [177] 먼저, 도 5를 참조하면, 베이스 기판(1100), 베이스 기판(1100) 상에 형성된 버퍼 물질층(1200)을 포함하는 하부기판층(1000)을 준비한다. 도 5에 도시된 바와 같이, 하부기판층(1000)은 베이스 기판(1100) 및 버퍼 물질층(1200)이 순차적으로 적층된 구조를 가질 수 있다.
- [178] 베이스 기판(1100)은 사파이어 기판( $Al_2O_3$ ) 및 유리와 같은 투명성 기판을 포함할 수 있다. 다만, 이에 제한되는 것은 아니며, GaN, SiC, ZnO, Si, GaP 및 GaAs 등과 같은 도전성 기판으로 이루어질 수도 있다. 이하에서는, 베이스 기판(1100)이 사파이어 기판( $Al_2O_3$ )인 경우를 예시하여 설명한다. 베이스 기판(1100)의 두께는 특별히 제한되지 않으나, 일 예로 베이스 기판(1100)은 두께가  $400\mu m$  내지  $1500\mu m$ 의 범위를 가질 수 있다.
- [179] 베이스 기판(1100) 상에는 복수의 도전형 반도체층이 형성된다. 에피택셜법에

의해 성장되는 복수의 도전형 반도체층은 시드 결정을 형성하고, 그 위에 결정 재료를 증착하여 성장될 수 있다. 여기서, 도전형 반도체층은 전자빔 증착법, 물리적 기상 증착법(Physical vapor deposition, PVD), 화학적 기상 증착법(Chemical vapor deposition, CVD), 플라즈마 레이저 증착법(Plasma laser deposition, PLD), 이중형 열증착법(Dual-type thermal evaporation), 스퍼터링(Sputtering), 금속-유기물 화학적 기상 증착법(Metal organic chemical vapor deposition, MOCVD) 동일 수 있으며, 바람직하게는, 금속-유기물 화학적 기상 증착법(MOCVD)에 의해 형성될 수 있다. 다만, 이에 제한되지 않는다.

[180] 복수의 도전형 반도체층을 형성하기 위한 전구체 물질은 대상 물질을 형성하기 위해 통상적으로 선택될 수 있는 범위 내에서 특별히 제한되지 않는다. 일 예로, 전구체 물질은 메틸기 또는 에틸기와 같은 알킬기를 포함하는 금속 전구체일 수 있다. 예를 들어, 트리메틸 갈륨( $\text{Ga}(\text{CH}_3)_3$ ), 트리메틸 알루미늄( $\text{Al}(\text{CH}_3)_3$ ), 트리에틸 인산염( $(\text{C}_2\text{H}_5)_3\text{PO}_4$ )과 같은 화합물일 수 있으나, 이에 제한되지 않는다. 이하에서는, 복수의 도전형 반도체층을 형성하는 방법이나 공정 조건 등에 대하여는 생략하여 설명하며, 발광 소자(300)의 제조방법의 순서나 적층 구조에 대하여 상세히 설명하기로 한다.

[181] 베이스 기판(1100) 상에는 버퍼 물질층(1200)이 형성된다. 도면에서는 버퍼 물질층(1200)이 한층 적층된 것을 도시하고 있으나, 이에 제한되지 않으며, 복수의 층을 형성할 수도 있다. 버퍼 물질층(1200)은 제1 도전형 반도체층(3100)의 격자 상수 차이를 줄여주기 위해 베이스 기판(1100) 상에 배치될 수 있다. 후술하는 단계에서, 버퍼 물질층(1200)은 그 위에 제1 도전형 반도체층(3100) 결정이 원활하게 결정 성장할 수 있도록 시드 결정을 제공할 수도 있다.

[182] 일 예로, 버퍼 물질층(1200)은 언도프드(Undoped) 반도체를 포함할 수 있으며, 실질적으로 제1 도전형 반도체층(3100)과 동일한 물질을 포함하되, n형 또는 p형으로 도핑되지 않은 물질일 수 있다. 예시적인 실시예에서, 버퍼 물질층(1200)은 도핑되지 않은 InAlGaN, GaN, AlGaN, InGaN, AlN 및 InN 중 적어도 어느 하나일 수 있으나, 이에 제한되지 않는다.

[183] 한편, 도 5에서는 도시하지 않았으나, 버퍼 물질층(1200) 상에는 분리층(1300, 도 21에 도시)이 더 배치될 수도 있다. 분리층(1300)은 후술할 바와 같이, 소자 로드(ROD)를 하부기판층(1000)에서 분리할 때, 분리층(1300)을 제거하는 화학적 분리방법(Chemical Lift OFF, CLO)을 수행하기 위해 버퍼 물질층(1200) 상에 배치될 수 있다. 이에 따라, 제조된 발광 소자(300)의 단부면을 비교적 평탄하게 형성할 수 있다. 보다 자세한 설명은 다른 실시예가 참조된다.

[184] 다음으로, 도 6을 참조하면, 하부기판층(1000)의 버퍼 물질층(1200) 상에 제1 도전형 반도체층(3100), 활성물질층(3300), 제2 도전형 반도체층(3200) 및 도전성 전극물질층(3700)을 형성하여 반도체 구조물(3000)을 형성한다.

[185] 반도체 구조물(3000)은 후술하는 단계에서 일부 식각되어 소자 로드(ROD, 도

12에 도시)를 형성할 수 있다. 반도체 구조물(3000)에 포함되는 복수의 물질층들은 상술한 바와 같이 통상적인 공정을 수행하여 형성될 수 있다. 분리층(1300) 상에는 제1 도전형 반도체층(3100), 활성물질층(3300), 제2 도전형 반도체층(3200) 및 도전성 전극물질층(3700)을 순차적으로 형성될 수 있으며, 이들은 각각 발광 소자(300)의 제1 도전형 반도체(310) 소자 활성층(330), 제2 도전형 반도체(320) 및 전극 물질층(370)과 동일한 물질들을 포함할 수 있다.

- [186] 도면에서는 도시하지 않았으나, 발광 소자(300)는 전극 물질층(370)이 생략되거나, 제1 도전형 반도체(310)의 하부에 다른 전극 물질층(370)을 더 포함할 수도 있다. 다시 말해, 도 6과 달리 반도체 구조물(3000)은 도전성 전극물질층(3700)이 생략되거나, 제1 도전형 반도체층(3100) 하부에 다른 도전성 전극물질층이 형성될 수도 있다. 다만, 이하에서는 반도체 구조물(3000)이 도전성 전극물질층(3700)을 포함하는 경우를 예시하여 설명하기로 한다.
- [187] 도 7은 일 실시예에 따른 발광 소자의 제조 방법 중 소자 로드를 형성하는 단계를 나타내는 순서도이다.
- [188] 도 7을 참조하면, 일 실시예에 따른 발광 소자의 제조 방법은 하부기판층(1000) 상에 형성되는 반도체 구조물(3000)을 형성하는 단계(S100), 반도체 구조물(3000)에서 방출되는 서로 다른 파장대를 갖는 광을 측정하여 반도체 구조물(3000) 상에 파장영역(WA)을 정의하는 단계(S200) 및 파장영역(WA)에 따라 반도체 구조물(3000) 상에 서로 다른 직경을 갖고 서로 이격되어 배치되는 나노 패턴(1710, 1720, 1730)을 형성하고 반도체 구조물(3000)을 식각하여 소자 로드(ROD)를 형성하는 단계를 포함할 수 있다.
- [189] 제조 장치의 성능이나 품질에 따라 하부기판층(1000) 상에 형성되는 반도체 구조물(3000)은 공간적 위치에 따라 부분적으로 조성이 불균일한 영역을 가질 수 있다. 일 예로, 반도체 구조물(3000)을 금속-유기물 화학적 기상 증착법(MOCVD)을 통해 형성하는 경우, 하부기판층(1000) 상에 제공되는 전구체 물질은 기상(gas phase)의 형태일 수 있다. 기상의 전구체 물질은 하부기판층(1000) 상에서 균일하지 않은 분포도로 제공될 수 있고, 이에 따라 전구체 물질들이 증착되어 형성된 반도체 구조물(3000)은 공간적 위치에 따라 불균일한 조성을 가질 수 있다.
- [190] 여기서, 활성물질층(3300)이 공간적 위치에 따라 조성의 차이가 형성되는 경우, 동일한 직경을 갖도록 제조되는 복수의 발광 소자(300)들은 각 소자 활성층(330)들이 서로 다른 조성을 가질 수 있다. 이 경우, 반도체 구조물(3000)에서 서로 다른 위치에서 제조된 복수의 발광 소자(300)들은 방출하는 광 파장대에 편차가 생길 수 있다.
- [191] 따라서, 복수의 발광 소자(300)에서 생길 수 있는 발광 파장대의 편차를 최소화하기 위해, 일 실시예에 따른 발광 소자(300)의 제조 방법은 반도체 구조물(3000)을 하부기판층(1000)에 수직인 방향으로 식각하는 단계에서, 서로 다른 크기를 갖는 식각 패턴층(1700)을 형성함으로써, 직경이 서로 다른 복수의

소자 로드(ROD)를 형성하는 단계를 포함할 수 있다. 이에 따라 이후의 단계들이 수행되어 제조된 복수의 발광 소자(300)들은 각 발광 소자(300)의 소자 활성층(330)이 다른 조성을 갖더라도 서로 다른 직경을 가짐으로써 실질적으로 동일한 파장대의 광을 방출할 수 있다.

- [192] 일 실시예에 따른 발광 소자의 제조 방법은 식각 패턴층(1700)을 형성하기 전에 반도체 구조물(3000)에서 방출되는 서로 다른 파장대를 갖는 광을 측정하여 반도체 구조물(3000) 상에 파장영역(WA)을 정의하는 단계(S200)를 포함할 수 있다.
- [193] 상술한 바와 같이, 하부기판층(1000) 상에 형성되는 반도체 구조물(3000), 예컨대 활성물질층(3300)은 공간적 위치가 따라 서로 다른 파장대의 광이 방출될 수 있다. 반도체 구조물(3000) 상에서 서로 다른 파장대의 광을 방출하는 파장영역(WA)을 정의하고, 이에 따라 서로 다른 직경을 갖는 나노 패턴(1710, 1720, 1730)을 형성할 수 있다. 후술되는 단계에서 서로 다른 직경을 갖는 나노 패턴(1710, 1720, 1730)에 의해 형성된 소자 로드(ROD)는 방출되는 광의 파장대가 직경에 따라 편이(shift)될 수 있다.
- [194] 도 8 내지 도 16은 일 실시예에 따른 발광 소자의 제조방법을 개략적으로 나타내는 단면도들이다.
- [195] 먼저, 도 8 내지 도 13을 참조하면, 제1 도전형 반도체층(3100), 활성 물질층(3300), 제2 도전형 반도체층(3200) 및 전극 물질층(3700)을 하부기판층(1000)에 수직인 방향으로 식각하여 소자 로드(ROD)를 형성한다. 여기서 형성되는 소자 로드(ROD)는 서로 다른 직경을 갖도록 형성될 수 있다.
- [196] 반도체 구조물(3000)을 수직으로 식각하여 소자 로드(ROD)를 형성하는 단계는 통상적으로 수행될 수 있는 패터닝 공정을 포함할 수 있다. 일 실시예에 따르면, 반도체 구조물(3000)을 식각하여 소자 로드(ROD)를 형성하는 단계는, 반도체 구조물(3000) 상에 식각 마스크층(1600) 및 식각 패턴층(1700)을 형성하는 단계, 식각 패턴층(1700)의 패턴에 따라 반도체 구조물(3000)을 식각하는 단계 및 식각 마스크층(1600)과 식각 패턴층(1700)을 제거하는 단계를 포함할 수 있다.
- [197] 식각 마스크층(1600)은 반도체 구조물(3000)의 제1 도전형 반도체층(3100), 활성 물질층(3300), 제2 도전형 반도체층(3200) 및 도전성 전극물질층(3700)의 연속적인 에칭을 위한 마스크의 역할을 수행할 수 있다. 식각 마스크층(1600)은 절연성 물질을 포함하는 제1 식각 마스크층(1610)과 금속을 포함하는 제2 식각 마스크층(1620)을 포함할 수도 있다.
- [198] 식각 마스크층(1600)의 제1 식각 마스크층(1610)에 포함되는 절연성 물질은 산화물 또는 질화물을 이용할 수 있다. 예를 들어, 실리콘 산화물(SiO<sub>x</sub>), 실리콘 질화물(SiN<sub>x</sub>), 실리콘 산질화물(SiO<sub>x</sub>N<sub>y</sub>) 등일 수 있다. 제1 식각 마스크층(1610)의 두께는 0.5 $\mu$ m 내지 1.5 $\mu$ m의 범위를 가질 수 있으나, 이에 제한되는 것은 아니다.
- [199] 제2 식각 마스크층(1620)의 경우, 반도체 구조물(3000)의 연속적인 식각을 위해

마스크의 역할을 수행할 수 있는 통상적인 재료이면 특별히 제한되는 것은 아니다. 예를 들어, 제2 식각 마스크층(1620)은 크롬(Cr) 등을 포함할 수도 있다. 제2 식각 마스크층(1620)의 두께는 30nm 내지 150nm의 범위를 가질 수 있으나, 이에 제한되는 것은 아니다.

- [200] 식각 마스크층(1600) 상에는 형성되는 식각 패턴층(1700)은 적어도 하나의 나노 패턴(1710, 1720, 1730)이 서로 이격되어 배치될 수 있다. 식각 패턴층(1700)은 반도체 구조물(3000)의 연속적인 식각을 위해 마스크의 역할을 수행할 수 있다. 식각 패턴층(1700)은 폴리머, 폴리스티렌 스피어, 실리카 스피어 등을 포함하여 패턴을 형성할 수 있는 방법이면 특별히 제한되지 않는다.
- [201] 일 예로, 식각 패턴층(1700)이 폴리머를 포함하는 경우, 폴리머를 이용하여 패턴을 형성할 수 있는 통상적인 방법이 채용될 수 있다. 예를 들어, 포토리소그래피, e-빔 리소그래피, 나노 임프린트 리소그래피 등의 방법으로 폴리머를 포함하는 식각 패턴층(1700)을 형성할 수 있다.
- [202] 예시적인 실시예에서, 식각 패턴층(1700)은 나노 임프린트 리소그래피로 형성될 수 있으며, 식각 패턴층(1700)의 나노 패턴(1710, 1720, 1730)은 나노 임프린트 수지를 포함할 수 있다. 상기 수지는 불화 단량체(Fluorinated monomer), 아크릴레이트 단량체(Acrylate monomer), 디펜타에리트리톨 헥사아크릴레이트(Dipentaerythritol hexaacrylate), 디프로필렌글리콜 디아크릴레이트(Dipropylene glycol diacrylate), 폴리에틸렌글리콜 페닐에터아크릴레이트(poly(ethylene glycol) phenyletheracrylate), 뷰틸레이트하이드록시톨루엔(Butylated hydroxy toluene, BHT), 1-하이드록시-사이클로헥실페닐케톤(1-hydroxy-cyclohexylphenylketone, Irgacure 184) 등을 포함할 수 있으나, 이에 제한되는 것은 아니다.
- [203] 나노 패턴(1710, 1720, 1730)의 구조, 형태 및 이격된 간격은 최종적으로 제조되는 발광 소자(300)의 형태와 연관될 수 있다. 다만, 상술한 바와 같이, 발광 소자(300)는 서로 다른 직경을 가질 수 있으므로, 나노 패턴(1710, 1720, 1730)의 크기는 다양할 수 있다.
- [204] 예시적인 실시예에서, 제2 나노 패턴(1720)의 직경(m2)은 제1 나노 패턴(1710)의 직경(m1)보다 크되, 제3 나노 패턴(1730)의 직경(m3)보다 작을 수 있다. 다시 말해, 제1 나노 패턴(1710), 제2 나노 패턴(1720) 및 제3 나노 패턴(1730)은 직경이 순차적으로 증가하도록 형성될 수 있다.
- [205] 구체적으로, 도 8에 도시된 바와 같이, 활성물질층(3300)은 공간적 위치에 따라 물질의 조성 차이가 존재할 수 있고, 활성물질층(3300)이 증착될 때 활성 물질의 격자에는 강한 변형(strain)이 가해질 수 있다. 이에 따라, 활성물질층(3300)의 위치에 따라 활성 물질의 밴드갭 에너지(band gap energy)가 달라지고, 방출되는 광의 파장대가 편차를 가질 수 있다. 도면에서 도시된 바와 같이, 활성물질층(3300)을 포함하는 반도체 구조물(3000)은 제1 광(L1)이 방출되는 제1 파장영역(WA1), 제2 광(L2)이 방출되는 제2 파장영역(WA2) 및 제3 광(L3)이

- 방출되는 제3 과장영역(WA3)으로 정의되는 임의의 공간을 포함할 수 있다. 활성물질층(3300)은 각 과장영역(WA)에 따라 활성물질 조성의 차이가 존재하거나, 활성물질 격자에 서로 다른 변형(strain)이 인가된 상태일 수 있다.
- [206] 그리고, 제1 과장영역(WA1), 제2 과장영역(WA2) 및 제3 과장영역(WA3) 상에는 각각 서로 다른 직경을 갖는 제1 나노 패턴(1710), 제2 나노 패턴(1720) 및 제3 나노 패턴(1730)이 형성될 수 있다.
- [207] 도 9는 도 8의 반도체 구조물 상에 형성된 식각 패턴층을 위에서 바라본 단면도이다. 도 9는 하부기판층(3000) 상에 성장된 반도체 구조물(3000)과 그 위에 형성된 식각 패턴층(1700)을 부분적으로 도시한다. 다시 말해, 도 9에서는 식각 패턴층(1700)에 포함된 일부의 나노 패턴(1710, 1720, 1730)만을 도시하고 있으며, 반도체 구조물(3000) 상에는 더 많은 수의 나노 패턴(1710, 1720, 1730)이 형성될 수 있음은 자명하다.
- [208] 도 9에 도시된 바와 같이, 반도체 구조물(3000)의 중심부는 제3 과장영역(WA3)으로 정의될 수 있고, 이를 감싸도록 제2 과장영역(WA2)과 제1 과장영역(WA1)이 정의될 수 있다. 제3 과장영역(WA3) 상에는 제3 나노 패턴(1730)이 형성되고, 제2 과장영역(WA2)에는 제2 나노 패턴(1720)이, 제1 과장영역(WA1)에는 제1 나노 패턴(1710)이 형성될 수 있다. 도 9에서는 반도체 구조물(3000)의 중심부를 기준으로, 외측으로 향할수록 다른 과장대의 광이 방출되는 과장영역이 정의될 수 있다. 또한, 제2 과장영역(WA2)에서 방출되는 광은 제1 과장영역(WA1)에서 방출되는 광보다 짧은 과장대를 가질 수 있고, 제3 과장영역(WA3)에서 방출되는 광보다 길 수 있다. 다시 말해, 반도체 구조물(3000)의 중심으로부터 외측으로 갈수록 방출되는 광의 과장대는 길어질 수 있다. 다만, 이에 제한되는 것은 아니다.
- [209] 제1 나노 패턴(1710), 제2 나노 패턴(1720) 및 제3 나노 패턴(1730)은 각 과장영역 내에서 적어도 하나 배치될 수 있으며, 이들 각각은 서로 이격되어 배치될 수 있다. 복수의 나노 패턴(1710, 1720, 1730)들이 이격된 간격이나 구조 등은 특별히 제한되지 않는다. 도 8에서는 복수의 나노 패턴(1710, 1720, 1730)들이 임의의 나노 패턴을 중심으로 이를 감싸도록 다른 나노 패턴들이 배치될 수 있다. 여기서 하나의 나노 패턴은 이를 중심으로 외면을 감싸도록 6개의 다른 나노 패턴들이 배치되며, 6개의 나노 패턴들은 등 간격으로 나뉘어 배치될 수 있다. 다시 말해, 복수의 나노 패턴들이 이루는 영역은 정육각형의 형상을 가질 수 있다. 다만, 이에 제한되지 않으며, 복수의 나노 패턴들이 이루는 영역은 원형, 다각형 등일 수 있다.
- [210] 또한, 복수의 나노 패턴(1710, 1720, 1730)들이 이격된 간격은 특별히 제한되지 않는다. 일 예로, 복수의 나노 패턴(1710, 1720, 1730)들이 이격된 간격은 각 나노 패턴(1710, 1720, 1730)의 직경보다 클 수 있다. 예시적인 실시예에서, 복수의 나노 패턴(1710, 1720, 1730)들이 이격된 간격은 각 나노 패턴(1710, 1720, 1730)의 직경의 2배 내지 4배, 또는 3배 내외의 범위를 가질 수 있다. 나노 패턴(1710,

1720, 1730)의 구조나 이격되어 배치된 간격은 특별히 제한되지 않는다. 일 예로, 나노 패턴(1710, 1720, 1730)이 서로 이격된 다각형의 형상을 가질 경우, 반도체 구조물(3000)을 수직으로 식각하여 제조되는 발광 소자(300)는 다각 기둥의 형상을 가질 수 있다. 다만, 이에 제한되지 않는다.

- [211] 한편, 상술한 바와 같이, 제1 나노 패턴(1710), 제2 나노 패턴(1720) 및 제3 나노 패턴(1730)은 서로 다른 직경을 가질 수 있다. 일 예로, 반도체 구조물(3000)로부터 제조되는 발광 소자들 중, 제2 광(L2)을 방출하는 제2 파장영역(WA2) 상에서 제2 나노 패턴(1720)의 직경을 갖도록 제조되는 제2 발광 소자(302)를 기준으로 하는 경우, 제1 광(L1)을 방출하는 제1 파장영역(WA1)과 제3 광(L3)을 방출하는 제3 파장영역(WA3) 상에서 방출되는 광의 파장대의 차이에 따라 다른 직경의 나노 패턴을 형성할 수 있다. 즉, 제1 나노 패턴(1710)과 제3 나노 패턴(1730)은 제2 나노 패턴(1720)과 다른 직경을 가질 수 있다.
- [212] 예시적인 실시예에서, 제2 광(L2)보다 긴 파장인 제1 광(L1)을 방출하는 제1 파장영역(WA1) 상에 형성된 제1 나노 패턴(1710)은 직경(m1)이 제2 나노 패턴(1720)의 직경(m2)보다 작을 수 있고, 제2 광(L2)보다 짧은 파장인 제3 광(L3)을 방출하는 제3 파장영역(WA3) 상에 형성된 제3 나노 패턴(1730)은 직경(m3)이 제2 나노 패턴(1720)의 직경(m2)보다 클 수 있다. 다시 말해, 반도체 구조물(3000) 상에 형성되는 나노 패턴(1710, 1720, 1730)들은 반도체 구조물(3000)의 중심부로부터 외곽으로 갈수록 직경이 작아질 수 있다. 또한 상기 중심부를 가로지르는 일축 방향으로 나노 패턴(1710, 1720, 1730) 직경이 증가하다가 중심부를 지나서 감소할 수도 있다. 다시 말해, 반도체 구조물(3000)을 중심부를 가로지르는 일 축의 일 단으로부터 상기 중심부로 갈수록 나노 패턴(1710, 1720, 1730)의 직경은 증가하되, 상기 중심부로부터 상기 일 축의 타 단으로 갈수록 나노 패턴(1710, 1720, 1730)의 직경은 감소할 수 있다.
- [213] 다만, 이에 제한되는 것은 아니다. 도면에서는 직경이 서로 다른 제1 나노 패턴(1710), 제2 나노 패턴(1720) 및 제3 나노 패턴(1730)이 도시되어 있으나, 이에 제한되지 않으며 더 많은 수의 나노 패턴을 포함할 수도 있다. 즉, 활성물질층(3300)이 서로 다른 파장대의 광을 방출하는 영역을 더 많은 수 포함하는 경우, 이에 따라 더 많은 수의 나노 패턴이 형성될 수도 있다.
- [214] 이에 따라, 후술하는 단계에서 제조되는 소자 로드(ROD)들은 서로 다른 직경을 가질 수 있다. 제1 나노 패턴(1710), 제2 나노 패턴(1720) 및 제3 나노 패턴(1730) 직경에 따라, 제1 파장영역(WA1), 제2 파장영역(WA2) 및 제3 파장영역(WA3)에서 형성되는 소자 로드(ROD)들은 서로 다른 직경을 갖고, 서로 다른 조성의 활성물질층(3300)을 포함할 수 있다.
- [215] 반도체 구조물(3000)을 하부기판층(1000)에 수직인 방향으로 식각하여 형성된 소자 로드(ROD)는 각각의 활성물질층(3300)에 대하여 서로 다른 격자 변형(lattice strain)이 가해질 수 있다. 서로 다른 조성의 활성물질층(3300)을 포함하는 소자 로드(ROD)들은 직경에 따라 활성 물질이 서로 다른 값의 격자

변형(lattice strain)을 갖게 되고, 방출되는 광, 예컨대 제1 광(L1)과 제3 광(L3)의 파장대가 편이(shift)될 수 있다. 다시 말해, 나노 패턴(1710, 1720, 1730)들의 직경은 파장영역(WA)의 파장대에 따라 방출되는 파장이 편이될 수 있도록 조절될 수 있다.

- [216] 이에 따라, 최종적으로 제조된 발광 소자, 예컨대 제1 나노 패턴(1710)에 의해 제1 파장영역(WA1)에서 제조된 제1 발광 소자(301)는 소자 활성층(330)에서 방출되는 광이 청색 편이(blueshift)함에 따라 제2 광(L2)을 방출할 수 있고, 제3 나노 패턴(1730)에 의해 제3 파장영역(WA3)에서 제조된 제3 발광 소자(303)는 소자 활성층(330)에서 방출되는 광이 적색 편이(redshift)함에 따라 제2 광(L2)을 방출할 수도 있다.
- [217] 다음으로, 도 10 내지 도 13에 도시된 바와 같이, 식각 패턴층(1700)의 나노 패턴(1710, 1720, 1730)에 따라 반도체 구조물(3000)을 식각하여 소자 로드(ROD)를 형성한다. 소자 로드(ROD)를 형성하는 단계는 식각 패턴층(1700) 중 복수의 나노 패턴(1710, 1720, 1730)들이 이격된 영역을 수직으로 식각하여 식각 마스크층(1600) 및 전극 물질층(3700)을 패터닝하여 제1 홀(h1)을 형성하는 제1 식각 단계, 식각 패턴층(1700)을 제거하는 단계, 상기 제1 홀(h1)을 따라 제2 도전형 반도체층(3200), 활성물질층(3300) 및 제1 도전형 반도체층(3100)을 패터닝하여 제2 홀(h2)을 형성하는 제2 식각 단계 및 식각 마스크층(1600)을 제거하는 단계를 포함할 수 있다.
- [218] 제1 홀(h1) 및 제2 홀(h2)을 형성하는 방법은 통상적인 방법으로 수행될 수 있다. 예를 들어, 식각공정은 건식식각법, 습식식각법, 반응성 이온 에칭법(Reactive ion etching, RIE), 유도 결합 플라즈마 반응성 이온 에칭법(Inductively coupled plasma reactive ion etching, ICP-RIE) 등일 수 있다. 건식 식각법의 경우 이방성 식각이 가능하여 수직 식각에 의한 홀(h)을 형성하기에 적합할 수 있다. 상술한 방법의 식각법을 이용할 경우, 식각 에천트(Etchant)는  $\text{Cl}_2$  또는  $\text{O}_2$  등일 수 있다. 다만, 이에 제한되는 것은 아니다.
- [219] 몇몇 실시예에서, 반도체 구조물(3000)의 식각은 건식 식각법과 습식 식각법을 혼용하여 이루어질 수 있다. 예를 들어, 먼저 건식 식각법에 의해 깊이 방향의 식각을 한 후, 등방성 식각인 습식 식각법을 통해 식각된 측벽이 표면과 수직한 평면에 놓이도록 할 수 있다.
- [220] 그리고, 수직으로 식각된 반도체 구조물(3000)의 상부에 남아있는 식각 마스크층(1600) 또는 식각 패턴층(1700)을 제거하여 소자 로드(ROD)를 형성할 수 있다. 통상적인 방법, 예를 들어, 건식식각법, 습식식각법을 통해 제거될 수 있다.
- [221] 상술한 바와 같이, 제조된 소자 로드(ROD)는 식각 패턴층(1700)의 서로 다른 직경을 갖는 나노 패턴(1710, 1720, 1730)에 따라 서로 다른 직경을 가질 수 있되, 소자 로드(ROD)에서 방출되는 광은 실질적으로 동일한 파장대를 가질 수 있다.
- [222] 한편, 반도체 구조물(3000)을 식각하여 소자 로드(ROD)를 형성하는 단계는,

제1 식각 단계와 제2 식각 단계를 포함하여 서로 다른 패터닝 공정을 수행할 수 있고, 하나의 패터닝 공정을 수행하여 식각 패턴층(1700)을 따라 제1 도전형 반도체층(3100)까지 패터닝할 수도 있다. 다만, 이에 제한되는 것은 아니다.

- [223] 다음으로, 도 14 내지 도 16을 참조하면, 소자 로드(ROD)의 외측면을 부분적으로 감싸는 절연막(3800)을 형성하고, 하부기관층(1000)으로부터 소자 로드(ROD)를 분리하여 발광 소자(300)를 제조한다.
- [224] 먼저 도 14 및 도 15를 참조하면, 절연막(3800)은 소자 로드(ROD)의 외면에 형성되는 절연물질로서, 수직 식각된 소자 로드(ROD)의 외면에 절연물질을 도포하거나 침지시키는 방법 등을 이용하여 형성될 수 있으나, 이에 제한되는 것은 아니다. 일 예로, 절연막(3800)은 원자층 증착법(Atomic layer depositions, ALD)으로 형성될 수 있다. 절연막(3800)은 발광 소자(300)의 절연층(380)을 형성할 수 있다. 상술한 바와 같이 절연막(3800)은 실리콘 산화물( $\text{SiO}_x$ ), 실리콘 질화물( $\text{SiN}_x$ ), 실리콘 산질화물( $\text{SiO}_x\text{N}_y$ ), 산화 알루미늄( $\text{Al}_2\text{O}_3$ ), 질화 알루미늄( $\text{AlN}$ ) 등일 수 있다.
- [225] 도 14를 참조하면, 절연막(3800)은 소자 로드(ROD)의 측면, 상면 및 소자 로드(ROD)가 이격되어 식각됨으로써 외부로 노출된 버퍼 물질층(1200) 상에도 형성될 수 있다. 소자 로드(ROD)의 양 단부 측면을 노출시키기 위해, 소자 로드(ROD)의 상부면에 형성된 절연막(3800)은 제거될 필요가 있다. 따라서, 소자 로드(ROD)의 길이 방향과 수직인 방향, 다시 말해 베이스 기관(1100)과 평행한 방향으로 형성된 절연막(3800)은 일부 제거될 수 있다. 즉, 도 15에 도시된 바와 같이, 적어도 소자 로드(ROD)의 상면과, 버퍼 물질층(1200) 상에 배치된 절연막(3800)을 제거하여 소자 로드(ROD)의 상면을 노출할 수 있다. 이를 위해 이방성 식각인 건식 식각이나 에치백 등의 공정이 수행될 수 있다.
- [226] 마지막으로, 도 16에 도시된 바와 같이, 하부기관층(1000) 상의 성장된 소자 로드(ROD)를 하부기관층(1000)으로부터 분리시킴으로써 발광 소자(300)를 제조한다.
- [227] 소자 로드(ROD)를 분리하는 단계는 물리적 분리방법(Mechanically Lift Off, MLO), 화학적 분리방법(CLO) 등 통상적으로 수행될 수 있는 방법이면 특별히 제한되지 않는다. 다만, 몇몇 실시예에 따르면, 발광 소자(300)의 제조방법은 버퍼 물질층(1200)과 제1 도전형 반도체층(3100) 사이에 분리층(1300)이 더 배치될 수 있고, 소자 로드(ROD)를 분리하는 단계에서 분리층(1300)을 제거하는 화학적 분리방법(CLO)에 의해 수행될 수 있다. 분리층(1300)을 제거하기 위해, 불산(HF) 또는 버퍼 산화 에칭(Buffered oxide etch, BOE) 등의 분리용 식각액을 이용하여 습식 식각공정을 수행할 수 있으나, 이에 제한되는 것은 아니다. 또한, 화학적 분리방법(CLO)에 의해 제조된 발광 소자(300)는 단부면이 평탄하고 매끄러운 형상을 유지할 수 있고, 동시에 복수의 발광 소자(300)들은 단부면의 균일성(uniformity)을 확보할 수도 있다.
- [228] 도 16에 도시된 바와 같이, 복수의 발광 소자(300)들은 서로 다른 직경을 갖는

제1 발광 소자(301), 제2 발광 소자(302) 및 제3 발광 소자(303)를 포함할 수 있다. 각 발광 소자(300)들은 서로 다른 조성을 갖는 소자 활성층(330)을 포함하되, 서로 다른 직경을 가짐으로써 방출되는 광의 파장이 편이됨에 의해 동일한 파장대를 갖는 광을 방출할 수 있다.

[229] 도 16에서는 서로 다른 직경을 갖는 제1 발광 소자(301), 제2 발광 소자(302) 및 제3 발광 소자(303) 만을 도시하고 있으나, 이에 제한되는 것은 아니다. 경우에 따라서는, 임의의 발광 소자(300)와 다른 직경을 갖는 더 많은 수의 발광 소자(300)를 포함할 수 있고, 활성물질층(330) 상에서 조성 차이에 의해 형성되는 구분영역이 더 적을 경우, 서로 다른 직경을 갖는 두 종의 발광 소자(300) 만을 포함할 수도 있다.

[230] 이상과 같이, 일 실시예에 따른 발광 소자(300)의 제조방법은 소자 활성층(330) 조성의 차이가 존재하나, 서로 다른 직경을 가짐으로써 실질적으로 동일한 파장대의 광을 방출하는 발광 소자(300)를 제조할 수 있다. 이와 같은 발광 소자(300)는 반도체 구조물(3000)을 수직으로 식각하여 소자 로드(ROD)를 형성하는 단계에서, 서로 다른 크기를 갖는 식각 패턴층(1700)을 형성함으로써 제조될 수 있다. 일 실시예에 따른 발광 소자(300)는 서로 다른 직경을 갖도록 제조함으로써 소자 활성층(330) 조성의 차이에 따라 생길 수 있는 발광 파장의 차이를 보상할 수 있고, 이를 포함하는 표시 장치(10)는 각 화소(PX) 내에서 발광 소자(300) 간 발광 파장의 편차를 최소화하고 각 화소(PX)의 색 순도 및 발광 신뢰도를 향상시킬 수 있다.

[231] 한편, 소자 로드(ROD)를 형성하는 단계에서, 식각 패턴층(1700)의 단면상의 형상이나 배치는 다양할 수 있다. 하부기판층(1000) 상에서 형성된 반도체 구조물(3000)의 조성 차이에 의해 형성되는 구분영역에 따라 식각 패턴층(1700)의 형상이나 배치가 달라질 수 있다. 이하에서는 도 17 내지 19를 참조하여 다른 실시예에 따른 식각 패턴층(1700)의 형상에 대하여 설명한다.

[232] 도 17은 다른 실시예에 따른 발광 소자의 제조방법 중 반도체 구조물 상에 형성된 식각 패턴층을 위에서 바라본 단면 형상을 나타내는 개략도이다.

[233] 도 9의 경우, 반도체 구조물(3000)상에서 정의되는 파장영역(WA)이 반도체 구조물(3000)의 중심부로부터 외곽으로 갈수록 달라지는 것을 도시하고 있다. 이 경우, 식각 패턴층(1700)의 나노 패턴(1710, 1720, 1730)은 반도체 구조물(3000)의 중심으로부터 외곽으로 갈수록 직경이 달라질 수 있다.

[234] 반면에 도 17의 경우, 반도체 구조물(3000) 상에서 정의되는 파장영역(WA)은 반도체 구조물(3000)의 일 측부로부터 타측부로 갈수록 달라지는 것을 도시하고 있다. 이 경우, 식각 패턴층(1700)의 나노 패턴(1710\_1, 1720\_1, 1730\_1)은 반도체 구조물(3000)의 일 측부로부터 타 측부로 갈수록 직경이 달라질 수 있다.

[235] 상술한 바와 같이, 하부기판층(1000) 상에서 전구체 물질을 증착하여 반도체 구조물(3000)을 형성할 때, 하부기판층(1000) 상에 제공되는 전구체 물질의 분포는 균일하지 않을 수 있다. 전구체 물질 분포의 균일도에 따라 반도체

- 구조물(3000)의 활성물질층(3300) 상에 정의되는 과장영역(WA)의 배치가 달라질 수 있다.
- [236] 도 17의 경우, 제1 과장영역(WA1)이 반도체 구조물(3000) 상에서 일 측부에 형성되고, 상기 일 측부의 반대편인 타 측부로 갈수록 제2 과장영역(WA2)과 제3 과장영역(WA3)이 순차적으로 형성될 수 있다. 이에 따라, 반도체 구조물(3000) 상에 형성되는 나노 패턴(1710\_1, 1720\_1, 1730\_1)의 배치도 달라질 수 있다.
- [237] 제1 과장영역(WA1) 상에 제1 나노 패턴(1710\_1)이 형성되고, 제2 과장영역(WA2) 상에 제2 나노 패턴(1720\_1)이, 제3 과장영역(WA3) 상에 제3 나노 패턴(1730\_1)이 형성될 수 있다. 이에 따라, 반도체 구조물(3000) 상에서 중심부를 가로지르는 일 측방향을 기준으로, 상기 일 측에서 타측으로 갈수록 나노 패턴(1710\_1, 1720\_1, 1730\_1)의 직경이 증가할 수 있다. 다시 말해, 반도체 구조물(3000)의 중심부를 가로지르는 일 측의 일 단으로부터 타 단으로 갈수록 나노 패턴(1710\_1, 1720\_1, 1730\_1)의 직경이 증가할 수 있다. 다만, 이에 제한되는 것은 아니며, 그 반대의 경우일 수 있다. 반도체 구조물(3000) 상에서 정의되는 과장영역(WA)에 따라 나노 패턴(1710, 1720, 1730)의 형상이나 배치구조, 직경 등은 다양할 수 있다.
- [238] 도 18 및 도 19는 또 다른 실시예들에 따른 발광 소자의 제조방법 중 식각 패턴층의 단면상 형상을 나타내는 개략도이다.
- [239] 도 18 및 도 19를 참조하면, 상술한 바와 같이, 식각 패턴층(1700)의 나노 패턴(1710, 1720, 1730)은 반드시 원형의 형상일 필요는 없으며, 다각형의 형상을 가질 수도 있다. 도 18의 경우, 나노 패턴(1710\_2, 1720\_2, 1730\_2)이 삼각형인 경우를 도시하고 있고, 도 19의 경우 나노 패턴(1710\_3, 1720\_3, 1730\_3)이 마름모 또는 사각형인 경우를 도시하고 있다. 다만, 이에 제한되는 것은 아니다.
- [240] 도 18 및 도 19의 나노 패턴(1710, 1720, 1730)에 따라 제조된 발광 소자(300)들은 다각 기둥의 형상을 가질 수 있다. 발광 소자(300)는 표시 장치(10)의 제1 전극(210) 및 제2 전극(220) 사이에 정렬될 수 있으며, 양 단부는 접촉 전극(261, 262)과 컨택될 수 있다. 따라서, 발광 소자(300)의 형상은 발광 소자(300)가 접촉 전극(261, 262)과 컨택될 때 접촉불량을 일으키기 않는 범위 내에서 다양한 형상을 가질 수 있다.
- [241] 한편, 상술한 바와 같이, 몇몇 실시예에서 버퍼 물질층(1200) 상에는 복수의 층이 형성되고, 그 위에 분리층(1300)이 배치될 수 있다. 도 20 및 도 21은 또 다른 실시예에 따른 발광 소자의 제조방법 중 일부를 나타내는 단면도이다.
- [242] 도 20 및 도 21을 참조하면, 하부기판층(1000) 상에 분리층(1300)이 더 배치될 수 있다. 분리층(1300)은 그 위에 제1 도전형 반도체층(3100)이 형성될 수 있다. 즉, 분리층(1300)은 제1 도전형 반도체층(3100)과 버퍼 물질층(1200) 사이에 게재될 수 있는데, 분리층(1300)은 제1 도전형 반도체층(3100)의 결정이 원활하게 성장하는 재료를 포함할 수 있다. 분리층(1300)은 절연물질 및 전도성 물질 중 적어도 어느 하나를 포함할 수 있다. 일 예로, 분리층(1300)은

절연물질로써 실리콘 산화물( $\text{SiO}_x$ ), 실리콘 질화물( $\text{SiN}_x$ ), 실리콘 산질화물( $\text{SiO}_x\text{N}_y$ ) 등을 포함할 수 있으며, 전도성 물질로써 ITO, IZO, IGO, ZnO, 그래핀, 그래핀 산화물(Graphene oxide) 등을 포함할 수도 있다. 다만, 이에 제한되는 것은 아니다.

[243] 분리층(1300)은 후술하는 단계에서 식각되어 제거됨으로써, 발광 소자(300)를 하부기판층(1000)으로부터 분리하는 기능을 수행할 수도 있다. 분리층(1300)이 제거되는 단계는 상술한 바와 같이 화학적 분리방법(CLO)에 의해 수행될 수 있고, 이에 따라 발광 소자(300)의 단부면은 분리층(1300)의 표면과 실질적으로 동일한 형성을 가질 수 있다. 즉, 발광 소자(300)의 단부면은 평탄한 면을 가질 수 있다.

[244] 또한, 분리층(1300)은 반도체 구조물(3000)을 식각하는 공정에서, 반도체 구조물(3000)과 버퍼 물질층(1200) 사이에서 에칭스토퍼(etching stopper)의 기능을 수행할 수도 있다. 즉, 반도체 구조물(3000)을 식각할 때, 하나의 공정에서 분리층(1300)을 동시에 패터닝할 수 있고, 서로 다른 공정에서 각각 패터닝할 수도 있다. 발광 소자(300)의 제조방법에 이에 특별히 제한되는 것은 아니다.

[245] 다만, 이에 제한되는 것은 아니며, 분리층(1300)은 반도체 구조물(3000) 또는 하부기판층(1000) 내에서 더 많은 수가 배치될 수도 있고, 버퍼 물질층(1200)과 제1 도전형 반도체층(1300) 사이의 계면 이외의 영역에도 배치될 수 있다.

[246] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명의 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

[247]

## 청구범위

- [청구항 1] 기판 상에 형성되는 반도체 구조물을 제공하는 단계;  
상기 반도체 구조물에서 방출되는 서로 다른 파장대를 갖는 광을 측정하여 상기 반도체 구조물 상에 파장영역을 정의하는 단계 및 상기 파장영역에 따라 상기 반도체 구조물 상에 서로 다른 직경을 갖고 서로 이격되어 배치되는 나노 패턴을 형성하고, 상기 반도체 구조물을 식각하여 소자 로드를 형성하는 단계를 포함하는 발광 소자의 제조방법.
- [청구항 2] 제1 항에 있어서,  
상기 파장영역은 제1 파장대를 갖는 제1 광이 방출되는 제1 파장영역; 상기 제1 파장대보다 짧은 제2 파장대를 갖는 제2 광이 방출되는 제2 파장영역 및  
상기 제2 파장대보다 짧은 제3 파장대를 갖는 제3 광이 방출되는 제3 파장영역을 포함하는 발광 소자의 제조방법.
- [청구항 3] 제2 항에 있어서,  
상기 나노 패턴을 형성하는 단계에서,  
상기 파장영역에서 방출되는 광의 파장대가 짧아질수록 상기 파장영역 상에 직경이 큰 상기 나노 패턴이 형성되는 발광 소자의 제조방법.
- [청구항 4] 제3 항에 있어서,  
상기 나노 패턴은 제1 나노 패턴;  
상기 제1 나노 패턴의 직경보다 큰 직경을 갖는 제2 나노 패턴 및  
상기 제2 나노 패턴의 직경보다 큰 직경을 갖는 제3 나노 패턴을 포함하고,  
상기 제1 나노 패턴은 상기 제1 파장 영역상에 형성되고, 상기 제2 나노 패턴은 상기 제2 파장 영역 상에 형성되며, 상기 제3 나노 패턴은 상기 제3 파장 영역 상에 형성되는 발광 소자의 제조방법.
- [청구항 5] 제4 항에 있어서,  
상기 소자 로드는 상기 제1 파장영역과 중첩되는 영역에 형성되는 제1 소자 로드;  
상기 제2 파장영역과 중첩되는 영역에 형성되는 제2 소자 로드 및  
상기 제3 파장영역과 중첩되는 영역에 형성되는 제3 소자 로드를 포함하는 발광 소자의 제조방법.
- [청구항 6] 제5 항에 있어서,  
상기 제2 소자로드는 상기 제1 소자로드보다 직경이 크되, 상기 제3 소자로드보다 직경이 작고,  
상기 제1 소자로드, 상기 제2 소자로드 및 상기 제3 소자로드는 실질적으로 동일한 파장대의 광을 방출하는 발광 소자의 제조방법.
- [청구항 7] 제4 항에 있어서,

상기 제3 파장영역은 상기 반도체 구조물의 중심부에 배치되고,  
 상기 제2 파장영역은 상기 제3 파장영역의 외면을 둘러싸도록 배치되며,  
 상기 제1 파장영역은 상기 제2 파장영역의 외면을 둘러싸도록 배치되는  
 발광 소자의 제조방법.

[청구항 8]

제7 항에 있어서,  
 상기 반도체 구조물은 중심부를 가로지르는 제1 축을 포함하고,  
 상기 제1 축의 일 단으로부터 상기 중심부로 갈수록 상기 나노 패턴의  
 직경은 증가하되, 상기 중심부로부터 상기 제1 축의 타 단으로 갈수록  
 상기 나노 패턴의 직경은 감소하는 발광 소자의 제조방법.

[청구항 9]

제4 항에 있어서,  
 상기 반도체 구조물은 중심부를 가로지르는 제2 축을 포함하고,  
 상기 제1 파장영역은 상기 제2 축의 일 단에 배치되고,  
 상기 제2 파장영역은 상기 제1 파장영역의 외면을 부분적으로 둘러싸되,  
 상기 제2 축의 타 단의 방향으로 연장되고,  
 상기 제3 파장영역은 상기 제2 파장영역의 외면을 부분적으로 둘러싸되,  
 상기 제2 축의 타단까지 연장되도록 배치되는 발광 소자의 제조방법.

[청구항 10]

제9 항에 있어서,  
 상기 제2 축을 따라 배치되는 적어도 하나의 상기 나노 패턴의 직경은  
 상기 제2 축의 상기 일 단으로부터 상기 타 단으로 갈수록 증가하는 발광  
 소자의 제조방법.

[청구항 11]

기판 및 상기 기판 상에 형성되고, 제1 도전형 반도체층, 활성 물질층 및  
 제2 도전형 반도체층을 포함하는 반도체 구조물을 제공하는 단계;  
 상기 반도체 구조물 상에 형성되는 식각 마스크층 및 상기 식각 마스크층  
 상에 형성되고 서로 다른 직경을 갖고 서로 이격되어 형성되는 적어도  
 하나의 나노 패턴을 포함하는 식각 패턴층을 형성하는 단계;  
 상기 나노 패턴이 이격된 영역을 따라 상기 기판에 수직된 방향으로 상기  
 반도체 구조물을 식각하여 소자 로드를 형성하는 단계 및  
 상기 소자 로드를 상기 기판으로부터 분리하여 발광 소자를 형성하는  
 단계를 포함하는 발광 소자의 제조방법.

[청구항 12]

제11 항에 있어서,  
 상기 나노 패턴은  
 제1 나노 패턴;  
 상기 제1 나노 패턴의 직경보다 큰 직경을 갖는 제2 나노 패턴 및  
 상기 제2 나노 패턴의 직경보다 큰 직경을 갖는 제3 나노 패턴을 포함하는  
 발광 소자의 제조방법.

[청구항 13]

제12 항에 있어서,  
 상기 발광 소자는 직경이 상기 제1 나노 패턴의 직경과 동일한 제1 발광  
 소자;

직경이 상기 제2 나노 패턴의 직경과 동일한 제2 발광 소자 및 직경이 상기 제3 나노 패턴의 직경과 동일한 제3 발광 소자를 포함하는, 발광 소자의 제조방법.

[청구항 14] 제13 항에 있어서,  
상기 제1 발광 소자와 상기 제2 발광 소자의 직경의 차이는 상기 제2 발광 소자의 직경의 2% 내지 16%의 범위를 갖는, 발광 소자의 제조방법.

[청구항 15] 제14 항에 있어서,  
적어도 하나의 상기 나노 패턴들이 서로 이격된 간격은 상기 나노 패턴들의 직경에 2.5배 내지 3.5배의 범위를 갖는 발광 소자의 제조방법.

[청구항 16] 제15 항에 있어서,  
상기 나노 패턴은 원형 또는 다각형의 형상을 갖는, 발광 소자의 제조방법.

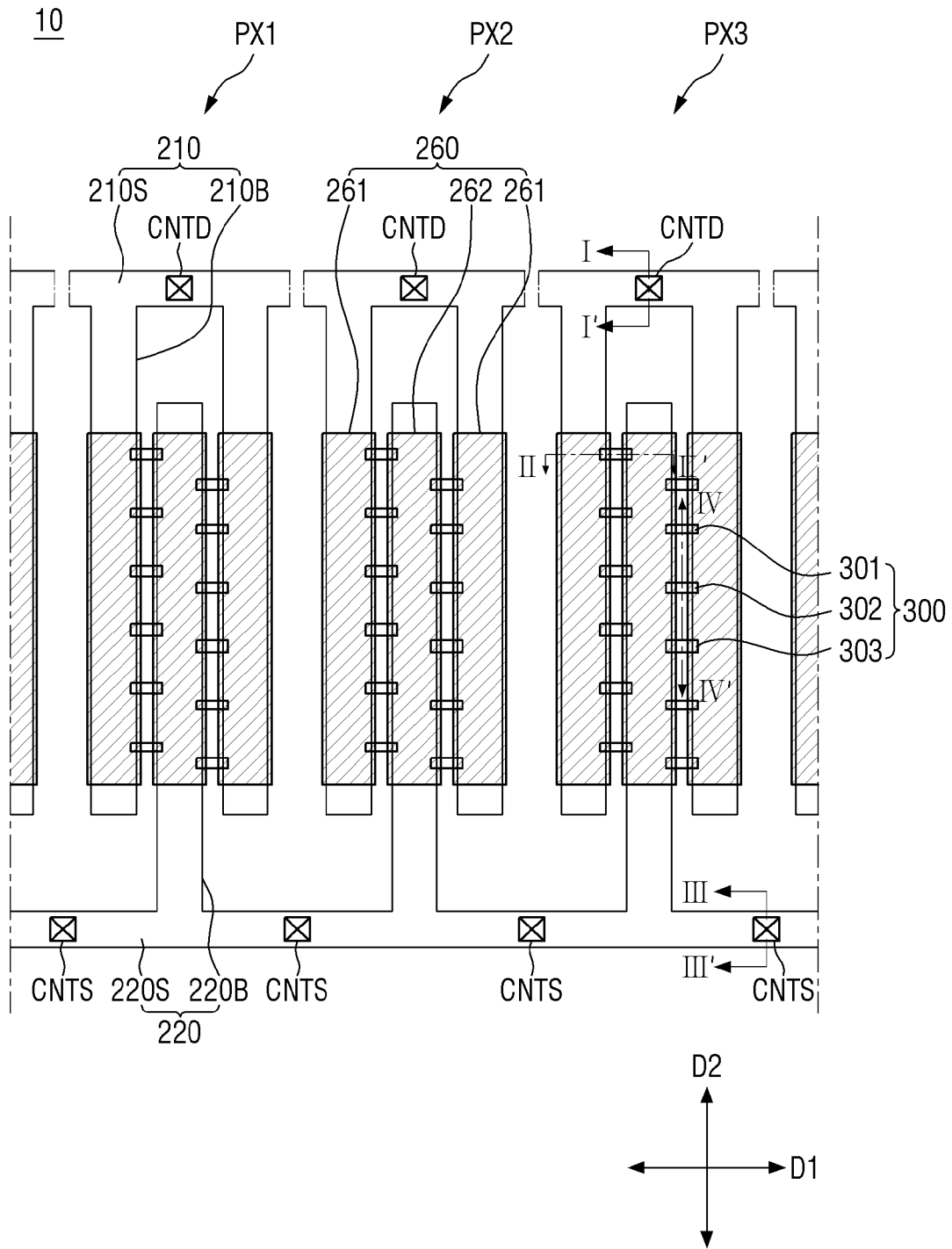
[청구항 17] 제11 항에 있어서,  
상기 기판과 상기 제1 도전형 반도체층 사이에 분리층을 더 포함하며,  
상기 발광 소자를 형성하는 단계는 상기 분리층이 제거되어 상기 소자 로드가 상기 기판과 분리되는 단계를 포함하는 발광 소자의 제조방법.

[청구항 18] 기판;  
상기 기판상에서 제1 방향으로 연장되고, 상기 제1 방향과 다른 제2 방향으로 서로 이격되어 배치되는 적어도 하나의 제1 전극 및 제2 전극;  
상기 제1 전극 및 상기 제2 전극이 서로 이격된 공간에 배치되는 적어도 하나의 발광 소자;  
상기 제1 전극을 부분적으로 덮되, 상기 발광 소자의 제1 단부와 접촉하는 제1 접촉 전극 및  
상기 제1 접촉 전극과 이격되어 배치되고 상기 제2 전극을 부분적으로 덮되, 상기 발광 소자의 상기 제1 단부의 반대편인 제2 단부와 접촉하는 제2 접촉 전극을 포함하며,  
상기 발광 소자는 제1 발광 소자 및 상기 제1 발광 소자의 직경보다 큰 직경을 갖는 제2 발광 소자를 포함하되, 상기 제1 발광 소자와 상기 제2 발광 소자는 실질적으로 동일한 파장대의 광을 방출하는 표시 장치.

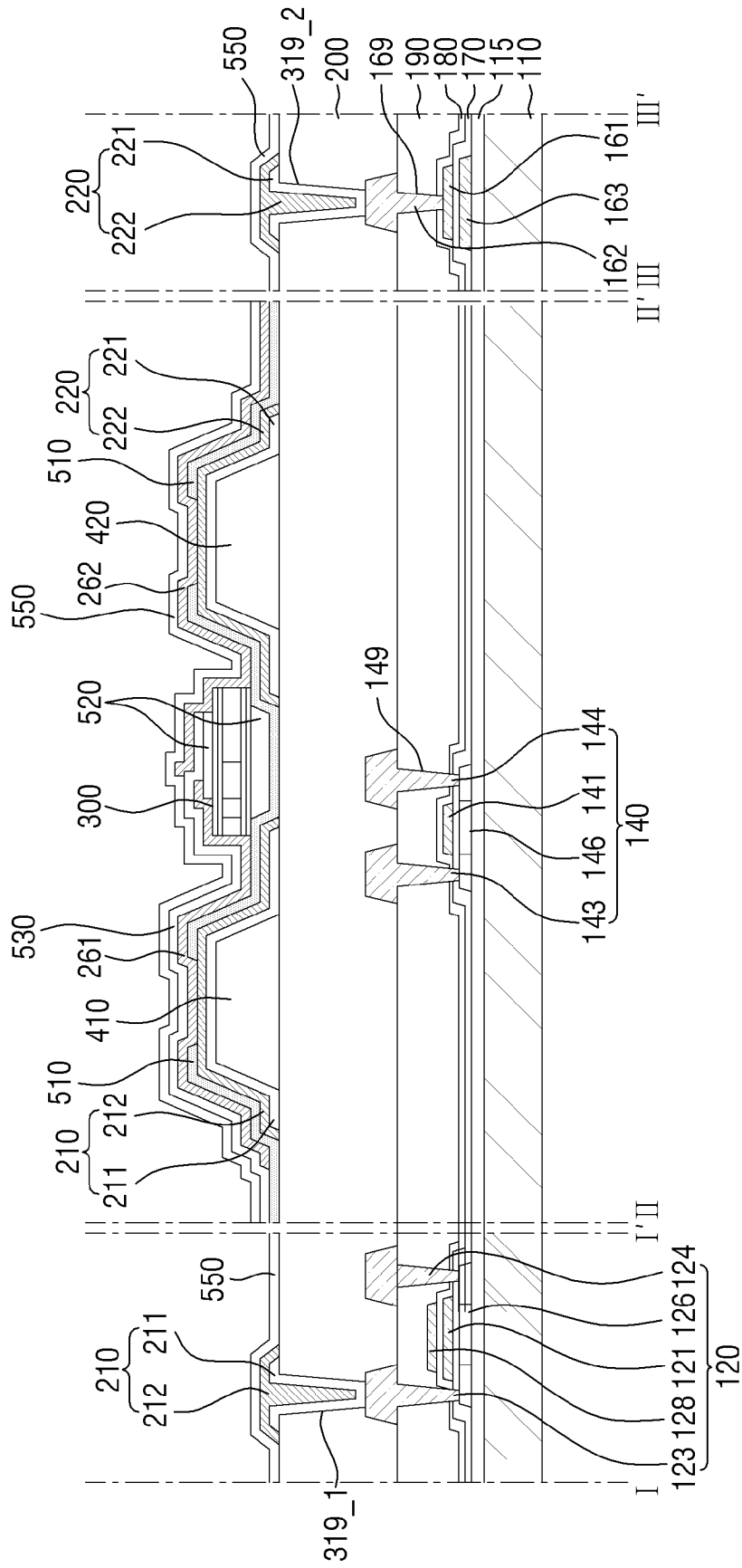
[청구항 19] 제18 항에 있어서,  
상기 제1 발광 소자와 상기 제2 발광 소자의 직경의 차이는 상기 제2 발광 소자의 직경의 2% 내지 16%의 범위를 갖는, 표시 장치.

[청구항 20] 제19 항에 있어서,  
상기 발광 소자는 제3 발광 소자를 더 포함하고,  
상기 제3 발광 소자는 상기 제2 발광 소자의 직경보다 큰 직경을 갖되,  
상기 제2 발광 소자와 실질적으로 동일한 파장대의 광을 방출하는 표시 장치.

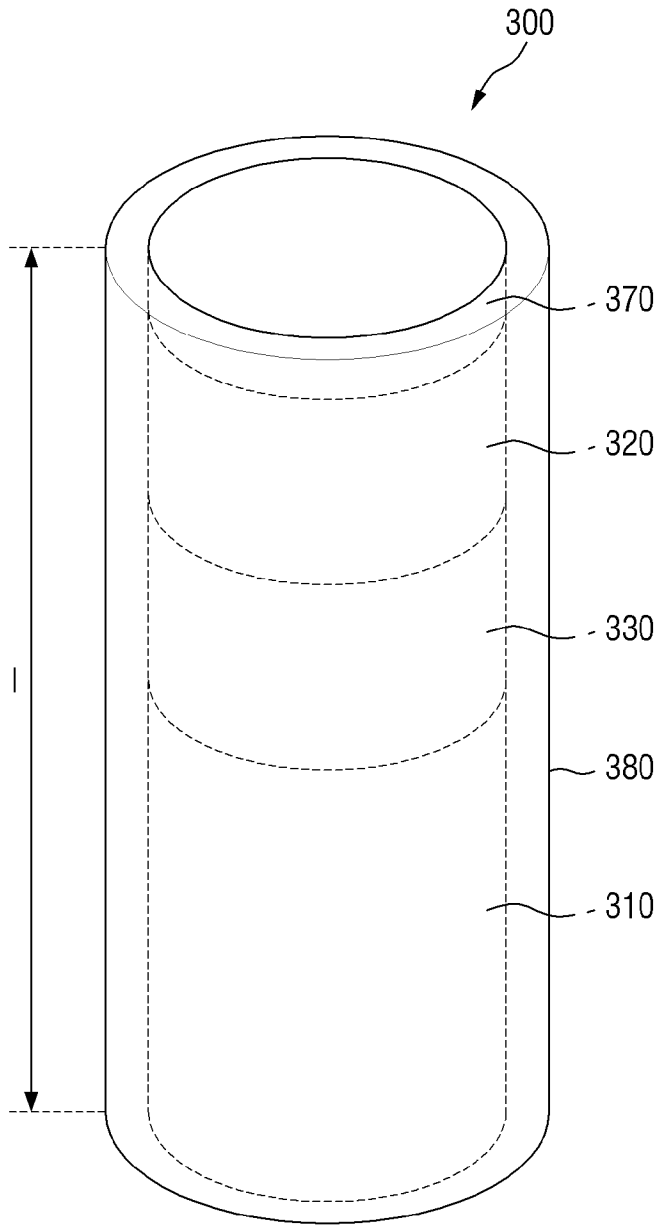
[도 1]



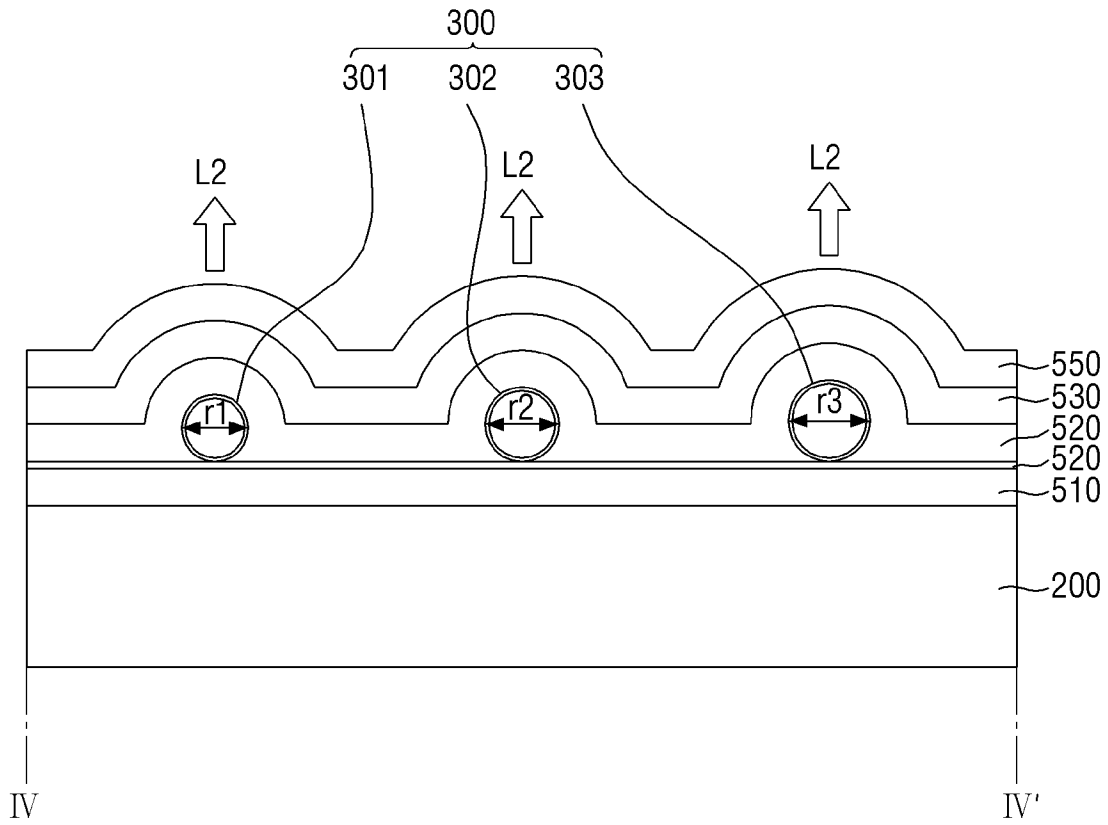
[도2]



[도3]



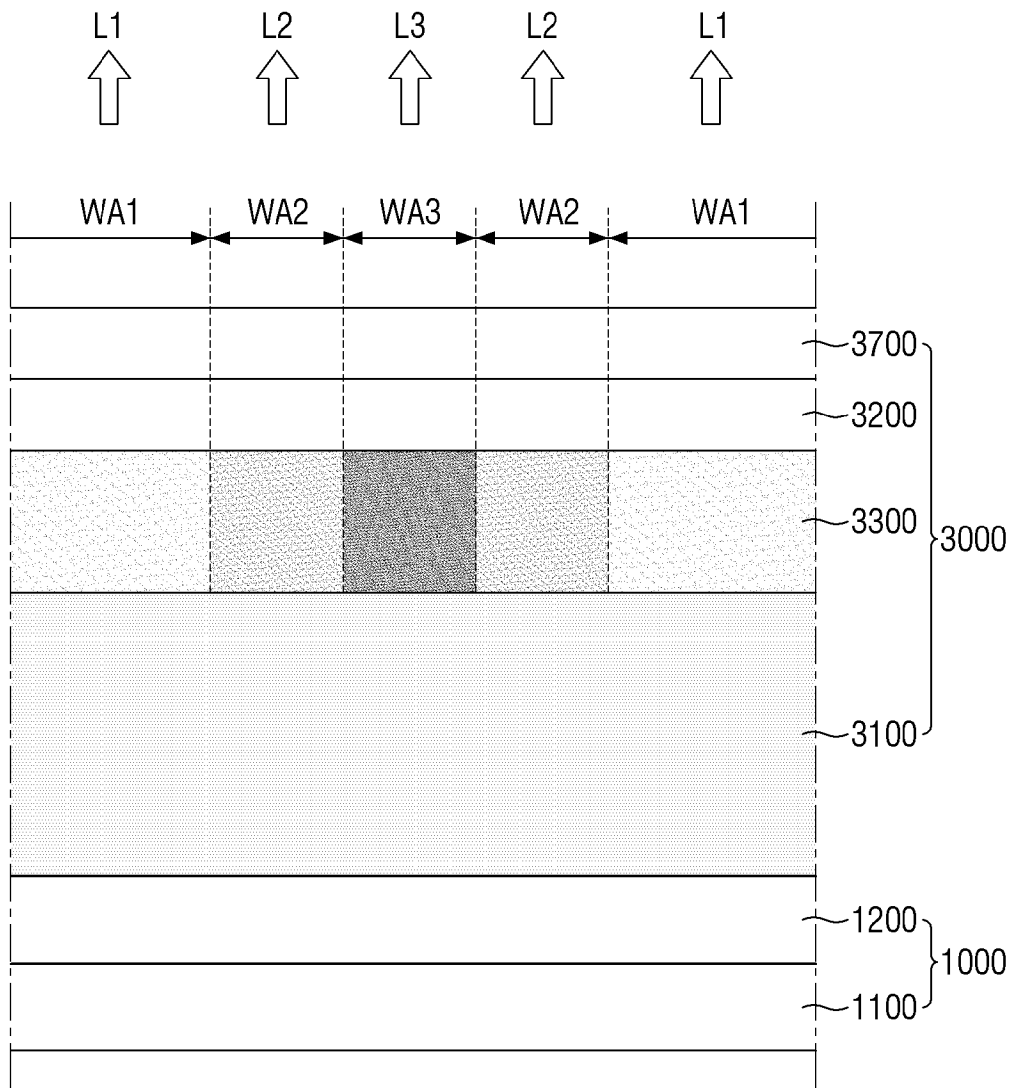
[도4]



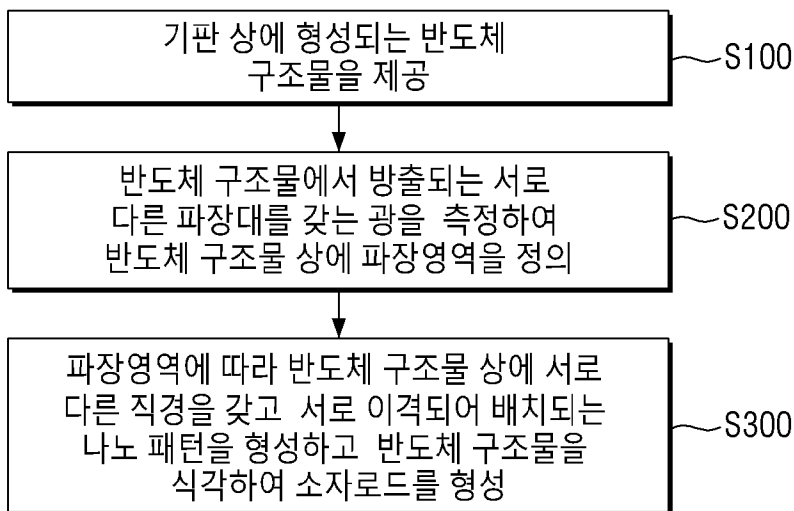
[도5]



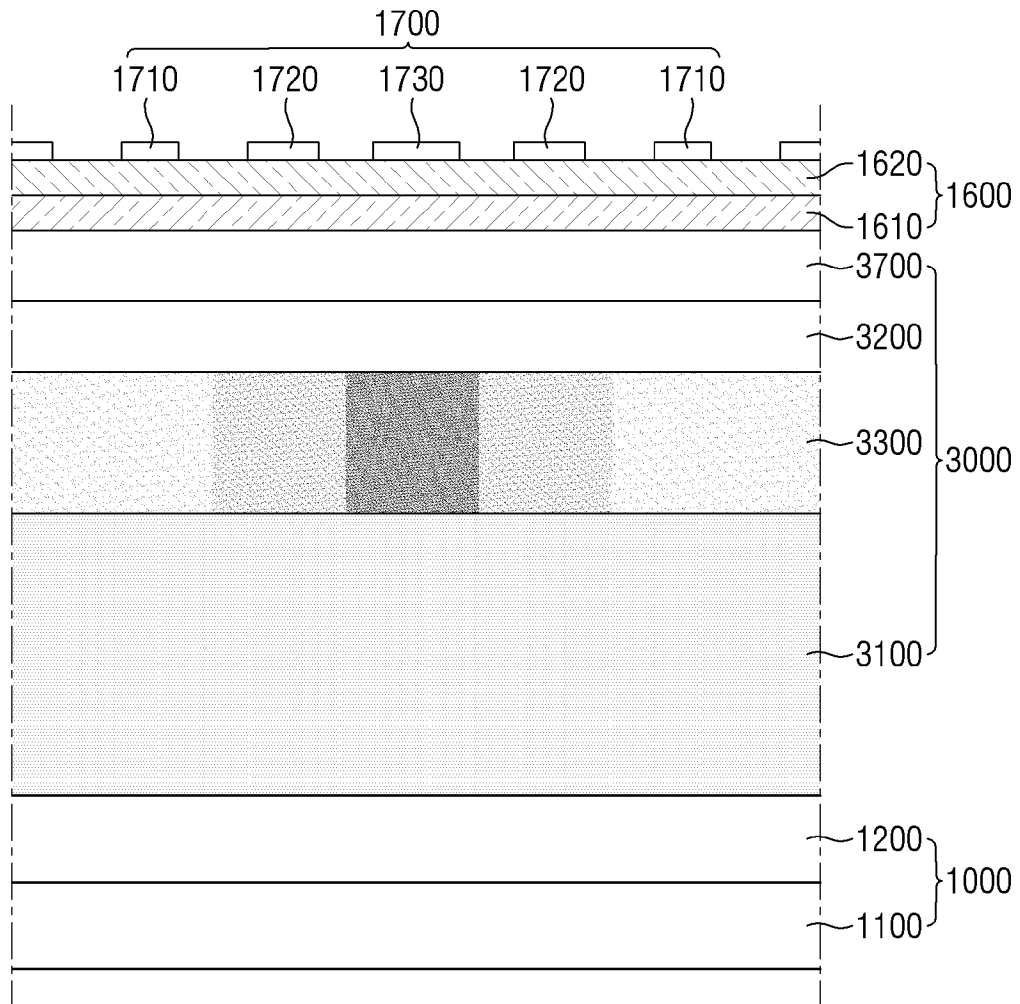
[도6]



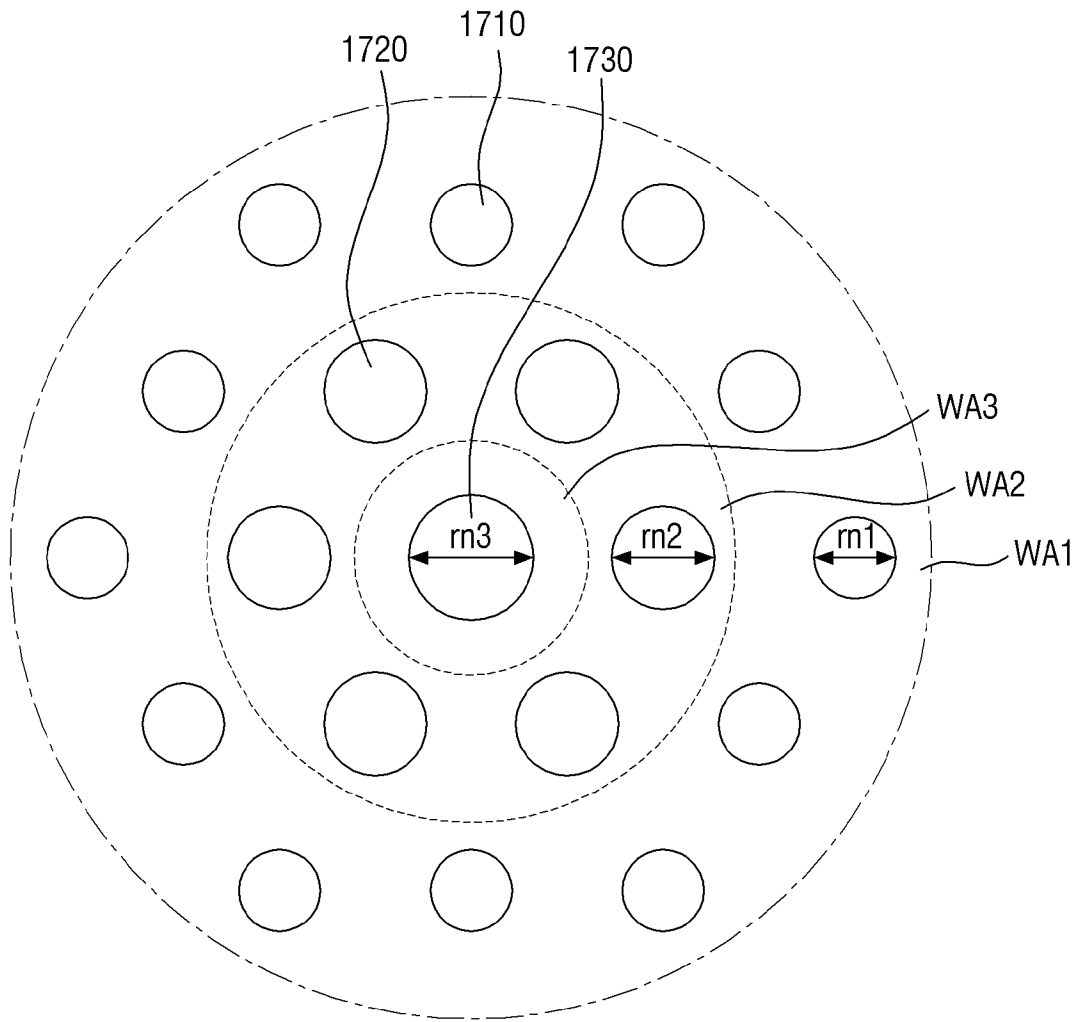
[도7]



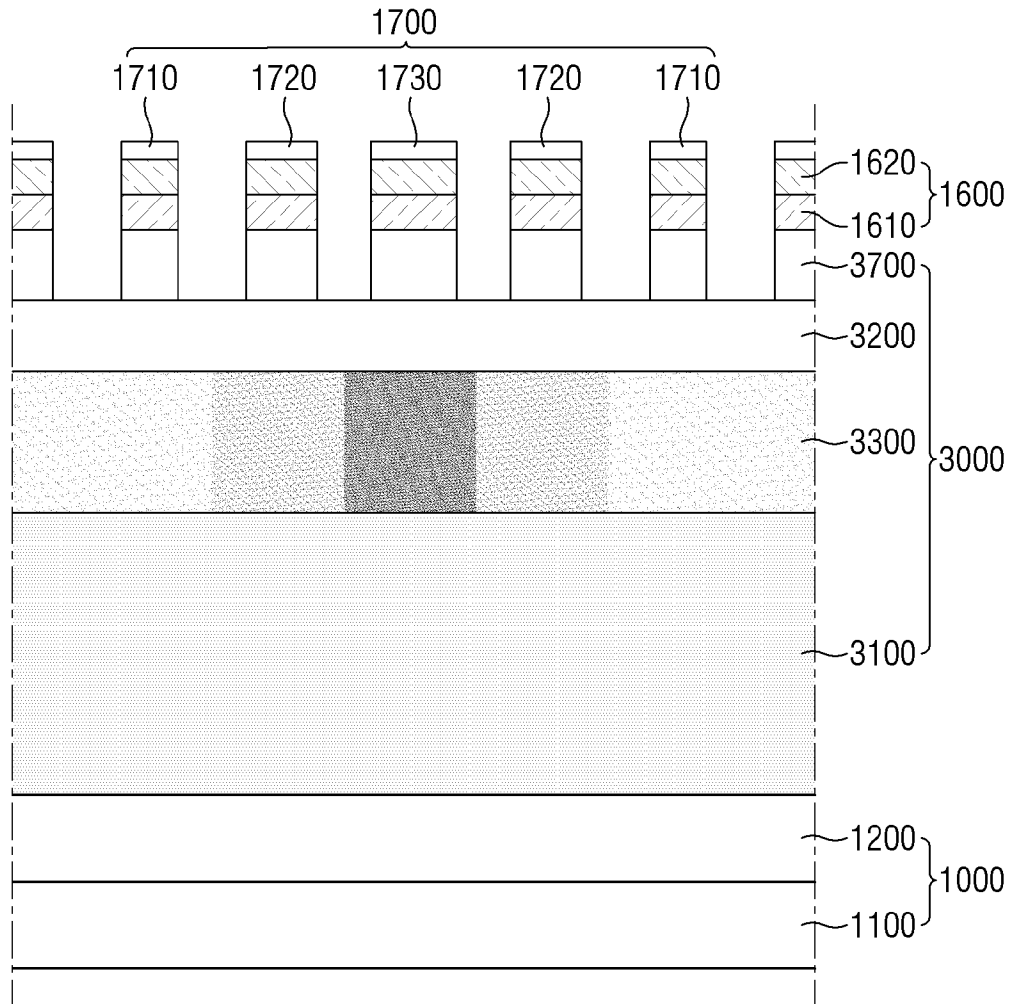
[도8]



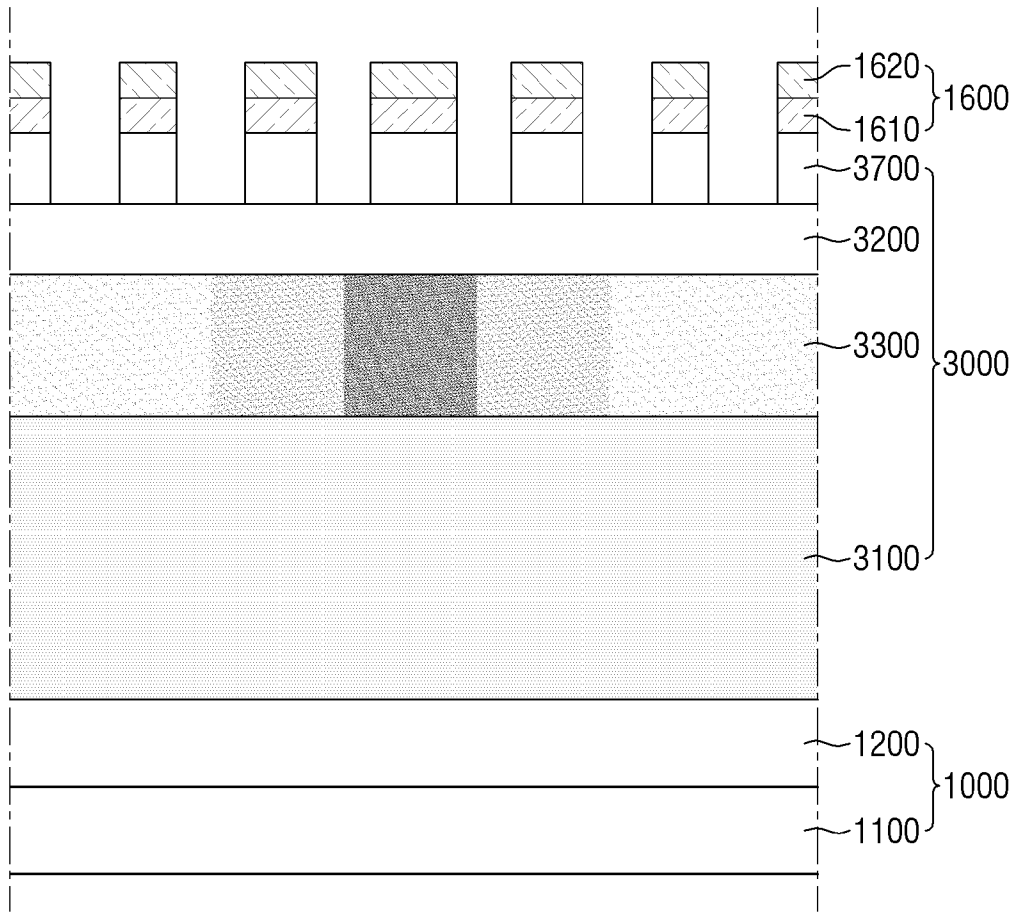
[도9]



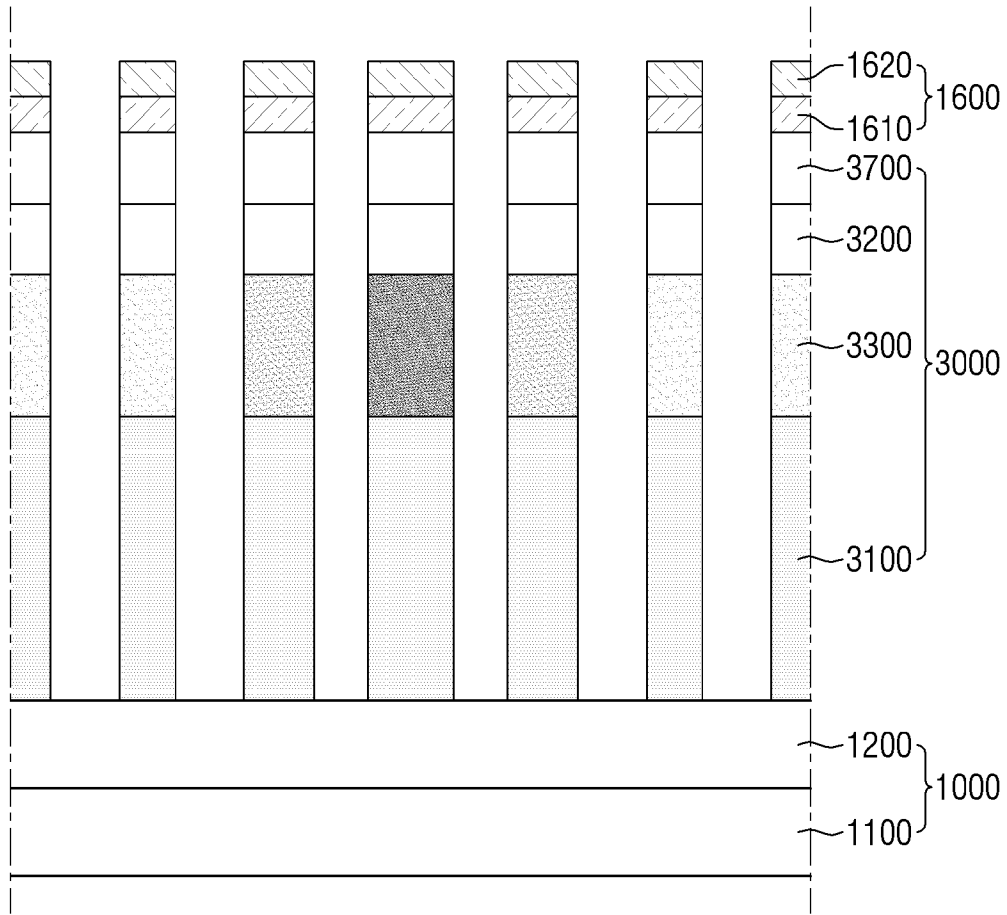
[도 10]



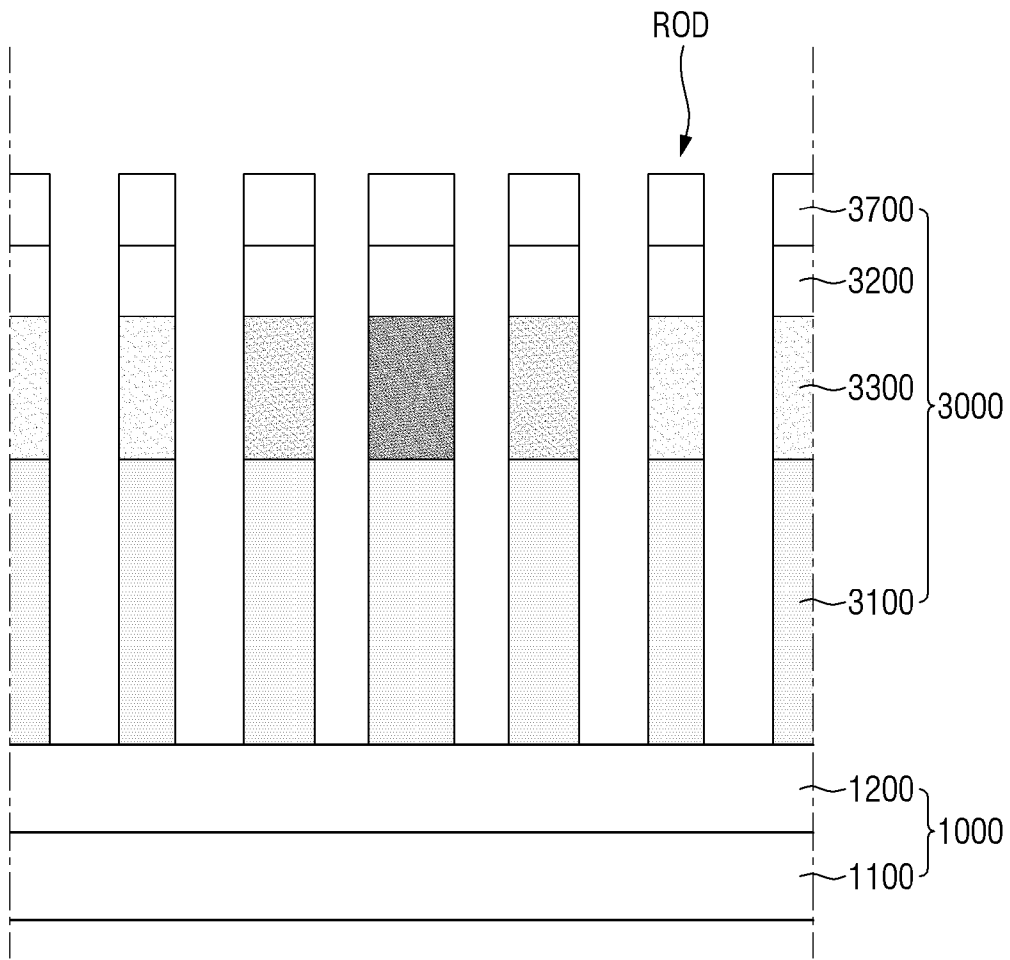
[도11]



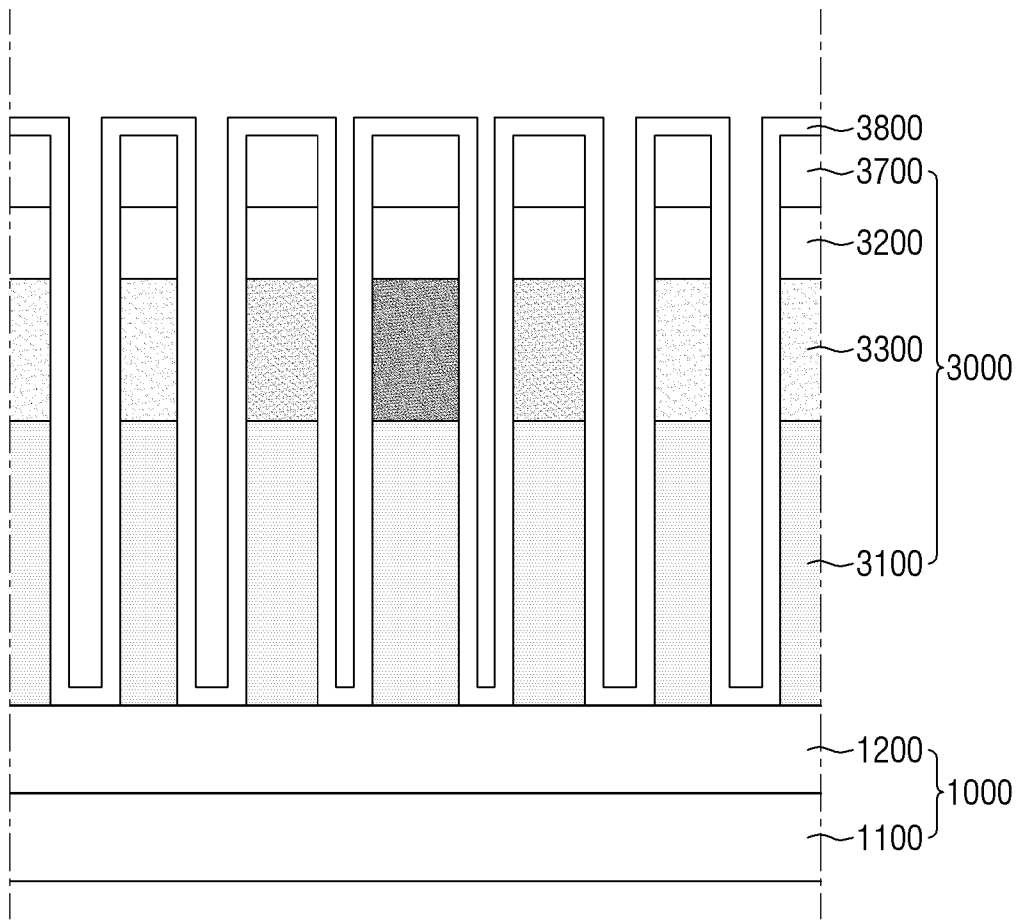
[도 12]



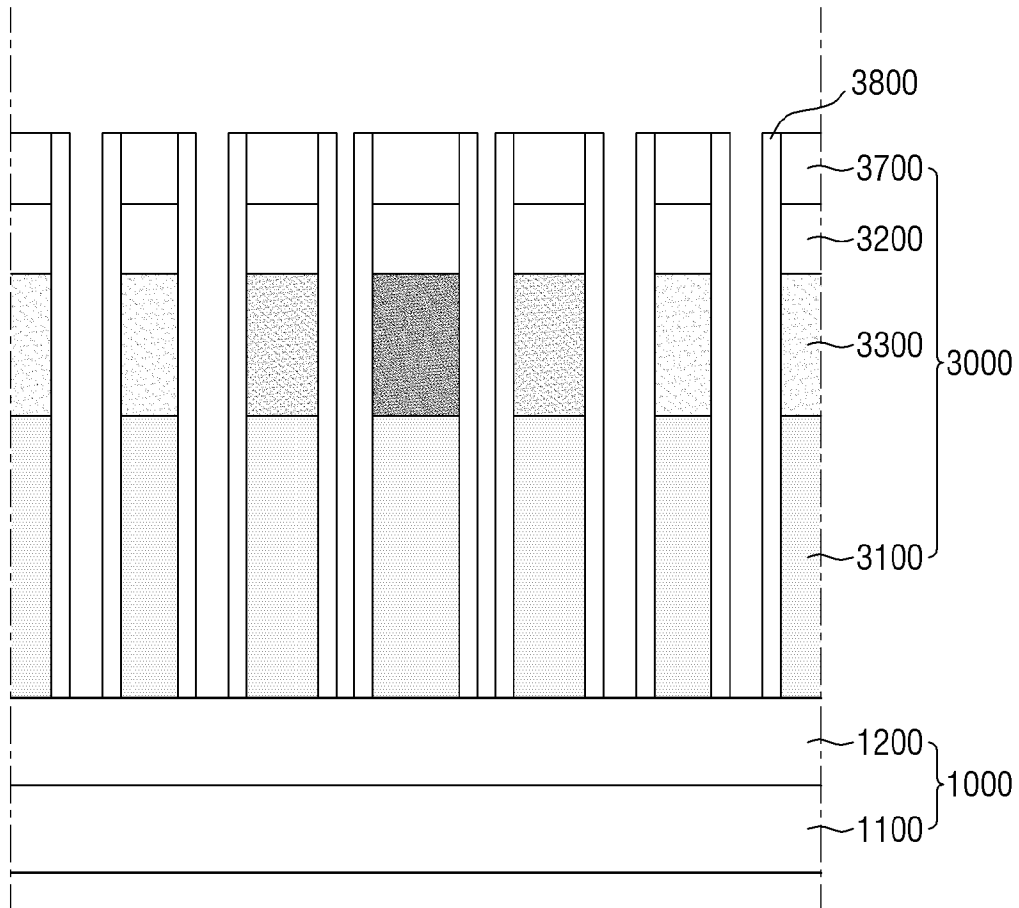
[도 13]



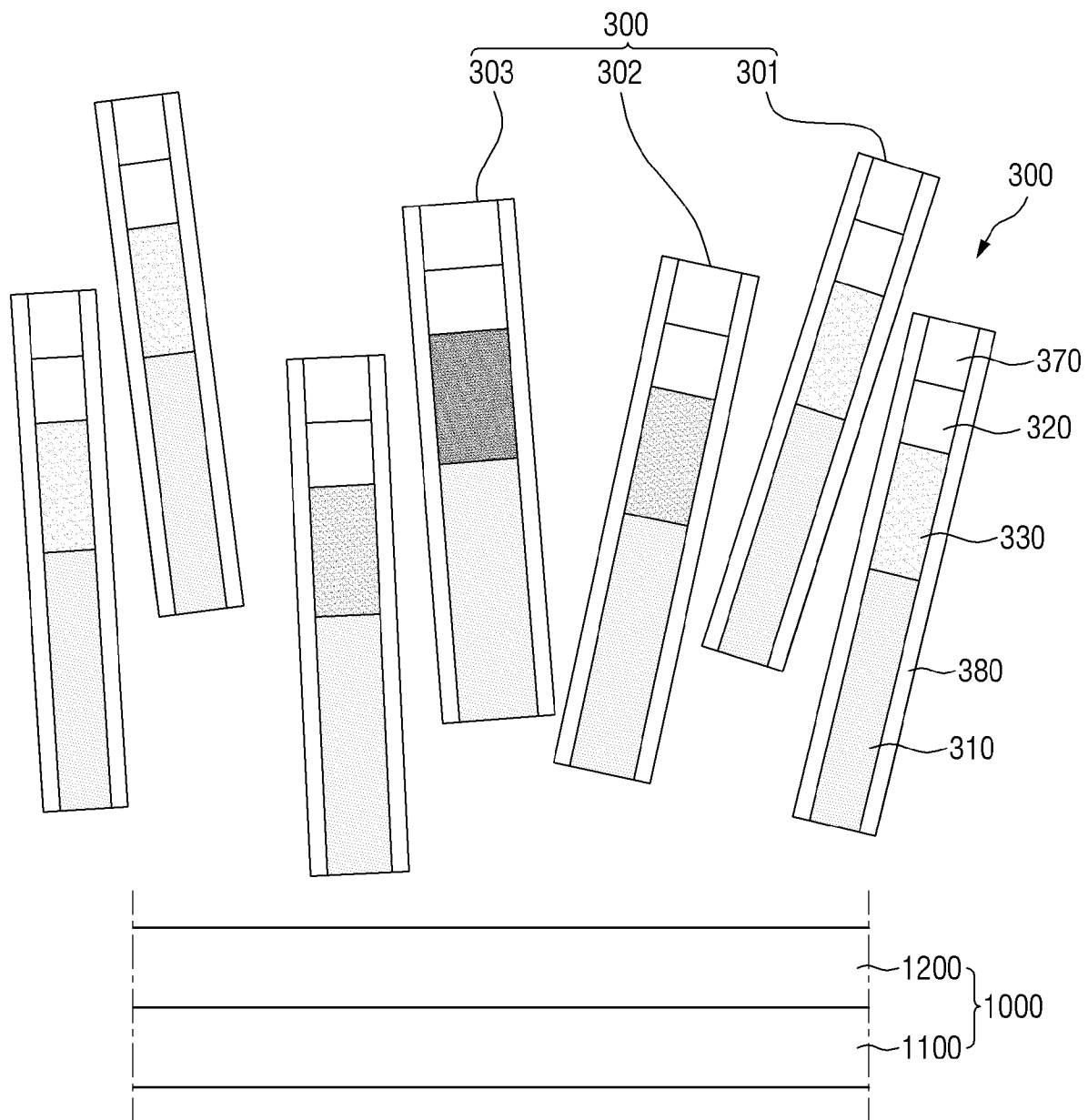
[도 14]



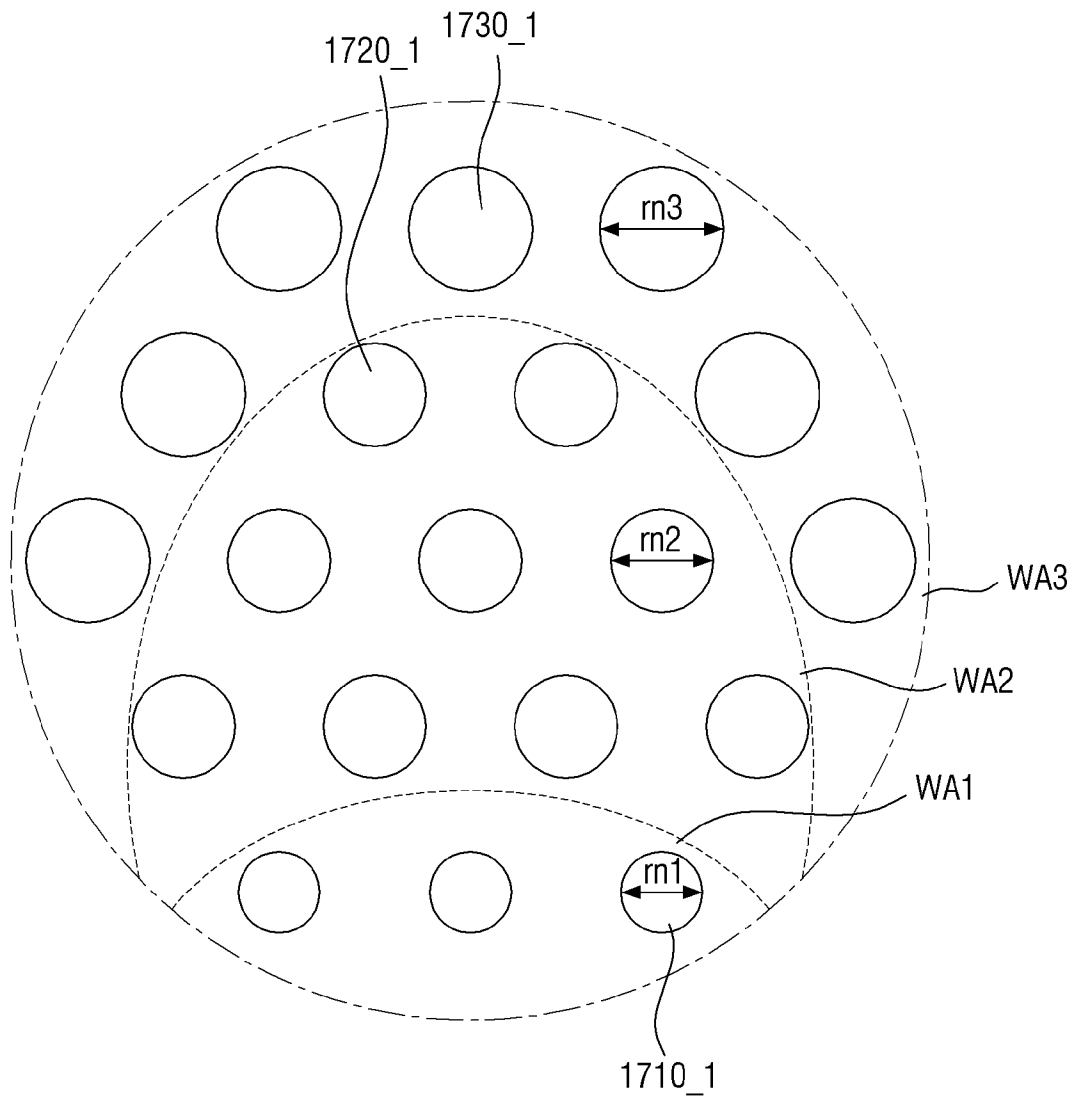
[도 15]



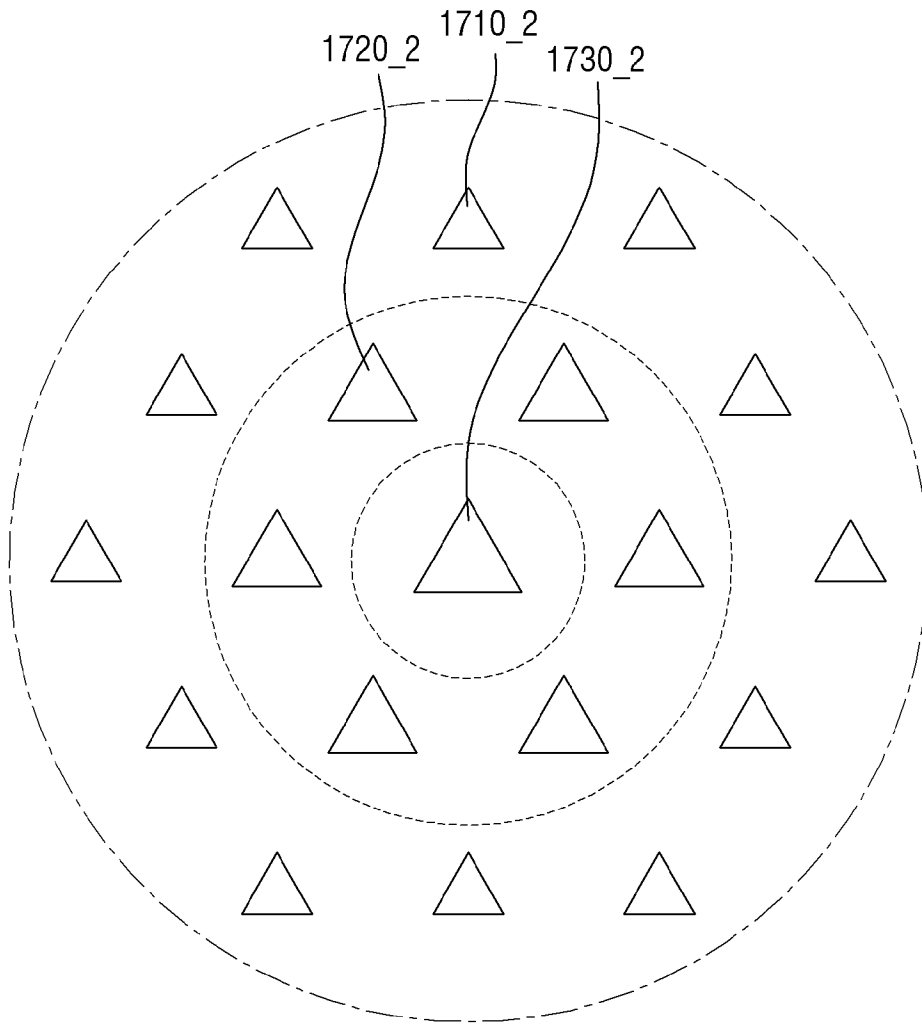
[도 16]



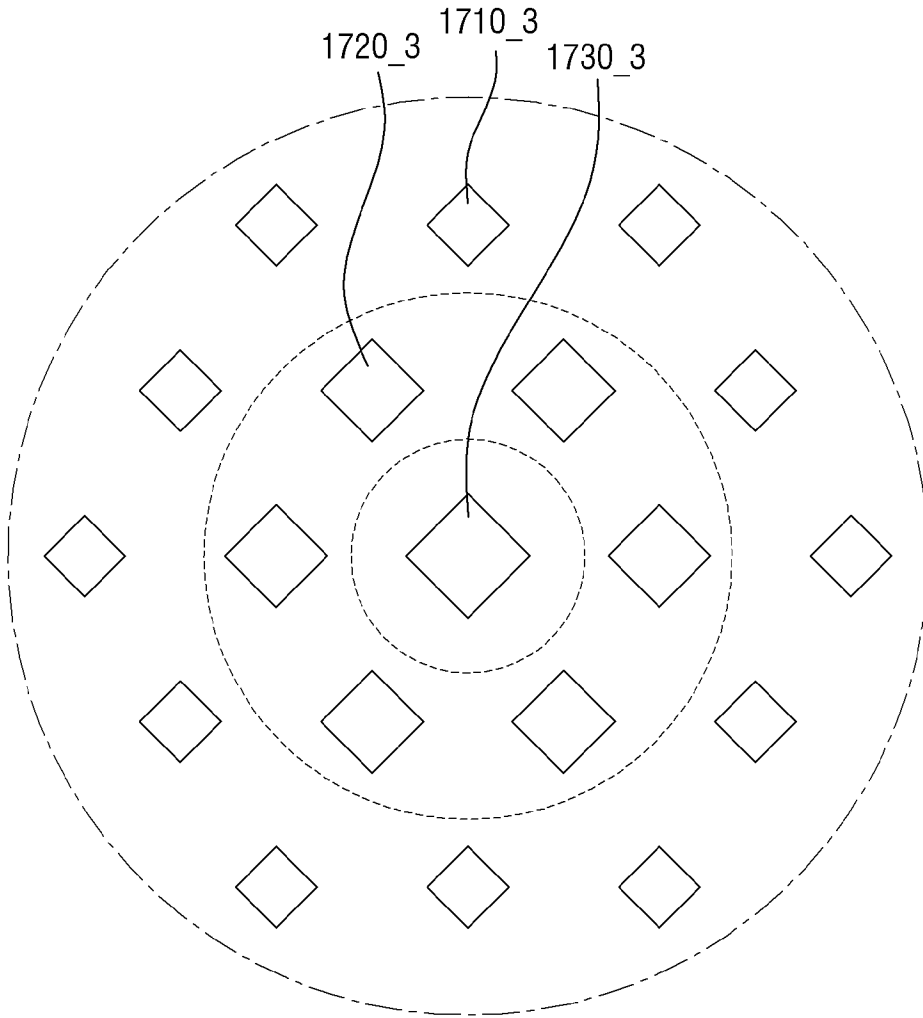
[도17]



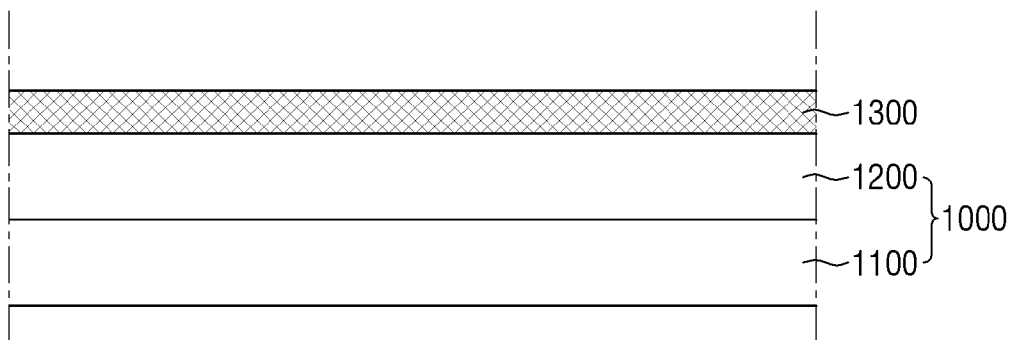
[도18]



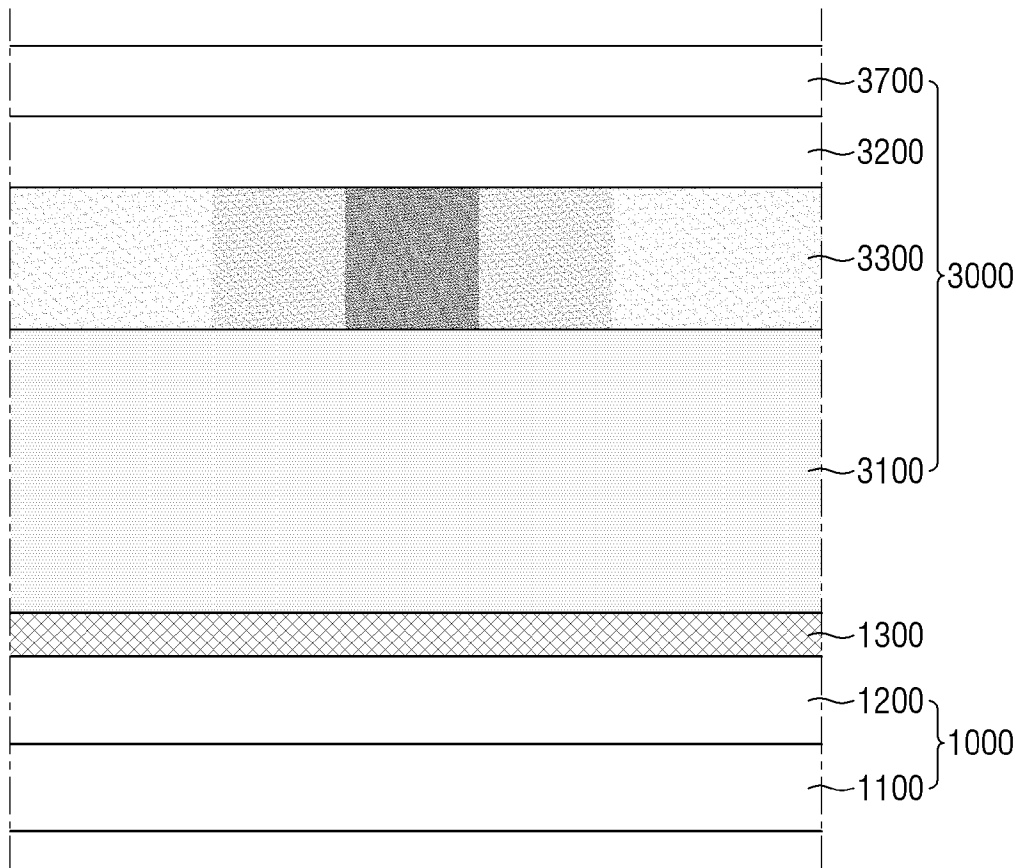
[도19]



[도20]



[도21]



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2019/004870

## A. CLASSIFICATION OF SUBJECT MATTER

*H01L 33/00(2010.01)i, H01L 33/50(2010.01)i, H01L 33/06(2010.01)i, H01L 33/36(2010.01)i, H01L 33/32(2010.01)i, H01L 27/15(2006.01)i*

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 33/00; H01L 33/04; H01L 33/06; H01L 33/16; H01L 33/20; H01L 33/50; H01L 33/36; H01L 33/32; H01L 27/15

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean utility models and applications for utility models: IPC as above  
Japanese utility models and applications for utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: light emitting element, nano pattern, diameter, wavelength, etching

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	KR 10-1710159 B1 (SAMSUNG ELECTRONICS CO., LTD.) 08 March 2017 See paragraphs [18]-[38]; and figures 1-6.	1-20
Y	KR 10-1754223 B1 (THE UNIVERSITY OF HONG KONG) 05 July 2017 See paragraphs [33], [43]-[50]; and figures 1-5.	1-20
Y	JP 2008-034483 A (MATSUSHITA ELECTRIC WORKS LTD.) 14 February 2008 See paragraph [24]; and figure 1.	6,18-20
Y	US 2013-0048945 A1 (FANG, Kuo-lung et al.) 28 February 2013 See paragraph [31]; and figures 2G-2H.	11-17
A	KR 10-1567121 B1 (SOPHIA SCHOOL CORPORATION) 06 November 2015 See the entire document.	1-20



Further documents are listed in the continuation of Box C.



See patent family annex.

\* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family


Date of the actual completion of the international search

13 AUGUST 2019 (13.08.2019)

Date of mailing of the international search report

14 AUGUST 2019 (14.08.2019)

Name and mailing address of the ISA/KR

 Korean Intellectual Property Office  
Government Complex Daejeon Building 4, 189, Cheongsa-ro, Seo-gu,  
Daejeon, 35208, Republic of Korea  
Facsimile No. +82-42-481-8578

Authorized officer

Telephone No.

**INTERNATIONAL SEARCH REPORT**  
Information on patent family members

International application No.

**PCT/KR2019/004870**

Patent document cited in search report	Publication date	Patent family member	Publication date
KR 10-1710159 B1	08/03/2017	CN 102403428 A	04/04/2012
		CN 102403428 B	02/03/2016
		KR 10-2012-0028104 A	22/03/2012
		US 2012-0061641 A1	15/03/2012
		US 2014-0217361 A1	07/08/2014
		US 8735867 B2	27/05/2014
		US 9024294 B2	05/05/2015
		KR 10-1754223 B1	05/07/2017
CN 104396028 B	19/01/2018		
EP 2856521 A1	08/04/2015		
KR 10-2014-0144227 A	18/12/2014		
US 2013-0313517 A1	28/11/2013		
US 9401453 B2	26/07/2016		
WO 2013-174300 A1	28/11/2013		
JP 2008-034483 A	14/02/2008		
US 2013-0048945 A1	28/02/2013	CN 102956766 A	06/03/2013
		TW 201310697 A	01/03/2013
		TW 1447952 B	01/08/2014
		US 9570653 B2	14/02/2017
KR 10-1567121 B1	06/11/2015	CN 102187479 A	14/09/2011
		CN 102187479 B	18/06/2014
		EP 2333847 A1	15/06/2011
		EP 2333847 B1	14/02/2018
		JP 2013-239718 A	28/11/2013
		JP 5547076 B2	09/07/2014
		JP 5687731 B2	18/03/2015
		KR 10-2011-0063799 A	14/06/2011
		TW 201027800 A	16/07/2010
		TW 1470828 B	21/01/2015
		US 2011-0169025 A1	14/07/2011
		US 9224595 B2	29/12/2015
		WO 2010-023921 A1	04/03/2010
		WO 2010-023921 A1	26/01/2012

<b>A. 발명이 속하는 기술분류(국제특허분류(IPC))</b> H01L 33/00(2010.01)i, H01L 33/50(2010.01)i, H01L 33/06(2010.01)i, H01L 33/36(2010.01)i, H01L 33/32(2010.01)i, H01L 27/15(2006.01)i		
<b>B. 조사된 분야</b> 조사된 최소문헌(국제특허분류를 기재) H01L 33/00; H01L 33/04; H01L 33/06; H01L 33/16; H01L 33/20; H01L 33/50; H01L 33/36; H01L 33/32; H01L 27/15 조사된 기술분야에 속하는 최소문헌 이외의 문헌 한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC		
국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우)) eKOMPASS(특허청 내부 검색시스템) & 키워드: 발광 소자 (light emitting element), 나노 패턴 (nano pattern), 직경 (diameter), 파장 (wavelength), 식각 (etching)		
<b>C. 관련 문헌</b>		
카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
Y	KR 10-1710159 B1 (삼성전자주식회사) 2017.03.08 단락 18-38; 및 도면 1-6 참조.	1-20
Y	KR 10-1754223 B1 (더 유니버시티 오브 홍콩) 2017.07.05 단락 33, 43-50; 및 도면 1-5 참조.	1-20
Y	JP 2008-034483 A (MATSUSHITA ELECTRIC WORKS LTD.) 2008.02.14 단락 24; 및 도면 1 참조.	6,18-20
Y	US 2013-0048945 A1 (KUO-LUNG FANG 등) 2013.02.28 단락 31; 및 도면 2G-2H 참조.	11-17
A	KR 10-1567121 B1 (가코호징 조찌가꾸잉) 2015.11.06 전체 문헌 참조.	1-20
<input type="checkbox"/> 추가 문헌이 C(계속)에 기재되어 있습니다. <input checked="" type="checkbox"/> 대응특허에 관한 별지를 참조하십시오.		
* 인용된 문헌의 특별 카테고리: “A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌 “E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌 “L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌 “O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌 “P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌 “T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌 “X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다. “Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다. “&” 동일한 대응특허문헌에 속하는 문헌		
국제조사의 실제 완료일 2019년 08월 13일 (13.08.2019)		국제조사보고서 발송일 2019년 08월 14일 (14.08.2019)
ISA/KR의 명칭 및 우편주소 대한민국 특허청 (35208) 대전광역시 서구 청사로 189, 4동 (둔산동, 정부대전청사) 팩스 번호 +82-42-481-8578		심사관 장기정 전화번호 +82-42-481-8364



국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-1710159 B1	2017/03/08	CN 102403428 A	2012/04/04
		CN 102403428 B	2016/03/02
		KR 10-2012-0028104 A	2012/03/22
		US 2012-0061641 A1	2012/03/15
		US 2014-0217361 A1	2014/08/07
		US 8735867 B2	2014/05/27
		US 9024294 B2	2015/05/05
		KR 10-1754223 B1	2017/07/05
CN 104396028 B	2018/01/19		
EP 2856521 A1	2015/04/08		
KR 10-2014-0144227 A	2014/12/18		
US 2013-0313517 A1	2013/11/28		
US 9401453 B2	2016/07/26		
WO 2013-174300 A1	2013/11/28		
JP 2008-034483 A	2008/02/14		
US 2013-0048945 A1	2013/02/28	CN 102956766 A	2013/03/06
		TW 201310697 A	2013/03/01
		TW I447952 B	2014/08/01
		US 9570653 B2	2017/02/14
KR 10-1567121 B1	2015/11/06	CN 102187479 A	2011/09/14
		CN 102187479 B	2014/06/18
		EP 2333847 A1	2011/06/15
		EP 2333847 B1	2018/02/14
		JP 2013-239718 A	2013/11/28
		JP 5547076 B2	2014/07/09
		JP 5687731 B2	2015/03/18
		KR 10-2011-0063799 A	2011/06/14
		TW 201027800 A	2010/07/16
		TW I470828 B	2015/01/21
		US 2011-0169025 A1	2011/07/14
		US 9224595 B2	2015/12/29
		WO 2010-023921 A1	2010/03/04
		WO 2010-023921 A1	2012/01/26