



(10) **DE 11 2014 003 246 B4** 2025.04.03

(12)

Patentschrift

(21) Deutsches Aktenzeichen: **11 2014 003 246.8**
(86) PCT-Aktenzeichen: **PCT/US2014/044769**
(87) PCT-Veröffentlichungs-Nr.: **WO 2015/006074**
(86) PCT-Anmeldetag: **28.06.2014**
(87) PCT-Veröffentlichungstag: **15.01.2015**
(43) Veröffentlichungstag der PCT Anmeldung
in deutscher Übersetzung: **07.04.2016**
(45) Veröffentlichungstag
der Patenterteilung: **03.04.2025**

(51) Int Cl.: **H10D 30/01 (2025.01)**
H10D 30/60 (2025.01)

Innerhalb von neun Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(30) Unionspriorität:
13/941,119 12.07.2013 US

(73) Patentinhaber:
Power Integrations, Inc., San Jose, Calif., US

(74) Vertreter:
Fish & Richardson P.C., 80807 München, DE

(72) Erfinder:
Parthasarathy, Vijay, Sunnyvale, Calif., US;
Banerjee, Sujit, San Jose, Calif., US

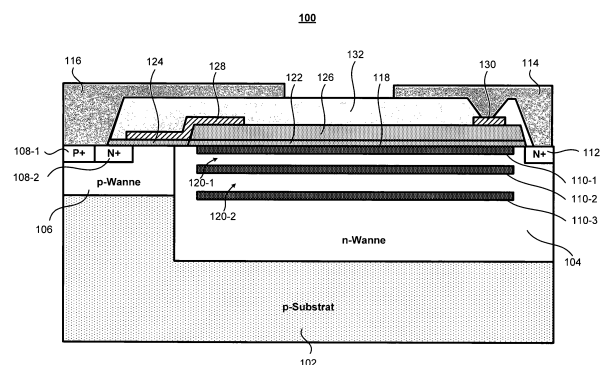
(56) Ermittelter Stand der Technik:

US	6 429 077	B1
US	6 773 997	B2
US	7 008 865	B2
US	5 270 226	A
US	4 454 648	A

(54) Bezeichnung: **Hochvolt-Feldeffekttransistor mit mehreren implantierten Schichten und Verfahren zu seiner Herstellung**

(57) Hauptanspruch: Verfahren für das Fertigen eines Hochvolt-Feldeffekttransistors (100; 800), das Verfahren umfassend:
Bilden eines Body-Bereichs (106) in einem Halbleitersubstrat (102);
Bilden eines Source-Bereichs (108) in dem Halbleitersubstrat (102);
Bilden eines Drain-Bereichs (104) in dem Halbleitersubstrat (102), der von dem Source-Bereich (108) durch den Body-Bereich (106) getrennt ist, wobei das Bilden des Drain-Bereichs (104) Folgendes umfasst:
Bilden einer ersten Oxidschicht (122) an einer Oberfläche (118) des Halbleitersubstrats (102) über dem Drain-Bereich (104) mithilfe eines thermischen Oxidationsverfahrens, wobei die erste Oxidschicht (122) eine Stärke von 20 - 500 Nanometer aufweist, sowie
Durchführen einer Vielzahl von Ionenimplantationsvorgängen durch die Oxidschicht (122) bei gleichzeitigem Neigen des Halbleitersubstrats (102) dergestalt, dass die Ionenstrahlen auf der Oxidschicht (122) in einem Winkel auftreffen, der von der Senkrechten abweicht, wobei die Vielzahl der Ionenimplantationsvorgänge eine entsprechende Vielzahl separater implantierter Schichten (110; 810) innerhalb des Drain-Bereichs (104) bildet, und wobei jede der

implantierten Schichten (110; 810) in einer unterschiedlichen Tiefe im Drain-Bereich (104) gebildet wird; und
Ablagern einer zweiten Oxidschicht (126) auf der ersten Oxidschicht (122) mithilfe eines Niedertemperatur-Oxidablagervorgangs.



Beschreibung**HINTERGRUNDINFORMATIONEN****Gebiet der Offenbarung**

[0001] Die Offenbarung bezieht sich auf die Fertigung von Feldeffekttransistoren, genauer gesagt, auf die Fertigung von Hochvolt-Feldeffekttransistoren.

Hintergrund der Erfindung

[0002] Hochvolt-Feldeffekttransistoren (HVFETs) können in verschiedensten unterschiedlichen Schaltungsanwendungen, beispielsweise in Stromrichterschaltungen, eingesetzt werden. So kann z. B. ein HFVET in einer Stromrichterschaltung als Stromschalter verwendet werden. Zu den Beispielen von Stromrichter-Topologien, wie unter anderem von HVFET-Stromschaltern, können nicht-isolierte Stromumwandlungs-Topologien (z. B. Abwärtswandler oder Inverswandler) und isolierte Stromumwandlungs-Topologien (z. B. Sperrwandler) zählen.

[0003] Ein HVFET kann beim Betrieb in einer Stromumwandlungseinheit gegebenenfalls hohen Spannungen und Strömen ausgesetzt sein. So können an HVFETs während des Betriebs mehrere hundert Volt Spannung (z. B. 700 - 800 V) anliegen. Dementsprechend sind HVFETs gegebenenfalls für hohe Durchbruchspannungen konzipiert. Ebenso können HVFETs für einen relativ niedrigen Durchlasswiderstand entworfen sein, um Leitfähigkeitsverluste während des Betriebs der Stromrichterschaltung zu minimieren.

[0004] Die Druckschrift US 6 773 997 B2 beschreibt ein Hochspannungs-MOSFET-Bauelement, das einen nwell-Bereich mit einer p-top-Schicht mit entgegengesetzter Leitfähigkeit aufweist, um die Bauelementeigenschaften zu verbessern. Die p-Top-Schicht wird durch ein dünnes Gate-Oxid implantiert und später im Prozess durch den Source/Drain-Ausglühprozess in das Silizium diffundiert. Auf der Oberseite des erweiterten Drain-Bereichs ist kein Feldoxid aufgewachsen, mit Ausnahme von zwei Inseln aus Feldoxid in der Nähe der Source- und Drain-Diffusionsbereiche. Dies schließt die Möglichkeit aus, dass die p-Spitze durch das Feldoxid verbraucht wird, und ermöglicht eine flache p-Spitze mit einer sehr kontrollierten und vorhersagbaren p-Spitze zur Erzielung eines niedrigen Durchlasswiderstandes unter Beibehaltung der gewünschten Durchbruchspannung.

Die Druckschrift US 5 270 226 A beschreibt, dass durch symmetrische Ausbildung von Source- und Drainbereichen zu den Gateelektroden elektrisch symmetrische Transistoreigenschaften erzielt werden. Nach dem Ausbilden der ersten Source- und

Drain-Bereiche durch Ionenimplantation mit großem Kippwinkel, ohne eine Seitenwand in der Gate-Elektrode oder nach dem Ausbilden einer Seitenwand, die kürzer ist als der Abstand in der lateralen Richtung der zweiten Source- und Drain-Bereiche vom Ende der Maske für die Ionenimplantation, wird die Diffusion der zweiten Source- und Drain-Bereiche in der lateralen Richtung durch eine kurzzeitige Wärmebehandlung auf das maximale Ausmaß beschränkt, und dann werden das Ende der Gate-Elektrode und das Ende der zweiten Source- und Drain-Bereiche angepasst, oder ihr Überlappungsbereich wird ausgebildet. Infolgedessen führt das Herstellungsverfahren des MOS-Transistors sowohl zu einer hohen Leistung als auch zu einer hohen Zuverlässigkeit. Die Druckschrift US 6 429 077 B1 beschreibt ein Verfahren zur Herstellung eines lateralen diffundierten Metall-Oxid-Halbleiter-Transistors (LD MOS) auf einem Halbleiterwafer. Ein Ionenimplantationsprozess wird auf einem vorbestimmten Bereich des Siliziumsubstrats durchgeführt, um eine p-Wanne neben einer n-Wanne zu bilden. Anschließend wird eine Isolierschicht auf einem vorbestimmten Bereich der n-Wanne gebildet. Auf einem Teil des p-Wells und des n-Wells wird eine Gate-Schicht gebildet, und eine Seite der Gate-Schicht wird auf der Oberfläche der Isolierschicht positioniert. Schließlich wird ein Ionenimplantationsprozess durchgeführt, um zwei n-dotierte Bereiche auf dem p-Well und dem n-Well zu bilden. Die beiden dotierten Bereiche werden als Source und Drain des LD-MOS-Transistors verwendet.

Die Druckschrift US 4 454 648 A beschreibt ein Kombinationsverfahren, mit dem sowohl MNOS- als auch CMOS-Bauelemente auf demselben Wafer in sehr großen Integrationssystemen hergestellt werden können. Herkömmliche Grabenisolierungstechniken werden durch Niedertemperatur-Ionenimplantationsverfahren ersetzt, um eine Substratisolierung zu erreichen. Sowohl n- als auch p-Kanal-MOS-Transistordiffusionen und Feldoxidationen werden gleichzeitig verarbeitet. Außerdem wird bei diesem Verfahren als Substrat nicht mehr epitaktisches Wafermaterial, sondern Silizium-Vollmaterial verwendet.

Die Druckschrift US 7 008 865 B2 beschreibt, dass eine Halbleitervorrichtung ein Halbleitersubstrat eines ersten Leitfähigkeitstyps enthält, in dem ein ausgedehnter Drain-Bereich eines zweiten Leitfähigkeitstyps und ein Source-Bereich des zweiten Leitfähigkeitstyps mit einem Abstand dazwischen ausgebildet sind, wobei der ausgedehnte Drain-Bereich eine Vielzahl von vergrabenen Schichten enthält, die jeweils durch Vergraben einer Verunreinigungsschicht des ersten Leitfähigkeitstyps gebildet werden, wobei sich die Vielzahl von vergrabenen Schichten im Wesentlichen parallel zu einer Substratoberfläche und mit einem Abstand dazwischen in einer Tiefenrichtung erstreckt.

KURZBESCHREIBUNG DER ZEICHNUNGEN

[0005] Unter Bezug auf die folgenden Abbildungen sind nicht einschränkende und nicht erschöpfende Ausführungsformen der gegenständlichen Offenbarung beschrieben, wobei gleiche Referenznummern in den verschiedenen Ansichten auf gleiche Teile verweisen können.

Abb. 1 ist eine seitliche Schnittdarstellung eines Hochvolt-Feldeffekttransistors (HVFET).

Abb. 2 ist ein Ablaufdiagramm, in dem die Fertigung des HVFET von **Abb. 1** beschrieben ist.

Abb. 3 ist eine seitliche Schnittdarstellung eines Substrats einschließlich eines Drain-Bereichs und eines Body-Bereichs des HVFET von **Abb. 1**.

Abb. 4 ist eine seitliche Schnittdarstellung eines Substrats einschließlich einer dünnen Oxidschicht.

Abb. 5 ist eine seitliche Schnittdarstellung von Vorgängen zur Implantation von Ionen, die für das Implantieren implantierter Schichten des HVFET von **Abb. 1** durchgeführt werden.

Abb. 6 ist eine seitliche Schnittdarstellung eines eine dicke Oxidschicht einschließenden Substrats.

Abb. 7 ist eine seitliche Schnittdarstellung eines eine geätzte dicke Oxidschicht und eine geätzte dünne Oxidschicht einschließenden Substrats.

Abb. 8 ist eine seitliche Schnittdarstellung eines alternativen HVFET.

[0006] In den verschiedenen Ansichten der Zeichnungen können übereinstimmende Hinweiszahlen auf übereinstimmende Komponenten verweisen. Der Fachmann wird erkennen, dass Elemente in den Abbildungen mit dem Ziel der Einfachheit und Klarheit dargestellt sind und nicht zwingend im richtigen Größenverhältnis gezeichnet wurden. So können beispielsweise die Abmessungen einiger Elemente in den Abbildungen im Vergleich zu anderen Elementen übertrieben sein, um das bessere Verständnis verschiedener Ausführungsformen der gegenständlichen Offenbarung zu unterstützen.

DETAILLIERTE BESCHREIBUNG

[0007] Ein Hochvolt-Feldeffekttransistor (HVFET) der gegenständlichen Offenbarung kann auf einem Substrat (z. B. auf einem dotierten Silikonsubstrat) gefertigt werden. Im Allgemeinen können die zur Bildung des HVFET angewendeten Verarbeitungsvorgänge auf der Oberfläche des Substrats durchgeführt werden. So lassen sich beispielsweise die zur Fertigung des HVFET angewendeten Dotierungsvorgänge, Strukturierungsvorgänge und Schichtungs-

vorgänge auf der Oberfläche des Substrats durchführen.

[0008] Der HVFET umfasst einen Drain-Bereich (z. B. Drain-Bereich 104 von **Abb. 1**), einen Source-Bereich (z. B. Source-Bereich 108 von **Abb. 1**) und einen Body-Bereich (z. B. Body-Bereich 106 von **Abb. 1**), gebildet im Substrat. Der Drain-Bereich und der Source-Bereich sind gegebenenfalls durch den Body-Bereich voneinander getrennt. Der Drain-Bereich kann einen im Substrat gebildeten dotierten Bereich (z. B. eine n-Wanne) umfassen. Der Body-Bereich kann ein im Substrat angrenzend an den Drain-Bereich gebildeter dotierter Bereich (z. B. eine p-Wanne) sein. Der Source-Bereich kann ein dotierter Bereich (z. B. P+ und N+ dotierte Bereiche) sein, der innerhalb des Body-Bereichs so gebildet ist, dass ein Teil des Body-Bereichs zwischen dem Source-Bereich und dem Drain-Bereich angeordnet ist.

[0009] Über der Oberfläche des Substrats kann eine Vielfalt unterschiedlicher Schichten gebildet sein. Über die obere Seite des zwischen Source-Bereich und Drain-Bereich angeordneten Abschnitts des Body-Bereichs können eine Gate-Oxidschicht und eine Gate-Elektrode gebildet sein. Der Abschnitt des Body-Bereichs unterhalb der Gate-Elektrode und des Gate-Oxids kann einen Kanalbereich des HVFET bilden. Zur Verfügbarmachung von Kontakten für die Source- und Drain-Bereiche können auch Source- und Drain-Elektroden gebildet werden.

[0010] Der HVFET der gegenständlichen Offenbarung kann auch eine dünne Oxidschicht umfassen, die über dem Drain-Bereich gebildet wird. Die dünne Oxidschicht kann während der Fertigung der im Drain-Bereich enthaltenen Merkmale (z. B. implantierte Schichten 110) vorhanden sein. Die dünne Oxidschicht kann auch im endgültigen HVFET vorhanden sein, wie in **Abb. 1** dargestellt. Struktur und Fertigung des Drain-Bereichs sind nachfolgend beschrieben.

[0011] Der Drain-Bereich des HVFET umfasst eine Vielzahl implantierter Schichten (z. B. implantierte Schichten 110-1, 110-2, 110-3 von **Abb. 1**). Wie in diesem Dokument beschrieben, können die implantierten Schichten p-dotierte Bereiche innerhalb der n-Wanne des Drain-Bereichs sein. Jede implantierte Schicht kann eine ebenflächige Geometrie aufweisen, die zur Oberfläche des Substrats annähernd parallel liegt. Dementsprechend können die implantierten Schichten zueinander annähernd parallel sein. Die implantierten Schichten können in unterschiedlichen Tiefen innerhalb des Drain-Bereichs dergestalt gebildet sein, dass die implantierten Schichten übereinander oder untereinander gestapelt sind. Die implantierten Schichten des p-Typs

können voneinander durch die n-Typ-Bereiche des Drain-Bereichs getrennt sein.

[0012] Die drei implantierten Schichten können als eine oberste implantierte Schicht, eine mittlere implantierte Schicht und eine unterste implantierte Schicht bezeichnet werden. In einigen Beispielen kann die oberste implantierte Schicht auf der Oberfläche des Substrats gebildet sein (siehe beispielsweise **Abb. 1**). In anderen Beispielen (siehe z. B. **Abb. 8**) kann die oberste implantierte Schicht in einem Abstand unterhalb der Oberfläche des Substrats dergestalt gebildet sein, dass ein n-Typ-Abschnitt des Drain-Bereichs zwischen der obersten implantierten Schicht und der Oberfläche des Substrats angeordnet ist. Die mittlere implantierte Schicht kann unterhalb der obersten implantierten Schicht gebildet sein und von der obersten implantierten Schicht durch einen Bereich der n-Wanne getrennt sein. Die unterste implantierte Schicht kann unterhalb der mittleren implantierten Schicht gebildet sein und von der mittleren Schicht durch einen Bereich der n-Wanne getrennt sein.

[0013] Die drei implantierten Schichten können mithilfe von Ionenimplantationsvorgängen in den Drain-Bereich implantiert werden. Im Allgemeinen erfolgt ein Ionenimplantationsvorgang gegebenenfalls durch Emittieren eines Ionenstrahls von ausgewählter Energie auf das Substrat, um eine der implantierten Schichten zu implantieren. Wie in diesem Dokument nachfolgend beschrieben (z. B. in Bezug auf **Abb. 5**), können die drei implantierten Schichten durch eine auf der Oberfläche des Substrats gebildete dünne Oxidschicht implantiert werden. Die Implantation durch die dünne Oxidschicht hilft gegebenenfalls bei der Erzeugung implantierter Schichten mit einem der Gaußschen Normalverteilung entsprechenden Dotierungsprofil. In einigen Beispielen kann das Substrat während eines Ionenimplantationsvorgangs dergestalt geneigt werden, dass der Ionenstrahl nicht senkrecht auf der dünnen Oxidschicht auftrifft. Beispielsweise kann das Substrat so geneigt werden, dass der Ionenstrahl auf der dünnen Oxidschicht in einem Winkel auftrifft, der von der Senkrechten etwa 3 - 10 Grad abweicht. Die Implantation, während das Substrat geneigt ist, hilft gegebenenfalls auch bei der Erzeugung implantierter Schichten mit einem der Gaußschen Normalverteilung entsprechenden Dotierungsprofil.

[0014] Die dünne Oxidschicht über der oberen Seite des Drain-Bereichs kann während der nachfolgenden Verarbeitungsvorgänge über dem Drain-Bereich verbleiben. Beispielsweise können während der nachfolgenden Verarbeitungsvorgänge zusätzliche Schichten (z. B. Isolatoren und Elektroden) über der oberen Seite der dünnen Oxidschicht aufgebaut werden. In einigen Beispielen ist die dünne Oxidschicht

gegebenenfalls in einer fertigen HVFET-Vorrichtung vorhanden, wie in **Abb. 1** und **Abb. 8** dargestellt.

[0015] Beispiele von HVFETs und die Fertigung der Beispiel-HVFETs sind nachfolgend unter Verweis auf **Abb. 1 - 8** beschrieben. In **Abb. 1** und **Abb. 8** sind Beispiel-HVFETs dargestellt. **Abb. 2** zeigt ein Beispielverfahren für das Fertigen von HVFETs. **Abb. 3 - 7** zeigen verschiedene Phasen der HVFET-Fertigung, wie im Verfahren von **Abb. 2** beschrieben.

[0016] **Abb. 1** ist eine seitliche Schnittansicht eines HVFET 100 der gegenständlichen Offenbarung. Der HVFET 100 kann in einer Vielzahl verschiedener elektronischer Anwendungen eingesetzt werden. Beispielsweise kann der HVFET 100 als Stromschalter in einem geschalteten Versorgungsstromkreis verwendet werden. In einem Beispiel kann der HVFET 100 für Anwendungen mit einer Nennspannung von 700 Volt, einem Nennstrom von 5 Ampere und einem Widerstand $R_{\text{DS(on)}}$ von 1 Ohm eingesetzt werden.

[0017] Der HVFET 100 umfasst ein p-Typ-Halbleitersubstrat 102. Das p-Typ-Halbleitersubstrat 102 kann ein p-dotierter Silizium-Wafer sein. Das p-Typ-Halbleitersubstrat 102 kann nachfolgend in diesem Dokument als „Substrat 102“ bezeichnet sein. Substrat 102 umfasst einen Drain-Bereich 104, einen Body-Bereich 106 und einen Source-Bereich 108. Source-Bereich 108 bezieht sich gegebenenfalls auf die Kombination aus P+ Bereich 108-1 und N+ Bereich 108-2. Ein Abschnitt des Body-Bereichs 106 ist zwischen Drain-Bereich 104 und Source-Bereich 108 angeordnet.

[0018] Drain-Bereich 104 wird innerhalb des Substrats 102 gebildet. Beispielsweise kann Drain-Bereich 104 eine innerhalb des Substrats 102 gebildete n-Wanne sein. Drain-Bereich 104 umfasst drei implantierte Schichten 110-1, 110-2 und 110-3 (gemeinschaftlich „implantierte Schichten 110“). Drain-Bereich 104 kann auch einen Drain-Kontaktbereich 112 umfassen. Drain-Kontaktbereich 112 kann ein stark n-dotierter (N+) Bereich innerhalb des Drain-Bereichs 104 sein. Drain-Kontaktbereich 112 kann mit einer Drain-Elektrode 114 in Kontakt sein. Drain-Elektrode 114 kann als Drain-Anschluss von HVFET 100 dienen, der mit Schaltkreisen außerhalb des HVFET 100 verbunden ist. In einigen Beispielen kann die Drain-Elektrode 114 eine metallische Elektrode sein.

[0019] Body-Bereich 106 ist im Substrat 102 angrenzend an Drain-Bereich 104 gebildet. Beispielsweise kann Body-Bereich 106 ein in Substrat 102 angrenzend an Drain-Bereich 104 gebildeter dotierter Bereich (z. B. eine p-Wanne) sein. In einigen Beispielen kann Body-Bereich 106 an Drain-

Bereich 104 anstoßen (z. B. eine Grenzfläche mit diesem bilden).

[0020] Source-Bereich 108 kann eine oder mehrere dotierte Bereiche innerhalb von Body-Bereich 106 umfassen. So kann beispielsweise Source-Bereich 108 einen in Body-Bereich 106 gebildeten stark p-dotierten (P+) Bereich 108-1 und einen stark n-dotierten (N+) Bereich 108-2 umfassen. Source-Bereich 108 ist von Drain-Bereich 104 durch Body-Bereich 106 getrennt. Beispielsweise ist Source-Bereich 108 innerhalb von Body-Bereich 106 so gebildet, dass ein Abschnitt von Body-Bereich 106 zwischen Source-Bereich 108 und Drain-Bereich 104 angeordnet ist. Der zwischen Source-Bereich 108 und Drain-Bereich 104 angeordnete Abschnitt von Body-Bereich 106 kann einen Abschnitt des „Kanalbereichs“ von HVFET 100 umfassen. Source-Bereich 108 kann mit einer Source-Elektrode 116 in Kontakt sein. Source-Elektrode 116 kann als Source-Anschluss des HVFET 100 dienen, der mit Schaltkreisen außerhalb des HVFET 100 verbunden ist. In einigen Beispielen kann die Source-Elektrode 116 eine metallische Elektrode sein.

[0021] Wie oben beschrieben, kann Drain-Bereich 104 drei implantierte Schichten 110 umfassen. Obwohl in diesem Dokument drei implantierte Schichten 110 dargestellt und beschrieben sind, ist beabsichtigt, dass in Drain-Bereich 104 weitere implantierte Schichten den Methoden der gegenständlichen Offenbarung entsprechend gebildet werden können. Die implantierte Schicht 110-1 kann in diesem Dokument als „oberste implantierte Schicht 110-1“ bezeichnet werden. Die implantierte Schicht 110-2 kann in diesem Dokument als „mittlere implantierte Schicht 110-2“ bezeichnet werden. Die implantierte Schicht 110-3 kann in diesem Dokument als „unterste implantierte Schicht 110-3“ bezeichnet werden.

[0022] Implantierte Schichten 110 können p-dotierte Schichten (z. B. unter Verwendung von Bor) innerhalb des Drain-Bereichs 104 sein. Implantierte Schichten 110 können mithilfe der in diesem Dokument beschriebenen Ionenimplantationsvorgänge in den Drain-Bereich 104 implantiert werden. Jeder der implantierten Schichten 110 weist gegebenenfalls beinahe ebene Geometrien auf, die sich innerhalb des Drain-Bereichs 104 annähernd parallel zu Oberfläche 118 erstrecken. Dementsprechend lassen sich implantierte Schichten 110 als p-dotierte Bereiche innerhalb des Drain-Bereichs 104 vorstellen, die annähernd parallel zu Oberfläche 118 und parallel zueinander liegen.

[0023] Implantierte Schichten 110 können in unterschiedlichen Tiefen innerhalb des Drain-Bereichs 104 dergestalt gebildet sein, dass die implantierten Schichten 110 übereinander und untereinander

gestapelt sind. Implantierte Schichten 110 können voneinander durch Bereiche [der] n-Wanne getrennt sein, die nicht durch die Ionenimplantationsvorgänge p-dotiert sind. Anders ausgedrückt, können implantierte Schichten 110 in Drain-Bereich 104 so gebildet sein, dass implantierte Schichten 110 von Drain-Bereich 104 durch n-dotierte Bereiche 120-1, 120-2 getrennt sind.

[0024] Die oberste implantierte Schicht 110-1 ist gegebenenfalls von der mittleren implantierten Schicht 110-2 durch den n-dotierten Bereich 120-1 getrennt. Anders ausgedrückt, kann der n-dotierte Bereich 120-1 zwischen der obersten implantierten Schicht 110-1 und der mittleren implantierten Schicht 110-2 angeordnet sein und sich gegebenenfalls entlang der Längsachsen der obersten implantierten Schicht 110-1 und der mittleren implantierten Schicht 110-2 erstrecken. Die mittlere implantierte Schicht 110-2 ist gegebenenfalls von der untersten implantierten Schicht 110-3 durch den n-dotierten Bereich 120-2 getrennt. Anders ausgedrückt, kann der n-dotierte Bereich 120-2 zwischen der mittleren implantierten Schicht 110-2 und der untersten implantierten Schicht 110-3 angeordnet sein und sich gegebenenfalls entlang der Längsachsen der mittleren implantierten Schicht 110-2 und der untersten implantierten Schicht 110-3 erstrecken.

[0025] In dem HVFET 100 von **Abb. 1** kann die oberste implantierte Schicht 110-1 an Oberfläche 118 gebildet sein. In anderen Beispielen, z. B. in Bezug auf **Abb. 8**, kann die oberste implantierte Schicht 810-1 unterhalb Oberfläche 118 von Substrat 102 so gebildet sein, dass ein n-dotierter Bereich 820-1 zwischen der obersten implantierten Schicht 810-1 und Oberfläche 118 angeordnet ist.

[0026] Die implantierten Schichten 110 können sich in einer Richtung erstrecken, die parallel zu Oberfläche 118 liegt. Wie in diesem Dokument dargestellt, können sich die implantierten Schichten 110 in einigen Beispielen von einem Abschnitt des Drain-Bereichs 104, der nahe an Drain-Kontaktbereich 112 liegt, zu einem Abschnitt des Drain-Bereichs 104 erstrecken, der nahe an Body-Bereich 106 liegt. Wie jedoch in **Abb. 1** dargestellt, haben die implantierten Schichten 110 in einigen Beispielen keinen Kontakt zu Drain-Kontaktbereich 112 und Body-Bereich 106. Vielmehr kann in diesen Beispielen ein n-dotierter Bereich von Drain-Bereich 104 die implantierten Schichten 110 von Drain-Kontaktbereich 112 trennen. In ähnlicher Weise kann ein n-dotierter Bereich von Drain-Bereich 104 die implantierten Schichten 110 von Body-Bereich 106 trennen. Anders gesagt, sind Ränder der implantierten Schichten 110 nahe an Drain-Kontaktbereich 112 von Drain-Kontaktbereich 112 durch einen n-dotierten Bereich von Drain-Bereich 104 getrennt. In ähnlicher Weise sind Ränder der implantierten Schichten

110 nahe an Body-Bereich 106 von Body-Bereich 106 durch einen n-dotierten Bereich von Drain-Bereich 104 getrennt.

[0027] In dem Beispiel-HVFET 100 von **Abb. 1** kann die mittlere implantierte Schicht 110-2 und die unterste implantierte Schicht 110-3 von n-dotierten Bereichen von Drain-Bereich 104 umgeben sein. Die oberste implantierte Schicht 110-1 ist an allen Seiten von n-dotierten Bereichen von Drain-Bereich 104 umgeben, ausgenommen an der Seite der obersten implantierten Schicht 110 an Oberfläche 118. Die Seite der obersten implantierten Schicht 110-1 an Oberfläche 118 kann an die dünne Oxidschicht 122 anstoßen. In dem Beispiel-HVFET 800 von **Abb. 8** kann jede der implantierten Schichten 810 von n-dotierten Bereichen des Drain-Bereichs 104 umgeben sein.

[0028] Der HVFET 100 umfasst eine dünne Oxidschicht 122, eine Gate-Oxidschicht 124 und eine dicke Oxidschicht 126. Die dünne Oxidschicht 122 kann an Oberfläche 118 über der oberen Seite von implantierten Schichten 110 gebildet sein. Beispielsweise kann die dünne Oxidschicht 122 den Abschnitt von Oberfläche 118 über der oberen Seite der implantierten Schichten 110 vollständig bedecken. Wie weiter unten beschrieben, kann die dünne Oxidschicht 122 an Oberfläche 118 vor der Implantation der implantierten Schichten 110 gebildet werden. Nach Bildung der dünnen Oxidschicht 122 können die implantierten Schichten 110 im Zuge von Ionenimplantationsvorgängen durch die dünne Oxidschicht 122 in den Drain-Bereich 104 implantiert werden.

[0029] Gate-Oxidschicht 124 kann an Oberfläche 118 über der oberen Seite von Body-Bereich 106 gebildet sein. Beispielsweise kann Gate-Oxidschicht 124 den Abschnitt von Body-Bereich 106 bedecken, der sich zwischen Drain-Bereich 104 und Source-Bereich 108 befindet. Wie in **Abb. 1** dargestellt, kann die Gate-Oxidschicht 124 angrenzend an die dünne Oxidschicht 122 so gebildet sein, dass Gate-Oxidschicht 124 und dünne Oxidschicht 122 eine durchgehende Oxidschicht bilden, welche die Oberfläche 118 bedeckt.

[0030] An der Oberseite von Gate-Oxidschicht 124 über der oberen Seite von Body-Region 106 kann eine Gate-Elektrode 128 gebildet sein. Der Abschnitt von Body-Bereich 106 und Drain-Bereich 104 unterhalb von Gate-Oxidschicht 124 und Gate-Elektrode 128 kann einen Kanalbereich des HVFET 100 bilden. Dementsprechend kann sich der Kanalbereich des HVFET 100 in einigen Beispielen von den Rändern der implantierten Schichten 110 bis zu dem Source-Bereich 108 erstrecken. Gate-Elektrode 128 kann als Gate-Anschluss von HVFET 100 dienen, der gegebenenfalls mit Schaltkreisen außerhalb des HVFET

100 verbunden ist. In einigen Beispielen kann Gate-Elektrode 128 ein stark dotiertes polykristallines Silikonmaterial sein. Das Modulieren einer an Gate-Elektrode 128 angelegten Gate-Spannung moduliert gegebenenfalls die Leitfähigkeit des Abschnitts von Body-Bereich 106 (z. B. den Kanalbereich), welcher der Gate-Elektrode 128 und der Gate-Oxidschicht 124 zu Grunde liegt.

[0031] Die dicke Oxidschicht 126 kann über der oberen Seite der dünnen Oxidschicht 122 gebildet werden, nachdem die implantierten Schichten 110 mithilfe von Ionenimplantationsvorgängen gebildet sind. Ein Rand der dicken Oxidschicht 126 kann sich gegebenenfalls angrenzend an einem Rand von Gate-Oxidschicht 124 befinden. Beispielsweise kann an einem Rand von Gate-Oxidschicht 124 und einem Rand der dicken Oxidschicht 126 eine Grenzfläche vorhanden sein.

[0032] Wie oben beschrieben, wird Gate-Elektrode 128 über der Oberseite von Gate-Oxidschicht 124 gebildet. In einigen Beispielen, wie in **Abb. 1** dargestellt, kann Gate-Elektrode 128 eine durchgehende Schicht sein, die sowohl über der Gate-Oxidschicht 124 und einem Abschnitt der dicken Oxidschicht 126 gebildet wird. Beispielsweise kann sich Gate-Elektrode 128 an die Grenzfläche zwischen Gate-Oxidschicht 124 und dicker Oxidschicht 126 dergestalt anfügen, dass an der Oberseite von Gate-Oxidschicht 124 und an der Oberseite eines Abschnitts der dicken Oxidschicht 126 eine durchgehende Gate-Elektrode 128 abgelagert wird. Wie in **Abb. 1** dargestellt, kann Gate-Elektrode 128 an der oberen Seite der dicken Oxidschicht 126 über der oberen Seite der Ränder der implantierten Schichten 110, die sich nahe Body-Region 106 befinden, gebildet werden. In einigen Beispielen kann eine Drain-Polysilicon-Extension 130 auf der oberen Seite der dicken Oxidschicht 126 über der Oberseite der Ränder der implantierten Schichten 110 abgelagert werden, die sich nahe an Drain-Kontaktbereich 112 befinden. Die Drain-Polysilicon-Extension 130 und der Abschnitt von Gate-Elektrode 128 über der oberen Seite der implantierten Schichten 110 kann das Peak-Feld in dem zugrunde liegenden Drain-Bereich 104 verändern.

[0033] Der HVFET 100 kann eine dielektrische Zwischenschicht 132 umfassen, gebildet über der oberen Seite der Gate-Oxidschicht 124, der Gate-Elektrode 128 und der dicken Oxidschicht 126. Die dielektrische Zwischenschicht 132 kann ein Isoliermaterial sein, welches dazu dient, Elektroden (z. B. 114, 116, 128) davon abzuhalten, einander zu berühren.

[0034] Einiges der Struktur und der Operation von HVFET 100 ist in der Folge zusammengefasst. Drain-Bereich 104 und Source-Bereich 108 sind

durch Body-Bereich 106 getrennt. Drain-Bereich 104 umfasst einen Drain-Kontaktbereich 112, der mit Drain-Elektrode 114 kontaktiert werden kann. Body-Bereich 106 umfasst den Source-Bereich 108, der mit Source-Elektrode 116 kontaktiert werden kann. Ein Abschnitt von Body-Bereich 106 und ein Abschnitt von Drain-Bereich 104 sind zwischen Source-Bereich 108 und Drain-Kontaktbereich 112 angeordnet. In anderen Worten, Drain-Kontaktbereich 112 und Source-Bereich 108 können an separaten Enden von HVFET 100 so angeordnet sein, dass sich Abschnitte von Body-Bereich 106 und Abschnitte von Drain-Bereich 104 einschließlich implantierter Schichten 110 zwischen Drain-Kontaktbereich 112 und Source-Bereich 108 befinden. Sobald der HVFET 100 im Betrieb durch eine Gate-Spannung in den Durchlasszustand gesetzt wird, kann zwischen Drain-Kontaktbereich 112 und Source-Bereich 108 (z. B. zwischen implantierten Schichten 110) als Reaktion auf die Anwendung eines Drains auf die Source-Spannung Strom fließen.

[0035] Die Fertigung des HVFET 100 ist unten beschrieben. Ein Verfahren 200 für das Fertigen des HVFET 100 ist in Bezug auf **Abb. 2** beschrieben. Die Fertigung des HVFET 100 in verschiedenen Phasen ist in **Abb. 3 - 7** dargestellt. Das Verfahren 200 für das Fertigen des HVFET 100 wird nun unter Verweis auf **Abb. 3 - 7** beschrieben.

[0036] **Abb. 2** ist die Darstellung eines Verfahrens 200 für das Fertigen des HVFET 100. Wie in diesem Dokument dargestellt und beschrieben, kann der HVFET 100 auf einem Halbleitersubstrat 102 des p-Typs (z. B. auf einem p-dotierten Silizium-Wafer) gefertigt werden. In einem Beispiel kann ein leicht p-dotierter ($5 \times 10^{13} \text{ cm}^{-3}$ bis $5 \times 10^{14} \text{ cm}^{-3}$) Silizium-Wafer verwendet werden.

[0037] Was **Abb. 3** betrifft, kann Substrat 102 eine Oberfläche 118 aufweisen, auf der für das Fertigen des HVFET 100 Verarbeitungsvorgänge durchgeführt werden. So können beispielsweise zur Fertigung des HVFET 100 angewendete Dotierungsvorgänge, Strukturierungsvorgänge und Schichtungsvorgänge auf der Oberfläche 118 durchgeführt werden, wie unten beschrieben.

[0038] Zunächst werden gegebenenfalls Drain-Bereich 104 und Body-Bereich 106 in Substrat 102 in Block 202 bzw. Block 204 gebildet. Drain-Bereich 104 kann eine in einem Abschnitt von Substrat 102 gebildete n-Wanne sein. Body-Bereich 106 kann eine in einem Abschnitt von Substrat 102 angrenzend an Drain-Bereich 104 gebildete p-Wanne sein.

[0039] Drain-Bereich 104 und Body-Bereich 106 können dotierte Bereiche sein, die sich von Oberfläche 118 in das Substrat 102 erstrecken. In einigen

Beispielen weist Drain-Bereich 104 gegebenenfalls eine Tiefe von annähernd 5 - 10 μm und eine Länge von annähernd 20 - 150 μm auf. In einigen Beispielen weist Body-Bereich 106 gegebenenfalls eine Tiefe von annähernd 1 - 8 μm auf.

[0040] Bezieht man sich nun auf **Abb. 4**, so kann die dünne Oxidschicht 122 an der Oberfläche 118 in Block 206 gebildet werden. Wie dargestellt, kann die dünne Oxidschicht 122 über sowohl dem Body-Bereich 106 wie auch dem Drain-Bereich 104 gebildet werden. Mithilfe eines thermischen Oxidationsverfahrens kann die dünne Oxidschicht 122 aufgebaut werden. In einigen Beispielen kann die dünne Oxidschicht 122 eine Stärke von annähernd 20 - 500 nm aufweisen.

[0041] Bezieht man sich nun auf **Abb. 5**, so kann über der oberen Seite der dünnen Oxidschicht 122 in Block 208 eine Maskierschicht 134 gebildet werden. Die Maskierschicht 134 kann eine Öffnung 136 über der oberen Seite eines Abschnitts der dünnen Oxidschicht 122 definieren, die sich oberhalb von Drain-Bereich 104 befindet. Durch Öffnung 136 können nachfolgende Ionenimplantationsvorgänge durchgeführt werden. Die Maskierschicht 134 kann in einigen Beispielen als Fotolackschicht ausgeführt sein. Die Maskierschicht 134 weist gegebenenfalls eine ausreichende Stärke auf, um Ionen am Eindringen in Abschnitte des Substrats 102 zu hindern, die durch die Maskierschicht 134 maskiert sind.

[0042] Durch die dünne Oxidschicht 122 wird dann eine Vielzahl von Ionenimplantationsvorgängen in den Blöcken 210 - 214 durchgeführt, um implantierte Schichten 110 zu bilden. Die Vielzahl von Ionenimplantationsvorgängen ist durch Pfeile 138 dargestellt, die auf der dünnen Oxidschicht 122 auftreffen. Beispielsweise können Pfeile 138 einen Ionenstrahl darstellen, der auf der dünnen Oxidschicht 122 auftrifft. Der Winkel von Pfeilen 138 kann gegebenenfalls den Winkel des Ionenstrahls im Verhältnis zu der dünnen Oxidschicht 122 darstellen. Der Winkel, mit dem der Ionenstrahl auf der dünnen Oxidschicht 122 auftrifft, kann durch Neigen des Substrats 102 relativ zu dem Ionenstrahl gesteuert werden. Zwar kann das Substrat 102 während eines Ionenimplantationsvorgangs so geneigt sein, dass der Ionenstrahl auf der dünnen Oxidschicht 122 in einem Winkel auftrifft, der nicht 90 Grad (d. h., der Senkrechten auf die dünne Oxidschicht 122) entspricht, jedoch kann in einigen Beispielen das Substrat 102 so geneigt sein, dass der Ionenstrahl auf der dünnen Oxidschicht 122 in einem Winkel von 90 Grad auftrifft. Die Pfeile 138 sind in **Abb. 5** so dargestellt, dass sie auf der dünnen Oxidschicht 122 in einem Winkel auftreffen, der von der Senkrechten annähernd fünf Grad abweicht.

[0043] Zum Implantieren einer einzelnen der implantierten Schichten 110 kann ein einzelner Ionenimplantationsvorgang angewendet werden. Dementsprechend werden zum Implantieren der drei separaten implantierten Schichten 110 gegebenenfalls drei separate Ionenimplantationsvorgänge vorgenommen. Bei jedem dieser Ionenimplantationsvorgänge können verschiedene unterschiedliche Parameter (z. B. Implantationswinkel und Implantationsenergie) Ansatz finden. Beispielparameter für die drei Implantationsvorgänge sind unten beschrieben.

[0044] Zum Implantieren der untersten implantierten Schicht 110-3 in Block 210 kann ein erster Ionenimplantationsvorgang durch die dünne Oxidschicht 122 vorgenommen werden. In einigen Beispielen kann der erste Ionenimplantationsvorgang vorgenommen werden, während Substrat 102 so geneigt ist, dass der Ionenstrahl auf der dünnen Oxidschicht 122 in einem Winkel auftrifft, der nicht 90 Grad entspricht, d. h., nicht senkrecht ist. Beispielsweise kann das Substrat 102 so geneigt sein, dass der Ionenstrahl auf der dünnen Oxidschicht 122 in einem Winkel auftrifft, der von der Senkrechten etwa 3 - 10 Grad abweicht. Der erste Ionenimplantationsvorgang kann in einigen Beispielen unter Anwendung einer Ionenimplantationsenergie von annähernd 2 MeV - 5 MeV vorgenommen werden. Die Durchführung einer Ionenimplantation durch die dünne Oxidschicht 122 bei geneigtem Substrat 102, wie oben beschrieben, kann darin resultieren, dass die unterste implantierte Schicht 110-3 ein annähernd der Gaußschen Normalverteilung entsprechendes Dotierungsprofil aufweist.

[0045] Die unterste implantierte Schicht 110-3 kann in Substrat 102 (d. h., Drain-Bereich 104) etwa 2 - 5 μm unterhalb der Oberfläche 118 implantiert werden. Die Stärke der untersten implantierten Schicht 110-3 kann annähernd 0,5 - 2 μm betragen. Der Abstand zwischen der untersten implantierten Schicht 110-3 und der mittleren implantierten Schicht 110-2 (d. h., der n-dotierte Bereich 120-2) kann in einigen Beispielen etwa 0,5 - 3 μm betragen.

[0046] Zum Implantieren der mittleren implantierten Schicht 110-2 in Block 212 kann ein zweiter Ionenimplantationsvorgang durch die dünne Oxidschicht 122 vorgenommen werden. In einigen Beispielen kann der zweite Ionenimplantationsvorgang vorgenommen werden, während Substrat 102 so geneigt ist, dass der Ionenstrahl auf der dünnen Oxidschicht 122 in einem Winkel auftrifft, der nicht 90 Grad entspricht, d. h., nicht senkrecht ist. Beispielsweise kann das Substrat 102 so geneigt sein, dass der Ionenstrahl auf der dünnen Oxidschicht 122 in einem Winkel auftrifft, der von der Senkrechten etwa 3 - 10 Grad abweicht. Der zweite Ionenimplantationsvorgang kann in einigen Beispielen unter Anwendung einer

Ionenimplantationsenergie von annähernd 0,5 MeV - 3 MeV vorgenommen werden. Die Durchführung einer Ionenimplantation durch die dünne Oxidschicht 122 bei geneigtem Substrat 102, wie oben beschrieben, kann darin resultieren, dass die mittlere implantierte Schicht 110-2 ein annähernd der Gaußschen Normalverteilung entsprechendes Dotierungsprofil aufweist.

[0047] Die mittlere implantierte Schicht 110-2 kann in Substrat 102 (d. h., Drain-Bereich 104) etwa 0,5 - 3 μm unterhalb der Oberfläche 118 implantiert werden. Die Stärke der untersten implantierten Schicht 110-2 kann annähernd 0,3 - 1,5 μm betragen. Der Abstand zwischen der mittleren implantierten Schicht 110-2 und der obersten implantierten Schicht 110-1 (d. h., der n-dotierte Bereich 120-1) kann in einigen Beispielen etwa 0,5 - 3 μm betragen.

[0048] Zum Implantieren der obersten implantierten Schicht 110-1 in Block 214 kann ein dritter Ionenimplantationsvorgang durch die dünne Oxidschicht 122 vorgenommen werden. In einigen Beispielen kann der dritte Ionenimplantationsvorgang vorgenommen werden, während Substrat 102 so geneigt ist, dass der Ionenstrahl auf der dünnen Oxidschicht 122 in einem Winkel auftrifft, der nicht 90 Grad entspricht, d. h., nicht senkrecht ist. Beispielsweise kann das Substrat 102 so geneigt sein, dass der Ionenstrahl auf der dünnen Oxidschicht 122 in einem Winkel auftrifft, der von der Senkrechten etwa 3 - 10 Grad abweicht. Der dritte Ionenimplantationsvorgang kann in einigen Beispielen unter Anwendung einer Ionenimplantationsenergie von annähernd 50 - 500 keV vorgenommen werden. Die Durchführung einer Ionenimplantation durch die dünne Oxidschicht 122 bei ebenso geneigtem Substrat 102, wie oben beschrieben, kann darin resultieren, dass die oberste implantierte Schicht 110-1 ein annähernd der Gaußschen Normalverteilung entsprechendes Dotierungsprofil aufweist. Die Stärke der obersten implantierten Schicht 110-1 kann annähernd 0,1 - 1 μm betragen. Dementsprechend kann sich die oberste implantierte Schicht 110-1 von der Oberfläche 118 etwa 0,1 - 1 μm hinunter in das Substrat 102 (d. h., in den Drain-Bereich 104) erstrecken.

[0049] Bezieht man sich nun auf **Abb. 6**, so kann die Maskierschicht 134 von der dünnen Oxidschicht 122 entfernt werden. Anschließend kann in Block 216 die dicke Oxidschicht 126 über der oberen Seite der dünnen Oxidschicht 122 gebildet werden. Die dicke Oxidschicht 126 kann in einigen Beispielen mithilfe eines Niedertemperatur-Oxidbildungsverfahrens, beispielsweise einer chemischen Gasphasenabscheidung, gebildet werden. Die Anwendung eines Niedertemperaturverfahrens kann die Diffusion von implantierten Schichten 110 verhindern. In einigen Beispielen kann die dicke Oxidschicht 126 eine Stärke von annähernd 0,1 - 2 μm aufweisen.

[0050] Bezieht man sich nun auf **Abb. 7**, so können die dicke Oxidschicht 126 und die dünne Oxidschicht 122 geätzt werden, um die Bereiche 140-1, 140-2 von Oberfläche 118 in Block 218 freizulegen. Der freigelegte Bereich 140-1 kann sich über der oberen Seite von Body-Bereich 106 befinden. Der freigelegte Bereich 140-2 kann sich über der oberen Seite von Drain-Bereich 104 befinden. Die Fertigung weiterer Merkmale des HVFET 100 ist nun in Bezug auf **Abb. 1** beschrieben.

[0051] Bezieht man sich erneut auf **Abb. 1**, so können Source-Bereich 108 und Drain-Kontaktbereich 112 in Block 224 gefertigt werden. Source-Bereich 108 kann mithilfe zweier Dotierungsvorgänge gebildet werden. Beispielsweise können P+ Bereich 108-1 und N+ Bereich 108-2 durch Anwenden eines p-Dotierungsvorgangs bzw. eines n-Dotierungsvorgangs gebildet werden. Drain-Kontaktbereich 112 kann unter Anwendung eines N+ Dotierungsvorgangs gebildet werden.

[0052] Gate-Oxidschicht 124 kann über dem Body-Bereich 106 in Block 220 gebildet werden. Gate-Oxidschicht 124 kann mithilfe eines thermischen Oxidationsverfahrens gebildet werden. In einigen Beispielen kann Gate-Oxidschicht 124 eine Stärke von annähernd 10 - 100 nm aufweisen.

[0053] Gate-Elektrode 128 und Drain-Polysilicon-Extension 130 können in Block 222 unter Anwendung eines Niedrigdruck-Gasphasenabscheidungsverfahrens (Low Pressure Chemical Vapor Deposition, LPCVD) gebildet werden. Gate-Elektrode 128 und Drain-Polysilicon-Extension 130 können in einigen Beispielen dotiertes Polysilicon enthalten. Gate-Elektrode 128 kann eine Stärke von annähernd 0,1 - 1 μm aufweisen. Drain-Polysilicon-Extension 130 kann eine Stärke von annähernd 0,1 - 1 μm aufweisen.

[0054] Die dielektrische Zwischenschicht 132 kann dann in Block 226 unter Anwendung eines Gasphasenabscheidungsverfahrens (Chemical Vapor Deposition, CVD), bei dem es sich um ein Niedrigtemperaturverfahren handelt, gebildet werden. Die dielektrische Zwischenschicht 132 kann in einigen Beispielen eine Stärke von annähernd 0,3 - 2 μm aufweisen. Drain-Elektrode 114 und Source-Elektrode 116 können in Block 228 gebildet werden. In einigen Beispielen können Drain-Elektrode 114 und Source-Elektrode 116 metallische Elektroden sein.

[0055] Zwar sind oben einige Beispiele im Detail beschrieben, es sind jedoch andere Modifikationen möglich. So verlangt beispielsweise das in **Abb. 2** dargestellte Ablaufdiagramm zur Erzielung des gewünschten Ergebnisses weder die dargestellte bestimmte Anordnung noch die dargestellte bestimmte Reihenfolge. In dem beschriebenen

Ablaufdiagramm können andere Schritte vorgesehen werden oder Schritte entfallen. So können beispielsweise die verschiedenen Bereiche von Substrat 102 (z. B. 104, 106, 108, 110, 112) und verschiedene Schichten (z. B. 114, 116, 122, 124, 126, 128, 130, 132) des HVFET 100 in einer anderen Anordnung als der in Bezug auf **Abb. 2** beschriebenen gefertigt werden. Zusätzlich dazu ist beabsichtigt, dass dem Substrat 102 Bereiche und/oder Schichten hinzugefügt oder aus dem Substrat 102 entfernt werden können, um einen HVFET zu bilden. Gegebenenfalls gehören andere Ausführungsformen zum Umfang der Ansprüche.

[0056] **Abb. 8** ist die Darstellung eines alternativen HVFET 800, welcher die implantierten Schichten 810-1, 810-2, 810-3 (gemeinschaftlich „implantierte Schichten 810“) umfasst. Der alternative HVFET 800 unterscheidet sich von dem HVFET 100 dahingehend, dass die implantierten Schichten 810 in Tiefen in Drain-Bereich 104 implantiert sind, die zu denen der implantierten Schichten 110 unterschiedlich sind. Beispielsweise kann die oberste implantierte Schicht 810-1 so in einem Abstand zu Oberfläche 118 implantiert sein, dass zwischen der implantierten Schicht 810-1 und Oberfläche 118 ein n-dotierter Bereich 820-1 vorhanden ist.

[0057] Implantierte Schichten 810 können p-dotierte Schichten (z. B. unter Verwendung von Bor) innerhalb des Drain-Bereichs 104 sein. Implantierte Schichten 810 können mithilfe der oben für die Ionenimplantation der implantierten Schichten 110 beschriebenen Ionenimplantationsvorgänge in Drain-Bereich 104 implantiert werden. Jede der implantierten Schichten 810 weist gegebenenfalls beinahe ebene Geometrien auf, die sich innerhalb des Drain-Bereichs 104 annähernd parallel zu Oberfläche 118 erstrecken.

[0058] Implantierte Schichten 810 können in unterschiedlichen Tiefen innerhalb des Drain-Bereichs 104 dergestalt gebildet sein, dass die implantierten Schichten 810 übereinander und untereinander gestapelt sind. Implantierte Schichten 810 können voneinander durch Regionen der n-Wanne getrennt sein, welche nicht durch die Ionenimplantationsvorgänge p-dotiert sind. Anders ausgedrückt, können implantierte Schichten 810 in Drain-Bereich 104 so gebildet werden, dass implantierte Schichten 810 von Drain-Bereich 104 durch n-dotierte Bereiche 820-2, 820-3 getrennt sind. In dem HVFET 800 ist jede der implantierten Schichten 810 von n-dotiertem Material des Drain-Bereichs 104 umgeben.

Patentansprüche

1. Verfahren für das Fertigen eines Hochvolt-Feldeffekttransistors (100; 800), das Verfahren umfassend:

Bilden eines Body-Bereichs (106) in einem Halbleitersubstrat (102);

Bilden eines Source-Bereichs (108) in dem Halbleitersubstrat (102);

Bilden eines Drain-Bereichs (104) in dem Halbleitersubstrat (102), der von dem Source-Bereich (108) durch den Body-Bereich (106) getrennt ist, wobei das Bilden des Drain-Bereichs (104) Folgendes umfasst:

Bilden einer ersten Oxidschicht (122) an einer Oberfläche (118) des Halbleitersubstrats (102) über dem Drain-Bereich (104) mithilfe eines thermischen Oxidationsverfahrens, wobei die erste Oxidschicht (122) eine Stärke von 20 - 500 Nanometer aufweist, sowie

Durchführen einer Vielzahl von Ionenimplantationsvorgängen durch die Oxidschicht (122) bei gleichzeitigem Neigen des Halbleitersubstrats (102) dergestalt, dass die Ionenstrahlen auf der Oxidschicht (122) in einem Winkel auftreffen, der von der Senkrechten abweicht, wobei die Vielzahl der Ionenimplantationsvorgänge eine entsprechende Vielzahl separater implantierter Schichten (110; 810) innerhalb des Drain-Bereichs (104) bildet, und wobei jede der implantierten Schichten (110; 810) in einer unterschiedlichen Tiefe im Drain-Bereich (104) gebildet wird; und

Ablagern einer zweiten Oxidschicht (126) auf der ersten Oxidschicht (122) mithilfe eines Niedertemperatur-Oxidablagerungsvorgangs.

2. Verfahren von Anspruch 1, wobei der Drain-Bereich (104) einen dotierten n-Wannenbereich umfasst.

3. Verfahren eines der vorhergehenden Ansprüche, in welchem das Neigen des Halbleitersubstrats (102) das Neigen des Halbleitersubstrats (102) dergestalt umfasst, dass die Ionenstrahlen auf der ersten Oxidschicht (122) in einem Winkel auftreffen, der von der Senkrechten um drei bis zehn Grad abweicht.

4. Verfahren eines der vorhergehenden Ansprüche, wobei die zweite Oxidschicht (126) eine Stärke von 0,1 - 2 Mikrometer aufweist.

5. Verfahren von Anspruch 4, ferner umfassend: Durchführen eines Ätzvorgangs, um die Oberfläche (118) des Halbleitersubstrats (102) über der oberen Seite des Body-Bereichs (106) freizulegen; Bilden einer Gate-Oxidschicht (124) über der oberen Seite des Body-Bereichs (106), wobei die Gate-Oxidschicht (124) an die erste Oxidschicht (122) und die zweite Oxidschicht (126) anstößt, sowie Bilden einer Gate-Elektrode (128) über der oberen Seite der Gate-Oxidschicht (124) und einem Abschnitt der zweiten Oxidschicht (126), wobei sich ein über dem Abschnitt der zweiten Oxidschicht (126) liegender Abschnitt der Gate-Elektrode (128)

über der oberen Seite von Abschnitten der implantierten Schichten nahe des Body-Bereichs (106) befindet.

6. Verfahren eines der vorhergehenden Ansprüche, in welchem jede implantierte Schicht der Vielzahl separater implantierter Schichten (110; 810) eine Stärke von 0,1 - 2 Mikrometer aufweist.

7. Verfahren eines der vorhergehenden Ansprüche, in welchem der Drain-Bereich (104) eine Wanne des n-Typs umfasst, wobei das Durchführen der Vielzahl von Ionenimplantationsvorgängen das Durchführen von drei Ionenimplantationsvorgängen für das Bilden von drei separaten implantierten Schichten (110) des p-Typs umfasst, wobei eine erste (110-1) der implantierten Schichten des p-Typs an der Oberfläche (118) des an die erste Oxidschicht (122) anstoßenden Halbleitersubstrats (102) gebildet wird, wobei eine zweite (110-2) der implantierten Schichten des p-Typs unter der ersten (110-1) der implantierten Schichten des p-Typs gebildet wird, und wobei eine dritte (110-3) der implantierten Schichten des p-Typs unter der zweiten (110-2) der implantierten Schichten des p-Typs gebildet wird.

8. Verfahren von Anspruch 7, in welchem die ersten und die zweiten implantierten Schichten (110-1, 110-2) des p-Typs durch einen ersten n-Typ-Bereich (120-1) der Wanne des n-Typs getrennt sind, welche eine Stärke von 0,5 - 3 Mikrometer aufweist, und in welchem die zweiten und die dritten implantierten Schichten (110-2, 110-3) des p-Typs durch einen zweiten n-Typ-Bereich (120-2) der Wanne des n-Typs getrennt sind, welche eine Stärke von 0,5 - 3 Mikrometer aufweist.

9. Verfahren eines der vorhergehenden Ansprüche, in welchem der Drain-Bereich (104) eine Wanne des n-Typs umfasst, wobei das Durchführen der Vielzahl von Ionenimplantationsvorgängen das Durchführen von drei Ionenimplantationsvorgängen für das Bilden von drei separaten implantierten Schichten (810) des p-Typs innerhalb der Wanne des n-Typs umfasst, wobei eine erste (810-1) der implantierten Schichten des p-Typs unter der Oberfläche (118) des Substrats (102) dergestalt begraben wird, dass ein n-Typ-Bereich (820-1) der Wanne des n-Typs zwischen der ersten Oxidschicht (122) und der ersten implantierten Schicht (810-1) des p-Typs angeordnet ist, wobei eine zweite (810-2) der implantierten Schichten des p-Typs unterhalb der ersten (810-1) der implantierten Schichten des p-Typs gebildet wird, und wobei eine dritte (810-3) der implantierten Schichten des p-Typs unterhalb der zweiten (810-2) der implantierten Schichten des p-Typs gebildet wird.

10. Verfahren von Anspruch 9, in welchem die erste implantierte Schicht (810-1) des p-Typs von der ersten Oxidschicht (122) durch einen ersten n-Typ-Bereich (820-1) der Wanne des n-Typs getrennt ist, welcher eine Stärke von 0,05 - 2 Mikrometer aufweist, wobei die ersten und zweiten implantierten Schichten (810-1, 810-2) des p-Typs durch einen zweiten n-Typ-Bereich (820-2) der Wanne des n-Typs getrennt sind, welcher eine Stärke von 0,5 - 3 Mikrometer aufweist, und wobei die zweiten und dritten implantierten Schichten (810-2, 810-3) des p-Typs durch einen dritten n-Typ-Bereich (820-3) der Wanne des n-Typs getrennt sind, welcher eine Stärke von 0,5 - 3 Mikrometer aufweist.

11. Verfahren von Anspruch 1, wobei das Durchführen einer Vielzahl von Ionenimplantationsvorgängen das Durchführen von drei Ionenimplantationsvorgängen durch die erste Oxidschicht (122) umfasst, um drei separate implantierte Schichten (110) innerhalb des Drain-Bereichs (104) zu bilden, wobei jede der implantierten Schichten (110) in einer unterschiedlichen Tiefe in dem Drain-Bereich (104) abgelagert wird, und wobei sich eine erste (110-1) der drei implantierten Schichten an der Oberfläche (118) des an die erste Oxidschicht (122) anstoßenden Halbleitersubstrats (102) befindet.

12. Verfahren von Anspruch 11, wobei die zweite Oxidschicht (126) eine Stärke von 0,1 - 2 Mikrometer aufweist.

13. Verfahren von Anspruch 12, ferner umfassend:
Durchführen eines Ätzvorgangs, um die Oberfläche (118) des Halbleitersubstrats (102) über der oberen Seite des Body-Bereichs (106) freizulegen;
Bilden einer Gate-Oxidschicht (124) über der oberen Seite des Body-Bereichs (106), wobei die Gate-Oxidschicht (124) an die erste Oxidschicht (122) und die zweite Oxidschicht (126) anstößt, sowie
Bilden einer Gate-Elektrode (128) über der oberen Seite der Gate-Oxidschicht (124).

14. Verfahren eines der Ansprüche 11-13, in welchem jede der drei implantierten Schichten (110) eine Stärke von 0,1 - 2 Mikrometer aufweist.

15. Verfahren eines der Ansprüche 11-14, in welchem der Drain-Bereich (104) eine Wanne des n-Typs umfasst, wobei die drei implantierten Schichten (110) implantierte Schichten des p-Typs sind, wobei eine zweite (110-2) der implantierten Schichten des p-Typs unter der ersten (110-1) der implantierten Schichten des p-Typs gebildet wird, und wobei eine dritte (110-3) der implantierten Schichten des p-Typs unter der zweiten (110-2) der implantierten Schichten des p-Typs gebildet wird.

16. Verfahren von Anspruch 15, in welchem die ersten und die zweiten implantierten Schichten (110-1, 110-2) des p-Typs durch einen ersten n-Typ-Bereich (120-1) der Wanne des n-Typs getrennt sind, welche eine Stärke von 0,5 - 3 Mikrometer aufweist, und in welchem die zweiten und die dritten implantierten Schichten (110-2, 110-3) des p-Typs durch einen zweiten n-Typ-Bereich (120-2) der Wanne des n-Typs getrennt sind, welche eine Stärke von 0,5 - 3 Mikrometer aufweist.

17. Hochvolt-Feldeffekttransistor (HVFET) (100), umfassend:
einen Body-Bereich (106) in einem Halbleitersubstrat (102);
einen Source-Bereich (108) in dem Halbleitersubstrat (102);
einen Drain-Bereich (104) in dem Halbleitersubstrat (102), der vom Source-Bereich (108) durch den Body-Bereich (106) getrennt ist, wobei der Drain-Bereich (104) drei separate implantierte Schichten (110-1, 110-2, 110-3) umfasst, wobei sich jede der implantierten Schichten in einer unterschiedlichen Tiefe im Drain-Bereich (104) befindet, und wobei sich eine erste (110-1) der drei implantierten Schichten an der Oberfläche (118) des Halbleitersubstrats (102) befindet;
eine erste Oxidschicht (122) an der Oberfläche (118) des Halbleitersubstrats (102) über dem Drain-Bereich (104), die an die erste implantierte Schicht in dem Drain-Bereich (104) anstößt, wobei die erste Oxidschicht (122) eine Stärke von 20 - 500 Nanometer aufweist;
eine zweite Oxidschicht (126) über der ersten Oxidschicht (122), wobei die zweite Oxidschicht (126) eine Stärke von 0,1 - 2 Mikrometer aufweist; und
eine Gate-Elektrode (128) an der oberen Seite der zweiten Oxidschicht (126) über der oberen Seite der Ränder der implantierten Schichten (110).

18. HVFET (100) von Anspruch 17, ferner umfassend:
eine Gate-Oxidschicht (124) an der Oberseite der Oberfläche (118) über der oberen Seite des Body-Bereichs (106), wobei die Gate-Oxidschicht (124) an die erste Oxidschicht (122) und an die zweite Oxidschicht (126) anstößt, wobei die Gate-Elektrode (128) über der oberen Seite der Gate-Oxidschicht (124) angeordnet ist.

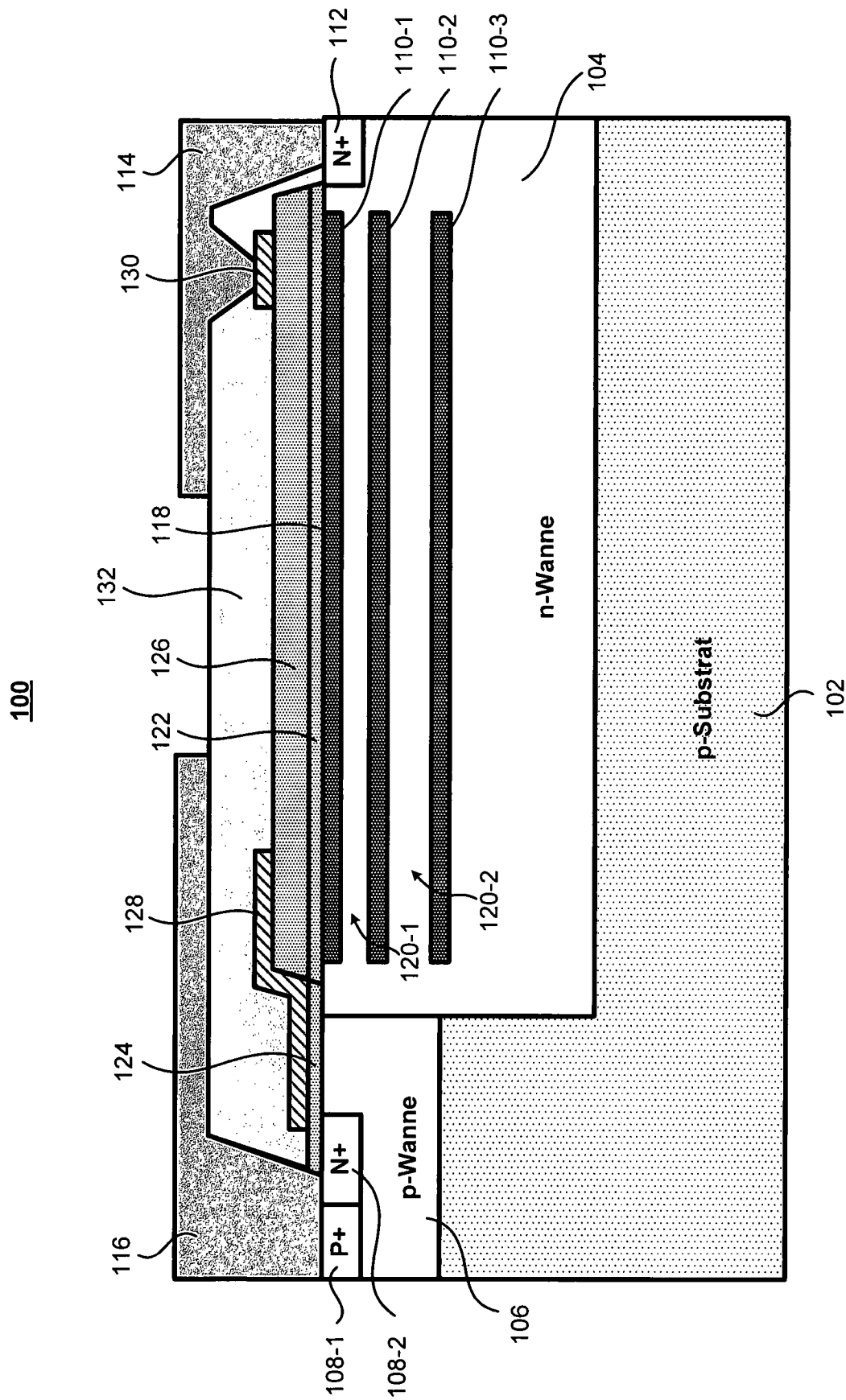
19. HVFET (100) eines der Ansprüche 17-18, in welchem jede der drei implantierten Schichten (110) eine Stärke von 0,1 - 2 Mikrometer aufweist.

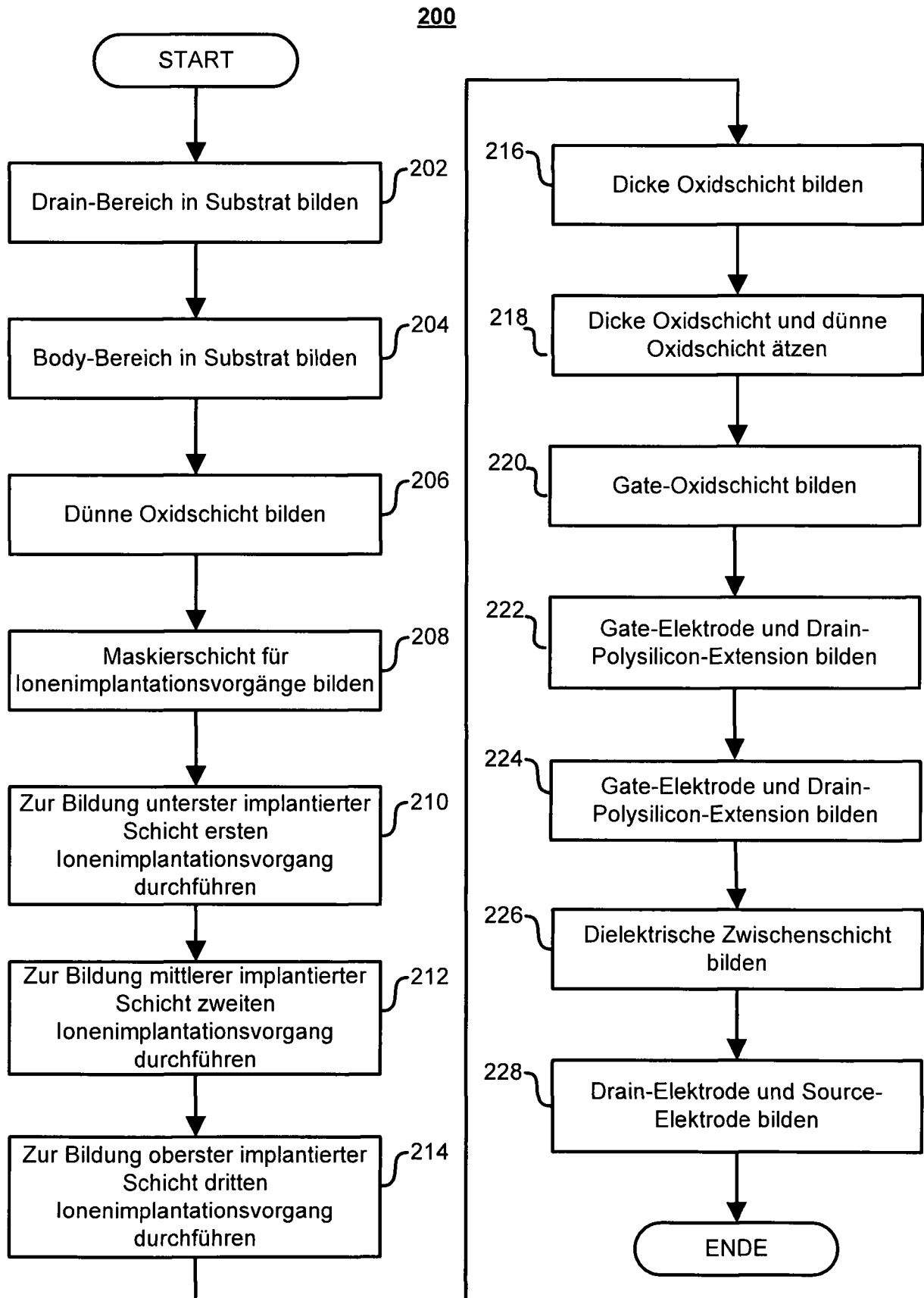
20. HVFET (100) eines der Ansprüche 17-19, in welchem der Drain-Bereich (104) eine Wanne des n-Typs umfasst, wobei die drei implantierten Schichten (110) implantierte Schichten des p-Typs sind, wobei sich eine zweite (110-2) der implantierten Schichten des p-Typs unter der ersten (110-1) der

implantierten Schichten des p-Typs befindet, und wobei sich eine dritte (110-3) der implantierten Schichten des p-Typs unter der zweiten der implantierten Schichten des p-Typs befindet.

21. HVFET (100) von Anspruch 20, in welchem die ersten und die zweiten implantierten Schichten (110-1, 110-2) des p-Typs durch einen ersten n-Typ-Bereich (120-1) der Wanne des n-Typs getrennt sind, welche eine Stärke von 0,5 - 3 Mikrometer aufweist, und in welchem die zweiten und die dritten implantierten Schichten (110-2, 110-3) des p-Typs durch einen zweiten n-Typ-Bereich (120-2) der Wanne des n-Typs getrennt sind, welche eine Stärke von 0,5 - 3 Mikrometer aufweist.

Es folgen 6 Seiten Zeichnungen



**FIG. 2**

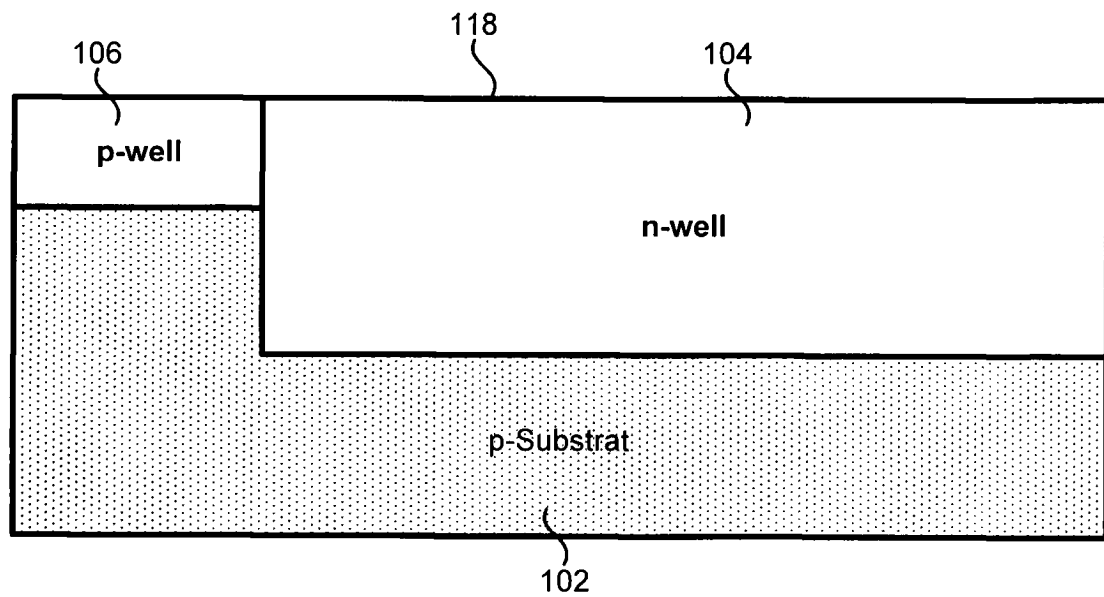


FIG. 3

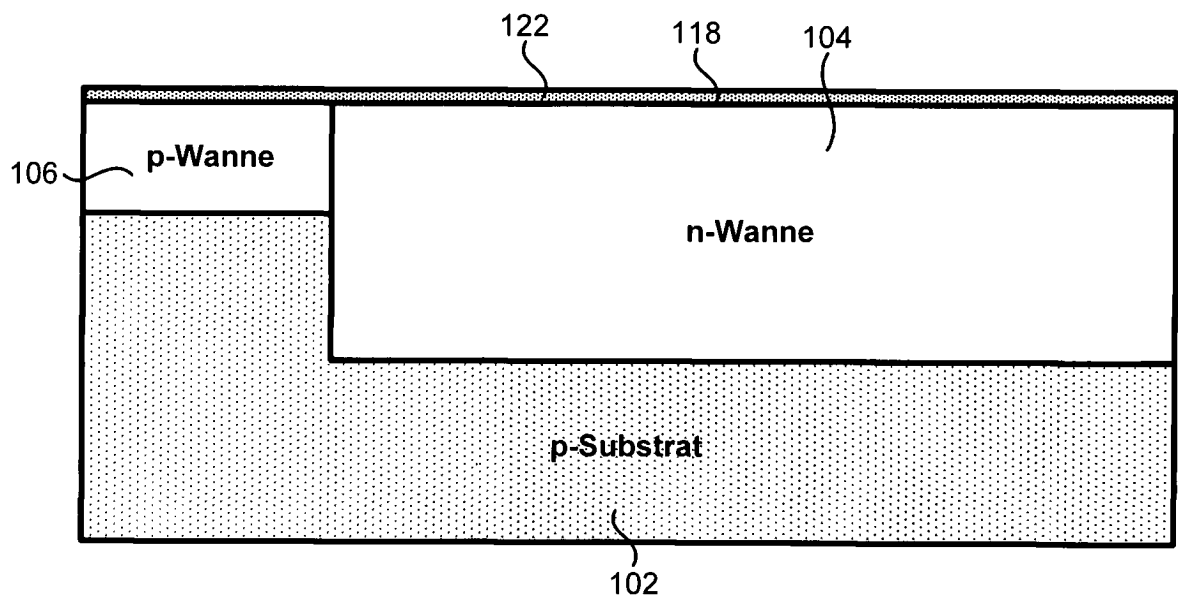


FIG. 4

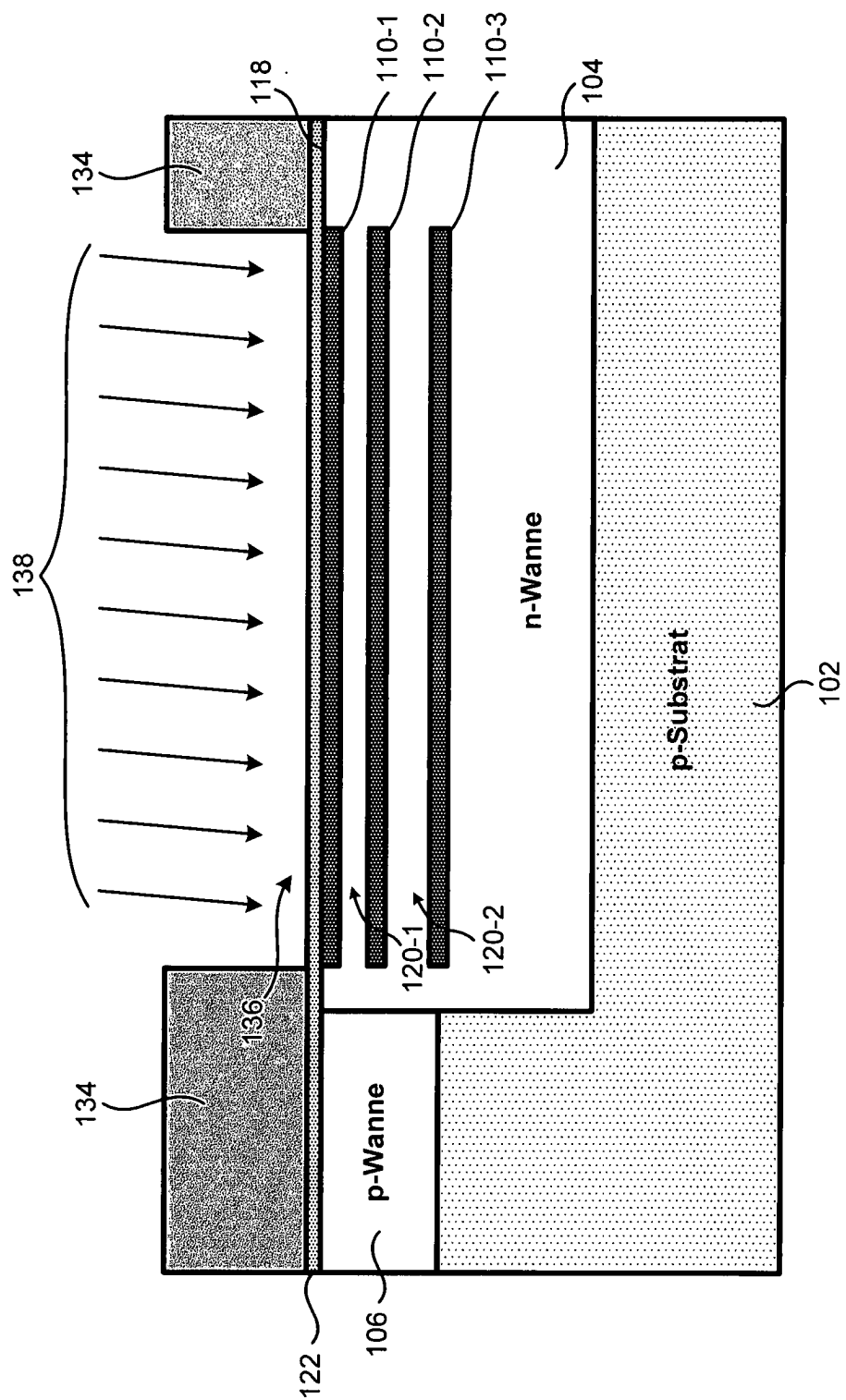


FIG. 5

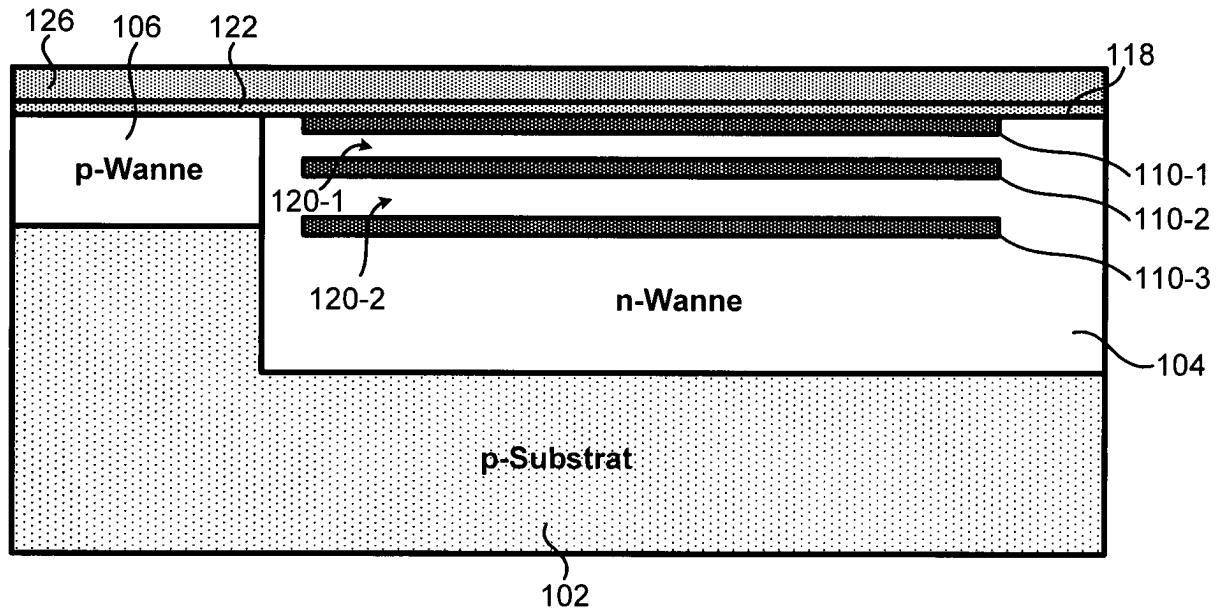


FIG. 6

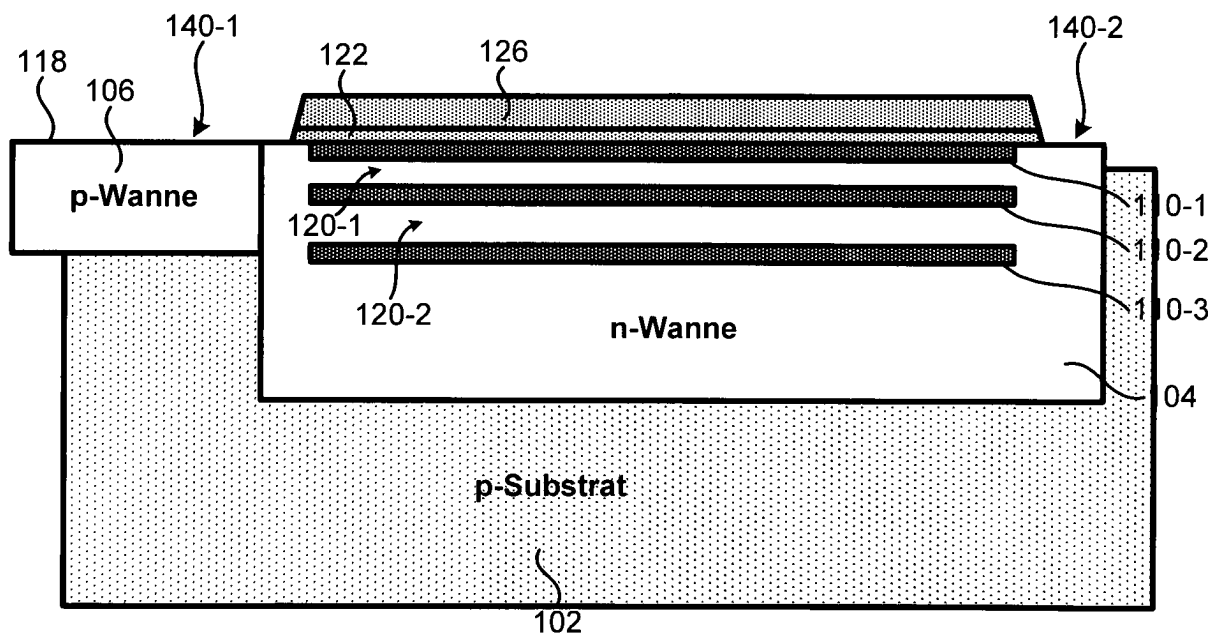


FIG. 7

800

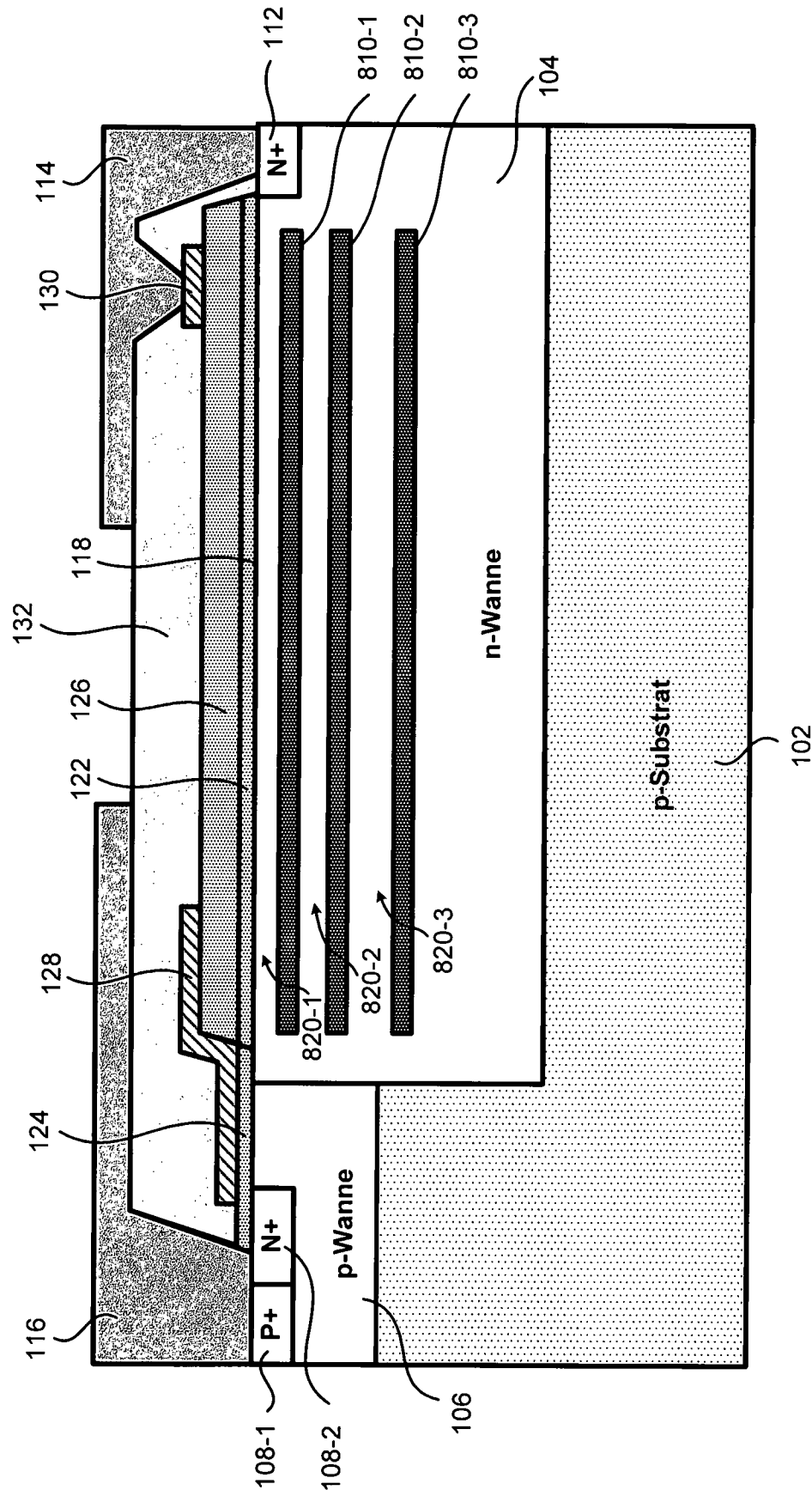


FIG. 8