

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 16 年 10 月 28 日 (2004.10.28)

【公開番号】特開 2002-26279 (P2002-26279A)

【公開日】平成 14 年 1 月 25 日 (2002.1.25)

【出願番号】特願 2000-199935 (P2000-199935)

【国際特許分類第 7 版】

H 0 1 L 27/105

H 0 1 L 29/78

H 0 1 L 21/336

【F I】

H 0 1 L 27/10 4 4 4 B

H 0 1 L 29/78 6 5 2 N

H 0 1 L 29/78 6 5 3 A

H 0 1 L 29/78 6 5 3 C

H 0 1 L 29/78 6 5 6 Z

H 0 1 L 29/78 6 5 8 G

【手続補正書】

【提出日】平成 15 年 10 月 20 日 (2003.10.20)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正の内容】

【発明の名称】半導体記憶装置の製造方法

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

基板の一主面に設けられた単結晶半導体層の面に第 1 の不純物領域を形成し、縦型電界効果トランジスタの一方のソースまたはドレインのいずれかを形成する工程と、  
前記第 1 の不純物領域上に下部キャパシタ電極層、強誘電体膜および上部キャパシタ電極からなる積層膜をこの順序でエピタキシャル成長する工程と、  
前記下部キャパシタ電極層、強誘電体膜および上部キャパシタ電極を所要の形状にパターニングし、複数のキャパシタを形成する工程と、  
前記複数のキャパシタ下の単結晶半導体層を残して前記単結晶半導体層を選択的に除去し、複数のキャパシタ下に単結晶半導体柱状部を形成する工程と、  
前記複数の柱状部の側壁にゲート絶縁膜を形成して前記柱状部をチャンネル部とし、前記柱状部のそれぞれの下部に隣接する位置の前記単結晶半導体層に第 2 の不純物領域を形成して他方のソースまたはドレイン領域とした縦型電界効果トランジスタを形成する工程と  
と、  
を具備してなる半導体記憶装置の製造方法。

【請求項 2】

前記複数の単結晶半導体柱状部の形成工程は、  
ビット線の延長方向に相互に隣接する単結晶半導体柱状部間の間隔は、ワード線の延長方

向に相互に隣接する単結晶半導体柱状部間の間隔よりも大きく設定する工程を含み、前記ワード線は前記ビット線と実質的に直角に交差することを特徴とする請求項 1 記載の半導体記憶装置の製造方法。

【請求項 3】

前記積層膜をエピタキシャル成長する前に、第 1 の不純物層にバリア層を生成する工程を含むことを特徴とする請求項 1 記載の半導体記憶装置の製造方法。

【請求項 4】

複数のキャパシタを形成後、複数のキャパシタのそれぞれの側壁に層間絶縁膜を計背する工程を含むことを特徴とする請求項 1 記載の半導体記憶装置の製造方法。

【請求項 5】

複数の縦型電界効果トランジスタの形成工程は、複数のキャパシタとともに複数の縦型電界効果トランジスタを自己整合的に形成する工程を含むことを特徴とする請求項 1 記載の半導体記憶装置の製造方法。

【請求項 6】

基板の一主面に設けられた単結晶半導体層の面に対して実質的に垂直な方向に複数の単結晶半導体柱状部を形成する工程と、

前記複数の柱状部のそれぞれ側壁にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜を介して前記複数の柱状部のそれぞれの側壁にゲート電極を形成する工程と、

複数の柱状部の夫々の頂部に一方のソースまたはドレインとして機能する第 1 領域を形成する工程と、

前記複数の柱状部の夫々の底部に隣接する前記単結晶半導体層に他方のソースまたはドレインとして機能する第 2 の領域を形成する工程と、

複数の柱状部の夫々の頂部を平坦化しかつ露出する工程に続き、複数の柱状部を絶縁層で埋める工程と、

複数の柱状部の夫々の頂部に形成された第 1 の不純物領域の単結晶半導体面を用いてエピタキシャル半導体層を成長する工程と、

前記エピタキシャル半導体層上に下部キャパシタ電極層、強誘電体膜および上部キャパシタ電極からなる積層膜をこの順序でエピタキシャル成長する工程と、

前記積層膜および前記エピタキシャル半導体層を全体的にパターニングして複数のキャパシタを形成する工程と、

を具備することを特徴とする半導体記憶装置の製造方法。

【請求項 7】

前記複数の単結晶半導体柱状部の形成工程は、ビット線の延長方向に相互に隣接する単結晶半導体柱状部間の間隔は、ワード線の延長方向に相互に隣接する単結晶半導体柱状部間の間隔よりも大きく設定する工程を含み、前記ワード線は前記ビット線と実質的に直角に交差することを特徴とする請求項 6 記載の半導体記憶装置の製造方法。

【請求項 8】

前記積層膜をエピタキシャル成長する前に、前記エピタキシャル半導体層にバリア層を形成する工程を含むことを特徴とする請求項 6 記載の半導体記憶装置の製造方法。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0001

【補正方法】変更

【補正の内容】

【0001】

【発明の属する技術分野】

本発明は、半導体記憶装置の製造方法に関する。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】 0 0 2 4

【補正方法】 変更

【補正の内容】

【 0 0 2 4 】

本発明は上記の問題点を解決するためになされたものであり、縦型電界効果型トランジスタの上部ソースドレイン領域上にエピタキシャル・キャパシタを自己整合的に形成することが可能な半導体記憶装置の製造方法を提供することを目的とする。