

(19) 日本国特許庁 (JP)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表2015-516693

(P2015-516693A)

(43) 公表日 平成27年6月11日 (2015.6.11)

(51) Int. Cl.	F I	テーマコード (参考)
H O 1 L 25/065 (2006.01)	H O 1 L 25/08 Y	
H O 1 L 25/07 (2006.01)	H O 1 L 23/04 E	
H O 1 L 25/18 (2006.01)	H O 1 L 23/08 C	
H O 1 L 23/04 (2006.01)		
H O 1 L 23/08 (2006.01)		

審査請求 未請求 予備審査請求 未請求 (全 24 頁)

(21) 出願番号	特願2015-512167 (P2015-512167)	(71) 出願人	514287812
(86) (22) 出願日	平成25年5月9日 (2013.5.9)		イーガントゥ リミテッド
(85) 翻訳文提出日	平成26年11月11日 (2014.11.11)		イスラエル国、43000 ラ アナーナ
(86) 国際出願番号	PCT/IB2013/053749		、ハティドハー ストリート 16
(87) 国際公開番号	W02013/171636	(74) 代理人	100086461
(87) 国際公開日	平成25年11月21日 (2013.11.21)		弁理士 齋藤 和則
(31) 優先権主張番号	61/648,098	(72) 発明者	ダクヒヤ、マイケル
(32) 優先日	平成24年5月17日 (2012.5.17)		イスラエル国、62308 テル アヴィ
(33) 優先権主張国	米国 (US)		ブ、ワイズマン ストリート 27
(31) 優先権主張番号	61/654,888	(72) 発明者	シャークド、エラン
(32) 優先日	平成24年6月3日 (2012.6.3)		イスラエル国、43569 ラ アナーナ
(33) 優先権主張国	米国 (US)		、ハナール ストリート 7
(31) 優先権主張番号	61/670,616		
(32) 優先日	平成24年7月12日 (2012.7.12)		
(33) 優先権主張国	米国 (US)		

最終頁に続く

(54) 【発明の名称】 電子集積のための3次元モジュール

(57) 【要約】

電子モジュール (20, 39, 60, 80, 132, 140, 144) は、空洞 (40, 42, 134, 142) を内包する絶縁材料からなる基板 (21) を含む。空洞内の第1の導電性接点 (44) は空洞内に搭載された少なくとも1つの第1の電子部品 (32) と接触するように構成される。前記空洞を取り囲む前記基板の表面上の第2の導電性接点 (44) は空洞の上をまたいで搭載される少なくとも1つの第2の電子部品 (28, 30) に接触するように構成される。基板内の導電性トレース (36, 48) は第1と第2の導電性接点と電気通信する。

【選択図】 図2

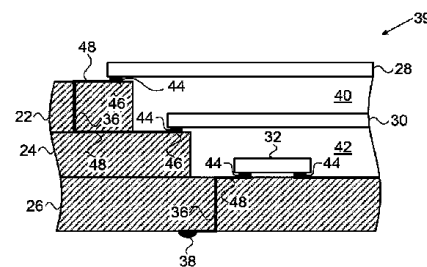


FIG. 2

【特許請求の範囲】**【請求項 1】**

電子モジュールであって、
空洞を内包する絶縁材料からなる基板と；
前記空洞内に搭載された少なくとも 1 つの第 1 の電子部品と接触するように構成された前記空洞内の第 1 の導電性接点と；
前記空洞の上をまたいで搭載される少なくとも 1 つの第 2 の電子部品に接触するように構成される、前記空洞を取り囲む前記基板の表面上の第 2 の導電性接点と；そして
前記第 1 と第 2 の導電性接点と電気通信する前記基板内の導電性トレースと；
を有することを特徴とする、モジュール。

10

【請求項 2】

前記導電性接点は、物理的および電氣的に前記電子部品の下面上の第 2 の接点パッドに接触するように構成される、前記基板上の第 1 の接点パッドを有する、ことを特徴とする請求項 1 に記載のモジュール。

【請求項 3】

前記第 2 の電子部品は、集積回路チップおよびインターポーザからなる部品のグループから選択される、ことを特徴とする請求項 1 または 2 に記載のモジュール。

【請求項 4】

前記少なくとも 1 つの第 1 の電子部品は、さらなる集積回路チップおよびディスクリート部品からなるさらなる部品のグループから選択される、ことを特徴とする請求項 3 に記載のモジュール。

20

【請求項 5】

前記導電性トレースは、前記空洞を取り囲む前記基板の表面に直角な方向に前記基板を貫通するビアを有する、ことを特徴とする請求項 1 - 4 のいずれかに記載のモジュール。

【請求項 6】

前記ビアは事前設定された格子の上にレイアウトされる、ことを特徴とする請求項 5 に記載のモジュール。

【請求項 7】

前記ビアはそれぞれの前記接点に対して事前に設定された 1 組の角度で配置される、ことを特徴とする請求項 5 に記載のモジュール。

30

【請求項 8】

少なくとも 1 つの前記ビアは前記第 1 の導電性接点と前記第 2 の導電性接点とを接続するように構成される、ことを特徴とする請求項 5 に記載のモジュール。

【請求項 9】

前記基板の外部表面上にプリント回路基板に接触するための複数の接点パッドを有し、ここにおいて少なくとも 1 つの前記ビアは、前記導電性接点の 1 つと前記外部表面上の前記接点パッドの 1 つとを接続するように構成される、ことを特徴とする請求項 5 に記載のモジュール。

【請求項 10】

前記導電性トレースは、前記空洞を取り囲む前記基板の表面に平行な 1 つまたはそれ以上の平面に配置される導電線を有する、ことを特徴とする請求項 1 - 9 のいずれかに記載のモジュール。

40

【請求項 11】

前記導電線は均一でない厚みを有する、ことを特徴とする請求項 10 に記載のモジュール。

【請求項 12】

前記空洞を取り囲む前記基板の表面に直角な前記基板の側面に複数の接点パッドを有し、ここにおいて少なくとも 1 つの前記導電線は、前記導電性接点の 1 つと前記基板の側面の前記接点パッドの 1 つとを接続するように構成される、ことを特徴とする請求項 10 に記載のモジュール。

50

【請求項 13】

前記導電線は少なくとも、前記空洞の内部表面により画定される第1の平面に配置される第1の線と、前記空洞を取り囲む前記基板の前記表面を含む第2の平面に配置される第2の線と、を有することを特徴とする請求項10に記載のモジュール。

【請求項 14】

前記基板の外部表面の中または上に埋め込まれた1つまたはそれ以上のディスクリット電子部品を有する、ことを特徴とする請求項1 - 13のいずれかに記載のモジュール。

【請求項 15】

前記ディスクリット電子部品は前記部品または前記モジュール全体が事前設定の動作特性に適合するように構成されそしてトリミングされる、ことを特徴とする請求項14に記載のモジュール。

10

【請求項 16】

前記基板の外部表面の中または上に埋め込まれた前記部品は、抵抗、フラットコンデンサ、櫛歯型コンデンサ、インダクタ、および他のトリミング可能な部品からなる部品グループから選択される、ことを特徴とする請求項14に記載のモジュール。

【請求項 17】

前記第1の導電性接点が配置される前記空洞は内部空洞であり、ここにおいて、前記第2導電性接点が配置される、前記内部空洞を取り囲む前記基板の表面は内部表面であり、ここにおいて、

前記基板は、前記少なくとも1つの第2の電子部品を含み、そして前記基板の外部表面に取り囲まれるように構成される外部空洞を有し、前記外部表面の上に第3の導電性接点が配置され、前記第3の導電性接点は前記外部空洞の上をまたいで搭載される少なくとも1つの第3の電子部品と接触するように構成される、ことを特徴とする請求項1 - 16のいずれかに記載のモジュール。

20

【請求項 18】

前記空洞は前記基板の第1の側に形成され、そして前記基板は、前記基板の前記第1の側とは反対側の第2の側の上に1つまたはそれ以上の第3の電子部品を搭載するように構成される、ことを特徴とする請求項1 - 17のいずれかに記載のモジュール。

【請求項 19】

前記基板の前記第1の側に形成された空洞は第1の空洞であり、そして第2の空洞は、前記基板の第2の側に形成され、前記第2の空洞内に搭載される少なくとも1つの前記第3の電子部品を含むように構成される、ことを特徴とする請求項18に記載のモジュール。

30

【請求項 20】

前記基板の前記第2の側は、少なくとも別の1つの前記第3の電子部品が前記第2の空洞の上をまたいで搭載されるように構成される、ことを特徴とする請求項19に記載のモジュール。

【請求項 21】

電気的および機械的に結合した少なくとも第1と第2のモジュールを含む電子組立体であって、それぞれの前記モジュールは：

40

空洞を内包する絶縁材料からなる基板と；

前記空洞内に搭載された少なくとも1つの第1の電子部品と接触するように構成された前記空洞内の第1の導電性接点と；

前記空洞の上をまたいで搭載される少なくとも1つの第2の電子部品に接触するように構成される、前記空洞を取り囲む前記基板の表面上の第2の導電性接点と；そして

前記第1と第2の導電性接点と電気通信する前記基板内の導電性トレースと；を有する、ことを特徴とする組立体。

【請求項 22】

少なくとも前記第1と第2のモジュールは前記モジュールの外部表面にそれぞれ接点パッドを有し、前記接点パッドは、前記導電性トレースと接続しそして少なくとも前記第1

50

と第 2 のモジュール間の電気通信を提供するため前記組立体内で結合されている、ことを特徴とする請求項 2 1 に記載の組立体。

【請求項 2 3】

少なくとも前記第 1 のモジュールは前記組立体内で前記第 2 のモジュールの上に積み重ねられている、ことを特徴とする請求項 2 1 または 2 2 に記載の組立体。

【請求項 2 4】

前記第 1 のモジュールは、前記第 1 のモジュール内の前記空洞とは反対側の、前記第 1 のモジュールの基板の下面が、前記第 2 のモジュール内に形成された前記空洞の上をまたぎそして塞ぐように積み重ねられる、ことを特徴とする請求項 2 3 に記載の組立体。

【請求項 2 5】

前記第 1 のモジュールは、前記第 1 のモジュール内の前記空洞が前記第 2 のモジュール内に形成された前記空洞に対面するように積み重ねられる、ことを特徴とする請求項 2 3 に記載の組立体。

【請求項 2 6】

前記第 1 のモジュールは、前記第 1 のモジュール内の前記空洞を取り囲む前記第 1 のモジュールの前記基板の前記表面に直角な、前記第 1 のモジュールの側面上の接点パッドにより、前記第 2 のモジュールに接続される、ことを特徴とする請求項 2 3 に記載の組立体。

【請求項 2 7】

前記第 1 のモジュール内の前記空洞と前記第 2 のモジュール内の前記空洞が相互に平行なそれぞれの向きに開口するように、前記第 1 のモジュールが配向する、ことを特徴とする請求項 2 6 に記載の組立体。

【請求項 2 8】

前記第 1 のモジュール内の前記空洞と前記第 2 のモジュール内の前記空洞が相互に直角なそれぞれの向きに開口するように、前記第 1 のモジュールが配向する、ことを特徴とする請求項 2 6 に記載の組立体。

【請求項 2 9】

絶縁性ベースを有し、ここにおいて少なくとも前記第 1 と第 2 のモジュールが前記絶縁ベースの表面上に並んで搭載され、前記第 1 のモジュール内の前記空洞と前記第 2 のモジュール内の前記空洞が前記表面に直角な向きに開口する、ことを特徴とする請求項 2 1 または 2 2 に記載の組立体。

【請求項 3 0】

電子モジュールを作成する方法であって、

空洞を内包する絶縁材料からなる基板であって、前記空洞内の第 1 の導電性接点と、前記空洞を取り囲む前記基板の表面上の第 2 の導電性接点と、そして前記第 1 と第 2 の導電性接点と電氣的に通信する前記基板内の導電性トレースと、を有する基板を提供するステップと；

少なくとも 1 つの第 1 の電子部品を前記第 1 の導電性接点と接触して前記空洞内に搭載するステップと；そして

少なくとも 1 つの第 2 の電子部品を、前記空洞の上をまたいで前記空洞を取り囲む前記基板の前記表面上に前記第 2 の導電性接点と接触して搭載するステップと；
を有することを特徴とする方法。

【請求項 3 1】

前記基板を提供するステップは、前記基板上に第 1 の接点パッドを形成するステップを有し、前記第 1 の接点パッドは物理的および電氣的に前記電子部品の下面上の第 2 の接点パッドに接触するように構成される、ことを特徴とする請求項 3 0 に記載の方法。

【請求項 3 2】

前記第 2 の電子部品は、集積回路チップおよびインターポーザからなる部品のグループから選択される、ことを特徴とする請求項 3 0 または 3 1 に記載の方法。

【請求項 3 3】

10

20

30

40

50

前記少なくとも１つの第１の電子部品はさらなる集積回路チップおよびディスクリート部品からなるさらなる部品のグループから選択される、ことを特徴とする請求項３２に記載の方法。

【請求項３４】

前記導電性トレースは、前記空洞を取り囲む前記基板の表面に直角な方向に前記基板を貫通するビアを有する、ことを特徴とする請求項３０－３３のいずれかに記載の方法。

【請求項３５】

前記ビアは事前設定された格子の上にレイアウトされる、ことを特徴とする請求項３４に記載の方法。

【請求項３６】

前記ビアはそれぞれの前記接点に対して１組の事前に設定された角度で配置される、ことを特徴とする請求項３４に記載の方法。

【請求項３７】

少なくとも１つの前記ビアは前記第１の導電性接点と前記第２の導電性接点とを接続するように構成される、ことを特徴とする請求項３４に記載の方法。

【請求項３８】

前記基板を提供するステップは、前記基板の外部表面上にプリント回路基板に接触するための複数の接点パッドを形成するステップを有し、ここにおいて少なくとも１つの前記ビアは、前記導電性接点の１つと前記外部表面上の前記接点パッドの１つとを接続するように構成される、ことを特徴とする請求項３４に記載の方法。

【請求項３９】

前記導電性トレースは、前記空洞を取り囲む前記基板の表面に平行な１つまたはそれ以上の平面に配置される導電線を有する、ことを特徴とする請求項３０－３８のいずれかに記載の方法。

【請求項４０】

前記導電線は均一でない厚みを有する、ことを特徴とする請求項３９に記載の方法。

【請求項４１】

前記基板を提供するステップは、前記空洞を取り囲む前記基板の表面に直角な前記基板の側面に複数の接点パッドを形成するステップを有し、ここにおいて少なくとも１つの前記導電線は、前記導電性接点の１つと前記基板の側面上の前記接点パッドの１つとを接続するように構成される、ことを特徴とする請求項３９に記載の方法。

【請求項４２】

前記導電線は少なくとも、前記空洞の内部表面により画定される第１の平面に配置される第１の線と、前記空洞を取り囲む前記基板の前記表面を含む第２の平面に配置される第２の線と、を有することを特徴とする請求項３９に記載の方法。

【請求項４３】

前記基板を提供するステップは、前記基板の外部表面の中または上に１つまたはそれ以上のディスクリート電子部品を埋め込むステップを有する、ことを特徴とする請求項３０－４２のいずれかに記載の方法。

【請求項４４】

前記１つまたはそれ以上のディスクリート電子部品を埋め込むステップは、前記部品または前記モジュール全体が事前設定の動作特性に適合するように前記埋め込まれた部品の少なくとも１つをトリミングするステップを有する、ことを特徴とする請求項４３に記載の方法。

【請求項４５】

前記基板の外部表面の中または上に埋め込まれた前記部品は、抵抗、フラットコンデンサ、櫛歯型コンデンサ、インダクタ、および他のトリミング可能な部品からなる部品グループから選択される、ことを特徴とする請求項４３に記載の方法。

【請求項４６】

前記第１の導電性接点が配置される前記空洞は内部空洞であり、ここにおいて、前記第

10

20

30

40

50

２導電性接点が配置される、前記内部空洞を取り囲む前記基板の前記表面は内部表面であり、ここにおいて、

前記基板を提供するステップは、前記少なくとも１つの第２の電子部品を含み、そして前記基板の外部表面に取り囲まれるように構成される外部空洞を形成するステップを有し、前記外部表面の上に第３の導電性接点が配置され、前記第３の導電性接点は前記外部空洞の上をまたいで搭載される少なくとも１つの第３の電子部品と接触するように構成される、

ことを特徴とする請求項３０－４５のいずれかに記載の方法。

【請求項４７】

前記空洞は前記基板の第１の側に形成され、そして前記方法は、前記基板の前記第１の側とは反対側の第２の側の上に１つまたはそれ以上の第３の電子部品を搭載するステップを有する、ことを特徴とする請求項３０－４６のいずれかに記載の方法。

【請求項４８】

前記基板の前記第１の側に形成された空洞は第１の空洞であり、そして前記基板を提供するステップは、少なくとも１つの前記第３の電子部品を含むように構成される第２の空洞を前記基板の第２の側に形成するステップを有し、ここに前記第３の電子部品は前記第２の空洞内に搭載されることを特徴とする請求項４７に記載の方法。

【請求項４９】

前記１つまたはそれ以上の第３の電子部品を搭載するステップは、少なくとも１つの別の前記第３の電子部品を前記第２の空洞の上をまたいで搭載するステップを有する、ことを特徴とする請求項４８に記載の方法。

【請求項５０】

電子組立体を作成する方法であって、請求項３０－４９のいずれかの方法に従って作成された、少なくとも第１と第２のモジュールを電気的および機械的に結合させるステップを有する、ことを特徴とする方法。

【請求項５１】

前記少なくとも第１と第２のモジュールを結合させるステップは、前記モジュールの外部表面上のそれぞれの接点パッドを使用して少なくとも前記第１と第２のモジュールを結合させるステップを有し、前記接点パッドは、前記導電性トレースと接続し、そして少なくとも前記第１と第２のモジュール間の電気通信を提供するため前記組立体内で結合されている、ことを特徴とする請求項５０に記載の方法。

【請求項５２】

前記少なくとも前記第１と第２のモジュールを結合させるステップは、少なくとも前記第１のモジュールを前記組立体内の前記第２のモジュールの上に積み重ねるステップを有する、ことを特徴とする請求項５０または５１に記載の方法。

【請求項５３】

前記第１のモジュールは、前記第１のモジュール内の前記空洞と反対側の、前記第１のモジュールの基板の下面が、前記第２のモジュール内に形成された前記空洞の上をまたぎそしてふさぐように積み重ねられる、ことを特徴とする請求項５２に記載の方法。

【請求項５４】

前記第１のモジュールは、前記第１のモジュール内の空洞が前記第２のモジュール内に形成された空洞に対面するように積み重ねられる、ことを特徴とする請求項５２に記載の方法。

【請求項５５】

前記少なくとも前記第１のモジュールを前記第２のモジュールの上に積み重ねるステップは、前記第１のモジュール内の前記空洞を取り囲む前記第１のモジュールの基板の表面に直角な、前記第１のモジュールの側面の上の接点パッドにより、前記第１のモジュールを前記第２のモジュールに接続するステップを有する、ことを特徴とする請求項５２に記載の方法。

【請求項５６】

前記第 1 のモジュール内の前記空洞と前記第 2 のモジュール内の前記空洞が相互に平行なそれぞれの向きに開口するように、前記第 1 のモジュールが配向する、ことを特徴とする請求項 55 に記載の方法。

【請求項 57】

前記第 1 のモジュール内の前記空洞と前記第 2 のモジュール内の前記空洞が相互に直角なそれぞれの向きに開口するように、前記第 1 のモジュールが配向する、ことを特徴とする請求項 55 に記載の方法。

【請求項 58】

前記少なくとも第 1 と第 2 のモジュールを結合させるステップは、少なくとも前記第 1 と第 2 のモジュールを前記絶縁ベースの表面上に並んで搭載するステップを有し、一方で前記第 1 のモジュール内の前記空洞と前記第 2 のモジュール内の前記空洞は前記表面に直角な向きに開口する、ことを特徴とする請求項 50 または 51 に記載の方法。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、一般的に電子回路およびシステムに関し、特にこのような回路およびシステムにおける集積回路および他の部品の組み立てに関するものである。

【0002】

(関連出願の参照)

20

本出願は 2012 年 5 月 17 日出願の米国暫定特許出願 61/648,098 (特許文献 1) ; 2012 年 6 月 3 日出願の米国暫定特許出願 61/654,888 (特許文献 2) ; および 2012 年 7 月 12 日出願の米国暫定特許出願 61/670,616 (特許文献 3) の恩恵を主張する。これら全ての暫定出願はここに参照として採り入れられる。

【背景技術】

【0003】

現代の電子デバイスは常に増加する数の部品と増加する複雑度を含んでいる。同時に設計者はこれらの部品を常に小型化する最終製品に適合させるように求められている。

これらの矛盾する要求はチップ設計やパッケージに対する高度に集積したアプローチの開発へと導いた。例えばマルチチップモジュール (MCMs) は一般的に単一基板上に多重の集積回路 (ICs) または半導体ダイスを含み、場合によってはさらにディスクリート部品を含む。マルチチップモジュール (MCMs) 基板はその後プリント回路基板上に単一部品として組み立てられる。いくつかの先進 MCM は「チップスタック」パッケージを使用し、その中では半導体ダイスは垂直構造に積み重ねられ、それにより MCM 足跡のサイズを減少させている (高さ増加のコストを払って)。この種の設計のいくつかは「システムインパッケージ」とも呼ばれる。

30

【0004】

この種の設計の事例として、米国特許 5,905,635 (特許文献 4) は支持構造による電子モジュールの組み立てについて記載している。各電子モジュールは中間層により分離された少なくとも 2 つのレベルに積み重ねられた電子部品の形態を有している。各電子モジュールは中間層に形成された少なくとも 1 つの孔を有し、一方支持構造は連続するモジュールのそれぞれの孔の中に導入される少なくとも 1 つのロッド要素を有している。

40

【0005】

IC チップは通常 MCM またはプリント回路基板の表面上に搭載されるが、設計によって IC は基板の後背に搭載される。例えば、米国特許 7,116,557 (特許文献 5) は埋め込み部品 IC 組立体について記載しており、そこでは IC 部品は熱シンクを提供する熱伝導性コア上に配置された積層基板内に埋め込まれる。回路部品はフレキシブルワイアボンディングなどのフレキシブルな電氣的相互配線を介して IC に電氣的に接続されている。フレキシブルな電氣的相互配線および露出した IC 組立体の表面の上には電気絶縁性被膜が施された。熱伝導性封入材料が回路部品およびフレキシブルな電氣的相互配線を

50

固体または半固体のマトリックス内に収納する。

【先行技術文献】

【特許文献】

【0006】

【特許文献1】米国暫定特許出願 61 / 648 , 098

【特許文献2】米国暫定特許出願 61 / 654 , 888

【特許文献3】米国暫定特許出願 61 / 670 , 616

【特許文献4】米国特許 5 , 905 , 635

【特許文献5】米国特許 7 , 116 , 557

【発明の概要】

10

【0007】

以下に記載される本発明の実施形態は、電子集積のための新規の3次元(3D)設計アプローチを提供する。

従って本発明の1実施形態によれば、空洞を内包する絶縁材料からなる基板を含む電子モジュールが提供される。空洞内の第1の導電性接点は空洞内に搭載された少なくとも1つの第1の電子部品と接触するように構成される。空洞を取り囲む基板の表面上の第2の導電性接点は、空洞の上をまたいで搭載される少なくとも1つの第2の電子部品に接触するように構成される。基板内の導電性トレースは第1と第2の導電性接点と電気通信する。

【0008】

20

開示された実施形態では、導電性接点は、物理的および電氣的に電子部品の下面上の第2の接点パッドに接触するように構成される、基板上の第1の接点パッドを有する。典型的に第2の電子部品は、集積回路チップおよびインターポーザからなる部品のグループから選択され、一方少なくとも1つの第1の電子部品はさらなる集積回路チップおよびディスプレイ部品からなるさらなる部品のグループから選択される。

【0009】

ある実施形態では、導電性トレースは、空洞を取り囲む基板の表面に直角な方向に基板を貫通するビアを有する。ビアは事前設定された格子の上にレイアウトされるか、またはビアはそれぞれの接点に対して1組の事前に設定された角度で配置される。一般的に少なくとも1つのビアは第1の導電性接点と第2の導電性接点とを接続するように構成される。さらにあるいは、基板の外部表面上にプリント回路基板に接触するための複数の接点パッドを有し、ここにおいて少なくとも1つのビアは、導電性接点の1つと外部表面上の接点パッドの1つとを接続するように構成される。

30

【0010】

ある実施形態では導電性トレースは、空洞を取り囲む基板の表面に平行な、1つまたはそれ以上の平面に配置される導電線を有する。導電線は均一でない厚みを有する。空洞を取り囲む基板の表面に直角な、基板の側面に複数の接点パッドを有し、ここにおいて少なくとも1つの導電線は、導電性接点の1つと基板のその側面上の接点パッドの1つとを接続するように構成される。さらにあるいは、導電線は少なくとも、空洞の内部表面により画定される第1の平面に配置される第1の線と、空洞を取り囲む基板の表面を含む第2の平面に配置される第2の線と、を有する。

40

【0011】

開示された実施形態では、モジュールは基板の外部表面の中または上に埋め込まれた1つまたはそれ以上のディスプレイ電子部品を有する。ディスプレイ電子部品または前記モジュール全体が事前設定の動作特性に適合するように構成されそしてトリミングされる。一般的に、基板の外部表面の中または上に埋め込まれた部品は、抵抗、フラットコンデンサ、櫛歯型コンデンサおよびインダクタからなる部品グループから選択される。

【0012】

いくつかの実施形態では、第1の導電性接点が配置される空洞は内部空洞であり、ここにおいて、第2導電性接点が配置される、内部空洞を取り囲む基板の表面は内部表面であ

50

り、一方基板は、少なくとも１つの第２の電子部品を含み、そして基板の外部表面に取り囲まれるように構成される外部空洞を有し、外部表面の上に第３の導電性接点が配置され、第３の導電性接点は外部空洞の上をまたいで搭載される少なくとも１つの第３の電子部品と接触するように構成される。

【００１３】

代替的な実施形態では、空洞は基板の第１の側に形成され、そして基板は、基板の第１の側とは反対側の第２の側の上に１つまたはそれ以上の第３の電子部品を搭載するように構成される。このような１つの実施形態では、基板の第１の側に形成された空洞は第１の空洞であり、そして第２の空洞は、基板の第２の側に形成され、第２の空洞内に搭載される少なくとも１つの第３の電子部品を含むように構成される。基板の第２の側は、少なくとも別の１つの第３の電子部品が第２の空洞の上をまたいで搭載されるように構成されてもよい。

10

【００１４】

本発明の１実施形態によれば、電気的および機械的に結合した少なくとも第１と第２のモジュールを含む電子組立体が提供される。それぞれのモジュールは、中に空洞が形成された絶縁材料を含む基板を有する。空洞内の第１の導電性接点は空洞内に搭載された少なくとも１つの第１の電子部品と接触するように構成され、一方空洞を取り囲む基板の表面上の第２の導電性接点は、空洞の上をまたいで搭載される少なくとも１つの第２の電子部品と接触するように構成される。基板内の導電性トレースは第１および第２の導電性接点と電気通信する。

20

【００１５】

開示された実施形態では、少なくとも前記第１と第２のモジュールはモジュールの外部表面にそれぞれ接点パッドを有し、接点パッドは、導電性トレースと接続しそして少なくとも第１と第２のモジュール間の電気通信を提供するため組立体内で結合されている。

【００１６】

いくつかの実施形態では、少なくとも第１のモジュールは組立体内で第２のモジュールの上に積み重ねられている。第１のモジュールは、第１のモジュール内の空洞とは反対側の第１のモジュールの基板の下面が、第２のモジュール内に形成された空洞の上をまたぎそして塞ぐように積み重ねられる。あるいは第１のモジュールは、第１のモジュール内の空洞が第２のモジュール内に形成された空洞に対面するように積み重ねられる。

30

【００１７】

さらにあるいは、第１のモジュールは、第１のモジュール内の空洞を取り囲む第１のモジュールの基板の表面に直角な、第１のモジュールの側面上の接点パッドにより、第２のモジュールに接続される。この場合第１のモジュール内の空洞と第２のモジュール内の空洞が相互に平行または相互に直角なそれぞれの向きに開口するように、第１のモジュールが配向させられてもよい。

【００１８】

他の１つの実施形態では、組立体は絶縁性ベースを有し、少なくとも第１と第２のモジュールが絶縁ベースの表面上に並んで搭載され、第１のモジュール内の空洞と第２のモジュール内の空洞がその表面に直角な向きに開口する。

40

【００１９】

本発明の１実施形態によればさらに電子モジュールを作成する方法が提供される。その方法は、内部に形成された空洞を有し、空洞内の第１の導電性接点と、空洞を取り囲む基板の表面上の第２の導電性接点と、そして第１と第２の導電性接点と電気的に通信する基板内の導電性トレースと、を有する絶縁材料からなる基板を提供するステップを有する。第１の導電性接点と接触する少なくとも１つの第１の電子部品がその空洞内に搭載される。

少なくとも１つの第２の電子部品が、その空洞の上をまたいで、その空洞を取り囲む基板の表面上に、第２の導電性接点と接触して搭載される。

【図面の簡単な説明】

50

【 0 0 2 0 】

本発明は以下の図面を伴う実施形態の詳細な記載により、より十分に理解されよう。

【図 1】本発明の 1 実施形態による多重レベル電子モジュールの図解的断面図である。

【図 2】本発明の 1 実施形態による多重レベル電子モジュールの図解的詳細図である。

【図 3 A - C】本発明の 1 実施形態による多重レベル電子モジュールの連続する層の図解的上面図である。

【図 4】本発明の 1 実施形態による多重レベル電子モジュールの 1 つの層の図解的上面図である。

【図 5】本発明の他の 1 つの実施形態による多重レベル電子モジュールの図解的詳細図である。

10

【図 6 A - C】本発明の代替的 1 実施形態による多重レベル電子モジュールの連続する層の図解的上面図である。

【図 7】本発明のさらに別の 1 実施形態による多重レベル電子モジュールの 1 つの層の図解的上面図である。

【図 8】本発明のさらなる 1 実施形態による多重レベル電子モジュールの図解的断面図である。

【図 9】本発明の 1 実施形態による多重レベル電子モジュールの図解的断面図であり、埋め込みコンデンサのレーザトリミングを示す。

【図 10】本発明の 1 実施形態による多重レベル電子モジュールの 1 つの層の図解的上面図であり、埋め込み抵抗を示す。

20

【図 11】本発明の 1 実施形態による多重レベル電子モジュールの図解的断面図であり、埋め込み平面コンデンサを示す。

【図 12】本発明の 1 実施形態による多重レベル電子モジュールの図解的断面図であり、埋め込み櫛歯型コンデンサを示す。

【図 13】本発明の 1 実施形態による多重レベル電子モジュールの 1 つの層の図解的上面図であり、埋め込みインダクタを示す。

【図 14 A - C】本発明の代替的实施形態による多重レベル電子モジュールの図解的断面図である。

【図 15】本発明の 1 実施形態による多重レベル電子モジュールの積み重ねの図解的断面図である。

30

【図 16】本発明の 1 実施形態による、多重の多重レベル電子モジュールからなる組立体の図解的側面図である。

【図 17】本発明の代替的实施形態による、多重の多重レベル電子モジュールからなる組立体の図解的側面図である。

【図 18】本発明の代替的实施形態による、多重の多重レベル電子モジュールからなる組立体の図解的側面図である。

【図 19】本発明の代替的实施形態による、多重の多重レベル電子モジュールからなる組立体の図解的側面図である。

【図 20】本発明のさらなる実施形態による、多重の多重レベル電子モジュールからなる組立体の図解的側面図である。

40

【発明を実施するための形態】

【 0 0 2 1 】

(概要)

本明細書に記載される本発明の実施形態は新規のタイプの電子モジュールを提供する。それは多重の IC チップおよび他の部品（受動ディスクリート部品および微小電気機械部品、光学部品および他の多機能部品を含む）が高い部品密度で 3 次元（3D）組立体の中に一緒に搭載されることを可能にする。このようなモジュールは異なる制作工程で生産される部品に適したプラットフォームを形成し、そして特殊材料の 3D 設計の中への組み込みをサポートする。このモジュール設計はまた熱拡散を最適化し、したがってシステムの電力特性を向上させ、一方で集積した相互配線は高いレベルの信頼性を確実にする。本発

50

明の実施形態によるモジュールはシステムの性能の最適化および製品の市場までのコストと時間の削減に有用である。

【0022】

開示された実施形態では、電子モジュールは空洞を有する絶縁基板からなる。(1つまたはそれ以上の空洞を有するこのような基板は本明細書では「フレーム」と等価で呼ばれる。)空洞の中の導電性接点は1つまたはそれ以上の電子部品、ディスクリート部品またはIC、が空洞内の基板表面上に搭載されることを可能にする。空洞の周囲の基板表面上の追加の導電性接点はICまたはインターポーザのような1つまたはそれ以上の追加の電子部品を空洞の上をまたいで搭載するのに使用されてもよい。空洞は2つまたはそれ以上の入れ子の層を有してもよく、それにより部品が3つまたはそれ以上のレベルに搭載可能である。ディスクリート部品はまた、基板それ自体の内部に埋め込まれてもよい。

10

【0023】

基板内の導電性トレースは基板の表面上の導電性接点(空洞内および空洞周辺の表面上の)に接続する。トレースは部品間の、そして基板の外部表面上の接点パッドへの適切な接続を提供するように所望にレイアウト可能である。これらの外部接点パッドは、モジュールをプリント配線基板上に搭載し、また多重のモジュールと一緒に接続してより大きな組立体にするのに使用できる。

【0024】

本発明の実施形態は以下の設計原則を満たす：

- ・異なる機能、材料および生産工程の部品を分離する。
- ・各部品の性能およびコストの最適化。
- ・多機能部品の3D絶縁フレーム上での容易な組立て。
- ・最小の数の信頼できる標準相互配線。
- ・改良された熱拡散と向上した信頼性。

20

【0025】

開示された実施形態で使用される絶縁フレームは以下の点を含む多くの利点がある：

1. 広範囲の絶縁材料が使用可能であり、それには例えば、積層板およびセラミック(低温同時焼成セラミックス-LTCC)の両方を含む。

2. フレームの生産にコスト効率のよい生産技術が使用可能である。

3. フレームが、無線周波数(RF)回路の用途で使用される優れた高周波特性を持つ。

30

4. フレーム上に部品を組み立てる際に既存組立技術が使用可能である。

5. フレームの開口空洞設計により電子部品のみならず微小電気機械システム(MEMS)および光学部品の使用に適している。

6. 以下の実施例に示されるような異なるサイズの開口空洞により、高い部品密度の真の3D多重層構造を構築するための、底部層の小さな部品からトップ層の大きめのICおよびインターポーザまでのチップの同時搭載が、高コストのチップ埋め込みの必要なく可能である。

7. 接地面がフレームの裏面に形成できる。

8. 部品組み立ての後、選択肢としてフレームが既存の技術および材料を使用してカプセル封入されてもよい。

40

9. 柔軟な設計原則により、各部品(ディスクリート部品およびICを両方含む)が最適な材料および製造技術を使用して生産されることが可能になり、それによりモジュール性能の最適化が可能になる。従って各部品の性能は設計の初期段階で最適化される。内部の、非誘導性接続は部品の高速、低損失の相互配線を可能にする。

10. フレーム設計が高い信頼性をサポートする。各部品は事前試験が可能である。その設計は組み立てられたモジュール全体のトリミングを可能にし、そしてそれによりモジュールの性能を向上させることができる。熱拡散が適切な相互配線および高い熱伝導率の特殊材料を使用して最適化できる。フリップチップまたはチップスケール形状因子のICがコスト効率化および信頼性のために使用可能である。モジュールは前述のようにカプセ

50

ル封入できる。

11．以下に記載するように、単一のフレームが3D構築ブロックとして機能できる。これらの構築ブロックは大きめの、より複雑な、高ハイアラキの多次元構造の構築と組立を可能にする。

12．これら実施形態のモジュール性は、コスト、電力経費、機械的応力除去、速度の向上、および試験プログラムの標準化などのシステム特性に関して他の多くの利点を提供する。

【0026】

図1は本発明の1実施形態による多重レベル電子モジュール20の図解的断面図である。モジュールは絶縁基板21の上に構築され、基板21はこの事例では3層、22, 24, 26からなり、それらは全体としてモジュール20のフレームを画定している。層22, 24は中心部が空いており、それにより外部空洞40と入れ子の内部空洞42を含む。モジュール20の特定の幾何学形状は、例示のためであり、他の形状のモジュールは以下の他の図に示される。便宜的に図1は1組のデカルト座標を示し、X軸とY軸は部品が搭載される層22, 24および26の表面に平行な横方向に走り、一方Z軸はこれら表面に直角に走る。

10

【0027】

基板21は任意の適合する電氣的絶縁性の材料からなる。例えば、LTCC（セラミック）は優れた熱伝導を提供し、従って部品の冷却を促進し、一方積層は特に多重積層構造を生成するのにコスト効率がよい。あるいは、弾性ポリマーが改良された機械的振動吸収を提供するために使用可能であり、またはシステム要求に基づいて他の適切な既存技術で既知の絶縁材料が使用可能である。

20

【0028】

電子部品はモジュール20内に3D配列で搭載される。部品32（典型的にはディスクリット部品またはIC）は空洞42内で層26の表面上に搭載される。ICのようなもう1つの部品30は空洞42の上をまたいで空洞を取り囲む層24の表面上に搭載される。（層24、および層22も同様に、対応する空洞42および40をその全ての側面で、または2つまたは3つの側面で取り囲んでもよい。）さらにICまたはインターポーザのような別の1つの部品28は空洞40の上をまたいで層22の表面上に搭載される。（一般的にインターポーザは適合する相互配線を持つ単純なICチップからなる。）モジュール20のICおよびディスクリット部品はフリップチップまたはチップスケールパッケージ内に包含され、またはベアダイスとして組み立てられてもよい。いくつかのディスクリット部品34はまた、下記でさらに記載されるように、基板21内に埋め込まれてもよい。

30

【0029】

モジュール上または内に搭載された電子部品は、以下の図に示されるように、基板21上または基板を貫通して走る伝導性トレースにより接続される。これらトレースは一般的にビア36を有し、それは例えば図2に示されるように、空洞40と42の内部のまたは周辺の、部品が搭載される表面に直角に（即ち、Z軸方向に）基板21を貫通する。トレースはまた部品搭載面に平行なX-Y平面に配置される導電線を有する。導電性トレースおよび接点は銅に対する標準的銀塩印刷または光化学技術を使用して形成可能であり、さら

40

【0030】

モジュール20は基板21の外側表面上の接点パッド37および/または38を使用して、プリント回路基板（PCB）のようなより大きな下方に横たわる基板の上に搭載されるように構成される。あるいは、またはさらに、例えば図15-20に示すように、接点パッド37および/または38はモジュール20を他のモジュールに接続させるのに使用できる。外部接点パッド37および38はボールグリッドアレイ（BGA）、ランドグリッドアレイ（LGA）あるいは表面実装デバイス（SMD）の接点のような任意の適合するタイプでよい。図1に示すように、接点37は空洞40と42の内部のまたは周辺にある部品搭載表面に直角な基板21の側面に位置し、一方接点38は部品搭載表面に平行な

50

、基板の底面（またはトップ面 この選択肢は図 1 には記載されていないが）にある。一般的に接点 3 8 はモジュール 2 0 内の電子部品にビア 3 6 により接続され、一方接点 3 7 は例えば図 4 と図 8 に示すように、部品搭載表面に平行に走る横方向導電線により接続される。

【 0 0 3 1 】

図 2 は本発明のもう 1 つの実施形態による多重レベル電子モジュール 3 9 の図解的詳細図である。この図はビア 3 6 および横方向導電線 4 8 および、それらの部品 2 8 , 3 0 および 3 2 への接続の詳細を示す。前述のように導電線 4 8 は一般的に層 2 2 , 2 4 および 2 6 の表面に沿って走り、そして空洞 4 2 の内部表面上（層 2 6 の上）と空洞 4 0 と 4 2 周辺の層 2 2 と 2 4 の表面上との両方に形成される。ビアと導電線は一般的に低抵抗および低インダクタンスまたはゼロインダクタンスに設計される。

10

【 0 0 3 2 】

ビア 3 6 と導電線 4 8 は基板 2 1 の層 2 2 , 2 4 および 2 6 の表面上に形成された導電性接点パッド 4 6 により部品に接続される。接点パッド 4 6 は適切な半田付けまたは他の接合技術を使用して部品 2 8 , 3 0 および 3 2 上の導電性パッド 4 4 と物理的および電氣的に接触する。従ってこれら部品は、基板の同一レベルまたは異なるレベルのいずれかにある接点パッド 4 6 の間に伸長するビア 3 6 および導電線 4 8 の手段により、部品同士のみならず、モジュール 3 9 の外部接点パッド（パッド 3 8 のような）に接続される。

【 0 0 3 3 】

（導電性ビアおよび導電線の設計）

20

ビアのパターンはそれぞれの特定のモジュールに対して特別に設計されそして生産されるが、しかし類似のパッケージに対し標準ビアパターンを提供することにより設計工程は簡略化でき、生産コストは低減できる。このような標準パターンに対しては使用可能な全てのビアが形成されるが、しかしそれらのいくつかだけがモジュールの電気スキームに依存して導電線で接続される。

【 0 0 3 4 】

図 3 A - C は本発明の 1 実施形態による、モジュール 2 0 のような多重レベル電子モジュールの連続する層 2 6 , 2 4 , 2 2 の図解的上面図である。この実施形態では、ビア 5 0 は X および Y 方向に沿った事前設定の格子の中にレイアウトされる。実際に使用されるビアの数は部品の数、部品の端末接点の数、および電氣的スキームに依存する。

30

【 0 0 3 5 】

図 3 A - C に示されるスキームでは、部品 3 2 , 3 0 および 2 8 は概略それらの物理的寸法に従って配置される（底部からトップ方向で最小から最大に）。従ってビア 5 0 のパターンは層ごとに異なり、C と表示されるビア（C 1 , C 2 と C 3 ）は 3 つの層 2 2 - 2 4 - 2 6 全てを貫通し；B と表示されるビアは層 2 4 と 2 6 を貫通し；そして A と表示されるビアは層 2 6 のみ、すなわち部品 3 2 が搭載される表面とパッド 3 8 が位置する底部表面との間を貫通する。従って横方向導電線 4 8 のレイアウト（これらの図には図示されない）に依存して、ビア ' C ' は任意の層の部品を相互接続し、あるいはこれらの部品を外部接点パッドに接続する。ビア ' B ' と ' A ' は接続性においてより限定されるが、図示されるモジュールにおいて使用可能なビアの格子は全体として、部品間および外部接続の実質的に任意の所望のパターンを提供するのに使用可能である。

40

【 0 0 3 6 】

図 4 は本発明の 1 実施形態による多重レベル電子モジュールの 1 つの層の図解的上面図であり、横方向導電線 4 8 を示す。導電線 4 8 は図 3 A - C のビア 5 0 のように、直線構成のパターンでレイアウトされる。図 4 に示す事例では、導電線 4 8 は部品 3 2 をモジュールの両側面の接点パッド 3 7 に接続する。あるいは、同じ種類の線がビアおよび同一層内の他の部品に接続されてもよい。

【 0 0 3 7 】

図 5 は本発明の他の 1 つの実施形態による多重レベル電子モジュール 6 0 の図解的詳細図である。この図は横方向導電線 4 8 およびビア 6 2 が、いかに部品 2 8 , 3 0 , 3 2 を

50

基板の層 2 6 の底面上の接点パッド 3 8 に接続するかを示す。同じ種類の線およびビアが図 2 に示されたスキームにおいて、そして実質的に任意の他の種類の相互配線シナリオにおいて使用可能である。

【0038】

図 6 A - C は本発明の代替的 1 実施形態による多重レベル電子モジュールの連続する層 2 6 , 2 4 , 2 2 の図解的上面図である。従前の実施形態と異なり、この設計はビアの固定された配列に基づかず、むしろ必要な場所において適切な層を貫通する特定のビア 6 6 のみを使用し、また横方向導電線 6 8 はこれらビアを部品 2 8 , 3 0 および 3 2 に接続する。このアプローチはより少ない金属を使用し、より大きな設計柔軟性を提供し、いくつかの用途でのモジュール内の部品をより密接に充填できる可能性がある。

10

【0039】

図 7 は本発明のさらに別の 1 実施形態による多重レベル電子モジュールの 1 つの層の図解的上面図である。この実施形態では、ビア 7 2 は部品 7 0 が搭載される接点に対して 1 組の事前設定の角度で配置される。横方向導電線 7 4 がその後部品接点と実際に使用されるビアの間に形成される。この種の設計アプローチは図 3 A - C に示される格子ベースの設計と図 6 A - C の「自由型」設計の間の有用な妥協を提供するかもしれない。

【0040】

選択されたレイアウトの種類に関係なく、穿孔と金属メッキは一般的に積層基板内に垂直ビアを形成する最も適切な技術である。穿孔は機械的にまたはレーザにより実行可能であり、その後既知の既存技術を使用して銅メッキされる。ビア信頼性の高い非誘導性接点は一般的に、このようにしてビア直径が 5 0 - 3 5 0 ミクロンの範囲で獲得可能である（これより大きなまたは小さなビアもまた可能であるが）。

20

【0041】

セラミック基板に対しては圧膜技術が一般的に最も適している。この場合、ビアの開孔は基板の生産に使用されるセラミックグリーンテープの各層の中で機械的に準備される。銀、パラジウム - 銀、または他の金属ペーストのスクリーン印刷がこれら開口部を導電性材料で充填させるのに使用される。セラミックグリーンテープからなる多層構造は、その後一緒に加圧され、そして焼結される。部品を側面の端末と接続するため、厚い導電線（トレース）がビアの代わりにまたはビアと共に使用可能である。

【0042】

30

図 8 は本発明のさらなる 1 実施形態による多重レベル電子モジュール 8 0 の図解的断面図であり、横方向導電線 8 2 , 8 4 を示す。この図に示すように、部品 3 2 を外部接点パッド 3 7 に接続するため、厚い金属トレースがビアの穿孔の代わりに、またはビアの穿孔と共に使用されてもよい。この種のトレースは垂直ビアに接続する水平断片を形成するために使用されてもよい。

【0043】

積層基板については、一般的に厚い金属被覆（一般に 1 5 0 - 6 0 0 ミクロンの範囲、しかしそれより大きなおよび小さな厚さも選択肢として使用できる）が、トレース 8 2 , 8 4 を製造するための最も適切な技術である。銅で最大 2 5 0 ミル厚まで、アルミニウムで最大 5 0 0 ミル厚までの金属トレースが当該分野で公知の金属被覆技術を用いて製造できる。このような厚さは、上記で定義された範囲の厚さの、高信頼性で無誘導性のトレースを生成するのに十分以上である。光化学、微小機械、レーザーベース技術などの当技術分野で知られている様々な技術が、（積層フレーム用の）厚い金属のパターニングに使用することができる。

40

【0044】

横方向導電線 8 2 , 8 4 は、均一または不均一な厚さであってよい。例えば、側面接点 3 7 での横方向導電線 8 4 の終端は、接点 3 7 近くに厚い部分 8 6 を含んでもよい。この厚い部分は、2 5 0 ミクロンの厚さでトレースの終端接触を改善することができる。この種のトレースの可変厚さは、垂直ビアの横方向の接続に対し有用であり得る。最小の金属厚は、信頼性および非誘導性接触、多層構造の製造の容易さ、および費用効率の高い金属パ

50

ターニングを提供するために、他の場所で使用されてもよい。

【0045】

要約すると、3Dモジュールを積層基板で生産する一連のステップは上述したように以下を含むことができる：

- 1．個々の層の調製（空洞を含む）。
- 2．導電線と接点パッドの必要なパターンを作るための各層に対する金属パターンニング。
- 3．積み重ね。
- 4．垂直ビアの掘削とメッキ。
- 5．外部終端の追加。
- 6．部品の組み立て。

10

【0046】

セラミック基板については、（側面接点又はビアに接続する）厚い金属トレースは導電性厚膜ペーストのマルチスクリーン印刷によって構築することができ、それは同時にトレースのパターンニングを可能にする。この種のモジュールでは、150 - 250ミクロンの範囲のトレース厚が一般的に望ましい。

【0047】

要約するとこの場合、セラミック技術では、3Dモジュールの製造における一連のステップは以下のである：

- 1．すべての層に対しグリーンセラミックテープの調製（必要な空洞及びビアを有する） - すべての層に対する導電線、ビアおよび接点パッドのスクリーン印刷を含む。
- 2．個々の層を押圧し多層構造を形成する。
- 3．焼結。
- 4．外部端末の追加。
- 5．部品の組み立て。

20

【0048】

新しい3D印刷技術（追加的製造）もまたフレームの製造に適している。この場合、3Dフレームはパッド、導電線およびビア用の導電性材料と残部用の絶縁材料との所望の組み合わせで単に層ごとに印刷される。この製造技術は、複雑なパターンの厚い水平導電性トレースと垂直ビアに対して費用効率がよい。

30

【0049】

（埋め込み部品の組み込み）

図1で図解されたように、基板21は、抵抗器、コンデンサ、およびインダクタなどの埋め込みコンポーネント34を含んでもよい。このような部品は、実質的に任意の種類の電子モジュールで使用可能であるが、しかしそれらはフィルタ、バラン及び変圧器のような様々なタイプのRF回路やチップの構築に特に有用である。埋め込まれた部品は、部品32（図1）のような基板の実装面の上に配置された他のディスクリート部品と組み合わせ使用することができる。この組み合わせは、フィルタやマルチプレクサのようなより複雑な種類のRF（およびその他の）モジュールの構築を可能にする。

40

【0050】

埋め込み部品34の特性を向上させ、改良するために追加の技術が使用されてもよい。例えば、レーザトリミングのようなトリミング技術は、生産において部品の数値を微調整するために使用可能である。さらにあるいは、フェライトおよび強誘電体のような特殊な材料が、性能改善のために基板内または外部表面上に埋め込まれた部品に組み込むことができる。これらの選択肢は、以下の図面に示されている。多くの特定の部品は以下に記載されるが、本実施形態によって提供されるトリミングの原理は、このようにして基板の中または上に埋め込むことができる実質的に任意の種類のトリミング可能な部品に適用することができる。

【0051】

図9は、本発明の実施形態による、埋め込みコンデンサ90のレーザトリミングを示す

50

、マルチレベル電子モジュールの図解的断面図である。この実施形態の絶縁層 26 は、それ自体多層構造である。このようにコンデンサ 90 は、トリミングを可能にするために、層 26 の 1 つの内部層の表面に形成された内部導電性プレート 92、および層 26 の上面に形成された外側導電性プレート 94 を有する。コンデンサ 90 の特性が測定され、そしてレーザ 96 が、モジュールの設計周波数で所望の動作特性を与えるための適切な部品の数値に到達するのに十分な材料を、プレート 94 から除去する。例えば、フィルタおよびマルチプレクサを製造する際には、特定された周波数帯域における挿入損失およびノイズ除去が測定され、そして必要なトリミング値を計算するために電磁界シミュレーションが（当技術分野で知られているように）適用される。同様の技術は他のタイプのモジュールにおいても使用することができる。

10

【0052】

図 10 は、本発明の実施形態による、埋め込み抵抗 100 を示すマルチレベル電子モジュールの 1 つの層の図解的上面図である。抵抗 100 は抵抗パッド 104 に接続する導電性トレース 102 を含む。抵抗 100 の抵抗値はパッドの幅によって決定される。したがって抵抗は、例えばライン 106 に沿ってパッド 104 を切断することによって、上述の技術を用いて、トリミングされてもよい。

【0053】

同様に、抵抗器、インダクタ、および楕円型コンデンサがモジュールの層の 1 つの外部面に形成され、その後、同様の技術によってトリミングされてもよい。例えば、抵抗値とインダクタンス値は導電線を狭くすることによってトリミングすることができ、一方静電容量は、電極の一部を除去することによってトリミングされる。このアプローチは、モジュールの部品が組み立てられた前または後のいずれかにおける、モジュール全体の試験およびトリミングを可能にする。このようなモジュールは自動機器により高度に標準化されたテストプログラムで個別に試験しトリミングすることができる。

20

【0054】

さらにあるいは、トリミングが必要とされない場合、埋め込み部品 34 は、それらに接続する適切な導電性トレースと共に、基板の絶縁層の 1 つの内に完全に含まれ得る。それでも回路修正は、例えばフレームに搭載されたディスクリット部品 32 の手段により依然として達成可能である。

【0055】

種々の技術がモジュール基板の 1 つの層内（およびモジュールの絶縁フレーム内の他の層内に、部品表面がその後のトリミング用に利用可能であるかながらうが、）に部品 32 を埋め込むために使用できる。基板が積層からなる場合、部品を構成する導体及び他の要素（例えば、強誘電要素及び/又は磁気要素など）は、単に積層プロセスの適切な段階で埋め込むことができる。一方、セラミック基板は一般に、高温焼結を必要とし、それは埋め込み部品に損傷を与える可能性がある。したがってセラミック基板が使用される場合、穴は、その後埋め込み部品を挿入するために、焼結段階で基板中に残してもよい。部品が挿入された後、穴は、選択肢として任意の適切な封入材料で充填されてもよい。

30

【0056】

図 11 は、本発明の実施形態による、埋め込み平坦コンデンサ 110 を示す多重レベル電子モジュールの図解的断面図である。強誘電体材料 114 は、基板層 26 内のコンデンサ電極 112 の間に埋め込まれている。

40

【0057】

図 12 は、本発明の別の実施形態による埋め込み楕円型コンデンサ 116 を示す多重レベル電子モジュールの図解的断面図である。この場合、コンデンサの 1 組のインターリーブされた電極 120 が 1 つまたはそれ以上の埋め込み強誘電体層 118 に沿って、または間に、埋め込まれていてもよい。

【0058】

図 13 は、本発明のさらに別の実施形態による、埋め込まれたインダクタ 124 を示す多重レベル電子モジュール内の 1 つの層の図解的上面図である。ここでは、フェライト 13

50

0 または他の磁気材料が、インダクタンスを増加させるために、層 2 6 内のインダクタのワイヤコイル 1 2 6 内に埋め込まれている。

【 0 0 5 9 】

(他の代替的フレーム設計および多重フレームモジュール)

図 1 に示され、そしてそれに続くいくつかの図に繰り返されるフレーム外形は、本発明の原理に基づいて形成できる構造を代表しているが、それらは例示のためだけに示され、そして制限するものではない。以下の図では多くのさらなる事例が示される。他の代替的な空洞ベースの、多重レベルのモジュール設計は本明細書を読んだ後の当業者には明白であり、それらは本発明の範囲内にあると見做される。

【 0 0 6 0 】

図 1 4 A は本発明の代替的实施形態による多重レベル電子モジュール 1 3 2 の図解的断面図である。ここでは空洞 1 3 4 は基板の一方の側に形成され、そして部品 3 0 と 3 2 はそれぞれ空洞の上をまたいで、そして空洞の中に搭載されている。追加のトレース (不図示) がモジュール 1 3 2 の基板の他方の側、空洞 1 3 4 の反対側に提供され、この反対側にもさらなる部品 1 3 6 の搭載を可能にしている。この実施形態では、接点パッド 3 8 は基板の空洞 1 3 4 と同じ側に形成され (従前の実施形態とは反対側) 、それによりモジュール 1 3 2 を P C B または、当該基板に対向する空洞を有する下方の他の基板上に搭載可能にしている。

【 0 0 6 1 】

図 1 4 B は本発明のもう 1 つの実施形態による多重レベル電子モジュール 1 4 0 の図解的断面図である。この場合、基板は両側に形成された空洞 1 3 4 と 1 4 2 と、空洞 1 3 4 に沿った接点パッド 3 8 を有する。部品 1 3 6 は空洞 1 3 4 内に搭載され、一方部品 3 0 と 3 2 は空洞 1 4 2 の上をまたいで、そして空洞 1 4 2 の中に搭載される。

【 0 0 6 2 】

図 1 4 C は本発明の他の 1 つの実施形態による多重レベル電子モジュール 1 4 4 の図解的断面図である。この実施形態はモジュール 1 4 0 に似ているが、しかし空洞 1 3 4 と空洞 1 4 2 の両方の端部の周辺に搭載面をさらに提供し、それにより部品 1 4 6 と 3 0 はそれぞれこれら空洞の上をまたいで搭載可能である。

【 0 0 6 3 】

従前の図は全て単一の基板フレームからなるモジュールを示したが、以下に記載される実施形態では 2 つまたはそれ以上のモジュールが電気的および機械的に接合されて単一の集積電子組立体を形成する。この接合は一般的にモジュールの外部表面上の適切な接点パッドを結合することにより達成される。例えば、基板の任意の側のフリップチップ末端がこの目的に使用できる。このアプローチはフレームを互いに半田付けまたは接着することにより単一のモジュールを複雑な 3 D 構造およびアレイ内に組み込むことを可能にする。これは電子回路のみならず光学的および電子機械的デバイスにも、またある種の「システムインパッケージ」にも有用である。

【 0 0 6 4 】

図 1 5 は本発明の 1 実施形態によるこの種の組立体 1 5 0 の図解的断面図である。組立体 1 5 0 は多重レベル電子モジュール 1 5 2 , 1 5 4 , 1 5 6 の積み重ねからなる。これらモジュールは一般的に以前の図に示されたものと類似の内部導電性接点およびトレースを有する。モジュール 1 5 2 , 1 5 4 , 1 5 6 は上方および / または下方表面上のそれぞれの接点パッド 1 5 8 により互いに接続され、接点パッドはそれぞれのモジュール内のトレースに接続し、それによりモジュール間の電気的通信を提供する。

【 0 0 6 5 】

モジュール 1 5 2 , 1 5 4 , 1 5 6 はそれぞれ空洞 1 6 0 , 1 6 2 , 1 6 4 を含む。この実施形態ではモジュールは積み重ねられ、モジュール 1 5 2 の基板の下面 (空洞 1 6 0 の反対側) はモジュール 1 5 4 の空洞 1 6 2 を覆いそして囲い込み、一方モジュール 1 5 4 の基板の下面はモジュール 1 5 6 の空洞 1 6 4 を覆いそして囲い込む。

【 0 0 6 6 】

10

20

30

40

50

図 16 は本発明のもう 1 つ実施形態による、多重の多重レベル電子モジュール 174 からなる組立体 170 の図解的側面図である。この実施形態では、それぞれのモジュール 174 はそれぞれ空洞 176 を有し、そして空洞を取り囲むモジュール基板の表面に直角なモジュールの側面に接点パッド 178 を有する。モジュール 174 はこのように絶縁ベース 172 の上面の上に並べて搭載される。ベース 172 それ自体が接点パッド 38 の手段により PCB または他の基板に搭載されてもよい。この構成は高い部品密度の多重モジュール組立体を形成するのに特に有用である。

【0067】

図 17 は本発明の代替的实施形態による、多重の多重レベル電子モジュール 182, 184, 186 からなる組立体 180 の図解的側面図である。それぞれのモジュール 182, 184, 186 はそれぞれの空洞を取り囲むモジュール基板の表面に直角な、モジュールの側面に接点パッド 178 により、少なくとも 1 つの他のモジュールに接合されている。この設定はモジュール 182 と 184 が 1 つの方向に接合されることを可能にし、それによりそれぞれの空洞が互いに平行に開口する。一方モジュール 182 の上面の接点パッドは、モジュール 186 が、図に示すように、その空洞がモジュール 182 と 184 の空洞の開口方向と直交する方向に開口することを可能にする。

【0068】

モジュールの相互接合のための接点パッド配置のこの柔軟性は、組立体が多種多様な形状および構成で形成されることを可能にする。

例えば図 18 は本発明の代替的实施形態による、多重の多重レベル電子モジュール 192, 194, 196 からなる組立体 190 の図解的側面図である。この場合、モジュール 196 は、モジュール 196 の側面とそれぞれモジュール 192 と 194 のそれぞれトップ面と底面にある接点パッド 178 を使用して、モジュール 192 と 194 の間に垂直に搭載される。この配置はモジュールにより囲まれた中央空洞 198 を画定する。

【0069】

図 19 は本発明のさらに別の実施形態による、多重の多重レベル電子モジュール 202, 204 からなる組立体 200 の図解的側面図である。この場合、モジュール 202, 204 は、モジュール 202 の空洞がモジュール 204 の対応する空洞に面するように積み重ねられる。部品 206 はモジュール 202, 204 のそれぞれの空洞の上をまたいで搭載され、一方部品 208 は内部空洞内に搭載される。モジュールはそれぞれの上面にある接点パッドにより接合される。したがってこの実施形態では上述のタイプの単一のモジュール設計を使用して、組立体が搭載される PCB 上の面積に対しておよそ 2 倍の部品密度を達成できる。

【0070】

図 20 は本発明のさらなる実施形態による、多重の多重レベル電子モジュール 212, 214 からなる組立体 210 の図解的側面図である。モジュール 212 は上方および下方空洞を持つ図 14C に似たタイプである。モジュール 214 はモジュール 20 (図 1) に似た形状を持ち、接点パッド 216 によりモジュール 212 の側面に直角構成で接合する。

【0071】

上記の実施形態は事例として引用され、本発明は上記で特に示されそして記載されたものに限定されない。むしろ、本発明の範囲は、本明細書を読んだ当業者に想起される、従来技術にない、上記に記載された種々の特徴の組み合わせおよび準組み合わせの両方を含み、またその変化形および修正形を含む、ことを理解されたい。

【図 1】

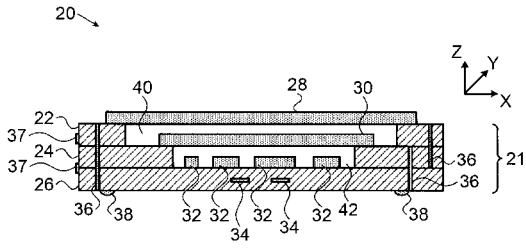


FIG. 1

【図 2】

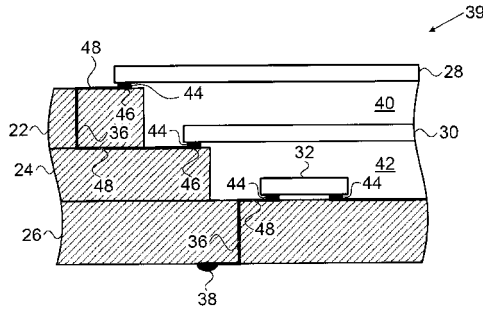


FIG. 2

【図 5】

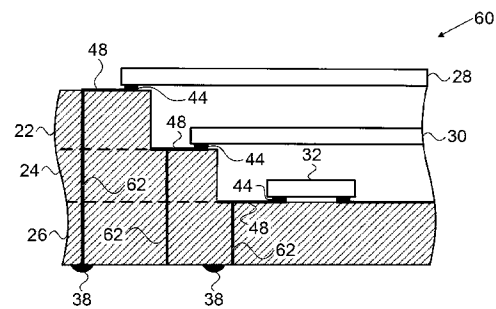


FIG. 5

【図 6 A - C】

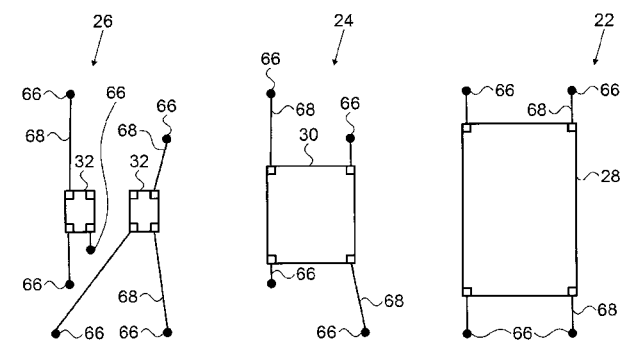


FIG. 6A

FIG. 6B

FIG. 6C

【図 3 A - C】

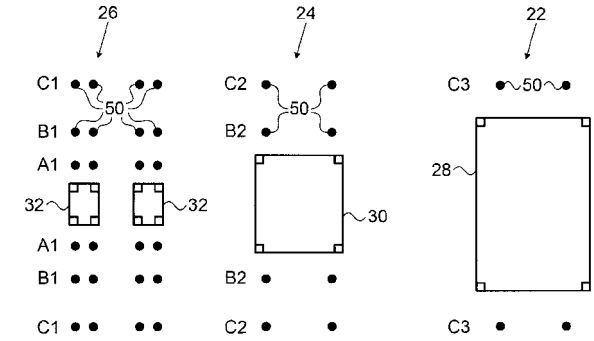


FIG. 3A

FIG. 3B

FIG. 3C

【図 4】

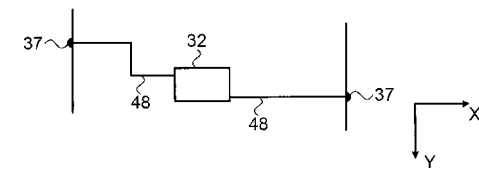


FIG. 4

【図 7】

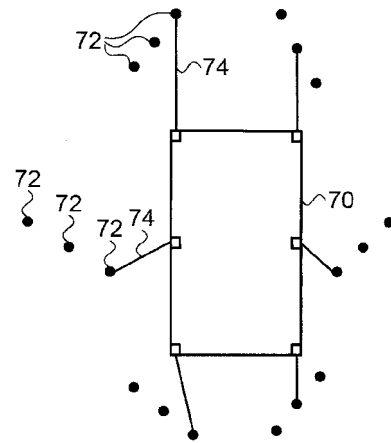


FIG. 7

【図 8】

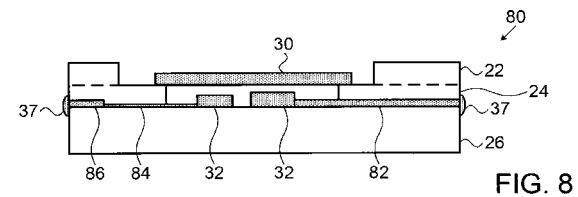


FIG. 8

【図 9】

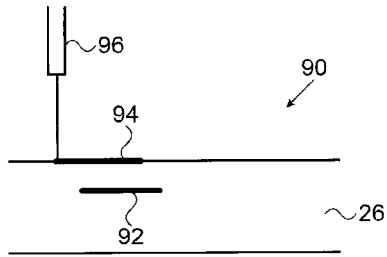


FIG. 9

【図 10】

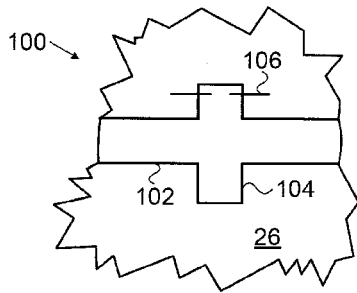


FIG. 10

【図 11】

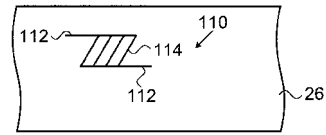


FIG. 11

【図 12】

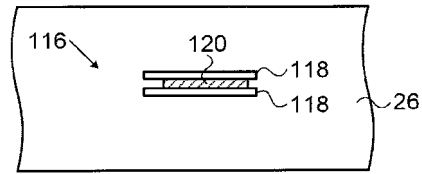


FIG. 12

【図 13】

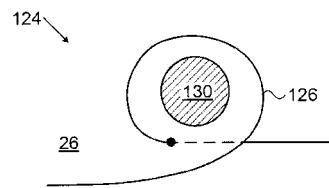


FIG. 13

【図 14 A - C】

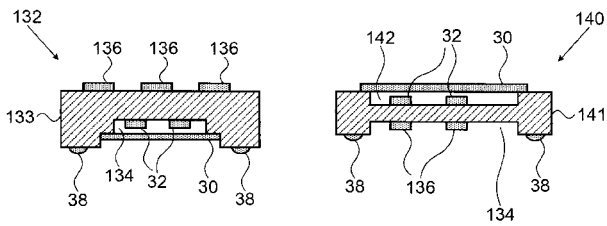


FIG. 14A

FIG. 14B

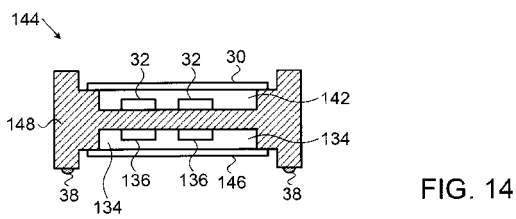


FIG. 14C

【図 15】

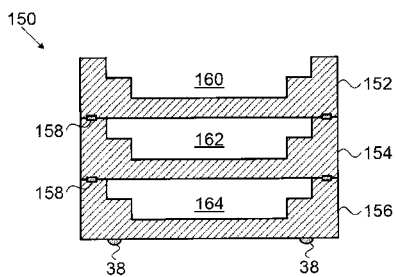


FIG. 15

【図 16】

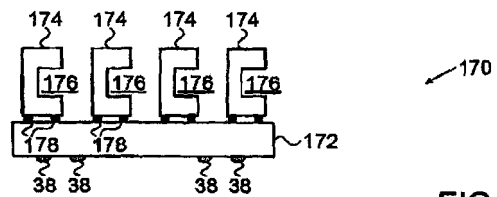


FIG. 16

【図 17】

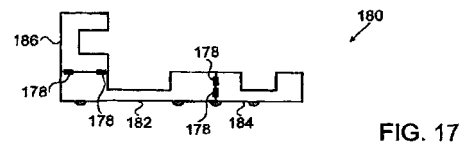


FIG. 17

【図 18】

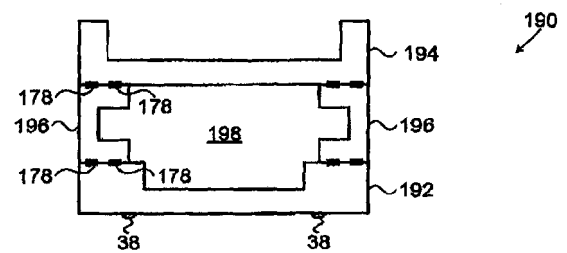


FIG. 18

【図 19】

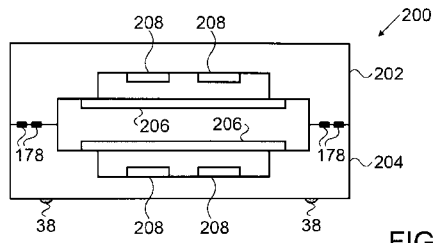


FIG. 19

【図 20】

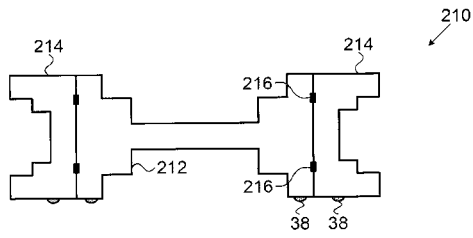


FIG. 20

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/IB2013/053749												
A. CLASSIFICATION OF SUBJECT MATTER IPC (2013.01) H01L 21/00 According to International Patent Classification (IPC) or to both national classification and IPC														
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC (2013.01) H01L 21/00 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) Databases consulted: PATENTSCOPE, USPTO, Esp@cenet, FamPat database Search terms used: electronic module, cavity, trace, dielectric														
C. DOCUMENTS CONSIDERED TO BE RELEVANT <table border="1"> <thead> <tr> <th>Category*</th> <th>Citation of document, with indication, where appropriate, of the relevant passages</th> <th>Relevant to claim No.</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>US 2012104623 A1 PAGAILA REZA A. et al. 03 Mar 2012 (2012/03/03) Whole Document</td> <td>1-58</td> </tr> <tr> <td>X</td> <td>US 2009279268 A1 SON KYUNG JOO 12 Nov 2009 (2009/11/12) Whole document</td> <td>1-58</td> </tr> <tr> <td>A</td> <td>US 2002053727 A1 KIMURA NAOTO 09 May 2002 (2002/05/09) Whole document</td> <td>1-58</td> </tr> </tbody> </table>			Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.	X	US 2012104623 A1 PAGAILA REZA A. et al. 03 Mar 2012 (2012/03/03) Whole Document	1-58	X	US 2009279268 A1 SON KYUNG JOO 12 Nov 2009 (2009/11/12) Whole document	1-58	A	US 2002053727 A1 KIMURA NAOTO 09 May 2002 (2002/05/09) Whole document	1-58
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.												
X	US 2012104623 A1 PAGAILA REZA A. et al. 03 Mar 2012 (2012/03/03) Whole Document	1-58												
X	US 2009279268 A1 SON KYUNG JOO 12 Nov 2009 (2009/11/12) Whole document	1-58												
A	US 2002053727 A1 KIMURA NAOTO 09 May 2002 (2002/05/09) Whole document	1-58												
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.														
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "I" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family														
Date of the actual completion of the international search 11 Sep 2013		Date of mailing of the international search report 11 Sep 2013												
Name and mailing address of the ISA: Israel Patent Office Technology Park, Bldg.5, Malcha, Jerusalem, 9695101, Israel Facsimile No. 972-2-5651616		Authorized officer DAVIDI Ariel Telephone No. 972-2-5651727												

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/IB2013/053749

Patent document cited search report	Publication date	Patent family member(s)	Publication Date
US 2012104623 A1	03 Mar 2012	US 2012104623 A1	03 May 2012
<hr/>			
US 2009279268 A1	12 Nov 2009	CN 101421834 A	29 Apr 2009
		CN 101421834 B	28 Mar 2012
		KR 20070101579 A	17 Oct 2007
		US 2009279268 A1	12 Nov 2009
		WO 2007117097 A1	18 Oct 2007
<hr/>			
US 2002053727 A1	09 May 2002	JP 2002076252 A	15 Mar 2002
		KR 20020018058 A	07 Mar 2002
		US 2002053727 A1	09 May 2002
		US 6600221 B2	29 Jul 2003
<hr/>			

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC