

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5593438号  
(P5593438)

(45) 発行日 平成26年9月24日(2014.9.24)

(24) 登録日 平成26年8月8日(2014.8.8)

(51) Int.Cl. F I  
 HO 1 L 33/48 (2010.01) HO 1 L 33/00 4 0 0  
 HO 1 L 33/38 (2010.01) HO 1 L 33/00 2 1 0

請求項の数 14 (全 16 頁)

(21) 出願番号	特願2013-501715 (P2013-501715)	(73) 特許権者	599133716
(86) (22) 出願日	平成23年3月10日 (2011.3.10)		オスラム オプト セミコンダクターズ
(65) 公表番号	特表2013-524496 (P2013-524496A)		ゲゼルシャフト ミット ベシュレンクテ
(43) 公表日	平成25年6月17日 (2013.6.17)		ル ハフツング
(86) 国際出願番号	PCT/EP2011/053638		Osram Opto Semiconductors GmbH
(87) 国際公開番号	W02011/120775		ドイツ連邦共和国、93055 レーゲン
(87) 国際公開日	平成23年10月6日 (2011.10.6)		スブルグ、ライプニッツシュトラッセ 4
審査請求日	平成24年11月20日 (2012.11.20)		Leibnizstrasse 4, D
(31) 優先権主張番号	102010013494.5		-93055 Regensburg,
(32) 優先日	平成22年3月31日 (2010.3.31)		Germany
(33) 優先権主張国	ドイツ (DE)	(74) 代理人	100105050
			弁理士 鷲田 公一

最終頁に続く

(54) 【発明の名称】 オプトエレクトロニクス半導体チップ

(57) 【特許請求の範囲】

【請求項 1】

- n型導電領域(12)およびp型導電領域(13)を有する半導体ボディ(1)と、  
 - 単一のn型コンタクト要素(2)であって、該単一のn型コンタクト要素(2)を介することで、前記n型導電領域(12)との電氣的接触接続を前記p型導電領域(13)を貫いて形成することができる、単一のn型コンタクト要素(2)と、

を備えており、

前記n型コンタクト要素(2)が、前記p型導電領域(13)における切欠き部(21)を備えており、

前記n型コンタクト要素(2)が、前記p型導電領域(13)の横方向の境界の少なくとも一部分を形成しており、

前記n型コンタクト要素(2)がn型コンタクトメタライゼーション(31)を有し、  
 前記n型コンタクトメタライゼーション(31)が前記n型導電領域(12)に直接隣接しており、

前記p型導電領域(13)が、p型コンタクトメタライゼーション(32)に導電接続されており、

前記n型コンタクトメタライゼーション(31)および前記p型コンタクトメタライゼーション(32)が、垂直方向には互いに重ならないように、かつ、前記n型導電領域(12)および前記p型導電領域(13)を横方向に越えるように、前記半導体ボディ(1)から横方向に引き出されており、

10

20

キャリア絶縁層(4)が、前記n型・p型コンタクトメタライゼーション(31、32)の前記半導体ボディ(1)から離れた側を覆うと同時に、前記n型・p型コンタクトメタライゼーション(31、32)間の領域を部分的に埋めるように、設けられており、

補助キャリア(9)が、前記n型・p型コンタクトメタライゼーション(31、32)の前記半導体ボディ(1)から離れた側に配置されており、前記キャリア絶縁層(4)が、前記n型・p型コンタクトメタライゼーション(31、32)を互いに且つ前記補助キャリア(9)からも完全に絶縁している、

オプトエレクトロニクス半導体チップ(100)。

【請求項2】

前記切欠き部(21)が、前記p型導電領域(13)の横方向の境界の少なくとも一部分を形成している、

請求項1に記載のオプトエレクトロニクス半導体チップ(100)。

【請求項3】

前記n型コンタクト要素(2)が、前記n型導電領域(12)の半導体材料によって形成されているn型接続パッド(211)を有し、前記n型接続パッド(211)が前記半導体ボディ(1)の成長方向(W)に垂直に延在している、

請求項1または請求項2に記載のオプトエレクトロニクス半導体チップ(100)。

【請求項4】

前記半導体ボディ(1)が活性ゾーン(11)を有し、前記n型コンタクト要素(2)の前記n型接続パッド(211)が、前記活性ゾーン(11)の横断面領域(111)の少なくとも1%かつ最大で10%である、

請求項3に記載のオプトエレクトロニクス半導体チップ(100)。

【請求項5】

前記活性ゾーン(11)の最大横方向範囲と前記n型導電領域(12)のn型横方向導電率との比は、少なくとも $2\mu\text{m}/(\quad/\text{sq})$ かつ最大で $8\mu\text{m}/(\quad/\text{sq})$ である

請求項4に記載のオプトエレクトロニクス半導体チップ(100)。

【請求項6】

前記半導体ボディ(1)が、前記p型導電領域(13)とは反対側の前記n型導電領域(12)の面に配置されている放射取り出し領域(10)、を有する、

請求項1から請求項5のいずれかに記載のオプトエレクトロニクス半導体チップ(100)。

【請求項7】

前記n型コンタクトメタライゼーション(31)の少なくとも一部分が前記n型接続パッド(211)に直接隣接している、

請求項3から請求項6のいずれかに記載のオプトエレクトロニクス半導体チップ(100)。

【請求項8】

前記p型導電領域(13)が、前記放射取り出し領域(10)とは反対側に位置するp型接続パッド(131)を有し、前記p型接続パッド(131)が前記p型コンタクトメタライゼーション(32)に導電接続されている、

請求項6または請求項7に記載のオプトエレクトロニクス半導体チップ(100)。

【請求項9】

前記p型導電領域(13)と前記n型コンタクトメタライゼーション(31)との間、前記切欠き部(21)の領域に、絶縁層(7)が配置されている、

請求項1から請求項8のいずれかに記載のオプトエレクトロニクス半導体チップ(100)。

【請求項10】

前記p型導電領域(13)の横方向の境界の一部分が、名目上ドーパされていない半導体領域(60)によって形成されており、前記名目上ドーパされていない半導体領域(6

10

20

30

40

50

0) および前記 p 型導電領域 ( 1 3 ) が、切れ目のない連続的な半導体層によって形成されている、

請求項 1 から請求項 9 のいずれかに記載のオプトエレクトロニクス半導体チップ ( 1 0 0 ) 。

【請求項 1 1】

前記 n 型コンタクト要素 ( 2 ) の少なくとも一部分が、前記 p 型導電領域 ( 1 3 ) の過剰にドーブされた n 型導電性半導体材料によって形成されている、

請求項 1 から請求項 1 0 のいずれかに記載のオプトエレクトロニクス半導体チップ ( 1 0 0 ) 。

【請求項 1 2】

前記 n 型コンタクト要素 ( 2 ) が、前記オプトエレクトロニクス半導体チップ ( 1 0 0 ) の平面視において前記 n 型コンタクト要素 ( 2 ) が前記 p 型導電領域 ( 1 3 ) の周囲を囲む連続的なゾーンを形成するように、前記 p 型導電領域 ( 1 3 ) のすべての側面において前記 p 型導電領域 ( 1 3 ) の横方向の境界の少なくとも一部分を形成している、

請求項 1 から請求項 1 1 のいずれかに記載のオプトエレクトロニクス半導体チップ ( 1 0 0 ) 。

【請求項 1 3】

オプトエレクトロニクス半導体デバイス ( 1 0 0 0 ) であって、

- 請求項 1 から請求項 1 2 のいずれかに記載の、少なくとも 2 個のオプトエレクトロニクス半導体チップ ( 1 0 0 ) を備えており、

- 前記オプトエレクトロニクス半導体チップ ( 1 0 0 ) が直列回路として互いに電氣的に接触接続されており、

- 半導体チップ ( 1 0 0 ) の前記 n 型導電領域 ( 1 2 ) が、隣接する半導体チップ ( 1 0 0 ) の前記 p 型導電領域 ( 1 3 ) に、単一の連続的な金属層からなる連続的な中間メタライゼーション ( 3 3 ) によって電氣的に接続されており、

- 前記中間メタライゼーション ( 3 3 ) の少なくとも一部分が、半導体チップ ( 1 0 0 ) の前記 n 型コンタクトメタライゼーション ( 3 1 ) と、隣接する半導体チップ ( 1 0 0 ) の前記 p 型コンタクトメタライゼーション ( 3 2 ) と、によって形成されている、

オプトエレクトロニクス半導体デバイス ( 1 0 0 0 ) 。

【請求項 1 4】

請求項 1 3 に記載のオプトエレクトロニクス半導体デバイス ( 1 0 0 0 ) が製造される、オプトエレクトロニクス半導体デバイス ( 1 0 0 0 ) の製造方法であって、

- 成長キャリア ( 1 0 0 1 ) を形成するステップと、

- 前記成長キャリア ( 1 0 0 1 ) に、エピタキシャル成長させる半導体積層体 ( 1 0 0 2 ) を形成するステップであって、前記半導体積層体 ( 1 0 0 2 ) が n 型導電領域 ( 1 2 ) および p 型導電領域 ( 1 3 ) を有する、ステップと、

- 前記半導体積層体 ( 1 0 0 2 ) に少なくとも 2 つの n 型コンタクト要素 ( 2 ) を形成するステップであって、前記 n 型コンタクト要素 ( 2 ) が、前記 p 型導電領域 ( 1 3 ) を貫いて前記 n 型導電領域 ( 1 2 ) に達する、ステップと、

- 隣接する 2 個のオプトエレクトロニクス半導体チップ ( 1 0 0 ) の電氣的接続のために、n 型コンタクトメタライゼーション ( 3 1 )、p 型コンタクトメタライゼーション ( 3 2 ) および中間メタライゼーション ( 3 3 ) を、前記成長キャリア ( 1 0 0 1 ) から離れた前記半導体積層体 ( 1 0 0 2 ) の側に形成するステップと、

- n 型コンタクトメタライゼーション ( 3 1 )、p 型コンタクトメタライゼーション ( 3 2 ) および中間メタライゼーション ( 3 3 ) において前記成長キャリア ( 1 0 0 1 ) とは反対に位置する側に、キャリア絶縁層 ( 4 ) を、前記キャリア絶縁層 ( 4 ) が 1 個のオプトエレクトロニクス半導体チップ ( 1 0 0 ) の前記 n 型・p 型コンタクトメタライゼーション ( 3 1、3 2 ) の間の領域を部分的に埋めて前記 n 型・p 型コンタクトメタライゼーション ( 3 1、3 2 ) を互いに完全に絶縁するように形成するステップと、

- 前記成長キャリア ( 1 0 0 1 ) とは反対側に位置する前記半導体積層体 ( 1 0 0 2 )

10

20

30

40

50

の領域に、補助キャリア(9)を、前記n型・p型コンタクトメタライゼーション(31、32)が前記補助キャリア(9)から完全に絶縁されるように貼り付けるステップと、次いで、前記半導体積層体(1002)から前記成長キャリア(1001)を除去するステップと、

- 横方向に隣り合うn型コンタクト要素(2)の間に、前記n型導電領域(12)を貫く少なくとも1本の溝(1003)を入れることによって、個々の半導体ボディ(1)を形成するステップであって、前記溝(1003)の領域において、前記半導体積層体(1002)の少なくとも一部分が完全に除去される、ステップと、  
を含んでいる、方法。

【発明の詳細な説明】

10

【技術分野】

【0001】

オプトエレクトロニクス半導体チップと、オプトエレクトロニクス半導体デバイスと、オプトエレクトロニクス半導体デバイスの製造方法とを開示する。

【発明の概要】

【0002】

本発明の1つの目的は、高い費用効果で製造することのできる特にコンパクトな半導体チップを開示することである。

【0003】

本特許出願は、独国特許出願第102010013494.5号の優先権を主張し、この文書の開示内容は参照によって本出願に組み込まれている。

20

【0004】

少なくとも一実施形態によると、本オプトエレクトロニクス半導体チップは、n型導電領域およびp型導電領域を有する半導体ボディを備えている。n型導電領域およびp型導電領域の少なくとも一部分は、半導体ボディのエピタキシャル成長した半導体積層体によって形成することができる。

【0005】

少なくとも一実施形態によると、本オプトエレクトロニクス半導体チップは、単一のn型コンタクト要素を備えており、このn型コンタクト要素を介することで、n型導電領域との電氣的接触接続をp型導電領域を貫いて形成することができる。したがって言い換えれば、n型導電領域は、p型側からp型導電領域を貫いて電氣的に接触接続されている。ここで、「単一のn型コンタクト要素」とは、n型コンタクト要素が、多数の個々のn型コンタクト要素(例えば、半導体ボディの半導体材料によって互いに隔てられている複数のn型コンタクト要素)によって形成されているのではないことを意味する。単一のn型コンタクト要素は、半導体ボディの中に切れ目なく連続的に延在しているコンタクト要素であり、少なくとも一部分が半導体ボディの半導体材料に横方向に直接隣接している。

30

【0006】

構造が特に単純であり、耐劣化性が良好であり、かつ費用効果の高いオプトエレクトロニクス半導体デバイスを開示する目的で、本明細書に記載されているオプトエレクトロニクス半導体チップは、基本的な発想として、特に、半導体チップの半導体ボディのn型導電領域との電氣的接触接続を、半導体ボディのp型導電領域を貫いて延在する単一のn型コンタクト要素を介して形成する。n型導電領域との接触接続がp型側から単一のn型コンタクト要素を介して行われるため、n型領域の外側にコンタクト接続部を形成するステップ、あるいは多数の個々のコンタクト要素を形成するステップを省くことができ、これは有利である。

40

【0007】

少なくとも一実施形態によると、本オプトエレクトロニクス半導体チップは、n型導電領域およびp型導電領域を有する半導体ボディを備えている。さらに、本オプトエレクトロニクス半導体チップは、単一のn型コンタクト要素を備えており、このn型コンタクト要素を介することで、n型導電領域との電氣的接触接続をp型導電領域を貫いて形成する

50

ことができる。

【0008】

少なくとも一実施形態によると、n型コンタクト要素は、p型導電領域における切欠き部を備えている。この場合、「切欠き部」とは、このような切欠き部の領域においてp型導電領域の半導体材料の一部分が除去されていることを意味する。したがって、切欠き部の横方向の境界（すなわち半導体ボディの主延在面に平行な方向における境界）は、少なくとも一部分がp型導電領域によって形成されている。切欠き部は、少なくとも1つの側面領域と、底面領域と、底面領域に対向する開口部とによって形成されることが考えられる。この場合、底面領域と開口部は、少なくとも1つの側面領域によって互いに結合されている。少なくとも1つの側面領域は、その全体をp型導電領域の半導体材料によって形成することができる。さらに、切欠き部の底面領域は、その全体をn型導電領域の半導体材料によって形成することができる。言い換えれば、切欠き部の垂直範囲（すなわち半導体ボディの主延在面に垂直な方向における範囲）は、少なくとも部分的に、p型導電領域の垂直範囲（すなわち厚さ）である。この場合、切欠き部は、p型導電領域を完全に貫いている孔である。

10

【0009】

本オプトエレクトロニクス半導体チップの少なくとも一実施形態によると、n型コンタクト要素、特に、切欠き部は、p型導電領域の横方向の境界の少なくとも一部分を形成している。一例として、切欠き部は、p型導電領域の少なくとも一部分と横方向に隣接している。同様に、p型導電領域のすべての側面において切欠き部が横方向の境界を形成することも考えられる。この場合、半導体チップの平面視において切欠き部は「周囲を囲んでいる」状態であり、連続的なゾーンを形成している。

20

【0010】

少なくとも一実施形態によると、n型コンタクト要素は、n型導電領域の半導体材料によって形成されているn型接続パッドを有し、このn型接続パッドは、半導体ボディの成長方向に垂直に延在している。単一のn型コンタクト要素がp型導電領域における切欠き部を備えている場合、n型接続パッド全体を切欠き部の底面領域によって形成することが考えられる。切欠き部が例えば周囲を囲んでいる場合、n型接続パッドも同様に周囲を囲むように、例えば平面視においてp型導電領域の周りに円形、長方形、または楕円形の形状に延在することが考えられる。

30

【0011】

本オプトエレクトロニクス半導体チップの少なくとも一実施形態によると、半導体ボディは活性ゾーンを有し、n型コンタクト要素のn型接続パッドは、活性ゾーンの横断面領域の少なくとも1%かつ最大で10%、好ましくは少なくとも2%かつ最大で5%である。活性ゾーンは、半導体チップの動作時に、電磁放射の紫外スペクトル領域から赤外スペクトル領域までの波長範囲における電磁放射を放出する層とすることができる。活性ゾーンは、n型導電領域とp型導電領域との間に配置されている。この場合、活性ゾーンの横断面領域とは、半導体ボディの成長方向に垂直に延在する領域である。活性ゾーンの横断面領域に対するn型コンタクト要素のこのような割合によって、特に好ましい接触抵抗が得られることが判明した。一例として、このように構成されるn型接続パッドでは、電気的な接触接続時に接続パッドの領域における特に大量の熱の発生を回避することが可能である。

40

【0012】

少なくとも一実施形態によると、活性ゾーンの最大横方向範囲（maximum lateral extent）と、n型導電領域のn型横方向導電率の比は、少なくとも $2 \mu\text{m} / (\text{ } / \text{s q})$ かつ最大で $8 \mu\text{m} / (\text{ } / \text{s q})$ 、好ましくは少なくとも $3 \mu\text{m} / (\text{ } / \text{s q})$ かつ最大で $5 \mu\text{m} / (\text{ } / \text{s q})$ である。最大横方向範囲は、活性ゾーンが平面視において例えば円形である場合、活性ゾーンの直径とすることができる。活性ゾーンが例えば長方形である場合、最大横方向範囲は、活性ゾーンの2つの角の間の対角距離とすることができる。この場合、活性ゾーンの幾何学的寸法は、次のように選択され、すなわち、オプトエレクトロ

50

ニクス半導体チップの動作時に n 型導電領域に実質的に均一な電流分布が形成されることにより、活性ゾーン自体がその横断面領域に沿ってできる限り均一に電磁放射を放出するように、n 型導電領域の n 型横方向導電率 (n-type transverse conductivity) が十分な大きさであるように選択される。この場合、「実質的に」とは、n 型導電領域に沿った電流分布が、少なくとも 80% の範囲にわたり、好ましくは少なくとも 90% の範囲にわたり一定であることを意味する。

**【0013】**

少なくとも一実施形態によると、半導体ボディは、p 型導電領域とは反対側の n 型導電領域の面に配置されている放射取り出し領域を有する。一例として、放射取り出し領域の全体が、p 型導電領域とは反対側の n 型導電領域の面によって形成されている。同様に、n 型導電領域の露出した領域に 1 層または複数の層を形成することも可能である。一例として、n 型導電領域の露出した領域にパッシベーション層を形成する。この場合、p 型導電領域とは反対側のパッシベーション層の面が、放射取り出し領域を形成することができる。

10

**【0014】**

少なくとも一実施形態によると、n 型コンタクト要素は n 型コンタクトメタライゼーションを有し、この n 型コンタクトメタライゼーションの少なくとも一部分が n 型接続パッドに隣接している。n 型コンタクトメタライゼーションによって、n 型導電領域との電氣的接触接続を n 型コンタクト要素の n 型接続パッドを介して形成することができる。n 型コンタクト要素が例えば切欠き部を備えている場合、n 型コンタクトメタライゼーションが n 型接続パッドにその横方向範囲全体にわたり直接接触していることが考えられ、この場合、n 型コンタクトメタライゼーションと p 型導電領域との間にパッシベーション層 (例えば電気絶縁層) を配置する。この場合、一例として、切欠き部は少なくとも部分的に金属によって満たされている。

20

**【0015】**

本オプトエレクトロニクス半導体チップの少なくとも一実施形態によると、p 型導電領域は、放射取り出し領域とは反対側に位置する p 型接続パッドを有し、この p 型接続パッドは p 型コンタクトメタライゼーションに導電接続されている。一例として、p 型コンタクトメタライゼーションは、p 型接続パッドに直接接触している。p 型コンタクトメタライゼーションと p 型接続パッドとの間、少なくとも一部分に、1 層または複数の導電層 (例えばミラー層) を配置することも考えられる。

30

**【0016】**

本オプトエレクトロニクス半導体チップの少なくとも一実施形態によると、n 型コンタクトメタライゼーションおよび p 型コンタクトメタライゼーションは、半導体ボディから横方向に引き出されており、垂直方向には互いに重なっていない。言い換えれば、n 型コンタクトメタライゼーションおよび p 型コンタクトメタライゼーションは、横方向には互いにオフセットした (ずれた) 状態に配置されている。この構造は、一例として、n 型コンタクトメタライゼーションおよび p 型コンタクトメタライゼーションが、互いに垂直方向には重ならない構造を有するコンタクト層によって形成されていることによって、特に有利に達成することができる。したがって、n 型導電領域および p 型導電領域のいずれにおいても、これらの領域と外部との電氣的接触接続が、n 型コンタクトメタライゼーションおよび p 型コンタクトメタライゼーションを介して「側方において (laterally)」形成されている。

40

**【0017】**

少なくとも一実施形態によると、p 型導電領域と n 型コンタクトメタライゼーションとの間、切欠き部の領域に、絶縁層が配置されている。この絶縁層は、p 型コンタクトメタライゼーションおよび n 型導電領域の両方に直接接触しており、p 型コンタクトメタライゼーションと n 型導電領域を互いに電氣的に絶縁していることが好ましい。

**【0018】**

少なくとも一実施形態によると、p 型導電領域は、その横方向の境界の一部分が、名目

50

上ドーピングされていない (nominally undoped) 半導体領域によって形成されており、名目上ドーピングされていない半導体領域およびp型導電領域は、切れ目のない連続的な半導体層によって形成されている。この場合、「名目上ドーピングされていない」とは、半導体領域における有効なドーピングが、その半導体領域に直接隣接しているp型導電領域もしくはn型導電領域またはその両方との比較において無視できる程度であることを意味する。一例として、名目上ドーピングされていない半導体領域は、その領域の半導体材料が、n型導電領域もしくはp型導電領域またはその両方との比較において高い電気抵抗を有する。名目上ドーピングされていない半導体領域は、p型導電領域の半導体材料から形成されていることが好ましい。これを目的として、一例として、p型導電領域のうち該当する領域において、イオン注入またはプラズマ処理によって特性を変化させることにより、名目上ドーピングされていない半導体領域を形成する。名目上ドーピングされていない領域は、絶縁層の役割を果たすことができ、したがって、n型導電領域とp型コンタクトメタライゼーションとの間に追加の絶縁層を形成するステップを省くことができ、これは有利である。

10

**【0019】**

少なくとも一実施形態によると、n型コンタクト要素は、少なくとも一部分が、p型導電領域の過剰にドーピングされた (overdoped) n型導電性半導体材料によって形成されている。例えば、p型導電領域は、過剰にドーピングされた半導体材料の領域において、イオン注入法またはプラズマ処理法によってそのドーピングが変化しており、例えば、これらの方法によって、p型導電領域の半導体材料がその領域においてn型導電性である。n型コンタクト要素の少なくとも一部分を、過剰にドーピングされた半導体材料によって形成することができ、したがって、例えば、n型コンタクト要素の領域におけるコンタクトメタライゼーションの少なくとも一部分を省くことができ、これは有利である。n型コンタクトメタライゼーションの一部分を、過剰にドーピングされたn型導電半導体材料に置き換えることができる。

20

**【0020】**

さらには、オプトエレクトロニクス半導体デバイスを開示する。

**【0021】**

少なくとも一実施形態によると、本オプトエレクトロニクス半導体デバイスは、請求項1から請求項12のいずれかに記載のオプトエレクトロニクス半導体チップを少なくとも2個備えている。すなわち、本明細書に記載されているオプトエレクトロニクス半導体チップに関連して提示した特徴は、本明細書に記載されているオプトエレクトロニクス半導体デバイスにも適用される。

30

**【0022】**

少なくとも一実施形態によると、オプトエレクトロニクス半導体チップは、直列回路として互いに電氣的に接触接続されている。このように接続することにより、所定の明るさの動作モードにおいて、オプトエレクトロニクス半導体デバイスにおける電流の流れが大幅に小さい。したがって、オプトエレクトロニクス半導体デバイスへの給電を、電圧駆動式に、かつ低電流において行うことができる。結果として、例えば、高価なドライバ段および高電流源を、対応する高電圧源 (製造が容易である) に置き換えることができる。

40

**【0023】**

本オプトエレクトロニクス半導体デバイスの少なくとも一実施形態によると、一方の半導体チップのn型導電領域は、隣接する半導体チップのp型導電領域に、連続的な中間メタライゼーションを介して電氣的に接続されている。

**【0024】**

本オプトエレクトロニクス半導体デバイスの少なくとも一実施形態によると、中間メタライゼーションの少なくとも一部分は、一方の半導体チップのn型コンタクトメタライゼーションによって、隣接する半導体チップのp型コンタクトメタライゼーションによって、形成されている。言い換えれば、それぞれの半導体ボディから互いに向かう方向に横方向に引き出されているそれぞれのコンタクトメタライゼーションが「結合されて」中間メタライゼーションが形成されており、したがって、一方の半導体チップのn型導電領域と

50

、隣接する半導体チップのp型導電領域とが、中間メタライゼーションによって同じ電位にある。

【0025】

少なくとも一実施形態によると、本オプトエレクトロニクス半導体デバイスは、請求項1から請求項12のいずれかに記載のオプトエレクトロニクス半導体チップを少なくとも2個備えており、これらのオプトエレクトロニクス半導体チップは、直列回路として互いに電氣的に接触接続されている。一方の半導体チップのn型導電領域は、隣接する半導体チップのp型導電領域に、連続的な中間メタライゼーションによって電氣的に接続されている。中間メタライゼーションの少なくとも一部分は、一方の半導体チップのn型コンタクトメタライゼーションによって、隣接する半導体チップのp型コンタクトメタライゼーションによって、形成されている。適正な数の半導体チップによって形成されている直列回路において特に有利な点として、所定の通電振幅(energization magnitude)の場合に、オプトエレクトロニクス半導体デバイスを、外部から半導体デバイスに印加される好ましい電圧振幅として、55V、532V、110V、1102V、220V、2002Vのいずれかによって、動作させることができる。

10

【0026】

少なくとも一実施形態によると、オプトエレクトロニクス半導体チップとメタライゼーションからなるアセンブリ(assembly)が、補助キャリアに貼り付けられている。この場合、アセンブリと補助キャリアは直接接触していることができる。アセンブリと補助キャリアとの間に1層または複数の層を配置することも考えられる。補助キャリアは成長基板とは異なる。一例として、補助キャリアは、機械的に安定した層、または例えば金属によって形成されているプレートである。補助キャリアを半導体ウェハとすることもできる。さらには、オプトエレクトロニクス半導体デバイスの製造方法を開示する。一例として、上述した1つまたは複数の実施形態に基づいて説明されている半導体デバイスを、本方法によって製造することができる。すなわち、本明細書に記載されているオプトエレクトロニクス半導体デバイスに関連して提示した特徴は、本明細書に記載されている方法にも適用され、逆も同様である。

20

【0027】

最初のステップにおいて、成長キャリアを形成する。成長キャリアは、例えば、ウェハまたはプレートとして具体化することができる。一例として、成長キャリアは、半導体材料または絶縁材料によって形成されている単結晶ウェハである。

30

【0028】

次のステップにおいて、成長キャリアの上に半導体積層体をエピタキシャル堆積させ、半導体積層体は、n型導電領域およびp型導電領域を有する。

【0029】

さらなるステップにおいて、半導体積層体に少なくとも2つのn型コンタクト要素を形成し、n型コンタクト要素は、p型導電領域を貫いてn型導電領域に達している。一例として、2つのn型コンタクト要素は切欠き部を備えている。切欠き部は、乾式または湿式化学エッチング工程によって半導体積層体に形成することが考えられる。この場合、「達している」とは、n型コンタクト要素が少なくとも1つの垂直範囲を有し、この垂直範囲の少なくとも一部分が、少なくともp型導電領域の垂直範囲に対応することを意味する。言い換えれば、n型コンタクト要素は、その一部分がn型導電領域の半導体材料に直接隣接している。しかしながら、コンタクト要素は、n型導電領域の垂直範囲よりも大きい垂直範囲を有することもできる。

40

【0030】

次のステップにおいて、成長キャリアとは反対側に位置する半導体積層体の領域に、補助キャリアを貼り付ける。この場合、補助キャリアと半導体積層体とが必ずしも直接接触している必要はない。一例として、補助キャリアと半導体積層体との間に、1層または複数の層(例えばメタライゼーション)を配置することができる。この場合、メタライゼーションは、後からオプトエレクトロニクス半導体デバイスの電氣的接触接続部の役割を果

50

たすことができる。補助キャリアについても、ウェハまたはプレートとして具体化された半導体ウェハとすることができる。

【0031】

次のステップにおいて、横方向に隣り合うn型コンタクト要素の間に、n型導電領域を貫く少なくとも1本の溝を入れることによって、個々の半導体ボディを形成する。溝の領域において、半導体積層体の少なくとも一部分を完全に除去する。一例として、少なくとも1回の乾式化学エッチング工程もしくは湿式化学エッチング工程またはその両方、あるいは何らかの別の形式の材料除去法によって、半導体積層体に少なくとも1本の溝を入れる。すなわち、少なくとも1本の溝の横方向の境界は、少なくとも一部分が半導体積層体によって形成されている。この場合、少なくとも1本の溝は、溝の開口部に対向する底面領域と、この底面領域によって互いに結合されている2つの側面領域とを有することが考えられる。側面領域の全体を半導体積層体によって形成することができ、溝の底面領域は、例えば補助キャリアの表面によって形成される。したがって、溝は、半導体積層体における切欠き部である。

10

【0032】

少なくとも一実施形態によると、本明細書に記載されているオプトエレクトロニクス半導体デバイスは、本方法によって製造される。

【0033】

以下では、本発明のオプトエレクトロニクス半導体チップ、本発明のオプトエレクトロニクス半導体デバイス、および本発明の方法について、例示的な実施形態に基づき、添付の図面を参照しながらさらに詳しく説明する。

20

【図面の簡単な説明】

【0034】

【図1A】本明細書に記載されているオプトエレクトロニクス半導体チップの例示的な実施形態の側面図を示している。

【図1B】本明細書に記載されているオプトエレクトロニクス半導体チップの例示的な実施形態の平面図を示している。

【図2】本明細書に記載されているオプトエレクトロニクス半導体デバイスの例示的な実施形態の概略的な断面図を示している。

【図3】本明細書に記載されているオプトエレクトロニクス半導体デバイスの例示的な実施形態の概略的な断面図を示している。

30

【図4】本明細書に記載されているオプトエレクトロニクス半導体デバイスの例示的な実施形態の概略的な断面図を示している。

【図5】本明細書に記載されているオプトエレクトロニクス半導体デバイスの例示的な実施形態の概略的な断面図を示している。

【図6A】本明細書に記載されているオプトエレクトロニクス半導体デバイスの例示的な実施形態を製造するための個々の製造ステップを、概略的な断面図として示している。

【図6B】本明細書に記載されているオプトエレクトロニクス半導体デバイスの例示的な実施形態を製造するための個々の製造ステップを、概略的な断面図として示している。

【図6C】本明細書に記載されているオプトエレクトロニクス半導体デバイスの例示的な実施形態を製造するための個々の製造ステップを、概略的な断面図として示している。

40

【図6D】本明細書に記載されているオプトエレクトロニクス半導体デバイスの例示的な実施形態を製造するための個々の製造ステップを、概略的な断面図として示している。

【図6E】本明細書に記載されているオプトエレクトロニクス半導体デバイスの例示的な実施形態を製造するための個々の製造ステップを、概略的な断面図として示している。

【発明を実施するための形態】

【0035】

例示的な実施形態および図面において、同じ構成部分または同じ機能の構成部分には、同じ参照記号を付してある。図示した要素は、正しい縮尺ではないものとみなされたい。むしろ、深く理解できるようにする目的で、個々の要素を誇張した大きさを示してある。

50

## 【 0 0 3 6 】

図 1 A は、本明細書に記載されている、半導体ボディ 1 を備えたオプトエレクトロニクス半導体チップ 1 0 0 を、概略的な断面図として示している。半導体ボディ 1 は、n 型導電領域 1 2、p 型導電領域 1 3、および活性ゾーン 1 1 を有し、活性ゾーン 1 1 は、半導体チップ 1 0 0 の動作時に電磁放射を放出する。活性ゾーン 1 1 は、n 型導電領域 1 2 と p 型導電領域 1 3 との間に配置されている。活性ゾーン 1 1 とは反対側に位置する n 型導電領域 1 2 の領域 1 2 A には、パッシベーション層 6 が直接形成されており、領域 1 2 A の構造化の少なくとも一部分がパッシベーション層 6 の表面にも現れている。言い換えれば、半導体チップ 1 0 0 の放射取り出し領域 1 0 は、半導体ボディ 1 とは反対側のパッシベーション層 6 の領域によって形成されている。

10

## 【 0 0 3 7 】

さらには、オプトエレクトロニクス半導体チップ 1 0 0 は、単一の n 型コンタクト要素 2 を有する。n 型導電領域 1 2 との電氣的接触接続は、この n 型コンタクト要素 2 を介して、p 型導電領域 1 3 を貫いて形成されている。n 型コンタクト要素 2 は、p 型導電領域における切欠き部 2 1 を備えており、切欠き部 2 1 の一部分は、p 型導電領域 1 3 の横方向の境界を形成している。さらには、n 型コンタクト要素 2 は n 型接続パッド 2 1 1 を有する。n 型接続パッド 2 1 1 は、n 型導電領域 1 2 の半導体材料のみによって形成されている。この実施形態の場合、切欠き部 2 1 は側面領域 2 1 A および底面領域 2 1 B を有する。側面領域 2 1 A は、その全体が p 型導電領域 1 3 の半導体材料によって形成されており、切欠き部 2 1 の最大垂直範囲は、少なくとも p 型導電領域 1 3 の垂直範囲（すなわち厚さ）である。さらに、底面領域 2 1 B は、その全体が n 型導電領域の半導体材料によって形成されている。言い換えれば、n 型接続パッド 2 1 1 は、その全体が底面領域 2 1 B によって形成されている。n 型コンタクト要素 2 の n 型接続パッド 2 1 1 は、半導体ボディ 1 の成長方向 W に垂直に延在しており、n 型接続パッド 2 1 1 は、活性ゾーン 1 1 の横断面領域 1 1 1 の少なくとも 1 % かつ最大で 1 0 %、好ましくは少なくとも 2 % かつ最大で 5 % である。n 型コンタクトメタライゼーション 3 1 は、その一部分が切欠き部 2 1 に配置されており、一部分が切欠き部 2 1 の接続パッド 2 1 1 に直接接触している。さらには、n 型導電領域 1 2 の n 型横方向導電率に対する、活性ゾーン 1 1 の最大横方向範囲  $L_{max}$  の比率は、例えば  $4 \mu m / (\quad / sq)$  である。

20

## 【 0 0 3 8 】

n 型コンタクトメタライゼーション 3 1 は、切欠き部 2 1 を起点として半導体ボディ 1 から横方向に引き出されている。言い換えれば、n 型導電領域 1 2 と外部との電氣的接触接続は、n 型コンタクトメタライゼーション 3 1 によって「側方において」形成されている。n 型コンタクトメタライゼーション 3 1 には、部分的に絶縁層 7 が形成されており、絶縁層 7 にはパッシベーション層 6 が直接形成されており、コンタクトメタライゼーション 3 1 の領域のうちパッシベーション層 6 および絶縁層 7 が存在しない領域が電気コンタクト領域 5 を形成している。このように形成されているコンタクト領域 5 は、n 型コンタクト領域 5 1 である。

30

## 【 0 0 3 9 】

p 型コンタクトメタライゼーション 3 2 は、半導体ボディ 1 の p 型導電領域 1 3 に、p 型導電領域 1 3 の p 型接続パッド 1 3 1（放射取り出し領域 1 0 とは反対側に位置している）を介して接触している。図 1 A に示したように、p 型コンタクトメタライゼーション 3 2 も、p 型接続パッド 1 3 1 を起点として半導体ボディ 1 から横方向に引き出されており、n 型コンタクトメタライゼーション 3 1 と p 型コンタクトメタライゼーション 3 2 は垂直方向には互いに重なっていない。言い換えれば、2 つのコンタクトメタライゼーション 3 1、3 2 は、半導体ボディ 1 から異なる方向に引き出されている。絶縁層 7 およびパッシベーション層 6 が存在しない領域は、さらなるコンタクト領域 5 としての p 型コンタクト領域 5 2 を形成している。したがって、オプトエレクトロニクス半導体チップ 1 0 0 と外部との電氣的接触接続は、2 つのコンタクト領域 5 1、5 2 によって「側方において」形成することができる。

40

50

## 【 0 0 4 0 】

さらには、オプトエレクトロニクス半導体チップ 1 0 0 は補助キャリア 9 を備えており、補助キャリアは、特に、成長基板ではない。補助キャリア 9 は、ウェハまたはプレートとして具体化された半導体ウェハ、または機械的に安定した層、または例えば金属によって形成されているプレートとすることができる。補助キャリア 9 と半導体ボディ 1 との間には、補助キャリア 9 の上に結合層 8 が配置されている。結合層 8 は、一例として、導電性材料（例：はんだ）である。補助キャリア 9 とは反対側の結合層 8 の領域の上には、キャリア絶縁層 4 が配置されている。キャリア絶縁層 4 および結合層 8 は、コンタクトメタライゼーション 3 1 , 3 2 および半導体ボディ 1 と、補助キャリア 9 とを、機械的に固定された状態に結合している。さらに、キャリア絶縁層 4 は、n 型コンタクトメタライゼーション 3 1 および p 型コンタクトメタライゼーション 3 2 の両方を互いに完全に絶縁しており、さらに、結合層 8 もしくは補助キャリア 9 またはその両方からも絶縁している。さらに、キャリア絶縁層 4 の一部分は、n 型コンタクト要素 2 の切欠き部 2 1 にも配置されている。言い換えれば、キャリア絶縁層 4 は、放射取り出し領域 1 0 とは反対側に位置する半導体ボディ 1 およびコンタクトメタライゼーション 3 1 , 3 2 の領域全体に直接形成されている。

10

## 【 0 0 4 1 】

図 1 B は、図 1 A による例示的な実施形態を概略的な平面図として示している。この平面図から理解できるように、オプトエレクトロニクス半導体チップ 1 0 0 は長方形の基本形状を有し、切欠き部 2 1 は、長方形の帯状領域を形成しており、一方の側面に沿って p 型導電領域の横方向の境界を形成している。半導体チップ 1 0 0 は、図 1 B とは異なる基本形状を有することも考えられ、一例として、半導体チップ 1 0 0 は、平面視において円形、長円形、または楕円形の形状とすることができる。切欠き部 2 1 は、図 1 B とは異なる形状を有することも考えられる。

20

## 【 0 0 4 2 】

図 2 は、本明細書に記載されているオプトエレクトロニクス半導体デバイス 1 0 0 0 の例示的な実施形態を概略的な側面図として示している。オプトエレクトロニクス半導体デバイス 1 0 0 0 は、本明細書に記載されている実施形態の少なくとも 1 つによるオプトエレクトロニクス半導体チップ 1 0 0 を 2 個備えている。理解を容易にする目的で、左側に示したオプトエレクトロニクス半導体チップ 1 0 0 を、以下ではオプトエレクトロニクス半導体チップ 1 0 0 A と称し、右側に示したオプトエレクトロニクス半導体チップ 1 0 0 を、以下ではオプトエレクトロニクス半導体チップ 1 0 0 B と称する。2 個のオプトエレクトロニクス半導体チップ 1 0 0 A , 1 0 0 B は、直列回路として互いに電氣的に接触接続されており、溝 1 0 0 3 によって互いに隔てられている。半導体チップ 1 0 0 A の n 型導電領域 1 2 は、連続的な中間メタライゼーション 3 3 を介して半導体チップ 1 0 0 B の p 型導電領域 1 3 に電氣的に接続されている。この実施形態の場合、中間メタライゼーションは、その全体が、半導体チップ 1 0 0 A の n 型コンタクトメタライゼーション 3 1 によってと、半導体チップ 1 0 0 B の p 型コンタクトメタライゼーション 3 2 によって、形成されている。言い換えれば、2 つのコンタクトメタライゼーション 3 1 , 3 2 が互いに「結合」されて共通の中間メタライゼーション 3 3 が形成されている。n 型コンタクトメタライゼーション 3 1 と、p 型コンタクトメタライゼーション 3 2 と、中間メタライゼーション 3 3 は、垂直方向には互いに重なっていない。溝 1 0 0 3 は、2 つの側面領域 1 0 0 3 C と底面領域 1 0 0 3 A とによって形成されている。さらに、溝 1 0 0 3 は、底面領域 1 0 0 3 A に対向する開口部 1 0 0 3 D を有する。溝 1 0 0 3 の底面領域 1 0 0 3 A は、半導体チップ 1 0 0 A と半導体チップ 1 0 0 B との間に延在する中間メタライゼーション 3 3 によって形成されている。溝 1 0 0 3 の底面領域 1 0 0 3 A には、部分的に絶縁層 7 が直接形成されている。さらに、半導体ボディ 1、溝 1 0 0 3、および絶縁層 7 の露出している領域には、n 型コンタクト領域 5 1 および p 型コンタクト領域 5 2 を除いて、パッシベーション層 6 が直接形成されている。

30

40

## 【 0 0 4 3 】

50

図3は、本明細書に記載されているオプトエレクトロニクス半導体デバイス1000のさらなる例示的な実施形態を示している。図2に示した例示的な実施形態とは異なり、半導体チップ100Aおよび半導体チップ100Bの両方の切欠き部21が、p型導電領域13の周囲を横方向に囲んでおり、p型導電領域13のすべての側面において横方向の境界を形成している。活性ゾーン11は、切欠き部21によって、すべての側面においてn型導電領域12と比較して横方向に「後退」している。メタライゼーション31, 32, 33と、n型導電領域12およびp型導電領域13との間には、電氣的短絡を回避するため、切欠き部21の領域の一部分に絶縁層7が配置されている。さらに、絶縁層7は活性ゾーン11の酸化も防止し、結果として、例えば、活性ゾーンの領域にパッシベーション層6を形成するステップを省くことが可能であり、これは有利である。さらには、図3に示した例示的な実施形態の場合、放射取り出し領域10の全体が、n型導電領域12の領域12Aによって形成されており、放射取り出し領域10は、この例示的な実施形態においても構造化されている。

10

#### 【0044】

図4は、本明細書に記載されているオプトエレクトロニクス半導体デバイス1000のさらなる例示的な実施形態を示している。図2に示した例示的な実施形態とは異なり、このオプトエレクトロニクス半導体チップ1000は、n型ミラー層30およびp型ミラー層40を有する。これら2つのミラー層30, 40は、一例として、導電性材料によって形成されている。n型ミラー層30それぞれは、一部分がn型コンタクト要素2の切欠き部21の中に配置されており、少なくとも一部分がn型接続パッド211に直接接触している。p型ミラー層40は、少なくとも一部分がp型接続パッド131に直接形成されている。活性ゾーン11によってp型接続パッド131の方向に放出される電磁放射を、n型ミラー層30およびp型ミラー層40によって反射して放射取り出し領域10の方向に戻すことができ、これは有利である。したがって、ミラー層30およびミラー層40によって個々の半導体チップ100の取り出し効率が高まり、これは有利である。この場合、「取り出し効率」とは、半導体チップ100Aおよび半導体チップ100Bにおいて一次的に生成される光エネルギー(luminous energy)と、半導体チップ100Aおよび半導体チップ100Bから取り出される光エネルギーとの比率を意味する。

20

#### 【0045】

図5に示した、本明細書に記載されているオプトエレクトロニクス半導体デバイス1000の例示的な実施形態においては、図4に示した例示的な実施形態とは異なり、p型導電領域のすべての側面において、横方向の境界が、名目上ドーブされていない半導体領域60によって形成されている。名目上ドーブされていない半導体領域60とp型導電領域13は、切れ目のない連続的な半導体層によって形成されている。この実施形態の場合、名目上ドーブされていない半導体領域60は、電気絶縁性である。したがって、特に、メタライゼーション31, 32, 33と、n型導電領域12およびp型導電領域13との間の領域における絶縁層7を省くことが可能であり、これは有利である。

30

#### 【0046】

この場合、n型コンタクト要素2の少なくとも一部分を、p型導電領域13の、対応的に過剰にドーブされた半導体材料によって形成することも考えられる。言い換えれば、対応的に過剰にドーブされた半導体材料は、n型導電領域との電氣的接触を形成することができ、したがって、切欠き部の領域におけるn型コンタクトメタライゼーション31を部分的に省くことができ、これは有利である。

40

#### 【0047】

図6A~図6Eは、本明細書に記載されているオプトエレクトロニクス半導体デバイス1000を製造するための個々の製造ステップを示している。

#### 【0048】

図6Aでは、第1のステップにおいて、最初に、成長キャリア1001を形成する。成長キャリアは、一例として、ウェハまたはプレートとして具体化された半導体ウェハである。この成長キャリア1001の上に半導体積層体1002をエピタキシャル堆積させる

50

。半導体積層体 1002 は、n 型導電領域 12 および p 型導電領域 13 を有する。さらに、成長キャリア 1 とは反対側の n 型導電領域 13 の領域全体に、絶縁層 7 を形成する。

【0049】

図 6 B は次のステップを示しており、半導体積層体 1002 の中に 2 つの n 型コンタクト要素 2 を形成する。これを目的として最初に、少なくとも、後から n 型コンタクト要素 2 となる領域において、絶縁層 7 を除去する。次いで、例えば乾式または湿式化学エッチング工程によって、p 型導電領域 13 に切欠き部 21 を形成し、切欠き部 21 は p 型導電領域 13 を貫いて n 型導電領域 12 に達している。

【0050】

次のステップにおいて、p 型導電領域 13 から絶縁層 7 を部分的に除去し、結果として露出した領域に、n 型コンタクトメタライゼーション 31、p 型コンタクトメタライゼーション 32、および中間メタライゼーション 33 を形成する。

【0051】

次のステップにおいて、メタライゼーション 31、32、33 の露出している領域、絶縁層 7 の露出している領域、および半導体ボディ 1 の露出している領域に、全体にわたりキャリア絶縁層 4 を形成する。

【0052】

さらなるステップにおいて、半導体積層体 1002 とは反対側のキャリア絶縁層 4 の領域に、結合層 8 (例えば金属はんだ) を塗布する。

【0053】

次のステップにおいて、成長キャリア 1001 とは反対側に位置する結合層 8 の領域に、補助キャリア 9 を貼り付ける。次いで、半導体積層体 1002 から成長キャリア 1001 を除去する(図 6 C も参照)。

【0054】

図 6 D は、個々の半導体ボディ 1 を形成する次のステップにおいて、横方向に隣り合う n 型コンタクト要素 2 の間に、n 型導電領域 12 を貫いて半導体積層体 1002 に溝 1003 を入れる方法を示している。溝 1003 は、例えば乾式または湿式化学エッチング工程によって形成する。この実施形態の場合、溝 1003 の底面領域 1003A は、一部分が絶縁層 7 によって形成されており、溝 1003 の側面領域 1003C は、一部分が半導体積層体 1002 によって形成されている。言い換えれば、半導体積層体 1002 は、溝 1003 の領域において完全に除去されている。

【0055】

図 6 E は、領域 B1 および領域 B2 において半導体積層体 1002 を部分的に除去する方法を示している。言い換えれば、半導体ボディ 1 は、p 型接続パッド 131 から放射取り出し領域 10 の方向に先細り(台形)形状をなしている。一例として、半導体ボディ 1、絶縁層 7、コンタクトメタライゼーション 31、32、33、のうちの少なくとも 1 つの露出した領域に、1 層または複数のパッシベーション層 6 を形成することができ、この場合、コンタクトメタライゼーション 31、32 の一部の領域には、外部との電氣的接触接続を目的として、絶縁層 7 およびパッシベーション層 6 のいずれも存在しない。

【0056】

一例として、コンタクトメタライゼーション 31、32 のこれらの領域は、n 型コンタクト領域 51 および p 型コンタクト領域 52 を形成している。

【0057】

ここまで、本発明について例示的な実施形態に基づいて説明してきたが、本発明はこれらの実施形態に限定されない。本発明は、任意の新規の特徴および特徴の任意の組合せを包含しており、特に、請求項における特徴の任意の組合せを含んでいる。これらの特徴または特徴の組合せは、それ自体が請求項あるいは例示的な実施形態に明示的に記載されていない場合であっても、本発明に含まれる。

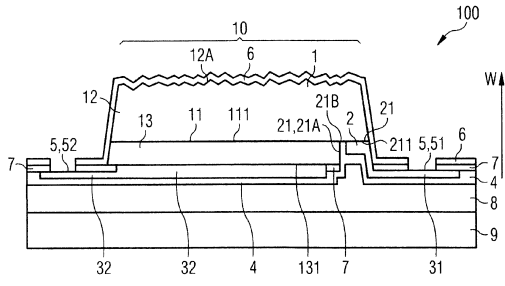
10

20

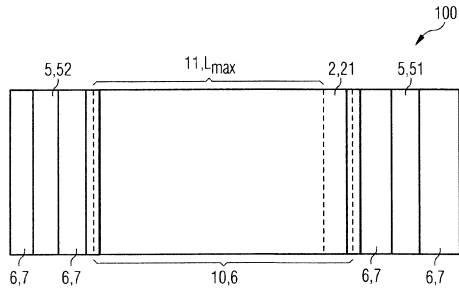
30

40

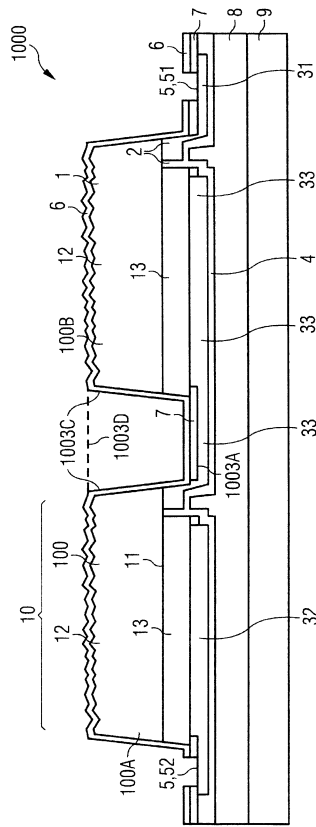
【図 1 A】



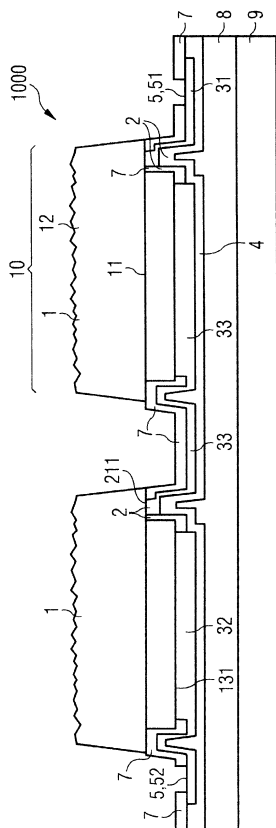
【図 1 B】



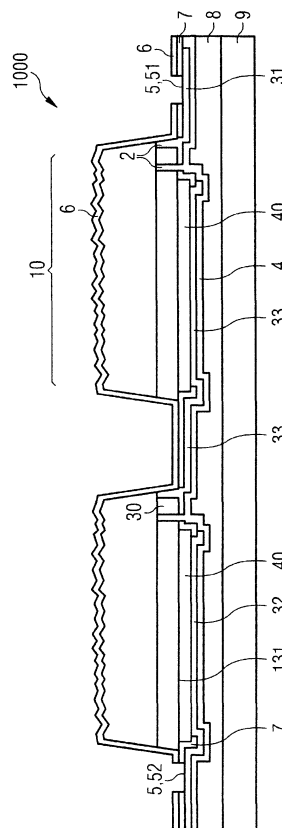
【図 2】



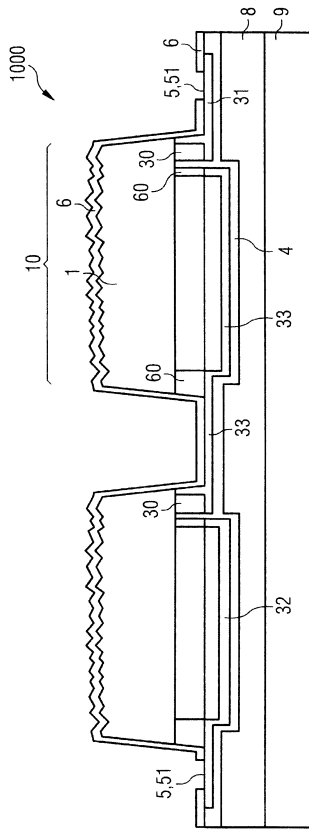
【図 3】



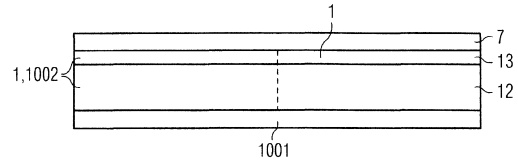
【図 4】



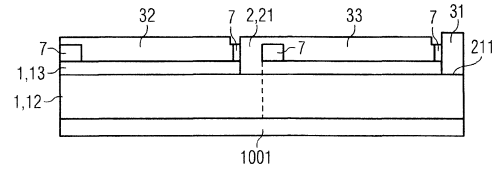
【図5】



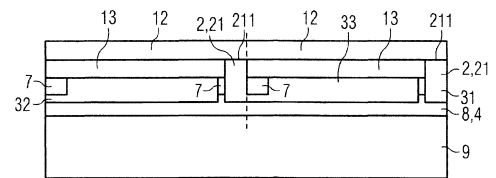
【図6A】



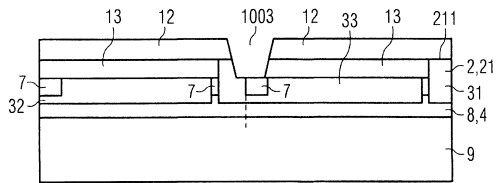
【図6B】



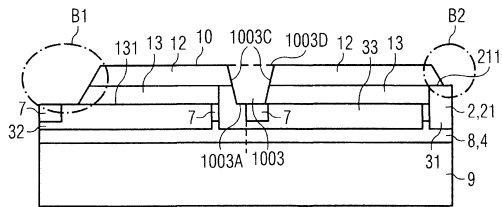
【図6C】



【図6D】



【図6E】



---

フロントページの続き

(72)発明者 フォン マルム ノーヴィン  
ドイツ国 93152 ニッテンドルフ - トゥームハウゼン ストックローアー シュトラーセ  
8

審査官 門 良成

(56)参考文献 特表2008-523637(JP, A)  
国際公開第2008/131735(WO, A1)  
国際公開第2010/009690(WO, A1)  
国際公開第2009/106063(WO, A1)

(58)調査した分野(Int.Cl., DB名)  
H01L 33/00 - 64