(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2024년06월05일
(11) 등록번호 10-2671921
(24) 등록일자 2024년05월30일

(51) 국제특허분류(Int. Cl.)
G09G 3/3233 (2016.01) *G02F 1/133* (2006.01)
G02F 1/1368 (2006.01) *G09F 9/30* (2006.01)
G09G 3/36 (2006.01) *H01L 29/786* (2006.01)
H10K 59/00 (2023.01)
(52) CPC특허분류
G09G 3/3233 (2013.01)
G02F 1/133 (2021.01)
(21) 출원번호 10-2020-7032525
(22) 출원일자(국제) 2019년04월19일
심사청구일자 2022년04월18일
(85) 번역문제출일자 2020년11월11일
(65) 공개번호 10-2021-0002529
(43) 공개일자 2021년01월08일
(86) 국제출원번호 PCT/IB2019/053250
(87) 국제공개번호 WO 2019/207440
국제공개일자 2019년10월31일
(30) 우선권주장
JP-P-2018-085668 2018년04월26일 일본(JP)
(56) 선행기술조사문헌
JP2012145655 A
(뒷면에 계속)
전체 청구항 수 : 총 12 항

(73) 특허권자
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
카와쉬마 수수무
일본 243-0036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
쿠수모토 나오토
일본 243-0036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
(74) 대리인
장훈

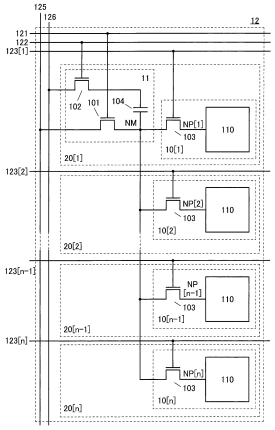
심사관 : 윤난영

(54) 발명의 명칭 **표시 장치 및 전자 기기**

(57) 요 약

화상 품질을 높일 수 있는 표시 장치를 제공한다. 표시 영역에 복수의 화소 블록을 가지는 표시 장치이고, 상기 화소 블록은 제 1 회로 및 복수의 제 2 회로를 가진다. 제 1 회로는 소스 드라이버로부터 공급되는 복수의 데이터를 가산하는 기능을 가진다. 제 2 회로는 표시 소자를 가지고, 상기 가산된 데이터에 따라 표시를 수행하는 기능을 가진다. 하나의 화소는 하나의 제 2 회로와, 공유된 제 1 회로의 요소를 포함하는 구성이 된다. 제 1 회로를 복수의 화소로 공유함으로써 개구율을 향상시킬 수 있다.

대 표 도 - 도2



(52) CPC특허분류
G02F 1/1368 (2013.01)
G09F 9/30 (2013.01)
G09G 3/36 (2013.01)
H01L 29/786 (2021.01)
H10K 59/00 (2023.02)

(56) 선행기술조사문헌
JP2012185328 A
KR1020180022570 A
US20170025080 A1
US20190327809 A1

명 세 서

청구범위

청구항 1

표시 장치로서,

복수의 화소 블록을 포함하고,

상기 복수의 화소 블록은 각각 제 1 회로와 복수의 제 2 회로를 포함하고,

상기 제 1 회로와 상기 복수의 제 2 회로는 서로 전기적으로 접속되고,

상기 제 1 회로는 제 1 데이터 및 제 2 데이터를 가산하여 제 3 데이터를 생성하고,

상기 복수의 제 2 회로는 각각 상기 제 3 데이터를 유지하고 상기 제 3 데이터에 따라 표시를 수행하는, 표시 장치.

청구항 2

제 1 항에 있어서,

상기 제 1 회로는 제 1 트랜지스터와, 제 2 트랜지스터와, 제 1 용량 소자를 포함하고,

상기 제 1 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 1 용량 소자의 한쪽 전극과 전기적으로 접속되고,

상기 제 1 용량 소자의 다른 쪽 전극은 상기 제 2 트랜지스터의 소스 및 드레인 중 한쪽과 전기적으로 접속되는, 표시 장치.

청구항 3

제 2 항에 있어서,

제 3 트랜지스터를 더 포함하고,

상기 제 3 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 1 용량 소자의 상기 다른 쪽 전극과 전기적으로 접속되고,

상기 제 1 트랜지스터의 상기 소스 및 상기 드레인 중 다른 쪽 및 상기 제 2 트랜지스터의 상기 소스 및 상기 드레인 중 다른 쪽은 서로 전기적으로 접속되는, 표시 장치.

청구항 4

제 3 항에 있어서,

상기 복수의 제 2 회로는 각각 상기 제 3 트랜지스터와 제 3 회로를 포함하고,

상기 제 3 트랜지스터의 상기 소스 및 상기 드레인 중 상기 한쪽은 상기 제 1 트랜지스터의 상기 소스 및 상기 드레인 중 상기 한쪽과 전기적으로 접속되고,

상기 제 3 트랜지스터의 상기 소스 및 상기 드레인 중 다른 쪽은 상기 제 3 회로와 전기적으로 접속되고,

상기 제 3 회로는 표시 소자를 포함하는, 표시 장치.

청구항 5

제 4 항에 있어서,

상기 제 3 회로는 제 4 트랜지스터와, 제 2 용량 소자와, 상기 표시 소자로서 발광 소자를 포함하고,

상기 제 4 트랜지스터의 게이트는 상기 제 3 트랜지스터의 상기 소스 및 상기 드레인 중 상기 다른 쪽과 전기적으로 접속되고,

상기 제 4 트랜지스터의 소스 및 드레인 중 한쪽은 상기 발광 소자의 한쪽 전극과 전기적으로 접속되고,

상기 발광 소자의 상기 한쪽 전극은 상기 제 2 용량 소자의 한쪽 전극과 전기적으로 접속되고,

상기 제 2 용량 소자의 다른 쪽 전극은 상기 제 4 트랜지스터의 상기 게이트와 전기적으로 접속되는, 표시 장치.

청구항 6

제 5 항에 있어서,

제 5 트랜지스터를 더 포함하고,

상기 제 5 트랜지스터의 소스 및 드레인 중 한쪽은 상기 발광 소자의 상기 한쪽 전극과 전기적으로 접속되고,

상기 제 5 트랜지스터의 상기 소스 및 상기 드레인 중 다른 쪽은 상기 제 4 트랜지스터의 상기 소스 및 상기 드레인 중 상기 한쪽과 전기적으로 접속되고,

상기 제 5 트랜지스터의 상기 소스 및 상기 드레인 중 상기 다른 쪽은 상기 제 2 용량 소자의 상기 한쪽 전극과 전기적으로 접속되는, 표시 장치.

청구항 7

제 4 항에 있어서,

상기 제 3 회로는 상기 표시 소자로서 액정 소자를 포함하고,

상기 액정 소자의 한쪽 전극은 상기 제 3 트랜지스터의 상기 소스 및 상기 드레인 중 상기 한쪽과 전기적으로 접속되는, 표시 장치.

청구항 8

제 7 항에 있어서,

제 3 용량 소자를 더 포함하고,

상기 제 3 용량 소자의 한쪽 전극은 상기 액정 소자의 상기 한쪽 전극과 전기적으로 접속되는, 표시 장치.

청구항 9

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

제 4 회로와 제 5 회로를 더 포함하고,

상기 제 4 회로는 상기 제 1 회로를 제어하고,

상기 제 5 회로는 상기 복수의 제 2 회로를 제어하는, 표시 장치.

청구항 10

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 화소 블록은 복수의 화소를 포함하고,

상기 복수의 화소 중 하나는 상기 제 1 회로의 복수의 요소를 포함하고,

상기 복수의 화소 중 상기 하나의 수직 방향의 길이가 상기 복수의 화소 중 다른 하나의 상기 수직 방향의 길이보다 큰, 표시 장치.

청구항 11

제 2 항 또는 제 3 항에 있어서,

상기 제 1 트랜지스터 및 상기 제 2 트랜지스터 각각 채널 형성 영역에 금속 산화물을 포함하고, 상기 금속 산화물은 In과, Zn과, M을 포함하고,

M은 Al, Ti, Ga, Sn, Y, Zr, La, Ce, Nd, 또는 Hf인, 표시 장치.

청구항 12

전자 기기로서,

제 1 항 내지 제 3 항 중 어느 한 항에 따른 표시 장치와, 카메라를 포함하는, 전자 기기.

발명의 설명

기 술 분 야

[0001] 본 발명의 일 형태는 표시 장치에 관한 것이다.

[0002] 또한 본 발명의 일 형태는 상기 기술분야에 한정되지 않는다. 본 명세서 등에서 개시(開示)하는 발명의 일 형태의 기술분야는 물건, 방법, 또는 제조 방법에 관한 것이다. 또는 본 발명의 일 형태는 공정(process), 기계(machine), 제품(manufacture), 또는 조성물(composition of matter)에 관한 것이다. 따라서 더 구체적으로 본 명세서에서 개시하는 본 발명의 일 형태의 기술분야로서는 반도체 장치, 표시 장치, 액정 표시 장치, 발광 장치, 조명 장치, 축전 장치, 기억 장치, 촬상 장치, 이들의 동작 방법, 또는 이들의 제조 방법을 일례로서 들 수 있다.

[0003] 또한 본 명세서 등에서 반도체 장치란, 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 가리킨다. 트랜지스터, 반도체 회로는 반도체 장치의 일 형태이다. 또한 기억 장치, 표시 장치, 촬상 장치, 전자 기기는 반도체 장치를 가지는 경우가 있다.

배 경 기 술

[0004] 기판 위에 형성된 금속 산화물을 사용하여 트랜지스터를 구성하는 기술이 주목받고 있다. 예를 들어, 산화 아연 또는 In-Ga-Zn계 산화물을 사용한 트랜지스터를 표시 장치의 화소의 스위칭 소자 등에 사용하는 기술이 특허문헌 1 및 특허문헌 2에 개시되어 있다.

[0005] 또한 오프 전류가 매우 낮은 트랜지스터를 메모리 셀에 사용하는 구성의 기억 장치가 특허문헌 3에 개시되어 있다.

[0006] 또한 액정 표시 장치에서는, 다양한 개선, 응용이 시도되고 있다. 예를 들어, 필드 시퀀셜 동작에 의하여 표시를 수행하는 투명 디스플레이가 특허문헌 4에 개시되어 있다.

선행기술문헌

특허문헌

[0007] (특허문헌 0001) 일본 공개특허공보 특개2007-123861호

(특허문헌 0002) 일본 공개특허공보 특개2007-96055호

(특허문헌 0003) 일본 공개특허공보 특개2011-119674호

(특허문헌 0004) 일본 공개특허공보 특개2018-21974호

발명의 내용

해결하려는 과제

[0008] 표시 장치에서는 고해상도화가 진행되고, 8K4K(화소수: 7680×4320) 해상도 또는 그 이상의 해상도로 표시를 수행할 수 있는 하드웨어가 개발되고 있다. 또한 휘도 조정으로 화상 품질을 높이는 HDR(하이 다이내믹 레인지) 표시 기술의 도입도 진행되고 있다.

[0009] 명료한 계조 표시를 수행하기 위해서는 표시 소자에 공급할 수 있는 데이터 전위의 폭을 넓게 하는 것이 요망된다. 한편, 예를 들어 액정 표시 장치용 소스 드라이버의 출력 전압은 15V 정도이고, 그 이상의 전압을 표시 소

자에 공급하기 위해서는 고출력의 소스 드라이버를 사용할 필요가 있다. 고출력의 소스 드라이버는 소비전력도 높아 새로운 드라이버 IC를 개발해야 하는 경우도 있다.

[0010] 또한 동영상을 더 매끄럽게 표시하기 위해서는 프레임 주파수를 올리는 것이 요구되지만, 화소수의 증가와 함께 수평 기간이 짧아지기 때문에, 프레임 주파수를 올리는 것은 어렵다. 프레임 주파수를 올리기 쉬운 구성의 실현에 의하여 필드 시퀀셜 액정 방식의 표시 장치 등에도 적용하기 쉬워진다.

[0011] 상술한 바와 같은 과제의 해결이 요망되는 한편, 화소 회로의 구성 요소가 증가하면 개구율이 저하되기 때문에 더 적은 요소로 화소 회로를 구성하는 것이 바람직하다.

[0012] 따라서 본 발명의 일 형태에서는 화상 품질을 높일 수 있는 표시 장치를 제공하는 것을 목적 중 하나로 한다. 또는 소스 드라이버의 출력 전압 이상의 전압을 표시 소자에 공급할 수 있는 표시 장치를 제공하는 것을 목적 중 하나로 한다. 또는 표시 화상의 휘도를 높일 수 있는 표시 장치를 제공하는 것을 목적 중 하나로 한다. 또는 프레임 주파수를 높일 수 있는 표시 장치를 제공하는 것을 목적 중 하나로 한다. 또는, 화소의 개구율을 높일 수 있는 표시 장치를 제공하는 것을 목적 중 하나로 한다.

[0013] 또는 저소비전력의 표시 장치를 제공하는 것을 목적 중 하나로 한다. 또는 신뢰성이 높은 표시 장치를 제공하는 것을 목적 중 하나로 한다. 또는 신규 표시 장치 등을 제공하는 것을 목적 중 하나로 한다. 또는 상기 표시 장치의 구동 방법을 제공하는 것을 목적 중 하나로 한다. 또는 신규 반도체 장치 등을 제공하는 것을 목적 중 하나로 한다.

[0014] 또한 이들 과제의 기재는 다른 과제의 존재를 방해하는 것이 아니다. 또한 본 발명의 일 형태는 이들 과제 모두를 해결할 필요는 없는 것으로 한다. 또한 이들 외의 과제는 명세서, 도면, 청구항 등의 기재로부터 저절로 명백해지는 것이며 명세서, 도면, 청구항 등의 기재로부터 이들 외의 과제를 추출할 수 있다.

과제의 해결 수단

[0015] 본 발명의 일 형태는 화상 품질을 높일 수 있는 표시 장치에 관한 것이다.

[0016] 본 발명의 일 형태는 복수의 화소 블록을 가지는 표시 장치이며, 화소 블록은 제 1 회로와 복수의 제 2 회로를 가지고, 제 1 회로와 제 2 회로는 전기적으로 접속되고, 제 1 회로는 제 1 데이터 및 제 2 데이터를 가산하여 제 3 데이터를 생성하는 기능을 가지고, 제 2 회로는 제 3 데이터를 유지하는 기능 및 제 3 데이터에 따라 표시를 수행하는 기능을 가지는 표시 장치이다.

[0017] 제 1 회로는 제 1 트랜지스터와, 제 2 트랜지스터와, 제 1 용량 소자를 가지고, 제 1 트랜지스터의 소스 및 드레인 중 한쪽은 제 1 용량 소자의 한쪽 전극과 전기적으로 접속되고, 제 1 용량 소자의 다른 쪽 전극은 제 2 트랜지스터의 소스 및 드레인 중 다른 쪽과 전기적으로 접속될 수 있다.

[0018] 제 3 트랜지스터를 더 가지고, 제 3 트랜지스터의 소스 및 드레인 중 한쪽은 제 1 용량 소자의 다른 쪽 전극과 전기적으로 접속되고, 제 1 트랜지스터의 소스 및 드레인 중 다른 쪽과 제 2 트랜지스터의 소스 및 드레인 중 다른 쪽은 전기적으로 접속되어 있어도 좋다.

[0019] 제 2 회로는 제 3 트랜지스터와 제 3 회로를 가지고, 제 3 트랜지스터의 소스 및 드레인 중 한쪽은 제 1 트랜지스터의 소스 및 드레인 중 한쪽과 전기적으로 접속되고, 제 3 트랜지스터의 소스 및 드레인 중 다른 쪽은 제 3 회로와 전기적으로 접속되고, 제 3 회로는 표시 소자를 가질 수 있다.

[0020] 제 3 회로는 제 4 트랜지스터와, 제 2 용량 소자와, 표시 소자로서 기능하는 발광 소자를 가지고, 제 4 트랜지스터의 게이트는 제 3 트랜지스터의 소스 및 드레인 중 다른 쪽과 전기적으로 접속되고, 제 4 트랜지스터의 소스 및 드레인 중 다른 쪽은 발광 소자의 한쪽 전극과 전기적으로 접속되고, 발광 소자의 한쪽 전극은 제 2 용량 소자의 한쪽 전극과 전기적으로 접속되고, 제 2 용량 소자의 다른 쪽 전극은 제 4 트랜지스터의 게이트와 전기적으로 접속되는 구성으로 할 수 있다.

[0021] 제 5 트랜지스터를 더 가지고, 제 5 트랜지스터의 소스 및 드레인 중 한쪽은 발광 소자의 한쪽 전극과 전기적으로 접속되고, 제 5 트랜지스터의 소스 및 드레인 중 다른 쪽은 제 4 트랜지스터의 소스 및 드레인 중 한쪽과 전기적으로 접속되고, 제 5 트랜지스터의 소스 및 드레인 중 다른 쪽은 제 2 용량 소자의 한쪽 전극과 전기적으로 접속되어 있어도 좋다.

[0022] 또는, 제 3 회로는 표시 소자로서 액정 소자를 가지고, 액정 소자의 한쪽 전극은 제 3 트랜지스터의 소스 및 드레인 중 한쪽과 전기적으로 접속되는 구성으로 하여도 좋다. 제 3 용량 소자를 더 가지고, 제 3 용량 소자의 한

쪽 전극은 액정 소자의 한쪽 전극과 전기적으로 접속되어 있어도 좋다.

[0023] 제 4 회로와 제 5 회로를 더 가져도 좋다. 제 4 회로는 제 1 회로를 제어하는 기능을 가지고, 제 5 회로는 제 2 회로를 제어하는 기능을 가질 수 있다.

[0024] 화소 블록은 복수의 화소를 가지고, 복수의 화소 중 어느 하나는 제 1 회로의 요소를 복수로 가지고, 제 1 회로의 요소를 복수로 가지는 화소는 수직 방향의 길이가 다른 화소보다 길어도 좋다.

[0025] 화소 블록이 가지는 트랜지스터는 채널 형성 영역에 금속 산화물을 가지고, 금속 산화물은 In과, Zn과, M(M은 Al, Ti, Ga, Sn, Y, Zr, La, Ce, Nd, 또는 Hf)을 가지는 것이 바람직하다.

발명의 효과

[0026] 본 발명의 일 형태를 사용함으로써, 화상 품질을 높일 수 있는 표시 장치를 제공할 수 있다. 또는 소스 드라이버의 출력 전압 이상의 전압을 표시 소자에 공급할 수 있는 표시 장치를 제공할 수 있다. 또는 표시 화상의 휘도를 높일 수 있는 표시 장치를 제공할 수 있다. 또는 프레임 주파수를 높일 수 있는 표시 장치를 제공할 수 있다. 또는 화소의 개구율을 높일 수 있는 표시 장치를 제공할 수 있다.

[0027] 또는 저소비전력의 표시 장치를 제공할 수 있다. 또는 신뢰성이 높은 표시 장치를 제공할 수 있다. 또는 신규 표시 장치 등을 제공할 수 있다. 또는 상기 표시 장치의 동작 방법을 제공할 수 있다. 또는 신규 반도체 장치 등을 제공할 수 있다.

도면의 간단한 설명

[0028] 도 1은 표시 장치를 설명하는 도면.

도 2는 화소 블록을 설명하는 도면.

도 3은 선택 회로를 설명하는 도면.

도 4는 화소 블록을 설명하는 도면.

도 5는 화소 블록의 동작을 설명하는 타이밍 차트.

도 6의 (A), (B)는 화소 블록을 설명하는 도면.

도 7은 화소 블록의 동작을 설명하는 타이밍 차트.

도 8의 (A) 내지 (D)는 회로 블록을 설명하는 도면.

도 9의 (A) 내지 (D)는 회로 블록을 설명하는 도면.

도 10의 (A) 내지 (C)는 회로 블록을 설명하는 도면.

도 11의 (A), (B)는 화소 블록을 설명하는 도면.

도 12는 게이트 드라이버를 설명하는 도면.

도 13은 게이트 드라이버를 설명하는 도면.

도 14는 게이트 드라이버를 설명하는 도면.

도 15의 (A), (B)는 게이트 드라이버를 설명하는 도면.

도 16의 (A), (B)는 게이트 드라이버를 설명하는 도면.

도 17의 (A), (B)는 게이트 드라이버를 설명하는 도면.

도 18은 시뮬레이션에 사용하는 화소 블록의 구성을 설명하는 도면.

도 19는 시뮬레이션에 사용하는 타이밍 차트.

도 20의 (A), (B)는 시뮬레이션의 결과를 설명하는 도면.

도 21은 화소 레이아웃을 설명하는 도면.

도 22의 (A), (B)는 화소 레이아웃을 설명하는 도면.

도 23은 개구율의 시산 결과를 설명하는 도면.

도 24의 (A) 내지 (C)는 표시 장치를 설명하는 도면.

도 25의 (A), (B)는 터치 패널을 설명하는 도면.

도 26의 (A), (B)는 표시 장치를 설명하는 도면.

도 27은 표시 장치를 설명하는 도면.

도 28의 (A), (B)는 표시 장치를 설명하는 도면.

도 29의 (A), (B)는 표시 장치를 설명하는 도면.

도 30의 (A) 내지 (E)는 표시 장치를 설명하는 도면.

도 31의 (A1) 내지 (C2)는 트랜지스터를 설명하는 도면.

도 32의 (A1) 내지 (C2)는 트랜지스터를 설명하는 도면.

도 33의 (A1) 내지 (C2)는 트랜지스터를 설명하는 도면.

도 34의 (A1) 내지 (C2)는 트랜지스터를 설명하는 도면.

도 35의 (A) 내지 (F)는 전자 기기를 설명하는 도면.

발명을 실시하기 위한 구체적인 내용

[0029] 실시형태에 대하여 도면을 사용하여 자세히 설명한다. 다만 본 발명은 이하의 설명에 한정되지 않으며, 본 발명의 취지 및 그 범위로부터 벗어남이 없이 그 형태 및 자세한 사항을 다양하게 변경할 수 있다는 것은 통상의 기술자라면 용이하게 이해할 수 있다. 따라서 본 발명은 이하에 기재된 실시형태의 내용에 한정하여 해석되는 것은 아니다. 또한 이하에서 설명하는 발명의 구성에서 동일한 부분 또는 같은 기능을 가지는 부분에는 동일한 부호를 다른 도면 간에서 공통적으로 사용하고, 그 반복 설명은 생략하는 경우가 있다. 또한 도면을 구성하는 같은 요소의 해칭을 다른 도면 간에서 적절히 생략 또는 변경하는 경우도 있다.

[0030] 또한 회로도상에서는 단일 요소로서 도시된 경우에도 기능적으로 문제가 없으면 상기 요소가 복수로 구성되어도 좋다. 예를 들어, 스위치로서 동작하는 트랜지스터는 복수가 직렬 또는 병렬로 접속되어도 좋은 경우가 있다. 또한 커패시터를 분할하여 복수의 위치에 배치하는 경우도 있다.

[0031] 또한 하나의 도전체가 배선, 전극, 및 단자와 같은 복수의 기능을 겸비하는 경우가 있고, 본 명세서에서는 동일 요소에 대하여 복수의 호칭을 사용하는 경우가 있다. 또한 회로도상에서 요소 간이 직접 접속되는 것처럼 도시된 경우에도 실제로는 상기 요소 간이 복수의 도전체를 통하여 접속되어 있는 경우가 있고, 본 명세서에서는 이와 같은 구성도 직접 접속의 범주에 포함된다.

[0032] (실시형태 1)

[0033] 본 실시형태에서는 본 발명의 일 형태인 표시 장치에 대하여 도면을 참조하여 설명한다.

[0034] 본 발명의 일 형태는 표시 영역에 복수의 화소 블록을 가지는 표시 장치이다. 상기 화소 블록은 제 1 회로 및 제 1 회로에 전기적으로 접속되는 복수의 제 2 회로를 가진다. 제 1 회로는 소스 드라이버로부터 공급되는 복수의 데이터를 가산하는 기능을 가진다. 따라서, 소스 드라이버의 출력 이상의 전압을 생성할 수 있다.

[0035] 또한 제 2 회로는 표시 소자를 가지고, 상기 가산된 데이터에 따라 표시를 수행하는 기능을 가진다. 하나의 화소는 하나의 제 2 회로와, 공유된 제 1 회로의 요소를 포함하는 구성을 가진다. 제 1 회로는 제 2 회로에 비하여 구성 요소(배선을 포함함)가 많고, 또한 점유 면적이 크기 때문에, 제 1 회로를 복수의 화소로 공유함으로써 개구율을 향상시킬 수 있다.

[0036] 도 1은 본 발명의 일 형태의 표시 장치를 설명하는 도면이다. 표시 장치는 화소 블록(12)과, 소스 드라이버(13)와, 게이트 드라이버(14a, 14b)와, 회로(15)를 가진다. 또한 게이트 드라이버가 2개 제공된 예를 나타내었지만 하나이어도 좋다.

[0037] 표시 영역은 규칙적으로 배치된 복수의 화소 블록(12)으로 구성된다. 화소 블록(12)은 회로(11)와, n개(n은 2 이상의 자연수)의 회로(10)를 가진다. 회로(11)는 회로(10) 각각과 전기적으로 접속된다. 회로(11)와 하나의 회

로(10)가 하나의 화소로서 기능한다. 즉, 회로(11)는 복수의 화소로 공유되는 구성이 된다.

[0038] 회로(10)는 용량 결합에 의하여 제 1 데이터에 제 2 데이터를 가산하여 제 3 데이터를 생성하는 기능을 가진다. 회로(10)는 표시 소자를 가지고, 제 3 데이터를 유지하는 기능 및 제 3 데이터에 따라 상기 표시 소자에서 표시를 수행하는 기능을 가진다.

[0039] 하나의 화소 블록(12)이 가지는 회로(10)는 소스선이 연장되는 방향(수직 방향)으로 n개 배치할 수 있다. 회로(10)의 개수가 많을수록, 회로(11)의 요소를 각 화소의 점유 영역에 분산 배치함으로써 개구율을 향상시킬 수 있다.

[0040] 화소 블록(12)이 가지는 회로(10)가 많을수록 개구율은 향상되지만, 화상 데이터의 기록 시간을 고려하면 1라인당 복수의 화소 블록을 배치하는 것이 바람직하다.

[0041] 해상도가 높은 표시 장치의 경우에는, 짧은 수평 기간에 기록을 수행할 필요가 있다. 회로(10)의 개수가 지나치게 많으면, 회로(11)와 회로(10)를 접속하는 배선의 용량이 커지기 때문에, 수평 기간 내에 기록을 완료시킬 수 없는 불량이 발생한다. 따라서, 화소 블록이 가지는 회로(10)는 개구율, 해상도(수평 기간), 회로(11)와 회로(10)를 접속하는 배선의 용량 등의 복수의 조건을 고려하여 적절한 개수로 하는 것이 바람직하다.

[0042] 개구율을 효율적으로 높이고자 하는 경우에는, 후술하는 시뮬레이션 결과를 참조하여 n은 5 이상 100 이하, 바람직하게는 10 이상 50 이하, 더 바람직하게는 20 이상 40 이하로 한다. n이 상기 범위일 때는 회로(11)와 회로(10)를 접속하는 배선의 용량은 충분히 작은 것으로 추산되기 때문에, 수평 기간의 영향을 무시할 수 있다. 또한 수평 기간을 충분히 확보할 수 있는 경우에는, n을 100 내지 1000 정도로 하여도 좋다.

[0043] 도 2에 화소 블록(12)의 구체적인 예를 도시하였다. 화소 블록(12)은 회로(11) 및 복수의 회로(10)(회로(10[1] 내지 10[n]))를 가진다. 여기서, 회로(10[1] 내지 10[n]) 중 어느 하나가 배치되는 영역을 화소(20[1] 내지 20[n])로 한다.

[0044] 회로(11)는 트랜지스터(101)와, 트랜지스터(102)와, 용량 소자(104)를 가지는 구성으로 할 수 있다. 트랜지스터(101)의 소스 및 드레인 중 한쪽은 용량 소자(104)의 한쪽 전극과 전기적으로 접속된다. 용량 소자(104)의 다른 쪽 전극은 트랜지스터(102)의 소스 및 드레인 중 한쪽과 전기적으로 접속된다.

[0045] 회로(10)는 트랜지스터(103)와 회로 블록(110)을 가지는 구성으로 할 수 있다. 회로 블록(110)은 트랜지스터, 용량 소자, 및 표시 소자 등을 가지는 구성으로 할 수 있다. 트랜지스터(103)의 소스 및 드레인 중 한쪽은 트랜지스터(101)의 소스 및 드레인 중 한쪽과 전기적으로 접속된다. 트랜지스터(103)의 소스 및 드레인 중 다른 쪽은 회로 블록(110)과 전기적으로 접속된다.

[0046] 여기서, 트랜지스터(101)의 소스 및 드레인 중 한쪽과, 용량 소자(104)의 한쪽 전극과, 트랜지스터(103)의 소스 및 드레인 중 한쪽을 접속하는 배선을 노드(NM)로 한다. 또한 트랜지스터(103)의 소스 및 드레인 중 다른 쪽과 회로 블록(110)을 접속하는 배선을 노드(NP)로 한다. 노드(NP)는 플로팅으로 할 수 있고, 회로 블록(110)이 가지는 표시 소자는 노드(NP)의 전위에 따라 동작한다.

[0047] 회로(10) 및 회로(11)가 가지는 요소와 각종 배선의 접속에 대하여 설명한다. 트랜지스터(101)의 게이트는 배선(121)과 전기적으로 접속된다. 트랜지스터(102)의 게이트는 배선(122)과 전기적으로 접속된다. 트랜지스터(103)의 게이트는 배선(123)과 전기적으로 접속된다. 트랜지스터(101)의 소스 및 드레인 중 다른 쪽은 배선(125)과 전기적으로 접속된다. 트랜지스터(102)의 소스 및 드레인 중 다른 쪽은 배선(126)과 전기적으로 접속된다.

[0048] 배선(121), 배선(122), 배선(123)(123[1] 내지 123[n])은 게이트선으로서의 기능을 가진다. 예를 들어, 배선(121, 122)은 게이트 드라이버(14a)와 전기적으로 접속된다. 또한 배선(123)은 게이트 드라이버(14b)와 전기적으로 접속된다. 배선(125, 126)은 소스선으로서의 기능을 가지고, 회로(15)를 통하여 소스 드라이버(13)와 전기적으로 접속된다(도 1 참조).

[0049] 회로(15)는 예를 들어 도 3에 도시된 구성으로 할 수 있다. 회로(15)는 선택 회로로서의 기능을 가지고, 소스 드라이버(13)로부터 입력된 전위를 배선(125) 또는 배선(126)에 출력할 수 있다. 또한 배선(126)에는 전위 "V_{ref}"(예를 들어, 0V 등의 기준 전위)를 출력할 수도 있다. 각 전위의 출력 제어는 각 배선에 접속되는 트랜지스터를 신호(V_{ref}_EN), 신호(125_EN), 및 신호(126_EN)로 제어함으로써 수행된다. 또한 회로(15)는 제공되지 않는 경우도 있다.

[0050] 회로(11)에서는 우선, 노드(NM)에 제 1 데이터(가중치: W)를 기록한다. 이때, 용량 소자(104)의 다른 쪽 전극에

는 "V_{ref}"를 공급하고, 용량 소자(104)에는 "W-V_{ref}"를 유지시킨다. 다음으로, 노드(NM)를 플로팅으로 하고, 용량 소자(104)의 다른 쪽 전극에 제 2 데이터(데이터: D)를 공급하면, 용량 결합에 의하여 노드(NM)의 전위는 "W-V_{ref}+D"가 된다.

[0051] 여기서, "W"="D", "V_{ref}"=0V이며 노드(NM)의 용량이 충분히 작으면, 노드(NM)의 전위는 "2D" 또는 "2W"가 되어, 소스 드라이버(13)의 출력의 약 2배의 전위를 노드(NM)에 출력할 수 있다. 따라서, 범용적인 드라이버 IC를 사용하여도 높은 전압이 필요한 용도(예를 들어, 계조 제어에 높은 전압이 필요한 액정 소자 등)에 사용할 수 있다. 또는, 일반적인 액정 소자나 발광 소자 등을 구동하기 위하여 소스 드라이버(13)로부터 공급되는 전압을 약 1/2로 할 수 있기 때문에 표시 장치를 저소비전력화할 수 있다.

[0052] 또한 제 1 데이터(가중치: W)로서 보정 데이터를 공급하여도 좋다. 예를 들어, 휘도 보정 데이터를 화상 데이터에 가산함으로써, 표시 장치 고유의 휘도 편차를 보정할 수 있다. 또는, 화소 단위로 휘도를 보정할 수 있기 때문에, HDR 표시에 사용하여도 좋다. 또한 표시 소자로서 발광 소자를 사용하는 경우에는, 표시 품질이 구동 트랜지스터의 문턱 전압 편차의 영향을 받기 때문에, 상기 트랜지스터의 문턱 전압 보정 데이터를 제 1 데이터(가중치: W)로서 공급하여 표시 품질을 개선하여도 좋다. 또한 제 1 데이터(가중치: W)와 제 2 데이터(데이터: D)는 서로 바꾸어도 좋다.

[0053] 본 발명의 일 형태에서는, 상술한 전위를 가산하는 동작에 맞추어 특정의 회로(10)의 트랜지스터(103)를 미리 도통시키고, 노드(NP)의 전위(=노드(NM)의 전위)를 확정시킨다. 이러한 동작을 회로(10[1]) 내지 회로(10[n])까지 순차적으로 수행함으로써, 각 회로(10)의 노드(NP)의 전위를 확정시킬 수 있다. 즉, 각 화소에 상이한 화상 데이터를 공급할 수 있다.

[0054] 노드(NM), 노드(NP)는 기억 노드로서 작용한다. 각 노드에 접속되는 트랜지스터를 도통시킴으로써, 데이터를 각 노드에 기록할 수 있다. 또한 상기 트랜지스터를 비도통으로 함으로써, 상기 데이터를 각 노드에 유지할 수 있다. 상기 트랜지스터에 오프 전류가 매우 낮은 트랜지스터를 사용함으로써, 누설 전류를 억제할 수 있고, 각 노드의 전위를 장시간 유지할 수 있게 된다. 상기 트랜지스터에는 예를 들어 금속 산화물을 채널 형성 영역에 사용한 트랜지스터(이하, OS 트랜지스터)를 사용할 수 있다.

[0055] 구체적으로는 트랜지스터(101, 102, 103)에 OS 트랜지스터를 적용하는 것이 바람직하다. 또한 회로 블록(110)이 가지는 요소에 OS 트랜지스터를 적용하여도 좋다. 또한 누설 전류량이 허용될 수 있는 범위에서 동작을 수행하는 경우에는 Si을 채널 형성 영역에 가지는 트랜지스터(이하, Si 트랜지스터)를 적용하여도 좋다. 또는 OS 트랜지스터 및 Si 트랜지스터를 병용하여도 좋다. 또한 상기 Si 트랜지스터로서는 비정질 실리콘을 가지는 트랜지스터, 결정성 실리콘(대표적으로는, 저온 폴리실리콘, 단결정 실리콘)을 가지는 트랜지스터 등을 들 수 있다.

[0056] OS 트랜지스터에 사용하는 반도체 재료로서는 에너지 갭이 2eV 이상, 바람직하게는 2.5eV 이상, 더 바람직하게는 3eV 이상인 금속 산화물을 사용할 수 있다. 대표적으로는 인듐을 포함한 산화물 반도체 등이 있고, 예를 들어 후술하는 CAAC-OS 또는 CAC-OS 등을 사용할 수 있다. CAAC-OS는 결정을 구성하는 원자가 안정적이고, 신뢰성을 중요시하는 트랜지스터 등에 적합하다. 또한 CAC-OS는 고이동도 특성을 나타내므로, 고속 구동을 수행하는 트랜지스터 등에 적합하다.

[0057] OS 트랜지스터는 반도체층의 에너지 갭이 크기 때문에, 수yA/㎛(채널 폭 1㎛당 전류값)라는 매우 낮은 오프 전류 특성을 나타낸다. 또한 OS 트랜지스터는 임팩트 이온화, 애벌란시(avalanche) 항복, 및 단채널 효과 등이 일어나지 않는 등, Si 트랜지스터와는 상이한 특징을 가지고, 신뢰성이 높은 회로를 형성할 수 있다. 또한 Si 트랜지스터에서 문제가 되는 결정성의 불균일성에 기인하는 전기 특성의 편차도 OS 트랜지스터에서는 발생하기 어렵다.

[0058] OS 트랜지스터가 가지는 반도체층은 예를 들어 인듐, 아연, 및 M(알루미늄, 타이타늄, 갈륨, 저마늄, 이트륨, 지르코늄, 란타넘, 세륨, 주석, 네오디뮴, 또는 하프늄 등의 금속)을 포함하는 In-M-Zn계 산화물로 표기되는 막으로 할 수 있다.

[0059] 반도체층을 구성하는 산화물 반도체가 In-M-Zn계 산화물인 경우, In-M-Zn 산화물을 성막하기 위하여 사용되는 스퍼터링 타깃의 금속 원소의 원자수비는 In≥M, Zn≥M을 만족시키는 것이 바람직하다. 이와 같은 스퍼터링 타깃의 금속 원소의 원자수비로서, In:M:Zn=1:1:1, In:M:Zn=1:1:1.2, In:M:Zn=3:1:2, In:M:Zn=4:2:3, In:M:Zn=4:2:4.1, In:M:Zn=5:1:6, In:M:Zn=5:1:7, In:M:Zn=5:1:8 등이 바람직하다. 또한 성막되는 반도체층의 원자수비는 각각 상기 스퍼터링 타깃에 포함되는 금속 원소의 원자수비의 ±40%의 변동을 포함한다.

[0060] 반도체층으로서는 캐리어 밀도가 낮은 산화물 반도체를 사용한다. 예를 들어 반도체층에는 캐리어 밀도가 $1\times10^{17}/cm^3$ 이하, 바람직하게는 $1\times10^{15}/cm^3$ 이하, 더 바람직하게는 $1\times10^{13}/cm^3$ 이하, 더욱 바람직하게는 $1\times10^{11}/cm^3$ 이하, 더더욱 바람직하게는 $1\times10^{10}/cm^3$ 미만이고, $1\times10^{-9}/cm^3$ 이상인 산화물 반도체를 사용할 수 있다. 이와 같은 산화물 반도체를 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체라고 부른다. 상기 산화물 반도체는 결함 준위 밀도가 낮고, 안정된 특성을 가지는 산화물 반도체라고 할 수 있다.

[0061] 또한 이들에 한정되지 않고, 필요로 하는 트랜지스터의 반도체 특성 및 전기 특성(전계 효과 이동도, 문턱 전압 등)에 따라 적절한 조성의 것을 사용하면 좋다. 또한 필요로 하는 트랜지스터의 반도체 특성을 얻기 위하여, 반도체층의 캐리어 밀도나 불순물 농도, 결함 밀도, 금속 원소와 산소의 원자수비, 원자간 거리, 밀도 등을 적절한 것으로 하는 것이 바람직하다.

[0062] 반도체층을 구성하는 산화물 반도체에 14족 원소의 하나인 실리콘이나 탄소가 포함되면, 산소 결손이 증가되어 n형화된다. 그러므로 반도체층에서의 실리콘이나 탄소의 농도(이차 이온 질량 분석법으로 얻어지는 농도)를 $2\times10^{18}atoms/cm^3$ 이하, 바람직하게는 $2\times10^{17}atoms/cm^3$ 이하로 한다.

[0063] 또한 알칼리 금속 및 알칼리 토금속은 산화물 반도체와 결합하면 캐리어를 생성하는 경우가 있고, 트랜지스터의 오프 전류가 증대되는 경우가 있다. 그러므로 반도체층에서의 알칼리 금속 또는 알칼리 토금속의 농도(이차 이온 질량 분석법으로 얻어지는 농도)를 $1\times10^{18}atoms/cm^3$ 이하, 바람직하게는 $2\times10^{16}atoms/cm^3$ 이하로 한다.

[0064] 또한 반도체층을 구성하는 산화물 반도체에 질소가 포함되면, 캐리어인 전자가 생기고 캐리어 밀도가 증가되어 n형화되기 쉽다. 이 결과, 질소가 포함되는 산화물 반도체를 사용한 트랜지스터는 노멀리 온 특성이 되기 쉽다. 그러므로 반도체층에서의 질소 농도(이차 이온 질량 분석법으로 얻어지는 농도)는 $5\times10^{18}atoms/cm^3$ 이하로 하는 것이 바람직하다.

[0065] 또한 반도체층을 구성하는 산화물 반도체에 수소가 포함되면 금속 원자와 결합하는 산소와 반응하여 물이 되기 때문에 산화물 반도체 내에 산소 결손을 형성하는 경우가 있다. 산화물 반도체 내의 채널 형성 영역에 산소 결손이 포함되면, 트랜지스터는 노멀리 온 특성이 되는 경우가 있다. 또한 산소 결손에 수소가 들어간 결함은 도너로서 기능하고, 캐리어인 전자가 생성되는 경우가 있다. 또한 수소의 일부가 금속 원자와 결합하는 산소와 결합하여, 캐리어인 전자가 생성되는 경우가 있다. 따라서 수소가 많이 포함되어 있는 산화물 반도체를 사용한 트랜지스터는 노멀리 온 특성이 되기 쉽다.

[0066] 산소 결손에 수소가 들어간 결함은 산화물 반도체의 도너로서 기능할 수 있다. 그러나 상기 결함을 정량적으로 평가하는 것은 어렵다. 그래서 산화물 반도체에서는 도너 농도가 아니라 캐리어 농도로 평가되는 경우가 있다. 따라서 본 명세서 등에서는 산화물 반도체의 파라미터로서 도너 농도가 아니라, 전계가 인가되지 않는 상태를 상정한 캐리어 농도를 사용하는 경우가 있다. 즉 본 명세서 등에 기재된 '캐리어 농도'는 '도너 농도'라고 바꿔 말할 수 있는 경우가 있다.

[0067] 따라서 산화물 반도체 내의 수소는 가능한 한 저감되어 있는 것이 바람직하다. 구체적으로는, 산화물 반도체에서 이차 이온 질량 분석법(SIMS: Secondary Ion Mass Spectrometry)으로 얻어지는 수소 농도를 $1\times10^{20}atoms/cm^3$ 미만, 바람직하게는 $1\times10^{19}atoms/cm^3$ 미만, 더 바람직하게는 $5\times10^{18}atoms/cm^3$ 미만, 더 바람직하게는 $1\times10^{18}atoms/cm^3$ 미만으로 한다. 수소 등의 불순물이 충분히 저감된 산화물 반도체를 트랜지스터의 채널 형성 영역에 사용함으로써, 안정된 전기 특성을 부여할 수 있다.

[0068] 또한 반도체층은 예를 들어 비단결정 구조이어도 좋다. 비단결정 구조는 예를 들어 c축으로 배향된 결정을 가지는 CAAC-OS(C-Axis Aligned Crystalline Oxide Semiconductor), 다결정 구조, 미결정 구조, 또는 비정질 구조를 포함한다. 비단결정 구조에서 비정질 구조는 결함 준위 밀도가 가장 높고, CAAC-OS는 결함 준위 밀도가 가장 낮다.

[0069] 비정질 구조의 산화물 반도체막은 예를 들어 원자 배열이 무질서하며 결정 성분을 가지지 않는다. 또는 비정질 구조의 산화물막은 예를 들어 완전한 비정질 구조이며, 결정부를 가지지 않는다.

[0070] 또한 반도체층이 비정질 구조의 영역, 미결정 구조의 영역, 다결정 구조의 영역, CAAC-OS의 영역, 단결정 구조의 영역 중 2종류 이상을 가지는 혼합막이어도 좋다. 혼합막은 예를 들어 상술한 영역 중 어느 2종류 이상의 영역을 포함하는 단층 구조 또는 적층 구조를 가지는 경우가 있다.

[0071] 이하에서는, 비단결정의 반도체층의 일 형태인 CAC(Cloud-Aligned Composite)-OS의 구성에 대하여 설명한다.

[0072] CAC-OS란, 예를 들어 산화물 반도체를 구성하는 원소가 0.5nm 이상 10nm 이하, 바람직하게는 1nm 이상 2nm 이하, 또는 그 근방의 크기로 편재한 재료의 한 구성이다. 또한 이하에서는 산화물 반도체에서 하나 또는 그 이상의 금속 원소가 편재하고, 상기 금속 원소를 가지는 영역이 0.5nm 이상 10nm 이하, 바람직하게는 1nm 이상 2nm 이하, 또는 그 근방의 크기로 혼합된 상태를 모자이크상 또는 패치상이라고도 한다.

[0073] 또한 산화물 반도체는 적어도 인듐을 포함하는 것이 바람직하다. 특히 인듐 및 아연을 포함하는 것이 바람직하다. 또한 이들에 더하여 알루미늄, 갈륨, 이트륨, 구리, 바나듐, 베릴륨, 붕소, 실리콘, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데넘, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텅스텐, 및 마그네슘 등 중에서 선택된 1종류 또는 복수 종류가 포함되어도 좋다.

[0074] 예를 들어 In-Ga-Zn 산화물에서의 CAC-OS(CAC-OS 중에서도 In-Ga-Zn 산화물을 특히 CAC-IGZO라고 불러도 좋음)란, 인듐 산화물(이하, InO_{X1}(X1은 0보다 큰 실수(實數))로 함) 또는 인듐 아연 산화물(이하, $In_{X2}Zn_{Y2}O_{Z2}$(X2, Y2, 및 Z2는 0보다 큰 실수)로 함)과, 갈륨 산화물(이하, GaO_{X3}(X3은 0보다 큰 실수)으로 함) 또는 갈륨 아연 산화물(이하, $Ga_{X4}Zn_{Y4}O_{Z4}$(X4, Y4, 및 Z4는 0보다 큰 실수)로 함) 등으로 재료가 분리됨으로써 모자이크상이 되고, 모자이크상의 InO_{X1} 또는 $In_{X2}Zn_{Y2}O_{Z2}$가 막 내에 균일하게 분포된 구성(이하, 클라우드상이라고도 함)이다.

[0075] 즉 CAC-OS는 GaO_{X3}이 주성분인 영역과, $In_{X2}Zn_{Y2}O_{Z2}$ 또는 InO_{X1}이 주성분인 영역이 혼합되는 구성을 가지는 복합 산화물 반도체이다. 또한 본 명세서에서 예를 들어 제 1 영역의 원소 M에 대한 In의 원자수비가 제 2 영역의 원소 M에 대한 In의 원자수비보다 큰 것을, 제 1 영역은 제 2 영역과 비교하여 In의 농도가 높다고 한다.

[0076] 또한 IGZO는 통칭이며, In, Ga, Zn, 및 O로 이루어지는 하나의 화합물을 말하는 경우가 있다. 대표적인 예로서, $InGaO_3(ZnO)_{m1}$(m1은 자연수) 또는 $In_{(1+x0)}Ga_{(1-x0)}O_3(ZnO)_{m0}$($-1 \leq x0 \leq 1$, m0은 임의의 수)으로 나타내어지는 결정성 화합물을 들 수 있다.

[0077] 상기 결정성 화합물은 단결정 구조, 다결정 구조, 또는 CAAC 구조를 가진다. 또한 CAAC 구조는 복수의 IGZO의 나노 결정이 c축 배향을 가지고 또한 a-b면에서는 배향하지 않고 연결된 결정 구조이다.

[0078] 한편, CAC-OS는 산화물 반도체의 재료 구성에 관한 것이다. CAC-OS란 In, Ga, Zn, 및 O를 포함한 재료 구성에서, 일부에 Ga을 주성분으로 하는 나노 입자상으로 관찰되는 영역과, 일부에 In을 주성분으로 하는 나노 입자상으로 관찰되는 영역이 각각 모자이크상으로 무작위로 분산되어 있는 구성을 말한다. 따라서 CAC-OS에서 결정 구조는 부차적인 요소이다.

[0079] 또한 CAC-OS는 조성이 상이한 2종류 이상의 막의 적층 구조를 포함하지 않는 것으로 한다. 예를 들어 In을 주성분으로 하는 막과, Ga를 주성분으로 하는 막의 2층으로 이루어지는 구조는 포함하지 않는다.

[0080] 또한 GaO_{X3}이 주성분인 영역과, $In_{X2}Zn_{Y2}O_{Z2}$ 또는 InO_{X1}이 주성분인 영역에서는, 명확한 경계를 관찰할 수 없는 경우가 있다.

[0081] 또한 갈륨 대신에 알루미늄, 이트륨, 구리, 바나듐, 베릴륨, 붕소, 실리콘, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데넘, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텅스텐, 및 마그네슘 등 중에서 선택된 1종류 또는 복수 종류가 포함되어 있는 경우, CAC-OS는 일부에 상기 금속 원소를 주성분으로 하는 나노 입자상으로 관찰되는 영역과, 일부에 In을 주성분으로 하는 나노 입자상으로 관찰되는 영역이 각각 모자이크상으로 무작위로 분산되어 있는 구성을 말한다.

[0082] CAC-OS는 예를 들어 기판을 의도적으로 가열하지 않는 조건하에서 스퍼터링법으로 형성할 수 있다. 또한 CAC-OS를 스퍼터링법으로 형성하는 경우, 성막 가스로서 불활성 가스(대표적으로는 아르곤), 산소 가스, 및 질소 가스 중에서 선택된 어느 하나 또는 복수를 사용하면 좋다. 또한 성막 시의 성막 가스의 총유량에 대한 산소 가스의 유량비는 낮을수록 바람직하고, 예를 들어 산소 가스의 유량비를 0% 이상 30% 미만, 바람직하게는 0% 이상 10% 이하로 하는 것이 바람직하다.

[0083] CAC-OS는 X선 회절(XRD: X-ray diffraction) 측정법의 하나인 Out-of-plane법에 의한 $\theta/2\theta$ 스캔을 사용하여 측정하였을 때 명확한 피크가 관찰되지 않는다는 특징을 가진다. 즉 X선 회절 측정으로부터 측정 영역의 a-b면 방향 및 c축 방향의 배향이 보이지 않는 것을 알 수 있다.

[0084] 또한 CAC-OS는 프로브 직경이 1nm인 전자선(나노 빔 전자선이라고도 함)을 조사함으로써 얻어지는 전자선 회절 패턴에서, 링 형상으로 휘도가 높은 영역(링 영역)과, 상기 링 영역에 복수의 휘점이 관측된다. 따라서 전자선 회절 패턴으로부터 CAC-OS의 결정 구조가 평면 방향 및 단면 방향에서 배향성을 가지지 않는 nc(nano-crystal) 구조를 가지는 것을 알 수 있다.

[0085] 또한 예를 들어 In-Ga-Zn 산화물에서의 CAC-OS에서는 에너지 분산형 X선 분광법(EDX: Energy Dispersive X-ray spectroscopy)을 사용하여 취득한 EDX 매핑에 의하여, GaO_{X3}이 주성분인 영역과, $In_{X2}Zn_{Y2}O_{Z2}$ 또는 InO_{X1}이 주성분인 영역이 편재되고 혼합된 구조를 가지는 것을 확인할 수 있다.

[0086] CAC-OS는 금속 원소가 균일하게 분포된 IGZO 화합물과는 상이한 구조이고, IGZO 화합물과는 상이한 성질을 가진다. 즉 CAC-OS는 GaO_{X3} 등이 주성분인 영역과, $In_{X2}Zn_{Y2}O_{Z2}$ 또는 InO_{X1}이 주성분인 영역으로 서로 상분리(相分離)되어, 각 원소를 주성분으로 하는 영역이 모자이크상인 구조를 가진다.

[0087] 여기서, $In_{X2}Zn_{Y2}O_{Z2}$ 또는 InO_{X1}이 주성분인 영역은 GaO_{X3} 등이 주성분인 영역과 비교하여 도전성이 높은 영역이다. 즉 $In_{X2}Zn_{Y2}O_{Z2}$ 또는 InO_{X1}이 주성분인 영역을 캐리어가 흐름으로써, 산화물 반도체로서의 도전성이 발현된다. 따라서 $In_{X2}Zn_{Y2}O_{Z2}$ 또는 InO_{X1}이 주성분인 영역이 산화물 반도체 내에 클라우드상으로 분포됨으로써 높은 전계 효과 이동도(μ)를 실현할 수 있다.

[0088] 한편, GaO_{X3} 등이 주성분인 영역은 $In_{X2}Zn_{Y2}O_{Z2}$ 또는 InO_{X1}이 주성분인 영역과 비교하여 절연성이 높은 영역이다. 즉, GaO_{X3} 등이 주성분인 영역이 산화물 반도체 내에 분포됨으로써 누설 전류가 억제되어 양호한 스위칭 동작을 실현할 수 있다.

[0089] 따라서 CAC-OS를 반도체 소자에 사용한 경우, GaO_{X3} 등에 기인하는 절연성과, $In_{X2}Zn_{Y2}O_{Z2}$ 또는 InO_{X1}에 기인하는 도전성이 상보적으로 작용함으로써, 높은 온 전류(I_{on}) 및 높은 전계 효과 이동도(μ)를 실현할 수 있다.

[0090] 또한 CAC-OS를 사용한 반도체 소자는 신뢰성이 높다. 따라서 CAC-OS는 다양한 반도체 장치의 구성 재료로서 적합하다.

[0091] 또한 도 2에는 회로(11)를 화소(20[1])에 배치한 구성을 도시하였지만, 다른 화소에 배치하여도 좋다. 또는, 도 4에 도시된 바와 같이 회로(11)의 요소를 복수의 영역에 분산 배치하여도 좋다.

[0092] 예를 들어, 화소(20[1])에 트랜지스터(101)를, 화소(20[2])에 트랜지스터(102)를, 화소(20[n-1]) 및 화소(20[n])에 분할된 용량 소자(104)를 배치할 수 있다. 이와 같이, 회로(11)의 요소를 분산 배치함으로써, 각 화소에 제공되는 트랜지스터나 용량 소자 등의 요소의 개수 및 점유 면적을 삭감할 수 있어 개구율을 높일 수 있다.

[0093] 또한 도 4에는 도시되지 않았지만, 회로(11)의 요소가 배치되지 않는 화소가 있어도 좋다. 또는, 하나의 화소에 복수의 상기 요소가 배치되어도 좋다. 또한 용량 소자는 분할되지 않고, 하나의 화소에 배치되어도 좋다. 또는, 용량 소자의 분할 수를 늘려 3 이상의 화소에 분할 배치되어도 좋다.

[0094] 다음으로, 도 5에 도시된 타이밍 차트를 사용하여, 도 2 또는 도 4에 도시된 화소 블록(12)의 동작 방법에 대하여 설명한다. 또한 아래의 설명에서는, 고전위를 "H", 저전위를 "L"로 나타낸다. 또한 화소(20[1])에 공급하는 가중치를 "W[1]", 화상 데이터를 "D[1]", 화소(20[2])에 공급하는 가중치를 "W[2]", 화상 데이터를 "D[2]", 화소(20[n-1])에 공급하는 가중치를 "W[n-1]", 화상 데이터를 "D[n-1]", 화소(20[n])에 공급하는 가중치를 "W[n]", 화상 데이터를 "D[n]"으로 한다. "V_{ref}"로서는 예를 들어 0V, GND 전위, 또는 특정의 기준 전위를 사용할 수 있다.

[0095] 또한 여기서는 전위의 분배, 결합, 또는 손실에 있어서, 회로의 구성이나 동작 타이밍 등에 기인하는 자세한 변화는 감안하지 않는다. 또한 용량 소자를 사용한 용량 결합에 의한 전위의 변화는 용량 소자와 상기 용량 소자에 접속되는 부하의 용량비에 의존하지만, 설명의 명료화를 위하여 회로 블록(110)의 용량값은 충분히 작은 값으로 가정한다.

[0096] 우선, 화소(20[1])에서의 "W[1]"의 기록 동작에 대하여 설명한다.

[0097] 시각 T1에서 배선(125)에 "W[1]", 배선(126)에 "V_{ref}"를 공급하고, 배선(121, 122, 123[1])의 전위를 "H"로 하

면, 트랜지스터(102)가 도통되어 용량 소자(104)의 다른 쪽 전극의 전위는 "V_{ref}"가 된다. 상기 동작은 추후의 가산 동작(용량 결합 동작)을 수행하기 위한 리셋 동작이다.

[0098] 또한 트랜지스터(101, 103)가 도통되어 노드(NP[1])에 배선(125)의 전위가 기록된다. 상기 동작은 가중치의 기록 동작이고, 노드(NP[1])의 전위는 "W[1]"이 된다.

[0099] 시각 T2에서 배선(121, 122)의 전위를 "L", 배선(123[1])의 전위를 "H"로 하면, 트랜지스터(101, 102)가 비도통이 된다. 이때, 노드(NP[1])에 "W[1]"이 유지된다. 또한 용량 소자(104)에는 "W[1]-V_{ref}"가 유지된다. 여기까지가 화소(20[1])에서의 "W[1]"의 기록 동작이다.

[0100] 다음으로 화소(20[1])에서의 "D[1]"의 가산 동작에 대하여 설명한다.

[0101] 시각 T3에서 배선(126)에 "D[1]"을 공급하고, 배선(121)의 전위를 "L", 배선(122, 123[1])의 전위를 "H"로 하면, 트랜지스터(102, 103)가 도통된다. 이때, 용량 소자(104)의 다른 쪽 전극의 전위는 "D[1]"이 되고, 용량 결합에 의하여 노드(NP[1])의 전위에 "D[1]"이 부가된다. 상기 동작은 가산 동작이고, 노드(NP[1])의 전위는 "W[1]-V_{ref}+D[1]"이 된다. 이때, "V_{ref}"=0이면 노드(NP[1])의 전위는 "W[1]+D[1]"이 된다. 노드(NP[1])의 전위는 표시 소자에 공급되고, 표시가 수행된다.

[0102] 시각 T4에서 배선(121, 122, 123[1])의 전위를 "L"로 하면, 트랜지스터(103)는 비도통이 되고, 노드(NP[1])의 전위는 유지되고, 다음의 프레임의 동작까지 표시가 계속된다. 이상이 화소(20[1])의 동작 설명이다.

[0103] 다음으로 화소(20[2])에서의 "W[2]"의 기록 동작에 대하여 설명한다.

[0104] 시각 T5에서 배선(125)에 "W[2]", 배선(126)에 "V_{ref}"를 공급하고, 배선(121, 122, 123[2])의 전위를 "H"로 하면, 트랜지스터(102)가 도통되어 용량 소자(104)의 다른 쪽 전극의 전위는 "V_{ref}"가 된다.

[0105] 또한 트랜지스터(101, 103)가 도통되어 노드(NP[2])에 배선(125)의 전위가 기록된다. 상기 동작은 가중치의 기록 동작이고, 노드(NP[2])의 전위는 "W[2]"가 된다.

[0106] 시각 T6에서 배선(121, 122)의 전위를 "L", 배선(123[2])의 전위를 "H"로 하면, 트랜지스터(101, 102)가 비도통이 된다. 이때, 노드(NP[2])에 "W[2]"가 유지된다. 또한 용량 소자(104)에는 "W[2]-V_{ref}"가 유지된다. 여기까지가 화소(20[2])에서의 "W[2]"의 기록 동작이다.

[0107] 다음으로 화소(20[2])에서의 "D[2]"의 가산 동작에 대하여 설명한다.

[0108] 시각 T7에서 배선(126)에 "D[2]"를 공급하고, 배선(121)의 전위를 "L", 배선(122, 123[1])의 전위를 "H"로 하면, 트랜지스터(102, 103)가 도통된다. 이때, 용량 소자(104)의 다른 쪽 전극의 전위는 "D[2]"가 되고, 용량 결합에 의하여 노드(NP[1])의 전위에 "D[2]"가 부가된다. 상기 동작은 가산 동작이고, 노드(NP[1])의 전위는 "W[2]-V_{ref}+D[2]"가 된다. 이때, "V_{ref}"=0이면 노드(NP[2])의 전위는 "W[2]+D[2]"가 된다. 노드(NP[2])의 전위는 표시 소자에 공급되고, 표시가 수행된다.

[0109] 시각 T8에서 배선(121, 122, 123[2])의 전위를 "L"로 하면, 트랜지스터(103)는 비도통이 되고, 노드(NP[2])의 전위는 유지되고, 다음의 프레임의 동작까지 표시가 계속된다. 이상이 화소(20[2])의 동작 설명이다.

[0110] 노드(NP[2])의 전위는 표시 소자에 공급되고, 표시가 수행된다. 이상이 화소(20[2])의 동작 설명이다. 같은 동작을 시각 T9 내지 시각 T12에서 화소(20[n-1])에 적용함으로써, 화소(20[n-1])에서는 "W[n-1]+D[n-1]"에 대응한 표시를 수행할 수 있다. 또한 같은 동작을 시각 T13 내지 시각 T16에서 화소(20[n])에 적용함으로써, 화소(20[n])에서는 "W[n]+D[n]"에 대응한 표시를 수행할 수 있다.

[0111] 이상과 같이 화소 블록(12)을 동작시킬 수 있다.

[0112] 또한 회로(11)는 도 6의 (A)에 도시된 구성이어도 좋다. 도 6의 (A)에 도시된 회로(11)는 트랜지스터(105)를 가지는 점 및 소스선을 하나로 한 점이 도 2 또는 도 4에 도시된 회로(11)와 상이하다.

[0113] 트랜지스터(105)의 게이트는 배선(122)과 전기적으로 접속된다. 트랜지스터(105)의 소스 및 드레인 중 한쪽은 용량 소자(104)의 다른 쪽 전극과 전기적으로 접속된다. 트랜지스터(105)의 소스 및 드레인 중 다른 쪽은 "V_{ref}"를 공급할 수 있는 배선과 전기적으로 접속된다. 트랜지스터(101)의 소스 및 드레인 중 다른 쪽 그리고 트랜

지스터(102)의 소스 및 드레인 중 다른 쪽은 배선(125)과 전기적으로 접속된다.

[0114] 도 2 또는 도 4에 도시된 회로(11)의 구성에서는, 배선(126)으로부터 데이터(D)와 "V_{ref}"를 전환하여 공급하였지만, 도 6의 (A)에 도시된 회로(11)의 구성에서는 "V_{ref}"의 공급을 전용의 경로로부터 수행하기 때문에, 가중치(W)와 데이터(D)를 전환하여 배선(125)으로부터 공급할 수 있게 된다. 따라서, 소스선을 하나 삭감할 수 있다.

[0115] 도 2 또는 도 4에 도시된 화소 블록(12)에 도 6의 (A)에 도시된 회로(11)를 사용한 경우의 동작에 대하여 도 7에 도시된 타이밍 차트를 사용하여 설명한다.

[0116] 시각 T1에서 배선(125)에 "W[1]"을 공급하고, 배선(121, 123[1])의 전위를 "H"로 하면, 트랜지스터(105)가 도통되어 용량 소자(104)의 다른 쪽 전극의 전위는 "V_{ref}"가 된다. 상기 동작은 추후의 가산 동작(용량 결합 동작)을 수행하기 위한 리셋 동작이다.

[0117] 또한 트랜지스터(101, 103)가 도통되어 노드(NP[1])에 배선(125)의 전위가 기록된다. 상기 동작은 가중치의 기록 동작이고, 노드(NP[1])의 전위는 "W[1]"이 된다.

[0118] 시각 T2에서 배선(121)의 전위를 "L", 배선(123[1])의 전위를 "H"로 하면, 트랜지스터(101, 105)가 비도통이 된다. 이때, 노드(NP[1])에 "W[1]"이 유지된다. 또한 용량 소자(104)에는 "W[1]-V_{ref}"가 유지된다. 여기까지가 화소(20[1])에서의 "W[1]"의 기록 동작이다.

[0119] 시각 T3에서 배선(125)에 "D[1]"을 공급하고, 배선(121)의 전위를 "L", 배선(122, 123[1])의 전위를 "H"로 하면, 트랜지스터(102, 103)가 도통된다. 이때, 용량 소자(104)의 다른 쪽 전극의 전위는 "D[1]"이 되고, 용량 결합에 의하여 노드(NP[1])의 전위에 "D[1]"이 부가된다. 상기 동작은 가산 동작이고, 노드(NP[1])의 전위는 "W[1]-V_{ref}+D[1]"이 된다. 이때, "V_{ref}"=0이면 노드(NP[1])의 전위는 "W[1]+D[1]"이 된다. 노드(NP[1])의 전위는 표시 소자에 공급되고, 표시가 수행된다.

[0120] 시각 T4에서 배선(121, 122, 123[1])의 전위를 "L"로 하면, 트랜지스터(103)는 비도통이 되고, 노드(NP[1])의 전위는 유지되고, 다음의 프레임의 동작까지 표시가 계속된다. 이상이 화소(20[1])의 동작 설명이다.

[0121] 같은 동작을 시각 T5 내지 시각 T8에서 화소(20[2])에 적용함으로써, 화소(20[2])에서는 "W[2]+D[2]"에 대응한 표시를 수행할 수 있다. 또한 같은 동작을 시각 T9 내지 시각 T12에서 화소(20[n-1])에 적용함으로써, 화소(20[n-1])에서는 "W[n-1]+D[n-1]"에 대응한 표시를 수행할 수 있다. 또한 같은 동작을 시각 T13 내지 시각 T16에서 화소(20[n])에 적용함으로써, 화소(20[n])에서는 "W[n]+D[n]"에 대응한 표시를 수행할 수 있다.

[0122] 또한 회로(11)는 도 6의 (B)에 도시된 구성이어도 좋다. 도 6의 (B)에 도시된 회로(11)는 트랜지스터(106) 및 용량 소자(107)를 가지는 점이 도 2 또는 도 4에 도시된 회로(11)와 상이하다.

[0123] 용량 소자(107)의 한쪽 전극은 노드(NM)와 전기적으로 접속된다. 용량 소자(107)의 다른 쪽 전극은 트랜지스터(106)의 소스 및 드레인 중 한쪽과 전기적으로 접속된다. 트랜지스터(106)의 게이트는 게이트선으로서의 기능을 가지는 배선(127)과 전기적으로 접속된다. 트랜지스터(106)의 소스 및 드레인 중 다른 쪽은 소스선으로서의 기능을 가지는 배선(128)과 전기적으로 접속된다.

[0124] 도 6의 (B)에 도시된 회로(11)는 노드(NM)에 병렬로 접속되는 용량 소자를 2개 가지고, 다양한 동작을 수행할 수 있다. 예를 들어, 발광 소자의 구동 트랜지스터의 문턱 전압의 보정 데이터를 한쪽의 용량 소자에 기록하고, 휘도 보정 데이터를 다른 쪽의 용량 소자에 기록하여 화상 보정을 하는 등의 방법으로 사용할 수 있다. 또는, 액정 소자를 사용한 동작에서, 반전 동작에 대응하는 신호의 극성별로 용량 소자를 구분하여 사용함으로써, 용량 소자의 양쪽 전극에 축적되는 전하의 극성을 항상 일정하게 할 수 있다. 따라서, 반전 동작 시에 공급되는 전하량을 적게 할 수 있어, 표시 장치의 소비전력을 억제할 수 있다.

[0125] 도 8의 (A) 내지 (C)는 회로 블록(110)에 적용할 수 있고, 표시 소자로서 발광 소자를 포함하는 구성의 예를 도시한 것이다.

[0126] 도 8의 (A)에 도시된 구성은 트랜지스터(111)와, 용량 소자(113)와, 발광 소자(114)를 가진다. 트랜지스터(111)의 소스 및 드레인 중 한쪽은 발광 소자(114)의 한쪽 전극과 전기적으로 접속된다. 발광 소자(114)의 한쪽 전극은 용량 소자(113)의 한쪽 전극과 전기적으로 접속된다. 용량 소자(113)의 다른 쪽 전극은 트랜지스터(111)의 게이트와 전기적으로 접속된다. 트랜지스터(111)의 게이트는 노드(NP)와 전기적으로 접속된다.

[0127] 트랜지스터(111)의 소스 및 드레인 중 다른 쪽은 배선(128)과 전기적으로 접속된다. 발광 소자(114)의 다른 쪽

전극은 배선(129)과 전기적으로 접속된다. 배선(128, 129)은 전원을 공급하는 기능을 가진다. 예를 들어 배선(128)은 고전위 전원을 공급할 수 있다. 또는 배선(129)은 저전위 전원을 공급할 수 있다.

[0128] 도 8의 (A)에 도시된 구성에서는, 노드(NM)의 전위가 트랜지스터(111)의 문턱 전압 이상이 되었을 때 발광 소자(114)에 전류가 흐른다. 따라서, 노드(NP)에 가중치(W)가 기록된 단계에서 발광 소자(114)의 발광이 시작되는 경우가 있고, 용도가 한정되는 경우가 있다.

[0129] 또는, 도 8의 (B)에 도시된 바와 같이 발광 소자(114)의 한쪽 전극을 배선(128)과 전기적으로 접속하고, 발광 소자(114)의 다른 쪽 전극을 트랜지스터(111)의 소스 및 드레인 중 다른 쪽과 전기적으로 접속하여도 좋다. 상기 구성은 발광 소자(114)를 가지는 다른 회로 블록(110)에도 적용할 수 있다.

[0130] 도 8의 (C)는, 도 8의 (A)의 구성에 트랜지스터(112)를 부가한 구성을 도시한 것이다. 트랜지스터(112)의 소스 및 드레인 중 한쪽은 트랜지스터(111)의 소스 및 드레인 중 한쪽과 전기적으로 접속된다. 트랜지스터(112)의 소스 및 드레인 중 다른 쪽은 발광 소자(114)와 전기적으로 접속된다. 트랜지스터(112)의 게이트는 배선(127)과 전기적으로 접속된다. 배선(127)은 트랜지스터(112)의 도통을 제어하는 신호선으로서의 기능을 가질 수 있다.

[0131] 상기 구성에서는 노드(NP)의 전위가 트랜지스터(111)의 문턱 전압 이상이며 트랜지스터(112)가 도통되었을 때 발광 소자(114)에 전류가 흐른다. 따라서, 가중치(W)와 데이터(D)의 가산 동작 후의 임의의 타이밍에 발광 소자(114)의 발광을 시작할 수 있다.

[0132] 도 8의 (D)는 도 8의 (C)의 구성에 트랜지스터(115)를 부가한 구성을 도시한 것이다. 트랜지스터(115)의 소스 및 드레인 중 한쪽은 트랜지스터(111)의 소스 및 드레인 중 한쪽과 전기적으로 접속된다. 트랜지스터(115)의 소스 및 드레인 중 다른 쪽은 배선(131)과 전기적으로 접속된다. 트랜지스터(115)의 게이트는 배선(132)과 전기적으로 접속된다. 배선(132)은 트랜지스터(115)의 도통을 제어하는 신호선으로서의 기능을 가질 수 있다.

[0133] 배선(131)은 기준 전위 등의 특정 전위의 공급원과 전기적으로 접속될 수 있다. 배선(131)으로부터 트랜지스터(111)의 소스 및 드레인 중 한쪽에 특정 전위를 공급함으로써, 화상 데이터의 기록을 안정화시킬 수도 있다.

[0134] 또한 배선(131)은 회로(120)와 접속될 수 있고, 모니터선으로서의 기능을 가질 수도 있다. 회로(120)는 상기 특정 전위의 공급원, 트랜지스터(111)의 전기 특성을 취득하는 기능, 및 보정 데이터를 생성하는 기능 중 하나 이상을 가질 수 있다.

[0135] 도 9의 (A) 내지 (D)는 회로 블록(110)에 적용할 수 있고, 표시 소자로서 액정 소자를 포함하는 구성의 예를 도시한 것이다.

[0136] 도 9의 (A)에 도시된 구성은 용량 소자(116) 및 액정 소자(117)를 가진다. 액정 소자(117)의 한쪽 전극은 용량 소자(116)의 한쪽 전극과 전기적으로 접속된다. 용량 소자(116)의 한쪽 전극은 노드(NP)에 전기적으로 접속된다.

[0137] 용량 소자(116)의 다른 쪽 전극은 배선(133)과 전기적으로 접속된다. 액정 소자(117)의 다른 쪽 전극은 배선(134)과 전기적으로 접속된다. 배선(133, 134)은 전원을 공급하는 기능을 가진다. 예를 들어, 배선(133, 134)은 GND나 0V 등의 기준 전위나 임의의 전위를 공급할 수 있다.

[0138] 또한 도 9의 (B)에 도시된 바와 같이 용량 소자(116)를 생략한 구성으로 하여도 좋다. 상술한 바와 같이, 노드(NP)와 접속되는 트랜지스터에 OS 트랜지스터를 사용할 수 있다. OS 트랜지스터는 누설 전류가 매우 작기 때문에, 유지 용량으로서 기능하는 용량 소자(116)를 생략하여도 표시를 비교적 장시간 유지할 수 있다. 또한 트랜지스터의 구성에 한정되지 않고, 필드 시퀀셜 구동과 같이 고속 동작으로 표시 기간을 짧게 할 수 있는 경우에도 용량 소자(116)를 생략하는 것은 유효하다. 용량 소자(116)를 생략함으로써 개구율을 향상시킬 수 있다. 또는, 화소의 투과율을 향상시킬 수 있다.

[0139] 도 9의 (A), (B)의 구성에서는, 노드(NP)의 전위가 액정 소자(117)의 동작 문턱값 이상으로 확정되었을 때 액정 소자(117)의 동작이 시작된다. 따라서, 노드(NP)에 가중치가 기록된 단계에서 표시 동작이 시작되는 경우가 있고, 용도가 한정되는 경우가 있다. 다만, 투과형 액정 표시 장치의 경우에는, 가중치(W)와 데이터(D)의 가산 동작이 종료되는 타이밍까지 백라이트를 소등하는 등의 동작을 병용함으로써, 불필요한 표시 동작이 수행되더라도 시인을 억제할 수 있다.

[0140] 도 9의 (C)는 도 9의 (A)의 구성에 트랜지스터(118)를 부가한 구성을 도시한 것이다. 트랜지스터(118)의 소스 및 드레인 중 한쪽은 용량 소자(116)의 한쪽 전극과 전기적으로 접속된다. 트랜지스터(118)의 소스 및 드레인

중 다른 쪽은 노드(NP)와 전기적으로 접속된다. 트랜지스터(118)의 게이트는 배선(130)과 전기적으로 접속된다. 배선(130)은 트랜지스터(118)의 도통을 제어하는 신호선으로서의 기능을 가질 수 있다.

[0141] 상기 구성에서는 트랜지스터(118)의 도통에 따라 액정 소자(117)에 노드(NP)의 전위가 인가된다. 따라서, 가중치(W)와 데이터(D)의 가산 동작 후의 임의의 타이밍에 액정 소자의 동작을 시작할 수 있다.

[0142] 또한 트랜지스터(118)가 비도통인 상태에서는 용량 소자(116) 및 액정 소자(117)에 공급된 전위가 계속 유지되므로, 화상 데이터를 재기록하기 전에 용량 소자(116) 및 액정 소자(117)에 공급된 전위를 리셋하는 것이 바람직하다. 상기 리셋은 예를 들어, 화소가 접속되는 소스선(예를 들어 배선(125, 126) 등)에 리셋 전위를 공급하고, 트랜지스터(101) 및 트랜지스터(118)를 동시에 도통시키면 좋다.

[0143] 도 9의 (D)는 도 9의 (C)의 구성에 트랜지스터(119)를 부가한 구성을 도시한 것이다. 트랜지스터(119)의 소스 및 드레인 중 한쪽은 액정 소자(117)의 한쪽 전극과 전기적으로 접속된다. 트랜지스터(119)의 소스 및 드레인 중 다른 쪽은 배선(131)과 전기적으로 접속된다. 트랜지스터(119)의 게이트는 배선(132)과 전기적으로 접속된다. 배선(132)은 트랜지스터(119)의 도통을 제어하는 신호선으로서의 기능을 가질 수 있다.

[0144] 배선(131)과 전기적으로 접속되는 회로(120)는 상술한 도 8의 (C)의 설명과 마찬가지이고, 또한 용량 소자(116) 및 액정 소자(117)에 공급된 전위를 리셋하는 기능을 가져도 좋다.

[0145] 도 10의 (A) 내지 (C)는 도 6의 (A)에 나타낸 "V_{ref}"를 공급하기 위한 배선의 구체적인 예를 도시한 도면이다. 도 10의 (A)에 도시된 바와 같이, 표시 소자로서 발광 소자를 사용하는 경우에는, "V_{ref}"를 공급하기 위한 배선에 배선(128)을 적용할 수 있다. "V_{ref}"는 0V, GND, 또는 저전위인 것이 바람직하기 때문에, 배선(128)은 적어도 이들 전위 중 어느 것을 공급하는 기능도 가진다. 배선(128)에는, 노드(NP)에 데이터를 기록하는 타이밍에서는 "V_{ref}"를 공급하고, 발광 소자(114)를 발광시키는 타이밍에서는 고전위 전원을 공급하면 좋다. 또는, 도 10의 (B)에 도시된 바와 같이, 저전위를 공급하는 배선(129)을, "V_{ref}"를 공급하기 위한 배선으로서 적용하여도 좋다.

[0146] 또한 도 10의 (C)에 도시된 바와 같이, 표시 소자로서 액정 소자를 사용하는 경우에는, "V_{ref}"를 공급하기 위한 배선에 배선(133)을 적용할 수 있다. 또는, 배선(134)을 적용하여도 좋다. 또한 표시 소자의 종류에 상관없이, "V_{ref}"를 공급하는 전용의 공통 배선을 제공하여도 좋다.

[0147] 또한 본 발명의 일 형태에서는, 도 11의 (A), (B)에 예시한 바와 같이 화소 블록(12)이 가지는 트랜지스터에 백 게이트를 제공한 구성으로 하여도 좋다. 도 11의 (A)는 백 게이트가 프런트 게이트와 전기적으로 접속된 구성을 도시한 것이고, 온 전류를 높이는 효과를 가진다. 도 11의 (B)는 백 게이트가 정전위를 공급할 수 있는 배선(135)과 전기적으로 접속된 구성을 도시한 것이고, 트랜지스터의 문턱 전압을 제어할 수 있다.

[0148] 또한 도 4 등의 타이밍 차트에 나타낸 바와 같이, 회로(10)에는 게이트 신호 "H"를 일정 간격으로 시프트시켜 입력한다. 한편, 회로(11)에는 하나의 회로(10)의 동작 기간에 맞추어 게이트 신호 "H" 또는 "L"을 입력하는 동작이 필요하다. 또한 상기 동작은 화소 블록(12)이 가지는 회로(10)의 개수만큼 반복된다.

[0149] 따라서, 도 1에 도시된 바와 같이, 회로(11)를 제어하는 게이트 드라이버(14a)와, 회로(10)를 제어하는 게이트 드라이버(14b)를 제공하는 것이 바람직하다. 회로(10)와 회로(11)를 제어하는 게이트 드라이버를 개별로 제공함으로써, 동작에 필요한 PWC(Pulse Width Control) 신호를 화소 블록(12)이 가지는 회로(10)의 개수보다 적게 할 수 있다.

[0150] 예를 들어 도 12는 게이트 드라이버(14a, 14b)의 입출력 신호를 도시한 도면이다. 또한 여기서는, 화소의 행수는 1280, 화소 블록(12)이 가지는 화소(회로(10))의 개수는 4로 한다.

[0151] 게이트 드라이버(14a)에 입력되는 신호는 SPL(게이트 드라이버(14a)용 스타트 펄스 신호), CLK[1:4]L(게이트 드라이버(14a)용 클럭 신호), PWC1, PWC2(게이트 신호의 펄스 폭 제어 신호)로 할 수 있고, 그 출력은 게이트선인 GL1[1] 내지 GL1[320], 및 GL2[1] 내지 GL2[320]에 대하여 수행할 수 있다. 여기서, GL1은 배선(125), GL2는 배선(126)에 상당한다. 또한 320은 수직 방향으로 제공되는 화소 블록(12)의 개수와 일치한다.

[0152] 게이트 드라이버(14b)에 입력되는 신호는 SPR(게이트 드라이버(14b)용 스타트 펄스 신호), CLK[1:4]R(게이트 드라이버(14b)용 클럭 신호)로 할 수 있고, 그 출력은 게이트선인 GL3[1] 내지 GL3[1280]에 대하여 수행할 수 있다. 여기서, GL3은 배선(123)에 상당한다. 또한 1280은 수직 방향으로 제공되는 화소(20)의 개수와 일치한다.

[0153] 도 13은 게이트 드라이버(14a)의 블록도의 일례이다. 게이트 드라이버(14a)는 복수의 세트·리셋 플립플롭으로 구성되는 시프트 레지스터 회로, 및 버퍼 회로(BuF)를 가진다. 시프트 레지스터 회로의 1단분은 "SR"로 나타내고, 더미단은 "DUM"으로 나타낸다. RES는 리셋 신호이고, "H" 입력으로 시프트 레지스터 회로의 출력을 모두 "L"로 할 수 있다.

[0154] "BuF"는 AND 회로를 가지고, "SR"의 출력 신호(SROUT 신호), PWC1 신호, 및 PWC2 신호를 이용하여 게이트선(GL1 및/또는 GL2)에 신호를 출력할 수 있다.

[0155] "SR"는 예를 들어 도 15의 (A)에 도시한 블록도 및 도 15의 (B)에 도시된 회로도의 구성으로 할 수 있다. 여기서, LIN은 앞단의 "SR"로부터 입력되는 시프트 신호, FO는 "Buf"가 가지는 트랜지스터를 제어하는 출력 신호, RIN은 뒤단의 "SR"로부터 입력되는 리셋 신호를 나타낸다. 또한 입력되는 클럭 신호는 예를 들어, CLK[1]L과 CLK[3]L의 조합, 또는 CLK[2]L과 CLK[4]L의 조합으로 할 수 있다.

[0156] 또한 버퍼 회로(BuF)는 도 16의 (A)에 도시된 블록도 및 도 16의 (B)에 도시된 회로도의 구성으로 할 수 있다. 여기서, FN은 "SR"로부터 입력되는 신호(FO), LN은 "SR"로부터 입력되는 신호(SROUT)를 나타낸다.

[0157] 도 14는 게이트 드라이버(14b)의 블록도의 일례이다. 복수의 세트·리셋 플립플롭으로 구성되는 시프트 레지스터 회로를 가진다. 시프트 레지스터 회로의 1단분은 "SR"로 나타내고, 더미단은 "DUM"으로 나타낸다. "SR"는 예를 들어, 도 17의 (A)에 도시된 블록도 및 도 17의 (B)에 도시된 회로도의 구성으로 할 수 있다.

[0158] 다음으로, 화소 블록(12)에 관한 시뮬레이션 결과에 대하여 설명한다. 도 18에 시뮬레이션에 사용한 화소 블록(12)의 구성을 나타낸다. 도 19에 시뮬레이션에 사용한 타이밍 차트를 나타낸다. 화소 블록(12)이 가지는 화소수는 4로 하고, 회로 블록(110)은 도 9의 (A)에 도시된 구성(액정 소자 및 용량 소자)으로 하였다. 시뮬레이션은 각 화소를 순차적으로 동작하였을 때의 노드(NP)의 전압 변화에 대하여 수행하였다.

[0159] 시뮬레이션에 사용한 파라미터는 이하와 같고, 트랜지스터 크기는 L/W=4㎛/4㎛(화소 블록(12)이 가지는 트랜지스터), 용량 소자(C1)의 용량값은 500fF, 용량 소자(Cs)의 용량값은 100fF, 액정 소자(C1c)의 용량값은 100fF, 공통 전극(VCOM 및 TCOM)은 0V로 하였다. 또한 트랜지스터의 게이트에 인가하는 전압은 "H"로서 +15V, "L"로서 -10V로 하였다. 또한 회로 시뮬레이션 소프트웨어에는 SPICE를 사용하였다. 또한 여기서는, 도 18에 도시된 배선(PL)의 기생 용량은 파라미터로부터 제외하였다.

[0160] 도 19는 시뮬레이션에 사용한 타이밍 차트이다. 여기서는, 가중치(W[1] 내지 W[4]), 데이터(D[1] 내지 D[4])는 모두 5V로 하였다. 또한 "V_{ref}"는 0V로 하였다.

[0161] 도 20의 (A)는 가중치(W[1] 내지 W[4]) 및 데이터(D[1] 내지 D[4])를 모두 5V로 하고, "V_{ref}"를 0V로 하였을 때의 시뮬레이션 결과이다. 가로축은 시간, 세로축은 노드(NP)의 전압을 나타낸다. 각 노드(NP)에서 가중치(W)와 데이터(D)가 용량비에 따라 가산되는 것이 확인되었다.

[0162] 도 20의 (B)는 가중치(W[1]) 및 데이터(D[2])를 5V, 가중치(W[2]) 및 데이터(D[2])를 2.5V, 가중치(W[3]) 및 데이터(D[3])를 -2.5V, 가중치(W[4]) 및 데이터(D[4])를 -5V로 하고, "V_{ref}"를 0V로 하였을 때의 시뮬레이션 결과이다. 각 노드(NP)에서, 가중치(W)와 데이터(D)가 용량비에 따라 가산되는 것이 확인되었다. 또한 동일한 화소 블록(12) 내에서 가중치 및 데이터의 극성을 불문하고 가산 동작이 가능한 것으로부터, 게이트 라인 반전 구동의 적용도 가능한 것이 확인되었다.

[0163] 따라서, 본 발명의 일 형태인 화소 블록(12)은 배선(PL)의 기생 용량이 영향을 미치지 않는 범위에서 가중치(W)와 데이터(D)의 가산 동작이 정상적으로 수행될 수 있는 것을 확인할 수 있었다.

[0164] 다음으로, 화소 레이아웃에 관한 시뮬레이션 결과에 대하여 설명한다. 도 21은 도 18에 도시된 화소 블록(12)을 기본 구성으로 하고, 제 m열 및 제 m+1열에 대하여 가로 3화소분의 레이아웃의 일례를 도시한 도면이다.

[0165] 또한 도 21에 도시된 레이아웃에서는, Cs를 생략하고 노드(NP)에 상당하는 화소 전극(PE)까지를 도시하였다. 트랜지스터로서는, 보텀 게이트형(백 게이트가 있음)을 일례로서 도시하였다.

[0166] 트랜지스터(Tr1, Tr2)는 화소 블록(12)의 1번째 행의 화소에 포함되도록 배치되어 있다. 따라서, 각 행이 가지는 트랜지스터는 1번째 행이 트랜지스터(Tr1, Tr2, Tr3)의 총 3개이고, 2번째 행 이후는 트랜지스터(Tr3)의 하나이다. 또한 트랜지스터(Tr1, Tr2)의 크기는 L/W=4㎛/30㎛, 트랜지스터(Tr3)의 크기는 L/W=4㎛/10㎛를 상정하였다. 화소 피치는 약 136㎛(1번째 행과 2번째 행 이후 간에서 상이함)를 상정하였다.

[0167] C1은 게이트 배선과 동일한 공정으로 제작되는 도전층 및 소스 배선과 동일한 공정으로 제작되는 도전층을 한 쌍의 전극으로 하였다. 상기 2개의 도전층은 소스선(SL1, SL2)과 평행하게 배치되고, 각 화소에서 절연층(예를 들어 게이트 절연막)을 개재(介在)하여 중첩되는 영역을 가진다. 즉, 각 화소에는 하나의 용량 소자가 제공되어 있다. 또한 상기 용량 소자는 병렬 접속이 되기 때문에 하나의 큰 용량 소자와 등가가 된다.

[0168] 즉, 용량 소자(C1)를 분할 배치하기 때문에, 화소의 개구율 및 투과율을 향상시킬 수 있다. 또한 용량 소자를 구성하는 한쪽 도전층끼리의 전기적인 접속에는, 게이트 배선을 브리지하는 접속 배선(BR)을 사용하는 것이 바람직하다. 접속 배선(BR)으로서는, 예를 들어 소스 배선과 동일한 공정으로 제작할 수 있다.

[0169] 여기서, 1번째 행의 화소에는 트랜지스터(Tr1, Tr2) 및 그 구동용 게이트선이 제공되기 때문에 다른 행의 화소보다 요소 개수가 많아진다. 도 22의 (A)에 도시된 타입 1과 같이 모든 화소의 수직 방향의 길이를 A로 통일한 경우, 화소 전극(PE1)은 화소 전극(PE2, PE3)보다 작게 된다. 그러므로, 1번째 열의 표시가 암선으로서 시인되는 경우가 있다.

[0170] 따라서, 도 22의 (B)에 도시된 타입 2와 같이, 모든 화소 전극의 수직 방향의 길이를 B로 통일하고, 1번째 행의 화소의 수직 방향의 길이를 2번째 행 이후의 화소의 수직 방향의 길이보다 크게 하여도 좋다. 또는, 화소 전극(PE1)이 화소 전극(PE2, PE3)보다 크게 되도록 각 화소의 수직 방향의 길이를 조정하여도 좋다. 이러한 구성으로 함으로써, 1번째 행의 표시가 암선으로서 시인되는 것을 억제할 수 있다.

[0171] 도 22에 도시된 타입 1 또는 타입 2의 화소 블록을 표시 영역에 적용한 경우의 개구율의 시산치(試算値)를 도 23에 도시하였다. 여기서 나타내는 개구율은 (화소 블록 내의 모든 화소 전극의 면적)/(화소 블록의 면적)이다. 시산에 있어서, 화소 블록이 가지는 화소수는 1 내지 4000으로 하였다. 또한 타입 1의 화소는 모두 1변이 136㎛인 정방 화소로 하는 것을 상정하였다. 또한 타입 2에서는, 화소수가 1일 때는 1변이 136㎛인 정방 화소로 하고, 화소수가 2 이상일 때는 화소 전극이 같은 크기가 되도록 수직 방향의 길이를 조정하였다. 또한 타입 1과 비교할 수 있도록 화소 블록의 수직 방향의 길이는 1변이 136㎛인 정방 화소를 사용한 경우와 같게 하였다.

[0172] 도 23에 도시된 바와 같이, 타입 1 및 타입 2의 양쪽 모두에서 화소 블록 내의 화소수 10 정도까지 개구율은 급격히 상승되고, 20 정도로 81%에 도달한다. 그 후에도 완만하게 상승되고 100으로 82% 가까이가 된다. 따라서, 개구율을 중요시하는 경우에는, 화소 블록 내의 화소수를 가능한 한 늘리는 것이 바람직하다고 할 수 있다. 다만, 화소 레이아웃에 의한 효율적인 효과를 고려하면, 5 내지 100 정도가 바람직하고, 10 내지 50 정도가 더 바람직하고, 20 내지 40 정도가 더욱 바람직하다고 할 수 있다.

[0173] 이상의 시뮬레이션 결과에 의하여 본 발명의 일 형태의 효과를 확인할 수 있었다.

[0174] 본 실시형태는 다른 실시형태 등에 기재된 구성과 적절히 조합하여 실시할 수 있다.

[0175] (실시형태 2)

[0176] 본 실시형태에서는, 액정 소자를 사용한 표시 장치의 구성예와, 발광 소자를 사용한 표시 장치의 구성예에 대하여 설명한다. 또한 본 실시형태에서 실시형태 1에서 설명한 표시 장치의 요소, 동작, 및 기능의 설명은 생략한다.

[0177] 도 24의 (A) 내지 (C)는 본 발명의 일 형태를 사용할 수 있는 표시 장치의 구성을 도시한 도면이다.

[0178] 도 24의 (A)에서, 제 1 기판(4001) 위에 제공된 표시부(215)를 둘러싸도록 밀봉재(4005)가 제공되고, 밀봉재(4005) 및 제 2 기판(4006)으로 표시부(215)가 밀봉되어 있다.

[0179] 표시부(215)에는 실시형태 1에서 설명한 화소 블록(12) 등을 제공할 수 있다. 또한 이하에서 설명하는 주사선 구동 회로는 게이트 드라이버에 상당하고, 신호선 구동 회로는 소스 드라이버에 상당한다.

[0180] 도 24의 (A)에서 주사선 구동 회로(221a), 신호선 구동 회로(231a), 신호선 구동 회로(232a), 및 공통선 구동 회로(241a) 각각이 프린트 기판(4041) 위에 제공된 집적 회로(4042)를 복수로 가진다. 집적 회로(4042)는 단결정 반도체 또는 다결정 반도체로 형성되어 있다. 공통선 구동 회로(241a)는 실시형태 1에 나타낸 배선(128, 129, 132, 133, 135) 등에 규정의 전위를 공급하는 기능을 가진다.

[0181] 주사선 구동 회로(221a), 공통선 구동 회로(241a), 신호선 구동 회로(231a), 및 신호선 구동 회로(232a)에 공급되는 각종 신호 및 전위는 FPC(FPC: Flexible printed circuit)(4018)를 통하여 공급된다.

[0182] 주사선 구동 회로(221a) 및 공통선 구동 회로(241a)가 가지는 집적 회로(4042)는 표시부(215)에 선택 신호를 공

급하는 기능을 가진다. 신호선 구동 회로(231a) 및 신호선 구동 회로(232a)가 가지는 집적 회로(4042)는 표시부(215)에 화상 데이터를 공급하는 기능을 가진다. 집적 회로(4042)는 제 1 기판(4001) 위의 밀봉재(4005)로 둘러싸여 있는 영역과는 다른 영역에 실장되어 있다.

[0183] 또한 집적 회로(4042)의 접속 방법은 특별히 한정되는 것은 아니고, 와이어 본딩법, COG(Chip On Glass)법, TCP(Tape Carrier Package)법, COF(Chip On Film)법 등을 사용할 수 있다.

[0184] 도 24의 (B)는 신호선 구동 회로(231a) 및 신호선 구동 회로(232a)에 포함되는 집적 회로(4042)를 COG법으로 실장하는 예를 도시한 것이다. 또한 구동 회로의 일부 또는 전체를 표시부(215)와 같은 기판 위에 일체로 형성하여, 시스템 온 패널(system-on-panel)을 형성할 수 있다.

[0185] 도 24의 (B)에서는 주사선 구동 회로(221a) 및 공통선 구동 회로(241a)를 표시부(215)와 같은 기판 위에 형성하는 예를 도시하였다. 구동 회로를 표시부(215) 내의 화소 회로와 동시에 형성함으로써, 부품 점수를 삭감할 수 있다. 따라서 생산성을 높일 수 있다.

[0186] 또한 도 24의 (B)에서는 제 1 기판(4001) 위에 제공된 표시부(215)와, 주사선 구동 회로(221a) 및 공통선 구동 회로(241a)를 둘러싸도록, 밀봉재(4005)가 제공되어 있다. 또한 표시부(215), 주사선 구동 회로(221a), 및 공통선 구동 회로(241a) 위에 제 2 기판(4006)이 제공되어 있다. 따라서 표시부(215), 주사선 구동 회로(221a), 및 공통선 구동 회로(241a)는 제 1 기판(4001)과 밀봉재(4005)와 제 2 기판(4006)에 의하여, 표시 소자와 함께 밀봉되어 있다.

[0187] 또한 도 24의 (B)에서는 신호선 구동 회로(231a) 및 신호선 구동 회로(232a)를 별도로 형성하고 제 1 기판(4001)에 실장한 예를 도시하였지만, 이 구성에 한정되지 않는다. 주사선 구동 회로를 별도로 형성하고 실장하여도 좋고, 신호선 구동 회로의 일부 또는 주사선 구동 회로의 일부를 별도로 형성하고 실장하여도 좋다. 또한 도 24의 (C)에 도시된 바와 같이, 신호선 구동 회로(231a) 및 신호선 구동 회로(232a)를 표시부(215)와 같은 기판 위에 형성하여도 좋다.

[0188] 또한 표시 장치는 표시 소자가 밀봉된 상태인 패널과, 상기 패널에 컨트롤러를 포함하는 IC 등이 실장된 상태인 모듈을 포함하는 경우가 있다.

[0189] 또한 제 1 기판 위에 제공된 표시부 및 주사선 구동 회로는 트랜지스터를 복수로 가진다. 상기 트랜지스터로서, 상기 실시형태에서 나타낸 트랜지스터를 적용할 수 있다.

[0190] 주변 구동 회로가 가지는 트랜지스터와, 표시부의 화소 회로가 가지는 트랜지스터의 구조는 같아도 좋고, 상이하여도 좋다. 주변 구동 회로가 가지는 트랜지스터는 모두 같은 구조의 트랜지스터이어도 좋고, 2종류 이상의 구조의 트랜지스터이어도 좋다. 마찬가지로 화소 회로가 가지는 트랜지스터는 모두 같은 구조의 트랜지스터이어도 좋고, 2종류 이상의 구조의 트랜지스터이어도 좋다.

[0191] 또한 제 2 기판(4006) 위에는 입력 장치(4200)를 제공할 수 있다. 도 24의 (A) 내지 (C)에 도시된 표시 장치에 입력 장치(4200)를 제공한 구성은 터치 패널로서 기능시킬 수 있다.

[0192] 본 발명의 일 형태의 터치 패널이 가지는 검지 소자(센서 소자라고도 함)에 한정은 없다. 손가락이나 스타일러스 등의 피검지체의 근접 또는 접촉을 검지할 수 있는 다양한 센서를 검지 소자로서 적용할 수 있다.

[0193] 센서의 방식으로서는 예를 들어, 정전 용량 방식, 저항막 방식, 표면 탄성파 방식, 적외선 방식, 광학 방식, 감압 방식 등 다양한 방식을 사용할 수 있다.

[0194] 본 실시형태에서는 정전 용량 방식의 검지 소자를 가지는 터치 패널을 예로 들어 설명한다.

[0195] 정전 용량 방식으로서는 표면형 정전 용량 방식, 투영형 정전 용량 방식 등이 있다. 또한 투영형 정전 용량 방식으로서는 자기 용량 방식, 상호 용량 방식 등이 있다. 상호 용량 방식을 사용하면, 동시 다점 검지가 가능하게 되기 때문에 바람직하다.

[0196] 본 발명의 일 형태의 터치 패널은 따로 제작된 표시 장치와 검지 소자를 접합시키는 구성, 표시 소자를 지지하는 기판 및 대향 기판 중 한쪽 또는 양쪽에 검지 소자를 구성하는 전극 등을 제공하는 구성 등, 다양한 구성을 적용할 수 있다.

[0197] 도 25의 (A), (B)에 터치 패널의 일례를 도시하였다. 도 25의 (A)는 터치 패널(4210)의 사시도이다. 도 25의 (B)는 입력 장치(4200)의 사시 개략도이다. 또한 명료화를 위하여 대표적인 구성 요소만을 도시하였다.

[0198] 터치 패널(4210)은 따로 제작된 표시 장치와 검지 소자를 접합시킨 구성이다.

[0199] 터치 패널(4210)은 입력 장치(4200)와 표시 장치를 가지고, 이들이 중첩되어 제공되어 있다.

[0200] 입력 장치(4200)는 기판(4263), 전극(4227), 전극(4228), 복수의 배선(4237), 복수의 배선(4238), 및 복수의 배선(4239)을 가진다. 예를 들어 전극(4227)은 배선(4237) 또는 배선(4239)과 전기적으로 접속될 수 있다. 또한 전극(4228)은 배선(4239)과 전기적으로 접속될 수 있다. FPC(4272b)는 복수의 배선(4237) 및 복수의 배선(4238)의 각각과 전기적으로 접속된다. FPC(4272b)에는 IC(4273b)를 제공할 수 있다.

[0201] 또는 표시 장치의 제 1 기판(4001)과 제 2 기판(4006) 사이에 터치 센서를 제공하여도 좋다. 제 1 기판(4001)과 제 2 기판(4006) 사이에 터치 센서를 제공하는 경우에는 정전 용량 방식의 터치 센서 외에, 광전 변환 소자를 사용한 광학식의 터치 센서를 적용하여도 좋다.

[0202] 도 26의 (A), (B)는 도 24의 (B) 중에서 쇄선 N1-N2로 나타낸 부분의 단면도이다. 도 26의 (A), (B)에 도시된 표시 장치는 전극(4015)을 가지고, 전극(4015)은 FPC(4018)가 가지는 단자와 이방성 도전층(4019)을 통하여 전기적으로 접속된다. 또한 도 26의 (A), (B)에서는 전극(4015)은 절연층(4112), 절연층(4111), 및 절연층(4110)에 형성된 개구에서 배선(4014)과 전기적으로 접속되어 있다.

[0203] 전극(4015)은 제 1 전극층(4030)과 같은 도전층으로 형성되고, 배선(4014)은 트랜지스터(4010) 및 트랜지스터(4011)의 소스 전극 및 드레인 전극과 같은 도전층으로 형성되어 있다.

[0204] 또한 제 1 기판(4001) 위에 제공된 표시부(215)와 주사선 구동 회로(221a)는 트랜지스터를 복수로 가지고, 도 26의 (A), (B)에는 표시부(215)에 포함되는 트랜지스터(4010) 및 주사선 구동 회로(221a)에 포함되는 트랜지스터(4011)를 예시하였다. 또한 도 26의 (A), (B)에서는 트랜지스터(4010) 및 트랜지스터(4011)로서 보텀 게이트형 트랜지스터를 예시하였지만, 톱 게이트형 트랜지스터이어도 좋다.

[0205] 도 26의 (A), (B)에서는 트랜지스터(4010) 및 트랜지스터(4011) 위에 절연층(4112)이 제공되어 있다. 또한 도 26의 (B)에서는 절연층(4112) 위에 격벽(4510)이 형성되어 있다.

[0206] 또한 트랜지스터(4010) 및 트랜지스터(4011)는 절연층(4102) 위에 제공되어 있다. 또한 트랜지스터(4010) 및 트랜지스터(4011)는 절연층(4111) 위에 형성된 전극(4017)을 가진다. 전극(4017)은 백 게이트 전극으로서 기능할 수 있다.

[0207] 또한 도 26의 (A), (B)에 도시된 표시 장치는 용량 소자(4020)를 가진다. 용량 소자(4020)는 트랜지스터(4010)의 게이트 전극과 같은 공정으로 형성된 전극(4021)과, 소스 전극 및 드레인 전극과 같은 공정으로 형성된 전극을 가진다. 각각의 전극은 절연층(4103)을 개재하여 중첩되어 있다.

[0208] 일반적으로, 표시 장치의 화소부에 제공되는 용량 소자의 용량은 화소부에 배치되는 트랜지스터의 누설 전류 등을 고려하여 전하가 소정의 기간 유지될 수 있도록 설정된다. 용량 소자의 용량은 트랜지스터의 오프 전류 등을 고려하여 설정하면 좋다.

[0209] 표시부(215)에 제공된 트랜지스터(4010)는 표시 소자와 전기적으로 접속된다. 도 26의 (A)는 표시 소자로서 액정 소자를 사용한 액정 표시 장치의 일례를 도시한 것이다. 도 26의 (A)에서 표시 소자인 액정 소자(4013)는 제 1 전극층(4030), 제 2 전극층(4031), 및 액정층(4008)을 포함한다. 또한 배향막으로서 기능하는 절연층(4032), 절연층(4033)이 액정층(4008)을 사이에 끼우도록 제공되어 있다. 제 2 전극층(4031)은 제 2 기판(4006) 측에 제공되고, 제 1 전극층(4030)과 제 2 전극층(4031)은 액정층(4008)을 개재하여 중첩된다.

[0210] 액정 소자(4013)로서 다양한 모드가 적용된 액정 소자를 사용할 수 있다. 예를 들어, VA(Vertical Alignment) 모드, TN(Twisted Nematic) 모드, IPS(In-Plane-Switching) 모드, ASM(Axially Symmetric aligned Micro-cell) 모드, OCB(Optically Compensated Bend) 모드, FLC(Ferroelectric Liquid Crystal) 모드, AFLC(AntiFerroelectric Liquid Crystal) 모드, ECB(Electrically Controlled Birefringence) 모드, VA-IPS 모드, 게스트 호스트 모드 등이 적용된 액정 소자를 사용할 수 있다.

[0211] 또한 본 실시형태에 나타내는 액정 표시 장치에 노멀리 블랙형 액정 표시 장치, 예를 들어 수직 배향(VA) 모드를 채용한 투과형 액정 표시 장치를 적용하여도 좋다. 수직 배향 모드로서는, MVA(Multi-Domain Vertical Alignment) 모드, PVA(Patterned Vertical Alignment) 모드, ASV(Advanced Super View) 모드 등을 사용할 수 있다.

[0212] 또한 액정 소자는 액정의 광학 변조 작용에 의하여 광의 투과 또는 비투과를 제어하는 소자이다. 액정의 광학적

변조 작용은 액정에 가해지는 전계(가로 방향의 전계, 세로 방향의 전계, 또는 비스듬한 방향의 전계를 포함함)에 의하여 제어된다. 액정 소자에 사용되는 액정으로서는, 서모트로픽 액정, 저분자 액정, 고분자 액정, 고분자 분산형 액정(PDLC: Polymer Dispersed Liquid Crystal), 강유전성 액정, 반강유전성 액정 등을 사용할 수 있다. 이들 액정 재료는 조건에 따라 콜레스테릭상, 스멕틱상, 큐빅상, 키랄 네마틱상, 등방상 등을 나타낸다.

[0213] 도 26에서는 세로 전계 방식의 액정 소자를 가지는 액정 표시 장치의 예를 나타내었지만, 본 발명의 일 형태에는 가로 전계 방식의 액정 소자를 가지는 액정 표시 장치를 적용할 수 있다. 가로 전계 방식을 채용하는 경우, 배향막을 사용하지 않는 블루상을 나타내는 액정을 사용하여도 좋다. 블루상은 액정상 중 하나이고, 콜레스테릭 액정을 승온시키면 콜레스테릭상으로부터 등방상으로 전이(轉移)하기 직전에 발현하는 상이다. 블루상은 좁은 온도 범위에서밖에 발현하지 않기 때문에, 온도 범위를 개선하기 위하여 5중량% 이상의 키랄제를 혼합시킨 액정 조성물을 액정층(4008)에 사용한다. 블루상을 나타내는 액정과 키랄제를 포함하는 액정 조성물은 응답 속도가 빠르고 광학적 등방성을 나타낸다. 또한 블루상을 나타내는 액정과 키랄제를 포함하는 액정 조성물은 배향 처리가 불필요하고 시야각 의존성이 작다. 또한 배향막을 제공할 필요가 없으므로 러빙 처리도 불필요하게 되어, 러빙 처리에 기인한 정전 파괴를 방지할 수 있고, 제작 공정 중에서의 액정 표시 장치의 불량 또는 파손을 경감할 수 있다.

[0214] 또한 스페이서(4035)는 절연층을 선택적으로 에칭함으로써 얻어지는 주상의 스페이서이고, 제 1 전극층(4030)과 제 2 전극층(4031)의 간격(셀 갭)을 제어하기 위하여 제공된다. 또한 구(球)상의 스페이서를 사용하여도 좋다.

[0215] 또한 필요에 따라, 블랙 매트릭스(차광층), 착색층(컬러 필터), 편광 부재, 위상차 부재, 반사 방지 부재 등의 광학 부재(광학 기판) 등을 적절히 제공하여도 좋다. 예를 들어, 편광 기판 및 위상차 기판에 의한 원편광을 사용하여도 좋다. 또한 광원으로서 백라이트, 사이드 라이트 등을 사용하여도 좋다. 또한 상기 백라이트 및 사이드 라이트로서 마이크로 LED 등을 사용하여도 좋다.

[0216] 도 26의 (A)에 도시된 표시 장치에서는, 기판(4006)과 제 2 전극층(4031) 사이에 차광층(4132), 착색층(4131), 절연층(4133)이 제공되어 있다.

[0217] 차광층으로서 사용할 수 있는 재료로서는 카본 블랙, 타이타늄 블랙, 금속, 금속 산화물, 복수의 금속 산화물의 고용체를 포함하는 복합 산화물 등을 들 수 있다. 차광층은 수지 재료를 포함하는 막이어도 좋고, 금속 등 무기 재료의 박막이어도 좋다. 또한 차광층에 착색층의 재료를 포함하는 막의 적층막을 사용할 수도 있다. 예를 들어, 어떤 색의 광을 투과시키는 착색층에 사용하는 재료를 포함하는 막과, 다른 색의 광을 투과시키는 착색층에 사용하는 재료를 포함하는 막의 적층 구조를 사용할 수 있다. 착색층과 차광층의 재료를 공통화함으로써, 장치를 공통화할 수 있을 뿐만 아니라 공정도 간략화할 수 있어 바람직하다.

[0218] 착색층에 사용할 수 있는 재료로서는 금속 재료, 수지 재료, 안료 또는 염료가 포함된 수지 재료 등을 들 수 있다. 차광층 및 착색층은 예를 들어 잉크젯법 등을 사용하여 형성할 수 있다.

[0219] 또한 도 26의 (A), (B)에 도시된 표시 장치는 절연층(4111)과 절연층(4104)을 가진다. 절연층(4111)과 절연층(4104)으로서 불순물 원소를 투과시키기 어려운 절연층을 사용한다. 절연층(4111)과 절연층(4104) 사이에 트랜지스터의 반도체층을 끼움으로써, 외부로부터의 불순물의 침입을 방지할 수 있다.

[0220] 또한 표시 장치에 포함되는 표시 소자로서 발광 소자를 사용할 수 있다. 발광 소자로서는, 예를 들어 일렉트로루미네선스를 이용하는 EL 소자를 적용할 수 있다. EL 소자는 한 쌍의 전극 사이에 발광성 화합물을 포함하는 층('EL층'이라고도 함)을 가진다. EL 소자의 문턱 전압보다 큰 전위차를 한 쌍의 전극 사이에 발생시키면, EL층에 양극 측으로부터 정공이 주입되고, 음극 측으로부터 전자가 주입된다. 주입된 전자와 정공은 EL층에서 재결합하고, EL층에 포함되는 발광 물질이 발광한다.

[0221] 또한 EL 소자는 발광 재료가 유기 화합물인지, 무기 화합물인지에 따라 구별되고, 일반적으로 전자(前者)는 유기 EL 소자, 후자(後者)는 무기 EL 소자라고 불린다.

[0222] 유기 EL 소자에서는 전압을 인가함으로써, 한쪽 전극으로부터 전자가, 다른 쪽 전극으로부터 정공이 각각 EL층에 주입된다. 그리고, 이들 캐리어(전자 및 정공)가 재결합함으로써, 발광성 유기 화합물이 여기 상태를 형성하고, 이 여기 상태가 기저 상태로 되돌아갈 때 발광한다. 이와 같은 메커니즘을 가지기 때문에 이와 같은 발광 소자는 전류 여기형 발광 소자라고 불린다.

[0223] 또한 EL층은 발광성 화합물 외에, 정공 주입성이 높은 물질, 정공 수송성이 높은 물질, 정공 블록 재료, 전자 수송성이 높은 물질, 전자 주입성이 높은 물질, 또는 양극성 물질(전자 수송성 및 정공 수송성이 높은 물질) 등

을 가져도 좋다.

[0224] EL층은 증착법(진공 증착법을 포함함), 전사법, 인쇄법, 잉크젯법, 도포법 등의 방법으로 형성될 수 있다.

[0225] 무기 EL 소자는 그 소자 구성에 따라 분산형 무기 EL 소자와 박막형 무기 EL 소자로 분류된다. 분산형 무기 EL 소자는 발광 재료의 입자를 바인더 내로 분산시킨 발광층을 가지는 것이며, 발광 메커니즘은 도너 준위와 억셉터 준위를 이용하는 도너-억셉터 재결합형 발광이다. 박막형 무기 EL 소자는 발광층을 유전체층 사이에 두고, 또한 그것을 전극 사이에 둔 구조를 가지고, 발광 메커니즘은 금속 이온의 내각 전자 전이(inner-shell electron transition)를 이용하는 국재형 발광이다. 또한 여기서는, 발광 소자로서 유기 EL 소자를 사용하여 설명한다.

[0226] 발광 소자는 발광을 추출하기 위하여, 적어도 한 쌍의 전극 중 한쪽이 투명하면 좋다. 그리고, 기판 위에 트랜지스터 및 발광 소자를 형성하고, 상기 기판과는 반대 측의 면으로부터 발광을 추출하는 상면 사출(top emission) 구조나, 기판 측의 면으로부터 발광을 추출하는 하면 사출(bottom emission) 구조나, 양쪽의 면으로부터 발광을 추출하는 양면 사출(dual emission) 구조의 발광 소자가 있고, 어느 사출 구조를 가지는 발광 소자이든 적용할 수 있다.

[0227] 도 26의 (B)는 표시 소자로서 발광 소자를 사용한 발광 표시 장치("EL 표시 장치"라고도 함)의 일례를 도시한 것이다. 표시 소자인 발광 소자(4513)는 표시부(215)에 제공된 트랜지스터(4010)와 전기적으로 접속되어 있다. 또한 발광 소자(4513)의 구성은 제 1 전극층(4030), 발광층(4511), 제 2 전극층(4031)의 적층 구조이지만, 이 구성에 한정되지 않는다. 발광 소자(4513)로부터 추출되는 광의 방향 등에 따라 발광 소자(4513)의 구성은 적절히 변경할 수 있다.

[0228] 격벽(4510)은 유기 절연 재료 또는 무기 절연 재료를 사용하여 형성한다. 특히 감광성 수지 재료를 사용하여 제 1 전극층(4030) 위에 개구부를 형성하고 그 개구부의 측면이 연속한 곡률을 가지고 형성되는 경사면이 되도록 형성하는 것이 바람직하다.

[0229] 발광층(4511)은 단층으로 구성되어도 좋고, 복수의 층이 적층되도록 구성되어도 좋다.

[0230] 발광 소자(4513)의 발광색은 발광층(4511)을 구성하는 재료에 따라 백색, 적색, 녹색, 청색, 시안, 마젠타, 또는 황색 등으로 할 수 있다.

[0231] 컬러 표시를 실현하는 방법으로서는, 발광색이 백색인 발광 소자(4513)와 착색층을 조합하는 방법과, 화소마다 발광색이 상이한 발광 소자(4513)를 제공하는 방법이 있다. 전자의 방법은 후자의 방법보다 생산성이 높다. 한편, 후자의 방법에서는 화소마다 발광층(4511)을 따로 형성할 필요가 있으므로 전자의 방법보다 생산성이 떨어진다. 다만, 후자의 방법은 전자의 방법보다 색 순도가 높은 발광색을 얻을 수 있다. 후자의 방법에 더하여 발광 소자(4513)에 마이크로캐비티 구조를 부여함으로써, 색 순도를 더 높일 수 있다.

[0232] 또한 발광층(4511)은 퀀텀닷(quantum dot) 등의 무기 화합물을 가져도 좋다. 예를 들어, 퀀텀닷을 발광층에 사용함으로써, 발광 재료로서 기능시킬 수도 있다.

[0233] 산소, 수소, 수분, 이산화탄소 등이 발광 소자(4513)에 들어가지 않도록, 제 2 전극층(4031) 및 격벽(4510) 위에 보호층을 형성하여도 좋다. 보호층으로서는 질화 실리콘, 질화산화 실리콘, 산화 알루미늄, 질화 알루미늄, 산화질화 알루미늄, 질화산화 알루미늄, DLC(Diamond Like Carbon) 등을 형성할 수 있다. 또한 제 1 기판(4001), 제 2 기판(4006), 및 밀봉재(4005)로 밀봉된 공간에는 충전재(4514)가 제공되어 밀봉되어 있다. 이와 같이, 외기에 노출되지 않도록 기밀성이 높고 탈가스가 적은 보호 필름(접합 필름, 자외선 경화 수지 필름 등)이나 커버재로 패키징(봉입)하는 것이 바람직하다.

[0234] 충전재(4514)로서는 질소나 아르곤 등의 불활성 기체 외에, 자외선 경화 수지 또는 열 경화 수지를 사용할 수 있고, PVC(폴리바이닐클로라이드), 아크릴계 수지, 폴리이미드, 에폭시계 수지, 실리콘(silicone)계 수지, PVB(폴리바이닐뷰티랄), 또는 EVA(에틸렌바이닐아세테이트) 등을 사용할 수 있다. 또한 충전재(4514)에 건조제가 포함되어도 좋다.

[0235] 밀봉재(4005)에는 유리 프릿 등의 유리 재료나, 2액 혼합형 수지 등의 상온에서 경화되는 경화 수지, 광 경화성 수지, 열 경화성 수지 등의 수지 재료를 사용할 수 있다. 또한 밀봉재(4005)에 건조제가 포함되어도 좋다.

[0236] 또한 필요에 따라 발광 소자의 사출면에 편광판 또는 원 편광판(타원 편광판을 포함함), 위상차판(λ/4판, λ/2판), 컬러 필터 등의 광학 필름을 적절히 제공하여도 좋다. 또한 편광판 또는 원 편광판에 반사 방지막을 제공

하여도 좋다. 예를 들어, 표면의 요철에 의하여 반사광을 확산시켜, 비침을 저감시킬 수 있는 안티글레어 처리를 수행할 수 있다.

[0237] 또한 발광 소자를 마이크로캐비티 구조로 함으로써, 색 순도가 높은 광을 추출할 수 있다. 또한 마이크로캐비티 구조와 컬러 필터를 조합함으로써, 비침이 저감되어 표시 화상의 시인성을 높일 수 있다.

[0238] 표시 소자에 전압을 인가하는 제 1 전극층 및 제 2 전극층(화소 전극층, 공통 전극층, 대향 전극층 등이라고도 함)에서는, 추출하는 광의 방향, 전극층이 제공되는 장소, 및 전극층의 패턴 구조에 따라 투광성, 반사성을 선택하면 좋다.

[0239] 제 1 전극층(4030), 제 2 전극층(4031)에는, 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 아연 산화물, 산화 타이타늄을 포함하는 인듐 산화물, 인듐 주석 산화물, 산화 타이타늄을 포함하는 인듐 주석 산화물, 인듐 아연 산화물, 산화 실리콘을 첨가한 인듐 주석 산화물 등의 투광성을 가지는 도전성 재료를 사용할 수 있다.

[0240] 또한 제 1 전극층(4030), 제 2 전극층(4031)은 텅스텐(W), 몰리브데넘(Mo), 지르코늄(Zr), 하프늄(Hf), 바나듐(V), 나이오븀(Nb), 탄탈럼(Ta), 크로뮴(Cr), 코발트(Co), 니켈(Ni), 타이타늄(Ti), 백금(Pt), 알루미늄(Al), 구리(Cu), 은(Ag) 등의 금속, 또는 그 합금, 또는 그 금속 질화물로부터 1종류 이상을 사용하여 형성될 수 있다.

[0241] 또한 제 1 전극층(4030), 제 2 전극층(4031)은 도전성 고분자(도전성 폴리머라고도 함)를 포함하는 도전성 조성물을 사용하여 형성될 수 있다. 도전성 고분자로서는 소위 π전자 공액 도전성 고분자를 사용할 수 있다. 예를 들어, 폴리아닐린 또는 그 유도체, 폴리피롤 또는 그 유도체, 폴리싸이오펜 또는 그 유도체, 또는 아닐린, 피롤, 및 싸이오펜 중 2종 이상으로 이루어지는 공중합체 또는 그 유도체 등이 있다.

[0242] 또한 트랜지스터는 정전기 등에 의하여 파괴되기 쉽기 때문에, 구동 회로 보호용 보호 회로를 제공하는 것이 바람직하다. 보호 회로는 비선형 소자를 사용하여 구성되는 것이 바람직하다.

[0243] 또한 도 27에 도시된 바와 같이, 트랜지스터나 용량 소자가 높이 방향으로 중첩되는 영역을 가지는 적층 구조로 하여도 좋다. 예를 들어, 구동 회로를 구성하는 트랜지스터(4011) 및 트랜지스터(4022)를 중첩시켜 배치하면, 슬림 베젤의 표시 장치로 할 수 있다. 또한 화소 회로를 구성하는 트랜지스터(4010), 트랜지스터(4023), 용량 소자(4020) 등이 일부라도 중첩되는 영역을 가지도록 배치하면 개구율이나 해상도를 향상시킬 수 있다. 또한 도 27에서는 도 26의 (A)에 도시된 액정 표시 장치에 적층 구조를 응용한 예를 도시하였지만, 도 26의 (B)에 도시된 EL 표시 장치에 응용하여도 좋다.

[0244] 또한 화소 회로에서 전극이나 배선에 가시광에 대한 투광성이 높은 투광성 도전막을 사용함으로써, 화소 내의 광의 투과율을 높일 수 있어, 실질적으로 개구율을 향상시킬 수 있다. 또한 OS 트랜지스터를 사용하는 경우에는 반도체층도 투광성을 가지기 때문에 개구율을 더 높일 수 있다. 이들은 트랜지스터 등을 적층 구조로 하지 않는 경우에서도 유효하다.

[0245] 또한 액정 표시 장치와 발광 장치를 조합하여 표시 장치를 구성하여도 좋다.

[0246] 발광 장치는 표시면의 반대쪽 또는 표시면의 단부에 배치된다. 발광 장치는 표시 소자에 광을 공급하는 기능을 가진다. 발광 장치는 백라이트라고도 부를 수 있다.

[0247] 여기서 발광 장치는 판상 또는 시트상의 도광부(도광판이라고도 함)와, 상이한 색의 광을 나타내는 복수의 발광 소자를 가질 수 있다. 상기 발광 소자를 도광부의 측면 근방에 배치하면 도광부 측면으로부터 내부로 광을 발할 수 있다. 도광부는 광로를 변경하는 기구(광 추출 기구라고도 함)를 가지고, 이에 의하여 발광 장치는 표시 패널의 화소부에 광을 균일하게 조사할 수 있다. 또는 도광부를 제공하지 않고 화소 직하에 발광 장치를 배치하는 구성으로 하여도 좋다.

[0248] 발광 장치는 적색(R), 녹색(G), 청색(B)의 3색의 발광 소자를 가지는 것이 바람직하다. 또한 백색(W)의 발광 소자를 가져도 좋다. 이들 발광 소자로서 발광 다이오드(LED: Light Emitting Diode)를 사용하는 것이 바람직하다.

[0249] 또한 발광 소자는 그 발광 스펙트럼의 반치전폭(FWHM: Full Width at Half Maximum)이 50nm 이하, 바람직하게는 40nm 이하, 더 바람직하게는 30nm 이하, 더욱 바람직하게는 20nm 이하인, 색 순도가 매우 높은 발광 소자인 것이 바람직하다. 또한 발광 스펙트럼의 반치전폭은 작으면 작을수록 좋지만, 예를 들어 1nm 이상으로 할 수 있

다. 이에 의하여 컬러 표시를 수행할 때, 색 재현성이 높아 선명한 표시를 수행할 수 있다.

[0250] 또한 적색의 발광 소자에는 발광 스펙트럼의 피크 파장이 625nm 이상 650nm 이하의 범위 내에 위치하는 소자를 사용하는 것이 바람직하다. 또한 녹색의 발광 소자에는 발광 스펙트럼의 피크 파장이 515nm 이상 540nm 이하의 범위 내에 위치하는 소자를 사용하는 것이 바람직하다. 청색의 발광 소자에는 발광 스펙트럼의 피크 파장이 445nm 이상 470nm 이하의 범위 내에 위치하는 소자를 사용하는 것이 바람직하다.

[0251] 표시 장치는 3색의 발광 소자를 순차적으로 점멸시키면서 이와 동기시켜 화소를 구동하고, 계시 가법 혼색법에 의거하여 컬러 표시를 수행할 수 있다. 상기 구동 방법은 필드 시퀀셜 구동이라고도 부를 수 있다.

[0252] 필드 시퀀셜 구동에서는 선명한 컬러 화상을 표시할 수 있다. 또한 매끄러운 동영상을 표시할 수 있다. 또한 상기 구동 방법을 사용함으로써 하나의 화소를 복수의 상이한 색의 부화소로 구성할 필요가 없고, 하나의 화소의 유효 반사 면적(유효 표시 면적, 개구율이라고도 함)을 크게 할 수 있어 밝은 표시를 수행할 수 있다. 또한 화소에 컬러 필터를 제공할 필요가 없기 때문에 화소의 투과율도 향상시킬 수도 있어 더 밝은 표시를 수행할 수 있다. 또한 제작 공정을 간략화할 수 있어 제작 비용을 저감할 수 있다.

[0253] 도 28의 (A), (B)는 필드 시퀀셜 구동이 가능한 표시 장치의 단면 개략도의 일례이다. 상기 표시 장치의 기판(4001) 측에는 RGB 각 색의 발광이 가능한 백라이트 유닛이 제공된다. 또한 필드 시퀀셜 구동에서는 RGB 각 색의 시분할 발광으로 색을 표현하기 때문에 컬러 필터는 불필요하게 된다.

[0254] 도 28의 (A)에 도시된 백라이트 유닛(4340a)은 화소 직하에 확산판(4352)을 개재하여 발광 소자(4342)가 복수로 제공된 구성이다. 확산판(4352)은 발광 소자(4342)로부터 기판(4001) 측으로 사출된 광을 확산시키고 표시부 면내의 휘도를 균일화하는 기능을 가진다. 발광 소자(4342)와 확산판(4352) 사이에는 필요에 따라 편광판을 제공하여도 좋다. 또한 확산판(4352)은 불필요하면 제공하지 않아도 된다. 또한 차광층(4132)을 생략한 구성으로 하여도 좋다.

[0255] 백라이트 유닛(4340a)은 발광 소자(4342)를 많이 탑재할 수 있기 때문에 밝은 표시가 가능해진다. 또한 도광판이 불필요하고 발광 소자(4342)의 광의 효율이 쉽게 저하되지 않는 이점이 있다. 또한 필요에 따라 발광 소자(4342)에 광 확산용의 렌즈(4344)를 제공하여도 좋다.

[0256] 도 28의 (B)에 도시된 백라이트 유닛(4340b)은 화소 직하에 확산판(4352)을 개재하여 도광판(4341)이 제공된 구성이다. 도광판(4341)의 단부에는 발광 소자(4342)가 복수로 제공된다. 도광판(4341)은 확산판(4352)과 반대쪽에 요철 형상을 가지고 도파한 광을 상기 요철 형상으로 산란시켜 확산판(4352)의 방향으로 사출할 수 있다.

[0257] 발광 소자(4342)는 프린트 기판(4347)에 고정할 수 있다. 또한 도 28의 (B)에서는 RGB 각 색의 발광 소자(4342)가 중첩되도록 도시되었지만 깊이 방향으로 RGB 각 색의 발광 소자(4342)를 나란히 배치할 수도 있다. 또한 도광판(4341)에서 발광 소자(4342)와 반대 측의 측면에는 가시광을 반사하는 반사층(4348)을 제공하여도 좋다.

[0258] 백라이트 유닛(4340b)은 발광 소자(4342)를 적게 할 수 있기 때문에 비용이 적고, 또한 박형으로 할 수 있다.

[0259] 또한 액정 소자에는 광 산란형 액정 소자를 사용하여도 좋다. 광 산란형 액정 소자로서는 액정과 고분자의 복합 재료를 가지는 소자를 사용하는 것이 바람직하다. 예를 들어 고분자 분산형 액정 소자를 사용할 수 있다. 또는 고분자 네트워크형 액정(PNLC(Polymer Network Liquid Crystal)) 소자를 사용하여도 좋다.

[0260] 광 산란형 액정 소자는 한 쌍의 전극 사이에 끼워지는 수지부의 3차원 네트워크 구조 내에 액정부가 제공된 구조이다. 액정부에 사용하는 재료로서는 예를 들어 네마틱 액정을 사용할 수 있다. 또한 수지부로서는 광 경화 수지를 사용할 수 있다. 광 경화 수지는 예를 들어, 아크릴레이트, 메타크릴레이트 등의 단관능(單官能) 모노머, 다이아크릴레이트, 트라이아크릴레이트, 다이메타크릴레이트, 트라이메타크릴레이트 등의 다관능 모노머, 또는 이들을 혼합시킨 중합성 화합물을 사용할 수 있다.

[0261] 광 산란형 액정 소자는 액정 재료의 굴절률의 이방성을 이용하여 광을 투과 또는 산란시킴으로써 표시를 수행한다. 또한 수지부도 굴절률의 이방성을 가져도 좋다. 광 산란형 액정 소자에 인가되는 전압에 따라 액정 분자가 일정 방향으로 배열될 때 액정부와 수지부의 굴절률의 차이가 작아지는 방향이 발생되고, 상기 방향을 따라 입사하는 광은 액정부에서 산란되지 않고 투과한다. 따라서 광 산란형 액정 소자는 상기 방향으로부터는 투명한 상태로 시인된다. 한편, 인가되는 전압에 따라 액정 분자가 무작위로 배열되는 경우, 액정부와 수지부의 굴절률의 차이에 큰 변화가 생기지 않으므로, 입사하는 광은 액정부에서 산란된다. 따라서 광 산란형 액정 소자는 시인의 방향을 불문하고, 불투명의 상태가 된다.

[0262] 도 29의 (A)는 도 28의 (A)에 도시된 표시 장치의 액정 소자(4013)가 광 산란형 액정 소자(4016)로 치환된 구성이다. 광 산란형 액정 소자(4016)는 액정부 및 수지부를 가지는 복합층(4009), 그리고 전극층(4030, 4031)을 가진다. 필드 시퀀셜 구동에 관한 요소는 도 28의 (A)와 동일하지만 광 산란형 액정 소자(4016)를 사용하는 경우에는 배향막 및 편광판이 불필요하게 된다. 또한 스페이서(4035)는 구상 형태로 도시되었지만 주상이어도 좋다.

[0263] 도 29의 (B)는 도 28의 (B)에 도시된 표시 장치의 액정 소자(4013)가 광 산란형 액정 소자(4016)로 치환된 구성이다. 도 28의 (B)의 구성에서는 광 산란형 액정 소자(4016)에 전압을 인가하지 않는 경우에 광을 투과시키고, 전압을 인가한 경우에 광을 산란시키는 모드로 동작하는 구성으로 하는 것이 바람직하다. 상기 구성으로 함으로써 노멀 상태(표시시키지 않는 상태)에서 투명한 표시 장치로 할 수 있다. 이 경우에는 광을 산란시키는 동작을 수행하였을 때 컬러 표시를 수행할 수 있다.

[0264] 도 29의 (B)에 도시된 표시 장치의 변형예를 도 30의 (A) 내지 (E)에 도시하였다. 또한 도 30의 (A) 내지 (E)에서는 명료화를 위하여 도 29의 (B)의 일부 요소를 사용하고 다른 요소를 생략하여 도시하였다.

[0265] 도 30의 (A)는 기판(4001)이 도광판으로서의 기능을 가지는 구성이다. 기판(4001)의 외측 면에는 요철 형상을 제공하여도 좋다. 상기 구성에서는 도광판을 별도로 제공할 필요가 없어지기 때문에 제조 비용을 저감할 수 있다. 또한 상기 도광판에 의한 광의 감쇠도 없어지기 때문에 발광 소자(4342)가 사출하는 광을 효율적으로 이용할 수 있다.

[0266] 도 30의 (B)는 복합층(4009)의 단부 근방으로부터 광이 입사하는 구성이다. 복합층(4009)과 기판(4006)의 계면, 및 복합층(4009)과 기판(4001)의 계면에서의 전반사를 이용하여 광 산란형 액정 소자로부터 외부로 광을 사출할 수 있다. 복합층(4009)의 수지부에는 기판(4001) 및 기판(4006)보다 굴절률이 큰 재료를 사용한다.

[0267] 또한 발광 소자(4342)는 표시 장치의 1변에 제공할 뿐만 아니라 도 30의 (C)에 도시된 바와 같이 대향하는 2변에 제공하여도 좋다. 또한 3변 또는 4변에 제공하여도 좋다. 발광 소자(4342)를 복수의 변에 제공함으로써 광의 감쇠를 보완할 수 있고, 면적이 큰 표시 소자에도 대응할 수 있다.

[0268] 도 30의 (D)는 발광 소자(4342)로부터 사출되는 광이 미러(4345)를 통하여 표시 장치에 도광되는 구성이다. 상기 구성에 의하여 표시 장치에 일정한 각도로부터의 도광이 수행되기 쉬워지기 때문에 효율적으로 전반사광을 얻을 수 있다.

[0269] 도 30의 (E)는 복합층(4009) 위에 층(4003) 및 층(4004)의 적층을 가지는 구성이다. 층(4003) 및 층(4004) 중 한쪽은 유리 기판 등의 지지체이고, 다른 쪽은 무기막, 유기 수지의 코팅막, 또는 필름 등으로 형성할 수 있다. 복합층(4009)의 수지부에는 층(4004)보다 굴절률이 큰 재료를 사용한다. 또한 층(4004)에는 층(4003)보다 굴절률이 큰 재료를 사용한다.

[0270] 복합층(4009)과 층(4004) 사이에는 첫 번째의 계면이 형성되고, 층(4004)과 층(4003) 사이에는 두 번째의 계면이 형성된다. 상기 구성에 의하여 첫 번째의 계면에서 전반사되지 않고 투과한 광을 두 번째의 계면에서 전반사시켜 복합층(4009)으로 되돌릴 수 있다. 따라서 발광 소자(4342)가 사출하는 광을 효율적으로 이용할 수 있다.

[0271] 또한 도 29의 (B), 및 도 30의 (A) 내지 (E)에서의 구성은 서로 조합할 수 있다.

[0272] 본 실시형태는 다른 실시형태 등에 기재된 구성과 적절히 조합하여 실시할 수 있다.

[0273] (실시형태 3)

[0274] 본 실시형태에서는 상기 실시형태에 나타낸 각 트랜지스터 대신에 사용할 수 있는 트랜지스터의 일례에 대하여 도면을 참조하여 설명한다.

[0275] 본 발명의 일 형태의 표시 장치는 보텀 게이트형 트랜지스터나 톱 게이트형 트랜지스터 등의 다양한 형태의 트랜지스터를 사용하여 제작할 수 있다. 따라서 기존의 제조 라인에 맞추어, 사용되는 반도체층의 재료나 트랜지스터 구조를 용이하게 바꿀 수 있다.

[0276] [보텀 게이트형 트랜지스터]

[0277] 도 31의 (A1)은 보텀 게이트형 트랜지스터의 일종인 채널 보호형 트랜지스터(810)의 채널 길이 방향의 단면도이다. 도 31의 (A1)에서, 트랜지스터(810)는 기판(771) 위에 형성된다. 또한 트랜지스터(810)는 기판(771) 위에 절연층(772)을 개재하여 전극(746)을 가진다. 또한 전극(746) 위에 절연층(726)을 개재하여 반도체층(742)을 가진다. 전극(746)은 게이트 전극으로서 기능할 수 있다. 절연층(726)은 게이트 절연층으로서 기능할 수 있다.

[0278] 또한 반도체층(742)의 채널 형성 영역 위에 절연층(741)을 가진다. 또한 반도체층(742)의 일부와 접하여, 절연층(726) 위에 전극(744a) 및 전극(744b)을 가진다. 전극(744a)은 소스 전극 및 드레인 전극 중 한쪽으로서 기능할 수 있다. 전극(744b)은 소스 전극 및 드레인 전극 중 다른 쪽으로서 기능할 수 있다. 전극(744a)의 일부 및 전극(744b)의 일부는 절연층(741) 위에 형성된다.

[0279] 절연층(741)은 채널 보호층으로서 기능할 수 있다. 채널 형성 영역 위에 절연층(741)을 제공함으로써, 전극(744a) 및 전극(744b)의 형성 시에 발생하는 반도체층(742)의 노출을 방지할 수 있다. 따라서 전극(744a) 및 전극(744b)의 형성 시에, 반도체층(742)의 채널 형성 영역이 에칭되는 것을 방지할 수 있다. 본 발명의 일 형태에 따르면, 전기 특성이 양호한 트랜지스터를 실현할 수 있다.

[0280] 또한 트랜지스터(810)는 전극(744a), 전극(744b), 및 절연층(741) 위에 절연층(728)을 가지고, 절연층(728) 위에 절연층(729)을 가진다.

[0281] 반도체층(742)에 산화물 반도체를 사용하는 경우, 전극(744a) 및 전극(744b)에서 적어도 반도체층(742)과 접하는 부분에, 반도체층(742)의 일부로부터 산소를 빼앗아 산소 결손을 발생시킬 수 있는 재료를 사용하는 것이 바람직하다. 반도체층(742) 내의 산소 결손이 발생한 영역은 캐리어 농도가 증가되어, 상기 영역은 n형화되어 n형 영역(n^+층)이 된다. 따라서 상기 영역은 소스 영역 또는 드레인 영역으로서 기능할 수 있다. 반도체층(742)에 산화물 반도체를 사용하는 경우, 반도체층(742)으로부터 산소를 빼앗아 산소 결손을 발생시킬 수 있는 재료의 일례로서 텅스텐, 타이타늄 등을 들 수 있다.

[0282] 반도체층(742)에 소스 영역 및 드레인 영역이 형성됨으로써, 전극(744a) 및 전극(744b)과 반도체층(742)의 접촉 저항을 저감할 수 있다. 따라서 전계 효과 이동도나 문턱 전압 등의 트랜지스터의 전기 특성을 양호한 것으로 할 수 있다.

[0283] 반도체층(742)에 실리콘 등의 반도체를 사용하는 경우에는, 반도체층(742)과 전극(744a) 사이 및 반도체층(742)과 전극(744b) 사이에, n형 반도체 또는 p형 반도체로서 기능하는 층을 제공하는 것이 바람직하다. n형 반도체 또는 p형 반도체로서 기능하는 층은 트랜지스터의 소스 영역 또는 드레인 영역으로서 기능할 수 있다.

[0284] 절연층(729)은 외부로부터 트랜지스터에 대한 불순물의 확산을 방지하거나, 또는 저감하는 기능을 가지는 재료를 사용하여 형성하는 것이 바람직하다. 또한 필요에 따라 절연층(729)을 생략할 수도 있다.

[0285] 도 31의 (A2)에 도시된 트랜지스터(811)는 절연층(729) 위에 백 게이트 전극으로서 기능할 수 있는 전극(723)을 가지는 점이 트랜지스터(810)와 다르다. 전극(723)은 전극(746)과 마찬가지의 재료 및 방법으로 형성할 수 있다.

[0286] 일반적으로 백 게이트 전극은 도전층으로 형성되고, 게이트 전극과 백 게이트 전극으로 반도체층의 채널 형성 영역을 끼우도록 배치된다. 따라서 백 게이트 전극을 게이트 전극과 마찬가지로 기능시킬 수 있다. 백 게이트 전극의 전위는 게이트 전극과 같은 전위로 하여도 좋고, 접지 전위(GND 전위)나 임의의 전위로 하여도 좋다. 또한 백 게이트 전극의 전위를 게이트 전극과 연동시키지 않고 독립적으로 변화시킴으로써, 트랜지스터의 문턱 전압을 변화시킬 수 있다.

[0287] 또한 전극(746) 및 전극(723)은 양쪽 모두 게이트 전극으로서 기능할 수 있다. 따라서 절연층(726), 절연층(728), 및 절연층(729)은 각각이 게이트 절연층으로서 기능할 수 있다. 또한 전극(723)은 절연층(728)과 절연층(729) 사이에 제공하여도 좋다.

[0288] 또한 전극(746) 및 전극(723) 중 한쪽을 "게이트 전극"이라고 하는 경우, 다른 쪽을 "백 게이트 전극"이라고 한다. 예를 들어 트랜지스터(811)에서 전극(723)을 "게이트 전극"이라고 하는 경우, 전극(746)을 "백 게이트 전극"이라고 한다. 또한 전극(723)을 "게이트 전극"으로서 사용하는 경우에는, 트랜지스터(811)를 톱 게이트형 트랜지스터의 일종이라고 생각할 수 있다. 또한 전극(746) 및 전극(723) 중 어느 한쪽을 "제 1 게이트 전극"이라고 하고, 다른 쪽을 "제 2 게이트 전극"이라고 하는 경우가 있다.

[0289] 반도체층(742)을 사이에 두고 전극(746) 및 전극(723)을 제공함으로써, 또한 전극(746) 및 전극(723)을 같은 전위로 함으로써, 반도체층(742)에서 캐리어가 흐르는 영역이 막 두께 방향에서 더 커지기 때문에, 캐리어의 이동량이 증가된다. 이 결과, 트랜지스터(811)의 온 전류가 커짐과 함께, 전계 효과 이동도가 높아진다.

[0290] 따라서 트랜지스터(811)는 점유 면적에 대하여 큰 온 전류를 가지는 트랜지스터이다. 즉 요구되는 온 전류에 대하여 트랜지스터(811)의 점유 면적을 작게 할 수 있다. 본 발명의 일 형태에 따르면, 트랜지스터의 점유 면적을

작게 할 수 있다. 따라서 본 발명의 일 형태에 따르면, 집적도가 높은 반도체 장치를 실현할 수 있다.

[0291] 또한 게이트 전극과 백 게이트 전극은 도전층으로 형성되기 때문에, 트랜지스터의 외부에서 생기는 전계가 채널이 형성되는 반도체층에 작용하지 않도록 하는 기능(특히 정전기 등에 대한 전계 차폐 기능)을 가진다. 또한 백 게이트 전극을 반도체층보다 크게 형성하고, 백 게이트 전극으로 반도체층을 덮음으로써, 전계 차폐 기능을 높일 수 있다.

[0292] 또한 백 게이트 전극을 차광성을 가지는 도전막으로 형성함으로써, 백 게이트 전극 측으로부터 반도체층에 광이 입사하는 것을 방지할 수 있다. 따라서 반도체층의 광 열화를 방지하고, 트랜지스터의 문턱 전압이 시프트되는 등의 전기 특성의 열화를 방지할 수 있다.

[0293] 본 발명의 일 형태에 따르면, 신뢰성이 양호한 트랜지스터를 실현할 수 있다. 또한 신뢰성이 양호한 반도체 장치를 실현할 수 있다.

[0294] 도 31의 (B1)은, 도 31의 (A1)과는 다른 구성의 채널 보호형 트랜지스터(820)의 채널 길이 방향의 단면도이다. 트랜지스터(820)는 트랜지스터(810)와 거의 같은 구조를 가지지만, 절연층(741)이 반도체층(742)의 단부를 덮고 있는 점에서 다르다. 또한 반도체층(742)과 중첩되는 절연층(729)의 일부를 선택적으로 제거하여 형성한 개구부에서, 반도체층(742)과 전극(744a)이 전기적으로 접속된다. 또한 반도체층(742)과 중첩되는 절연층(729)의 일부를 선택적으로 제거하여 형성한 다른 개구부에서, 반도체층(742)과 전극(744b)이 전기적으로 접속된다. 절연층(729)에서 채널 형성 영역과 중첩되는 영역은 채널 보호층으로서 기능할 수 있다.

[0295] 도 31의 (B2)에 도시된 트랜지스터(821)는 절연층(729) 위에 백 게이트 전극으로서 기능할 수 있는 전극(723)을 가지는 점이 트랜지스터(820)와 다르다.

[0296] 절연층(729)을 제공함으로써, 전극(744a) 및 전극(744b)의 형성 시에 발생하는 반도체층(742)의 노출을 방지할 수 있다. 따라서 전극(744a) 및 전극(744b)의 형성 시에 반도체층(742)의 박막화를 방지할 수 있다.

[0297] 또한 트랜지스터(820) 및 트랜지스터(821)는 전극(744a)과 전극(746) 사이의 거리 및 전극(744b)과 전극(746) 사이의 거리가 트랜지스터(810) 및 트랜지스터(811)보다 길다. 따라서 전극(744a)과 전극(746) 사이에 발생하는 기생 용량을 작게 할 수 있다. 또한 전극(744b)과 전극(746) 사이에 발생하는 기생 용량을 작게 할 수 있다. 본 발명의 일 형태에 따르면, 전기 특성이 양호한 트랜지스터를 실현할 수 있다.

[0298] 도 31의 (C1)에 도시된 트랜지스터(825)는 보텀 게이트형 트랜지스터의 하나인 채널 에칭형 트랜지스터(825)의 채널 길이 방향의 단면도이다. 트랜지스터(825)는 절연층(729)을 사용하지 않고 전극(744a) 및 전극(744b)을 형성한다. 이 때문에, 전극(744a) 및 전극(744b)의 형성 시에 노출되는 반도체층(742)의 일부가 에칭되는 경우가 있다. 한편, 절연층(729)을 제공하지 않기 때문에, 트랜지스터의 생산성을 높일 수 있다.

[0299] 도 31의 (C2)에 도시된 트랜지스터(825)는, 절연층(729) 위에 백 게이트 전극으로서 기능할 수 있는 전극(723)을 가지는 점이 트랜지스터(820)와 다르다.

[0300] 도 32의 (A1) 내지 (C2)에 트랜지스터(810, 811, 820, 821, 825, 826)의 채널 폭 방향의 단면도를 각각 도시하였다.

[0301] 도 32의 (B2), (C2)에 도시된 구조에서는, 게이트 전극과 백 게이트 전극이 접속되고, 게이트 전극과 백 게이트 전극의 전위가 같은 전위가 된다. 또한 반도체층(742)은 게이트 전극과 백 게이트 전극 사이에 끼워져 있다.

[0302] 게이트 전극 및 백 게이트 전극 각각의 채널 폭 방향의 길이는, 반도체층(742)의 채널 폭 방향의 길이보다 길고, 반도체층(742)의 채널 폭 방향 전체는 절연층(726, 741, 728, 729)를 개재하여 게이트 전극 또는 백 게이트 전극으로 덮인 구성이다.

[0303] 상기 구성으로 함으로써, 트랜지스터에 포함되는 반도체층(742)을 게이트 전극 및 백 게이트 전극의 전계에 의하여 전기적으로 둘러쌀 수 있다.

[0304] 트랜지스터(821) 또는 트랜지스터(826)와 같이, 게이트 전극 및 백 게이트 전극의 전계에 의하여, 채널 형성 영역이 형성되는 반도체층(742)을 전기적으로 둘러싸는 트랜지스터의 디바이스 구조를 Surrounded channel(S-channel) 구조라고 부를 수 있다.

[0305] S-channel 구조로 함으로써, 게이트 전극 및 백 게이트 전극 중 한쪽 또는 양쪽에 의하여 채널을 유발시키기 위한 전계를 효과적으로 반도체층(742)에 인가할 수 있으므로, 트랜지스터의 전류 구동 능력이 향상되어, 높은 온

전류 특성을 얻을 수 있게 된다. 또한 온 전류를 높게 할 수 있으므로, 트랜지스터를 미세화하는 것이 가능해진다. 또한 S-channel 구조로 함으로써, 트랜지스터의 기계적 강도를 높일 수 있다.

[0306] [톱 게이트형 트랜지스터]

[0307] 도 33의 (A1)에 예시된 트랜지스터(842)는 톱 게이트형 트랜지스터의 하나이다. 트랜지스터(842)는 절연층(729)을 형성한 후에 전극(744a) 및 전극(744b)을 형성하는 점이 트랜지스터(830)나 트랜지스터(840)와 상이하다. 전극(744a) 및 전극(744b)은 절연층(728) 및 절연층(729)에 형성한 개구부에서 반도체층(742)과 전기적으로 접속된다.

[0308] 또한 전극(746)과 중첩되지 않는 절연층(726)의 일부를 제거하고, 전극(746)과 잔존한 절연층(726)을 마스크로서 사용하여 불순물(755)을 반도체층(742)에 도입함으로써, 반도체층(742) 내에 자기정합(셀프 얼라인먼트)적으로 불순물 영역을 형성할 수 있다. 트랜지스터(842)는 절연층(726)이 전극(746)의 단부를 넘어 연장되는 영역을 가진다. 반도체층(742)의 절연층(726)을 통하여 불순물(755)이 도입된 영역의 불순물 농도는 절연층(726)을 통하지 않고 불순물(755)이 도입된 영역보다 작다. 반도체층(742)은 전극(746)과 중첩되지 않는 영역에 LDD(Lightly Doped Drain) 영역이 형성된다.

[0309] 도 33의 (A2)에 도시된 트랜지스터(843)는 전극(723)을 가지는 점이 트랜지스터(842)와 다르다. 트랜지스터(843)는 기판(771) 위에 형성된 전극(723)을 가진다. 전극(723)은 절연층(772)을 개재하여 반도체층(742)과 중첩되는 영역을 가진다. 전극(723)은 백 게이트 전극으로서 기능할 수 있다.

[0310] 또한 도 33의 (B1)에 도시된 트랜지스터(844) 및 도 33의 (B2)에 도시된 트랜지스터(845)와 같이, 전극(746)과 중첩되지 않는 영역의 절연층(726)을 모두 제거하여도 좋다. 또한 도 33의 (C1)에 도시된 트랜지스터(846) 및 도 33의 (C2)에 도시된 트랜지스터(847)와 같이, 절연층(726)을 잔존시켜도 좋다.

[0311] 트랜지스터(842) 내지 트랜지스터(847)에도, 전극(746)을 형성한 후에, 전극(746)을 마스크로서 사용하여 불순물(755)을 반도체층(742)에 도입함으로써, 반도체층(742) 내에 자기정합적으로 불순물 영역을 형성할 수 있다. 본 발명의 일 형태에 따르면, 전기 특성이 양호한 트랜지스터를 실현할 수 있다. 또한 본 발명의 일 형태에 따르면, 집적도가 높은 반도체 장치를 실현할 수 있다.

[0312] 도 34의 (A1) 내지 (C2)에 트랜지스터(842, 843, 844, 845, 846, 847)의 채널 폭 방향의 단면도를 각각 도시하였다.

[0313] 트랜지스터(843), 트랜지스터(845), 및 트랜지스터(847)는, 각각 위에서 설명한 S-channel 구조이다. 다만, 이에 한정되지 않고, 트랜지스터(843), 트랜지스터(845), 및 트랜지스터(847)를 S-channel 구조로 하지 않아도 된다.

[0314] 본 실시형태는 다른 실시형태 등에 기재된 구성과 적절히 조합하여 실시할 수 있다.

[0315] (실시형태 4)

[0316] 본 발명의 일 형태에 따른 표시 장치를 사용할 수 있는 전자 기기로서, 표시 기기, 퍼스널 컴퓨터, 기록 매체를 구비한 화상 기억 장치 또는 화상 재생 장치, 휴대 전화, 휴대용을 포함하는 게임기, 휴대 정보 단말기, 전자책 단말기, 비디오 카메라, 디지털 스틸 카메라 등의 카메라, 고글형 디스플레이(헤드 마운트 디스플레이), 내비게이션 시스템, 음향 재생 장치(카 오디오, 디지털 오디오 플레이어 등), 복사기, 팩시밀리, 프린터, 프린터 복합기, 현금 자동 입출금기(ATM), 자동 판매기 등을 들 수 있다. 이들 전자 기기의 구체적인 예를 도 35에 도시하였다.

[0317] 도 35의 (A)는 디지털 카메라를 도시한 것이고, 하우징(961), 셔터 버튼(962), 마이크로폰(963), 스피커(967), 표시부(965), 조작 키(966), 줌 레버(968), 렌즈(969) 등을 가진다. 표시부(965)에 본 발명의 일 형태의 표시 장치를 사용함으로써, 다양한 화상의 표시를 수행할 수 있다.

[0318] 도 35의 (B)는 디지털 사이니지를 도시한 것이고, 대형의 표시부(922)를 가진다. 예를 들어 기둥(921)의 측면에 장착된다. 표시부(922)에 본 발명의 일 형태의 표시 장치를 사용함으로써, 표시 품위가 높은 표시를 수행할 수 있다.

[0319] 도 35의 (C)는 휴대 전화기의 일례를 도시한 것이고, 하우징(951), 표시부(952), 조작 버튼(953), 외부 접속 포트(954), 스피커(955), 마이크로폰(956), 카메라(957) 등을 가진다. 상기 휴대 전화기는 표시부(952)에 터치 센서를 구비한다. 전화를 걸거나, 또는 문자를 입력하는 등의 모든 조작은 손가락이나 스타일러스 등으로 표시부

(952)를 터치함으로써 수행할 수 있다. 또한 하우징(901) 및 표시부(952)는 가요성을 가지고, 도시된 바와 같이 굴곡시켜 사용할 수 있다. 표시부(952)에 본 발명의 일 형태의 표시 장치를 사용함으로써, 다양한 화상의 표시를 수행할 수 있다.

[0320] 도 35의 (D)는 비디오 카메라를 도시한 것이고, 제 1 하우징(901), 제 2 하우징(902), 표시부(903), 조작 키(904), 렌즈(905), 접속부(906), 스피커(907) 등을 가진다. 조작 키(904) 및 렌즈(905)는 제 1 하우징(901)에 제공되고, 표시부(903)는 제 2 하우징(902)에 제공된다. 표시부(903)에 본 발명의 일 형태의 표시 장치를 사용함으로써, 다양한 화상의 표시를 수행할 수 있다.

[0321] 도 35의 (E)는 텔레비전을 도시한 것이고, 하우징(971), 표시부(973), 조작 키(974), 스피커(975), 통신용 접속 단자(976), 광 센서(977) 등을 가진다. 표시부(973)에는 터치 센서가 제공되고, 입력 조작을 수행할 수도 있다. 표시부(973)에 본 발명의 일 형태의 표시 장치를 사용함으로써, 다양한 화상의 표시를 수행할 수 있다.

[0322] 도 35의 (F)는 휴대 정보 단말기를 도시한 것이고, 하우징(911), 표시부(912), 스피커(913), 카메라(919) 등을 가진다. 표시부(912)가 가지는 터치 패널 기능에 의하여 정보의 입출력을 수행할 수 있다. 표시부(912)에 본 발명의 일 형태의 표시 장치를 사용함으로써, 다양한 화상의 표시를 수행할 수 있다.

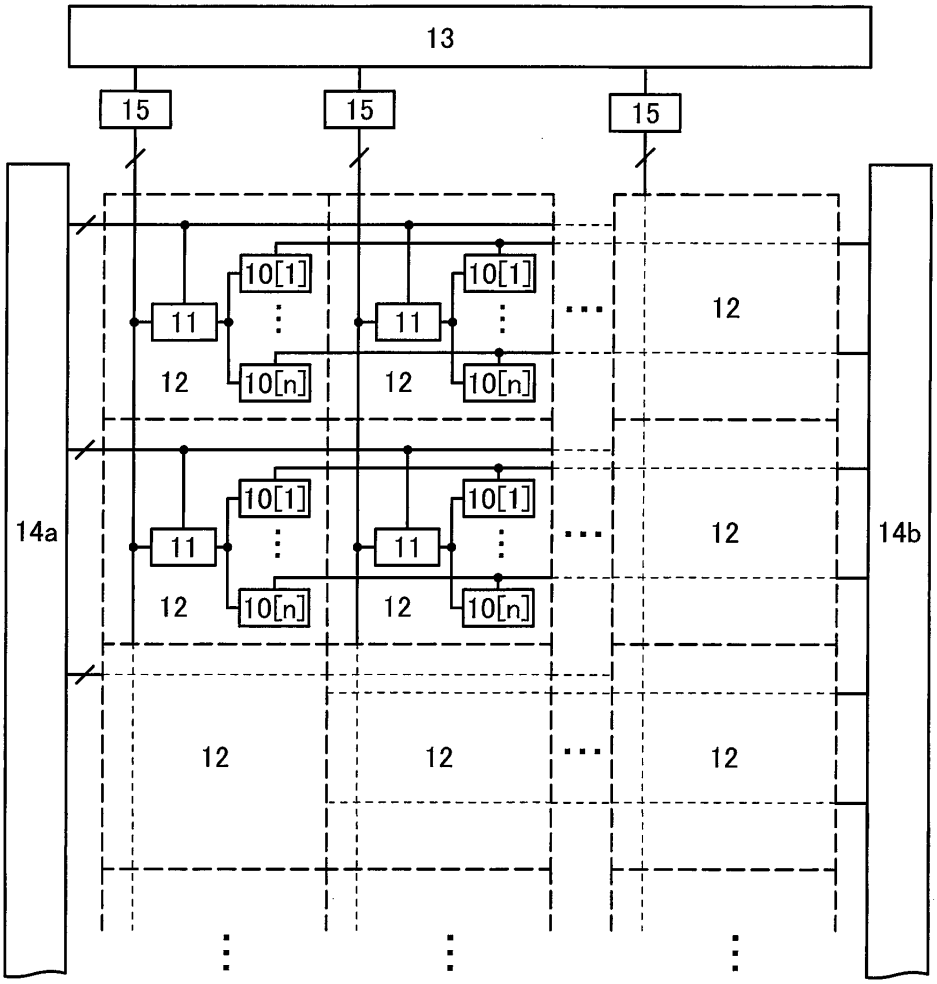
[0323] 본 실시형태는 다른 실시형태 등에 기재된 구성과 적절히 조합하여 실시할 수 있다.

부호의 설명

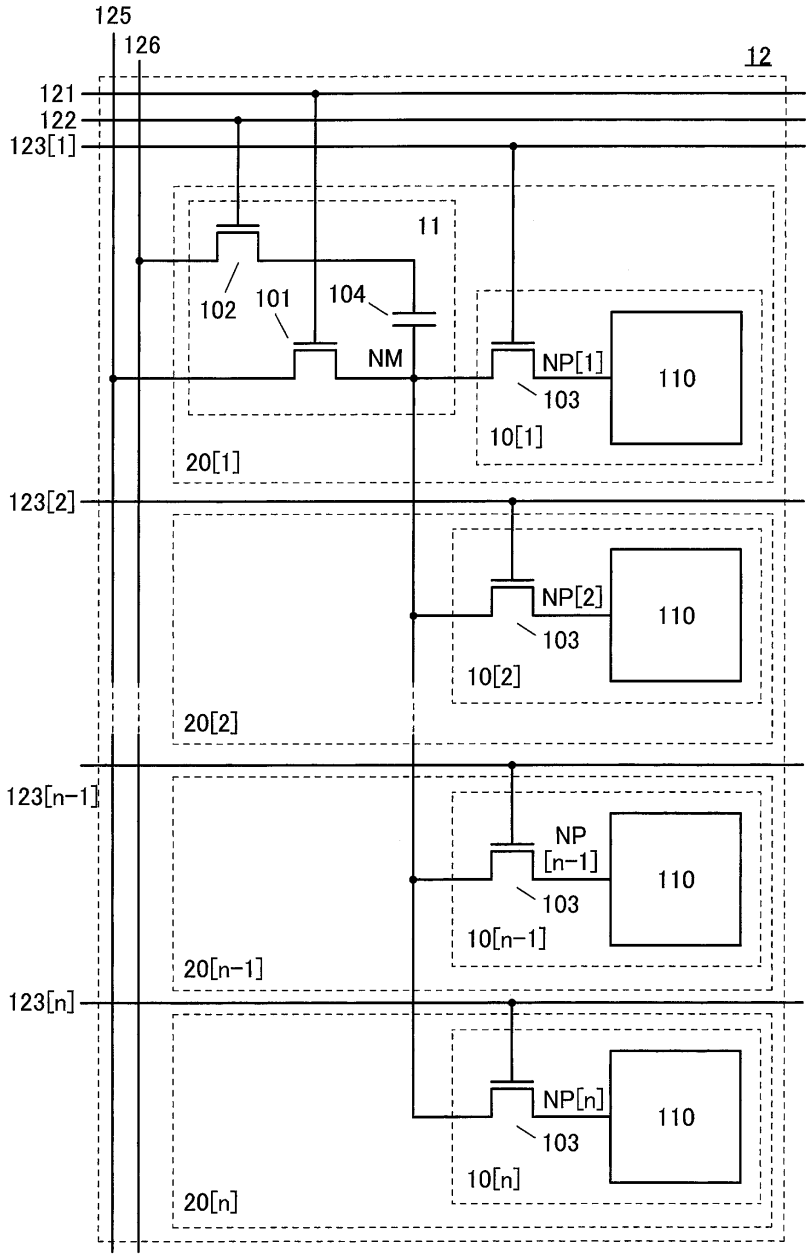
[0324] 10: 회로, 11: 회로, 12: 화소 블록, 13: 소스 드라이버, 14a: 게이트 드라이버, 14b: 게이트 드라이버, 15: 회로, 20: 화소, 101: 트랜지스터, 102: 트랜지스터, 103: 트랜지스터, 104: 용량 소자, 105: 트랜지스터, 106: 트랜지스터, 107: 용량 소자, 110: 회로 블록, 111: 트랜지스터, 112: 트랜지스터, 113: 용량 소자, 114: 발광 소자, 115: 트랜지스터, 116: 용량 소자, 117: 액정 소자, 118: 트랜지스터, 119: 트랜지스터, 120: 회로, 121: 배선, 122: 배선, 123: 배선, 125: 배선, 126: 배선, 127: 배선, 128: 배선, 129: 배선, 130: 배선, 131: 배선, 132: 배선, 133: 배선, 134: 배선, 135: 배선, 215: 표시부, 221a: 주사선 구동 회로, 231a: 신호선 구동 회로, 232a: 신호선 구동 회로, 241a: 공통선 구동 회로, 723: 전극, 726: 절연층, 728: 절연층, 729: 절연층, 741: 절연층, 742: 반도체층, 744a: 전극, 744b: 전극, 746: 전극, 755: 불순물, 771: 기판, 772: 절연층, 810: 트랜지스터, 811: 트랜지스터, 820: 트랜지스터, 821: 트랜지스터, 825: 트랜지스터, 826: 트랜지스터, 830: 트랜지스터, 840: 트랜지스터, 842: 트랜지스터, 843: 트랜지스터, 844: 트랜지스터, 845: 트랜지스터, 846: 트랜지스터, 847: 트랜지스터, 901: 하우징, 902: 하우징, 903: 표시부, 904: 조작 키, 905: 렌즈, 906: 접속부, 907: 스피커, 911: 하우징, 912: 표시부, 913: 스피커, 919: 카메라, 921: 기둥, 922: 표시부, 951: 하우징, 952: 표시부, 953: 조작 버튼, 954: 외부 접속 포트, 955: 스피커, 956: 마이크로폰, 957: 카메라, 961: 하우징, 962: 셔터 버튼, 963: 마이크로폰, 965: 표시부, 966: 조작 키, 967: 스피커, 968: 즘레버, 969: 렌즈, 971: 하우징, 973: 표시부, 974: 조작 키, 975: 스피커, 976: 통신용 접속 단자, 977: 광 센서, 4001: 기판, 4003: 층, 4004: 층, 4005: 밀봉재, 4006: 기판, 4008: 액정층, 4009: 복합층, 4010: 트랜지스터, 4011: 트랜지스터, 4013: 액정 소자, 4014: 배선, 4015: 전극, 4016: 광 산란형 액정 소자, 4017: 전극, 4018: FPC, 4019: 이방성 도전층, 4020: 용량 소자, 4021: 전극, 4022: 트랜지스터, 4023: 트랜지스터, 4030: 전극층, 4031: 전극층, 4032: 절연층, 4033: 절연층, 4035: 스페이서, 4041: 프린트 기판, 4042: 집적 회로, 4102: 절연층, 4103: 절연층, 4104: 절연층, 4110: 절연층, 4111: 절연층, 4112: 절연층, 4131: 착색층, 4132: 차광층, 4133: 절연층, 4200: 입력 장치, 4210: 터치 패널, 4227: 전극, 4228: 전극, 4237: 배선, 4238: 배선, 4239: 배선, 4263: 기판, 4272b: FPC, 4273b: IC, 4340a: 백라이트 유닛, 4340b: 백라이트 유닛, 4341: 도광판, 4342: 발광 소자, 4344: 렌즈, 4345: 미러, 4347: 프린트 기판, 4348: 반사층, 4352: 확산판, 4510: 격벽, 4511: 발광층, 4513: 발광 소자, 4514: 충전재

도면

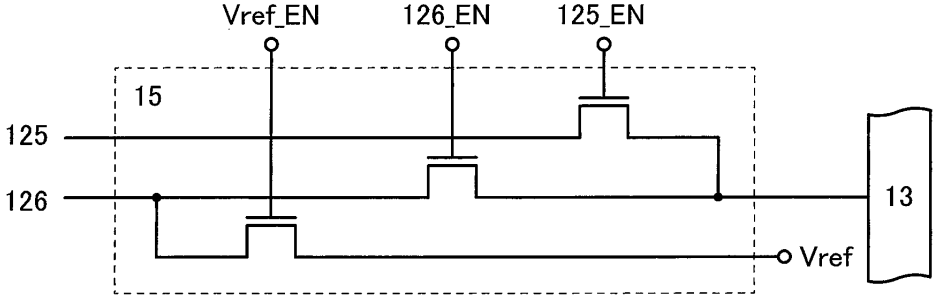
도면1



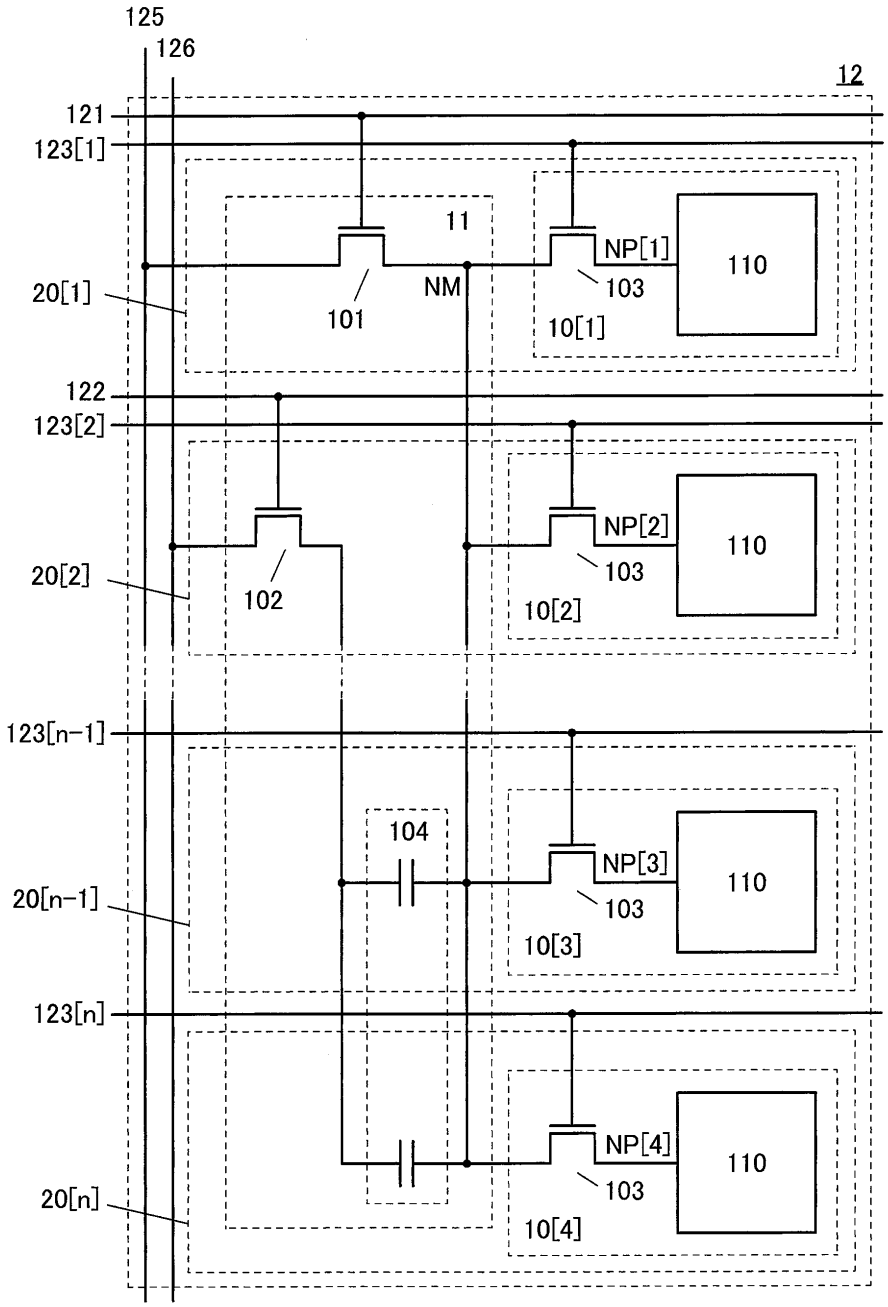
도면2


125
126
12
121
122
123[1]
11
102
101
104
NM
NP[1]
103
110
10[1]
20[1]
123[2]
NP[2]
103
110
10[2]
20[2]
123[n-1]
NP
[n-1]
103
110
10[n-1]
20[n-1]
123[n]
NP[n]
103
110
10[n]
20[n]

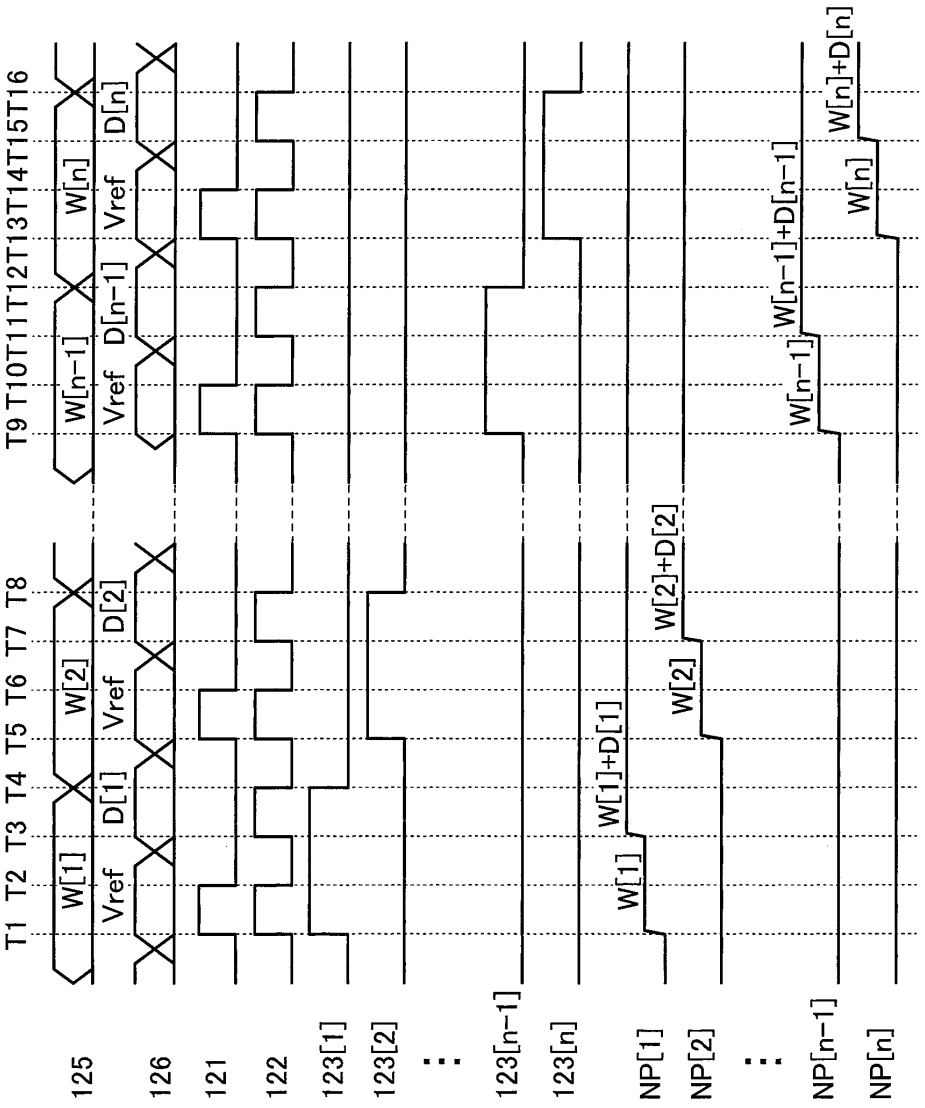
도면3


Vref_EN
126_EN
125_EN
15
125
126
13
Vref

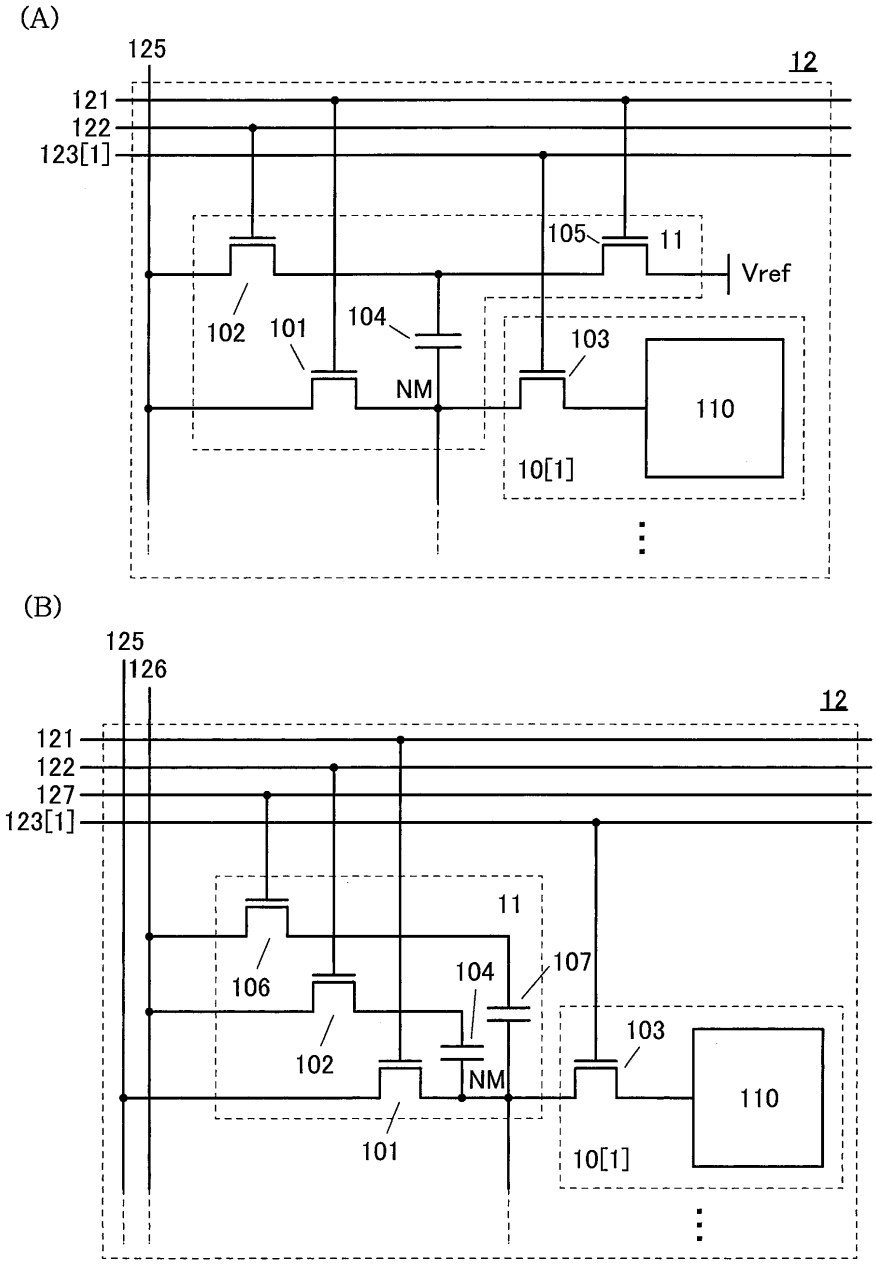
도면4


125
126
12
121
123[1]
11
NP[1]
110
20[1]
101
NM
103
10[1]
122
123[2]
NP[2]
110
20[2]
102
103
10[2]
123[n-1]
104
NP[3]
110
20[n-1]
103
10[3]
123[n]
NP[4]
110
20[n]
103
10[4]

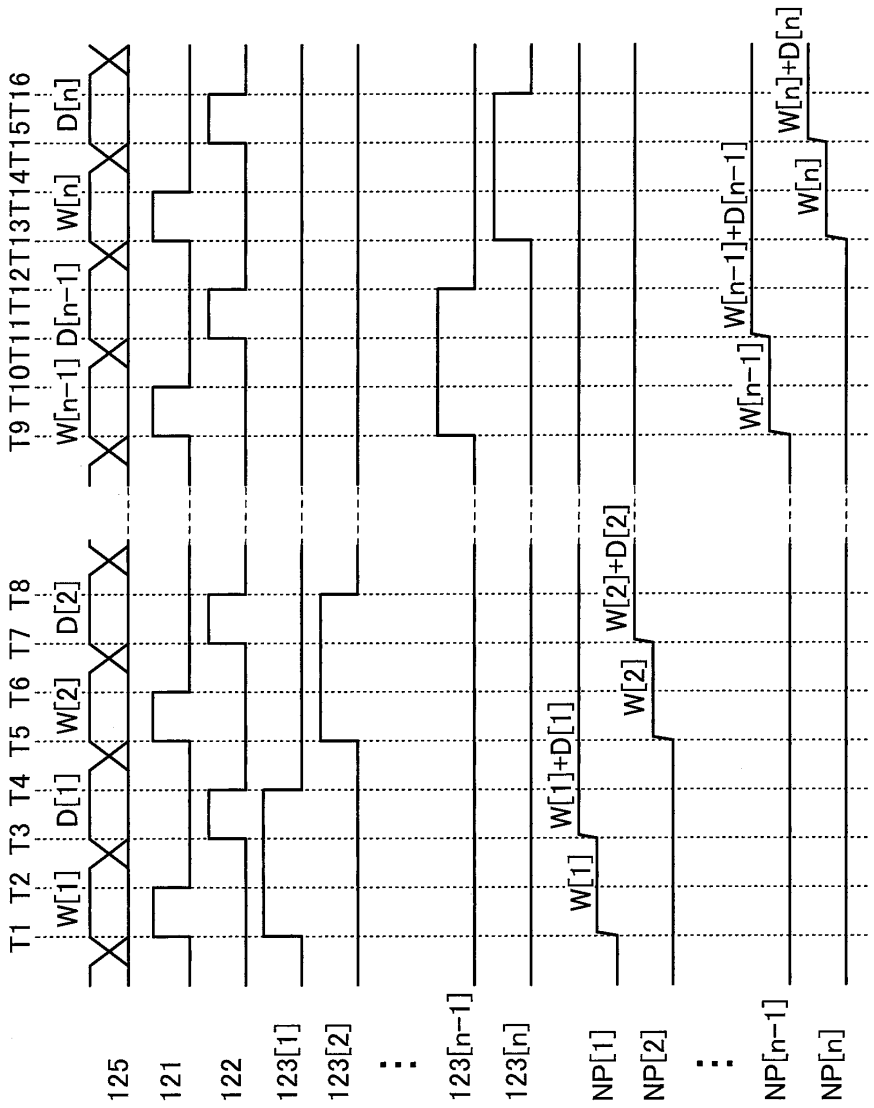
도면5


T1 T2 T3 T4 T5 T6 T7 T8 T9 T10 T11 T12 T13 T14 T15 T16
125
126
121
122
123[1]
123[2]
123[n-1]
123[n]
NP[1]
NP[2]
NP[n-1]
NP[n]
W[1]
Vref
D[1]
W[2]
Vref
D[2]
W[n-1]
Vref
D[n-1]
W[n]
Vref
D[n]
W[1]
W[1]+D[1]
W[2]
W[2]+D[2]
W[n-1]
W[n-1]+D[n-1]
W[n]
W[n]+D[n]

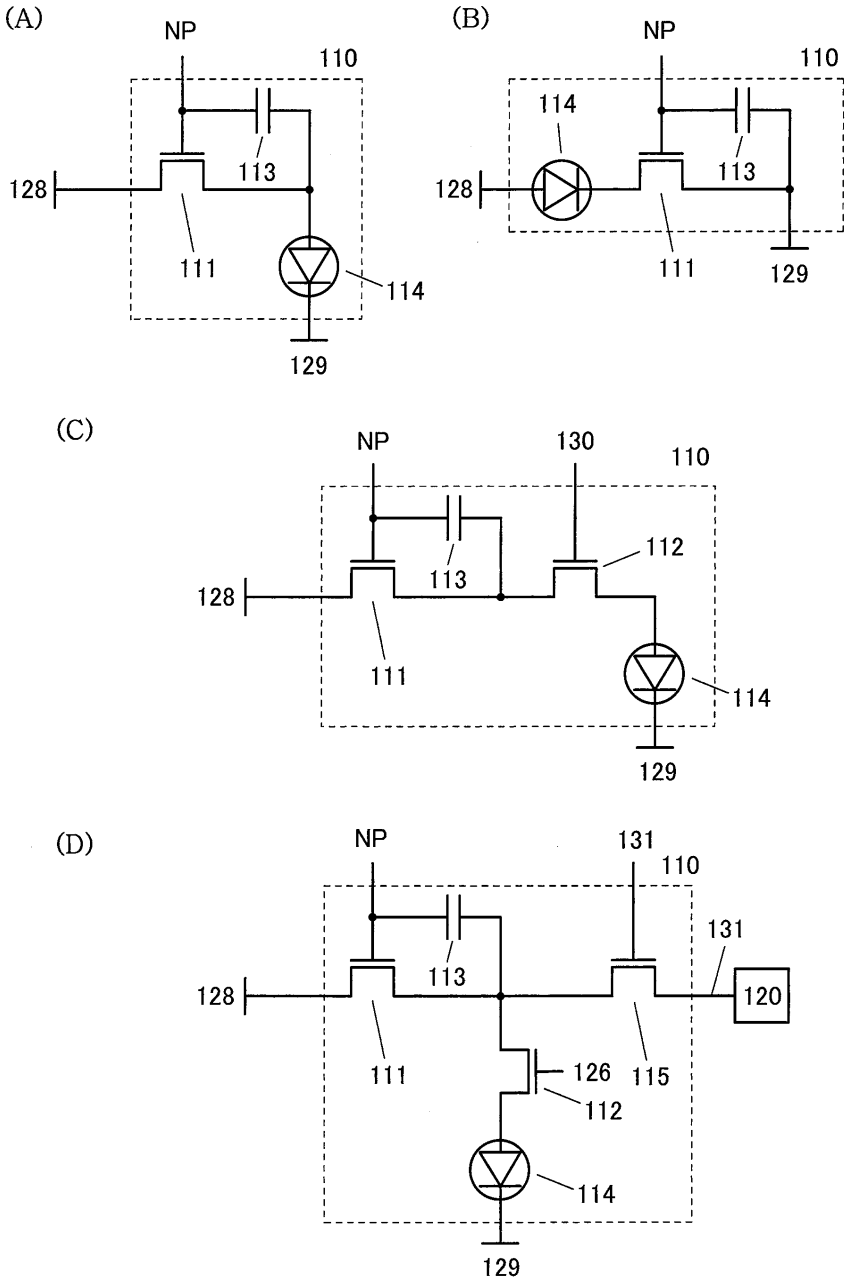
도면6


(A)
125
12
121
122
123[1]
105
11
Vref
102
101
104
103
NM
110
10[1]
(B)
125
126
12
121
122
127
123[1]
11
106
104
107
103
102
NM
110
101
10[1]

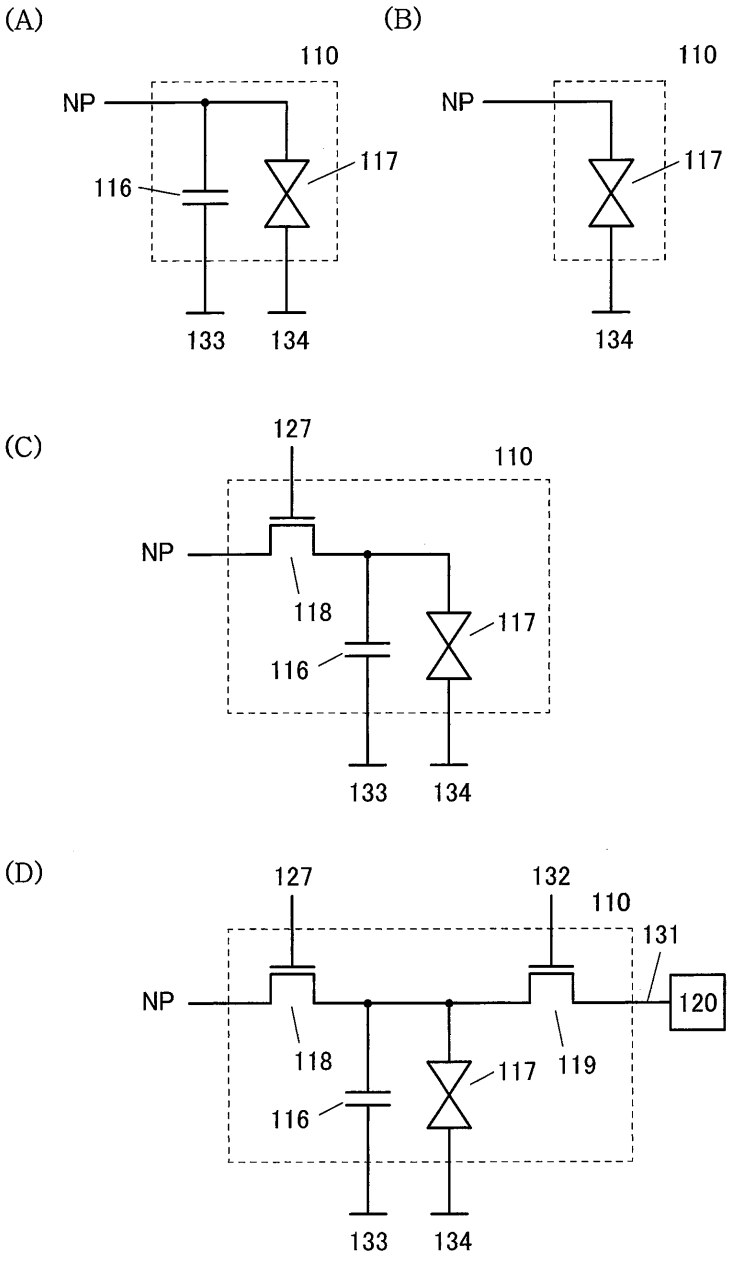
도면7


T1 T2 T3 T4 T5 T6 T7 T8 T9 T10T11T12T13T14T15T16
W[1] D[1] W[2] D[2] W[n-1] D[n-1] W[n] D[n]
125
121
122
123[1]
123[2]
123[n-1]
123[n]
NP[1]
NP[2]
NP[n-1]
NP[n]
W[1]
W[1]+D[1]
W[2]
W[2]+D[2]
W[n-1]
W[n-1]+D[n-1]
W[n]
W[n]+D[n]

도면8

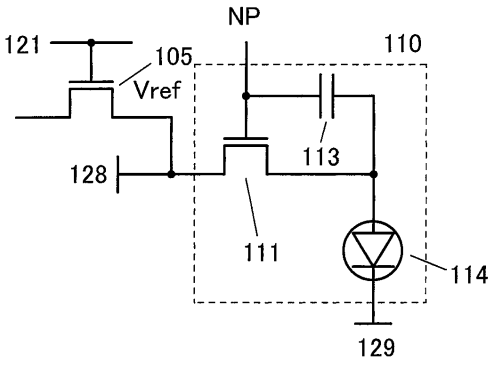

(A)
NP
110
113
128
111
114
129
(B)
NP
110
114
113
128
111
129
(C)
NP
130
110
112
113
128
111
114
129
(D)
NP
131
110
131
113
128
120
111
126
115
112
114
129

도면9

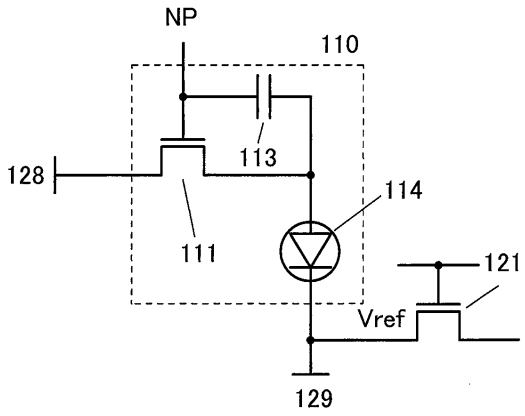

(A)
110
NP
116
117
133
134
(B)
110
NP
117
134
(C)
127
110
NP
118
117
116
133
134
(D)
127
132
110
131
NP
120
118
117
119
116
133
134

도면10

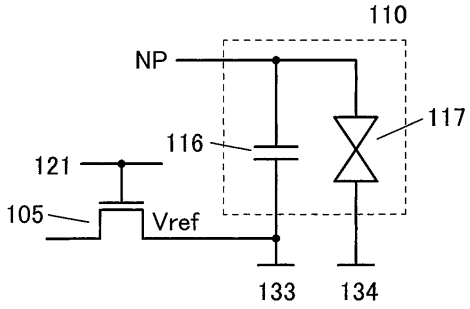
(A)


NP
121
105
110
Vref
113
128
111
114
129

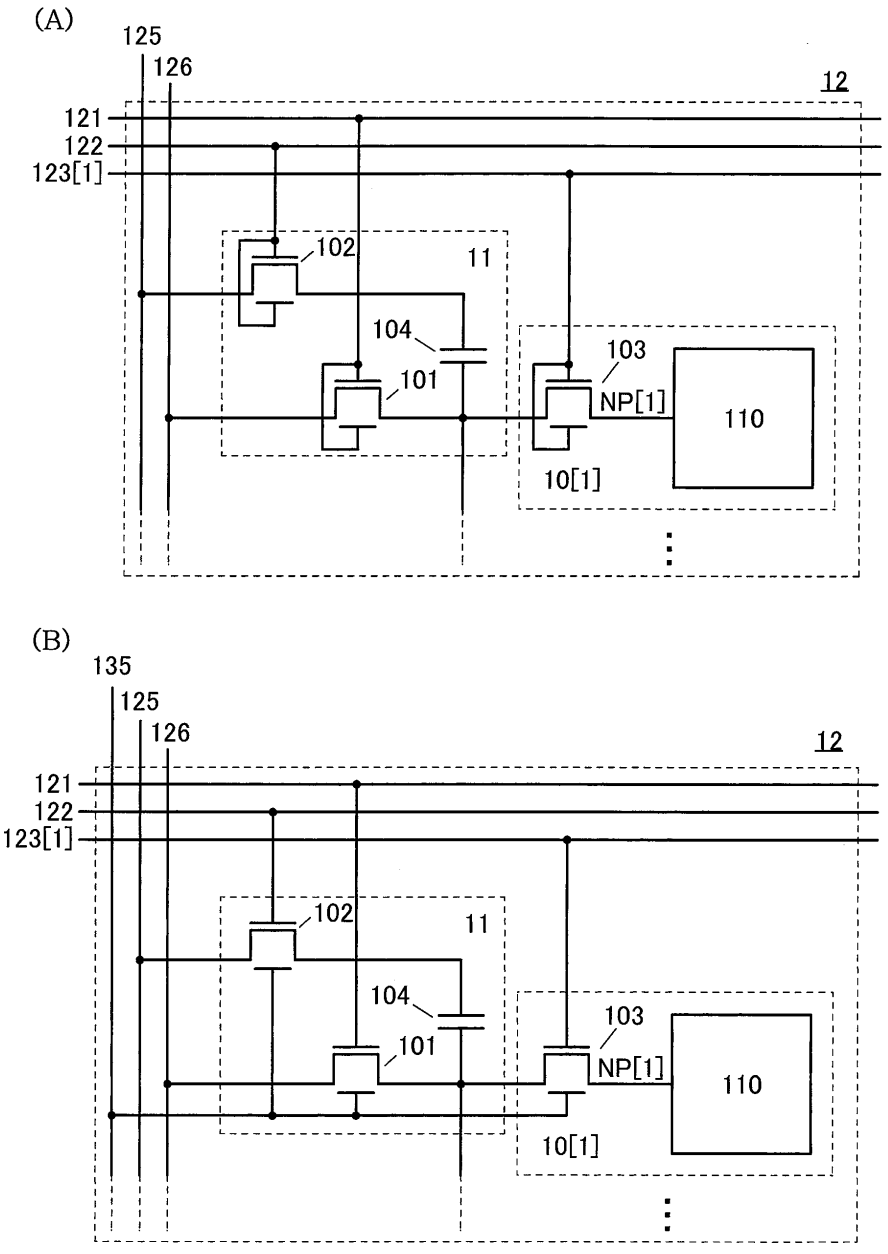
(B)


NP
110
113
128
114
111
121
Vref
129

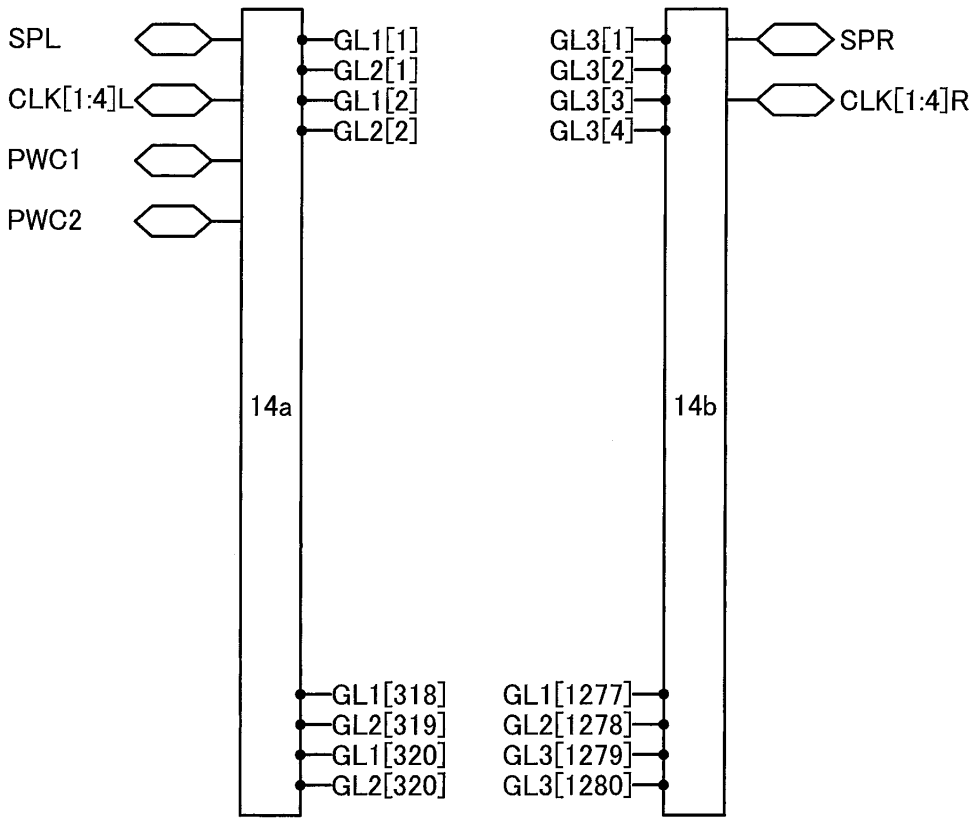
(C)


110
NP
117
116
121
105
Vref
133
134

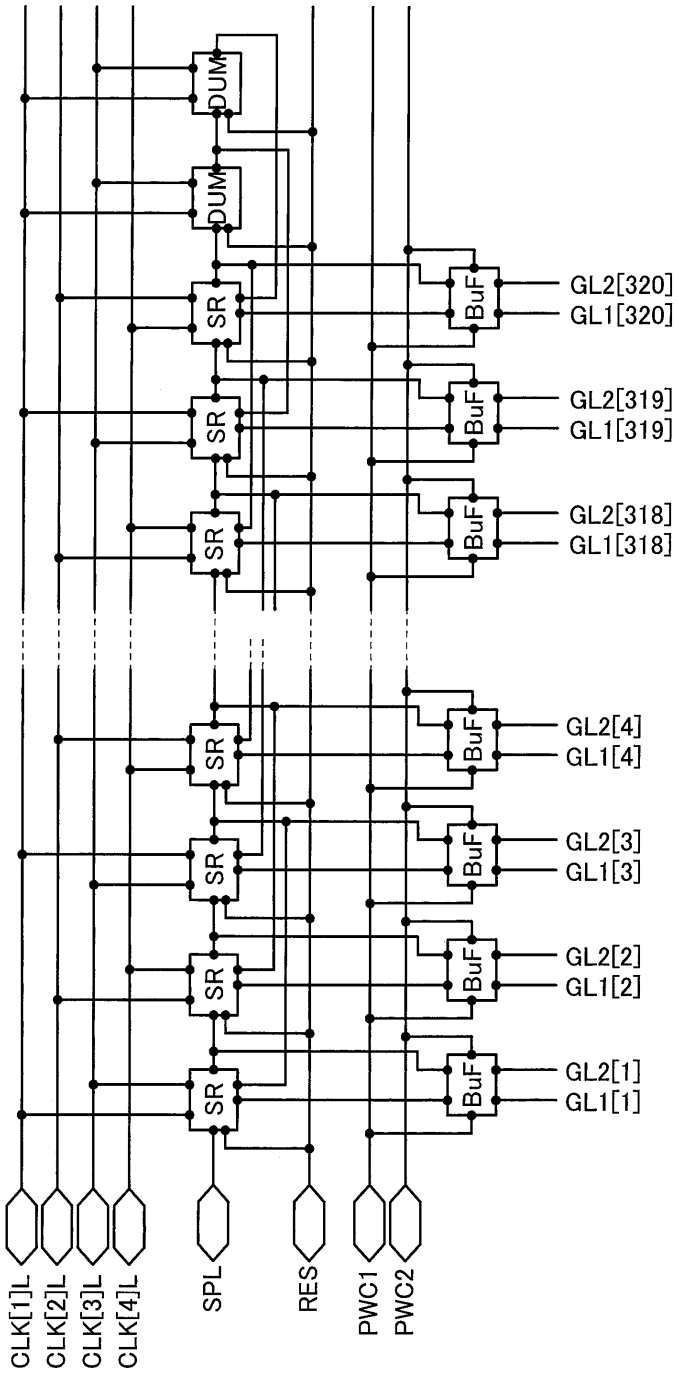
도면11


(A)
125
126
12
121
122
123[1]
102
11
104
101
103
NP[1]
110
10[1]
(B)
135
125
126
12
121
122
123[1]
102
11
104
101
103
NP[1]
110
10[1]

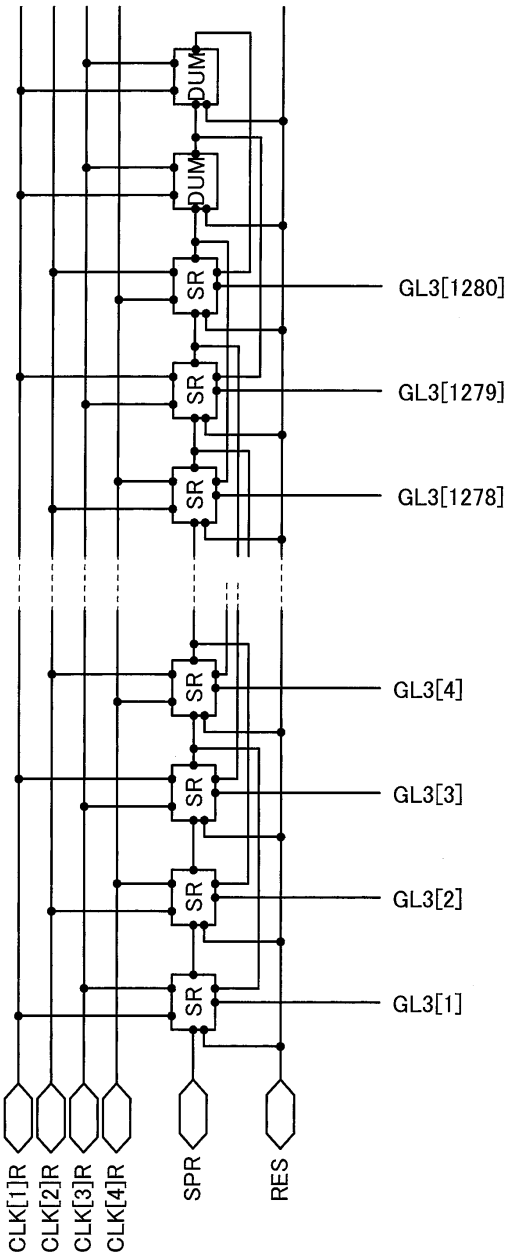
도면12


SPL
CLK[1:4]L
PWC1
PWC2
GL1[1]
GL2[1]
GL1[2]
GL2[2]
14a
GL1[318]
GL2[319]
GL1[320]
GL2[320]
GL3[1]
GL3[2]
GL3[3]
GL3[4]
SPR
CLK[1:4]R
14b
GL1[1277]
GL2[1278]
GL3[1279]
GL3[1280]

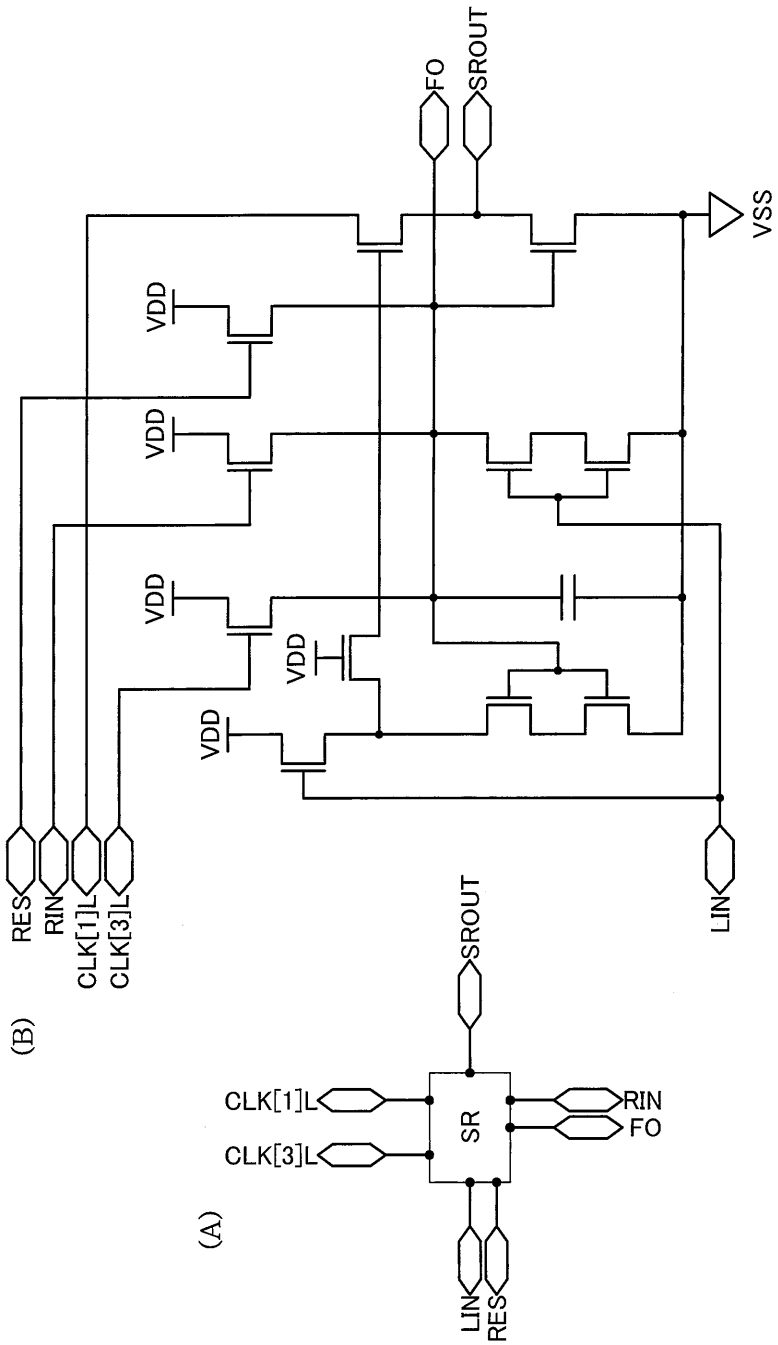
도면13


DUM
DUM
SR
SR
SR
SR
SR
SR
SR
BuF
BuF
BuF
BuF
BuF
BuF
BuF
GL2[320]
GL1[320]
GL2[319]
GL1[319]
GL2[318]
GL1[318]
GL2[4]
GL1[4]
GL2[3]
GL1[3]
GL2[2]
GL1[2]
GL2[1]
GL1[1]
CLK[1]L
CLK[2]L
CLK[3]L
CLK[4]L
SPL
RES
PWC1
PWC2

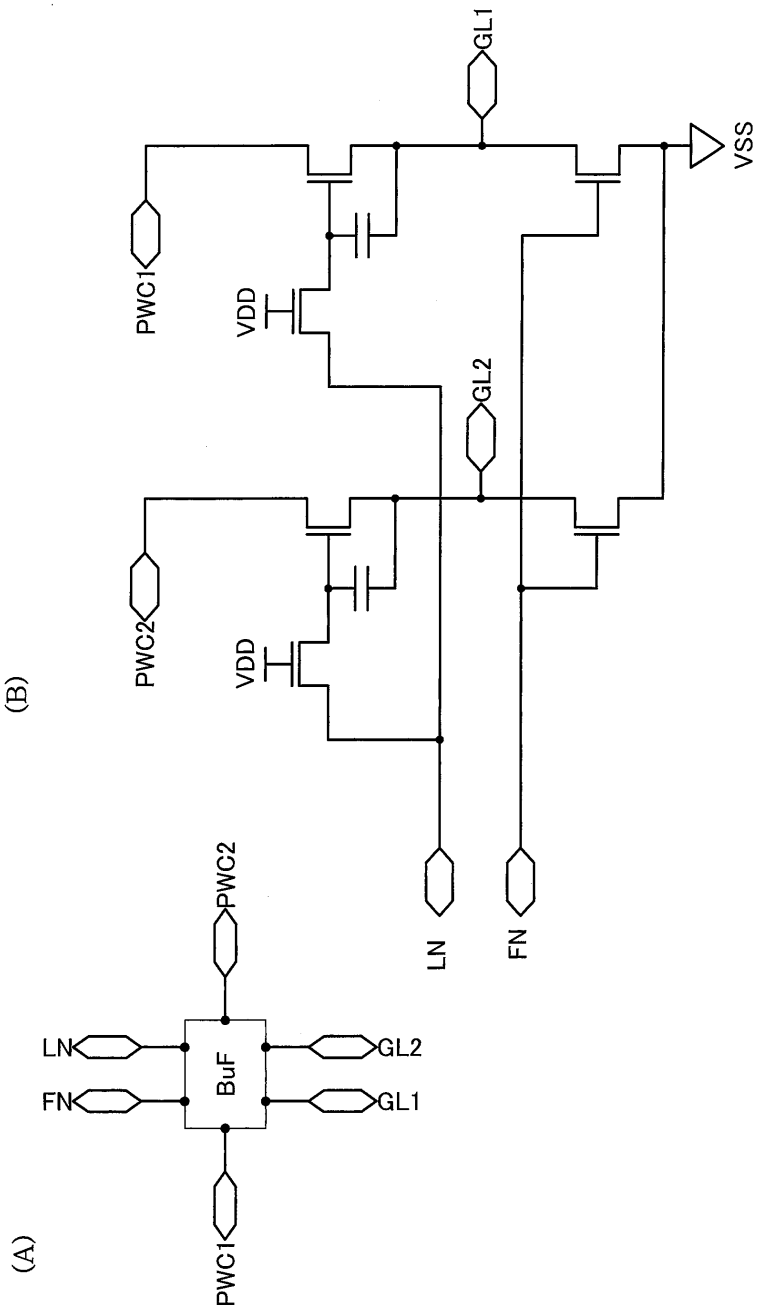
도면14


DUM
DUM
SR
SR
SR
SR
SR
SR
SR
GL3[1280]
GL3[1279]
GL3[1278]
GL3[4]
GL3[3]
GL3[2]
GL3[1]
CLK[1]R
CLK[2]R
CLK[3]R
CLK[4]R
SPR
RES

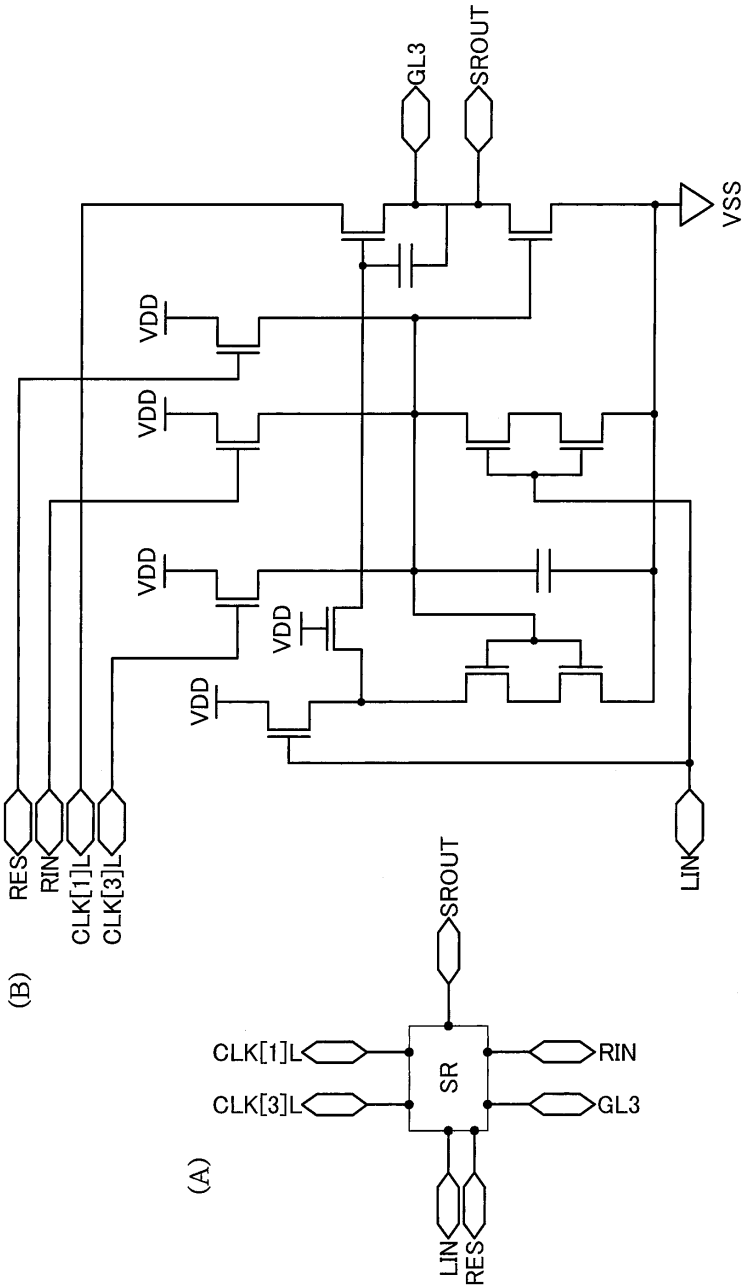
도면15


FO
SROUT
VSS
VDD
VDD
VDD
VDD
VDD
RES
RIN
CLK[1]L
CLK[3]L
LIN
(B)
SROUT
CLK[1]L
CLK[3]L
SR
RIN
FO
LIN
RES
(A)

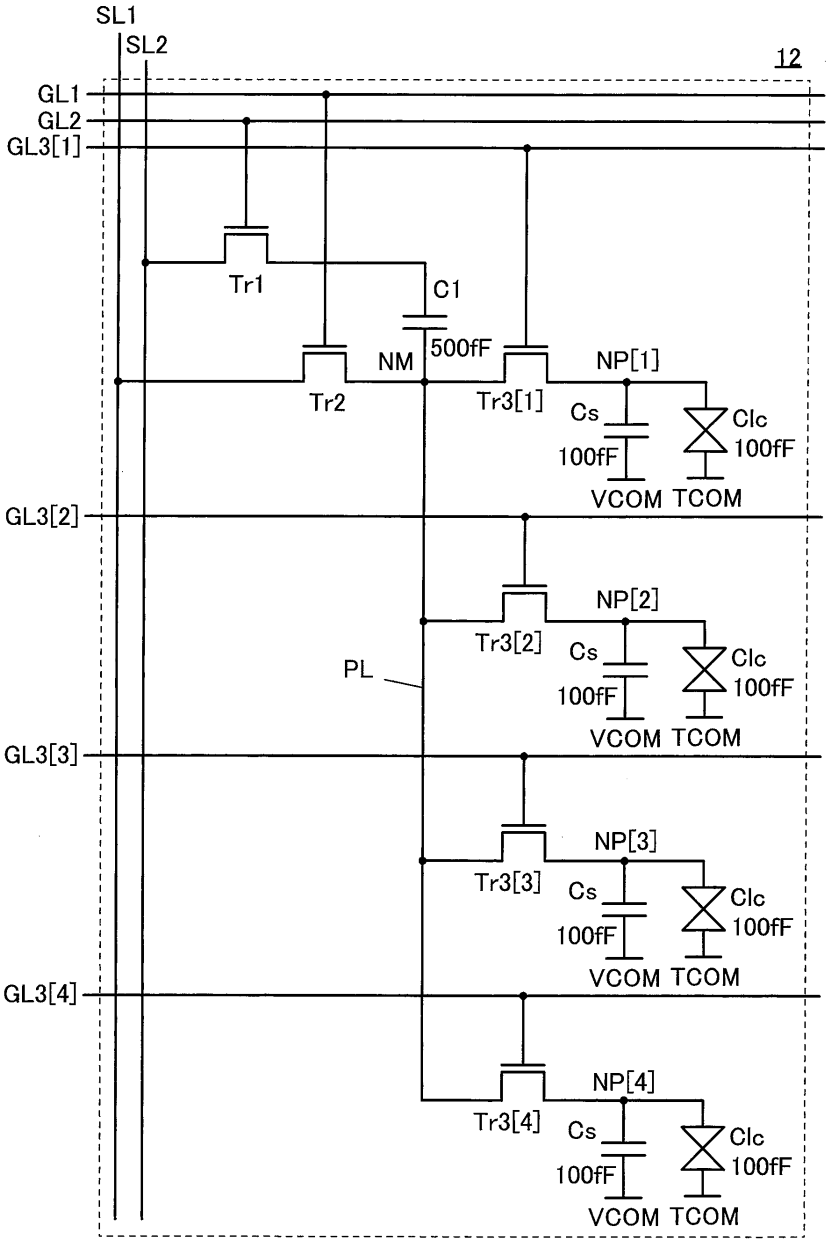
도면16


(A)
PWC1
LN
FN
BuF
GL2
GL1
PWC2
(B)
PWC1
VDD
GL1
VSS
PWC2
VDD
GL2
LN
FN

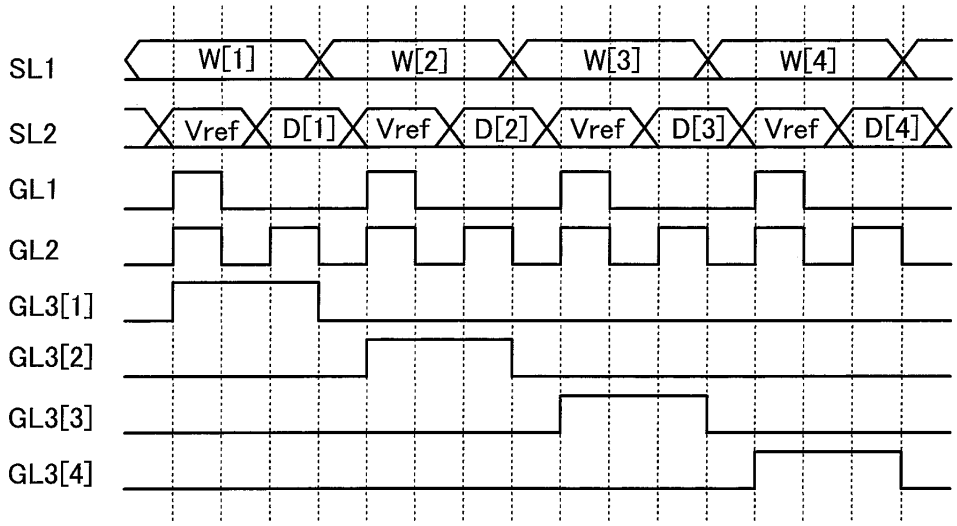
도면17


GL3
SROUT
VSS
VDD
VDD
VDD
VDD
VDD
RES
RIN
CLK[1]L
CLK[3]L
LIN
(B)
SROUT
CLK[1]L
CLK[3]L
SR
RIN
GL3
LIN
RES
(A)

도면18

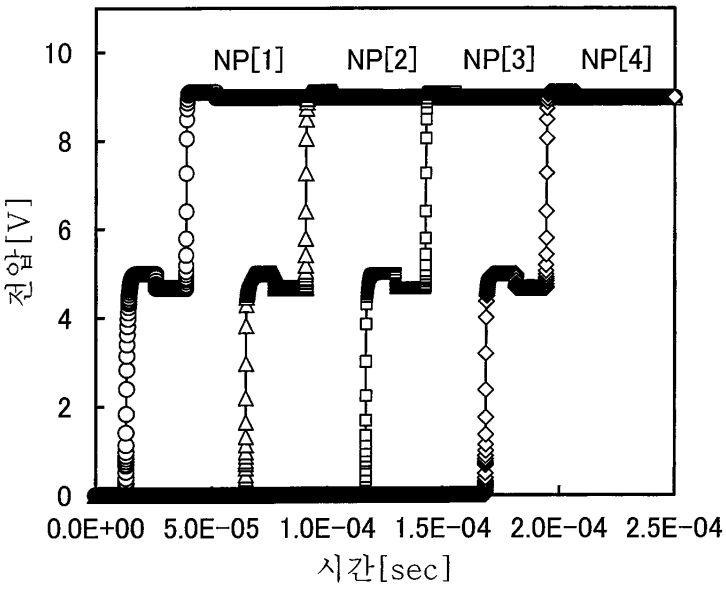

SL1
SL2
12
GL1
GL2
GL3[1]
Tr1
C1
500fF
NM
Tr2
Tr3[1]
NP[1]
Cs
100fF
Clc
100fF
VCOM
TCOM
GL3[2]
NP[2]
Tr3[2]
PL
GL3[3]
NP[3]
Tr3[3]
GL3[4]
NP[4]
Tr3[4]

도면19

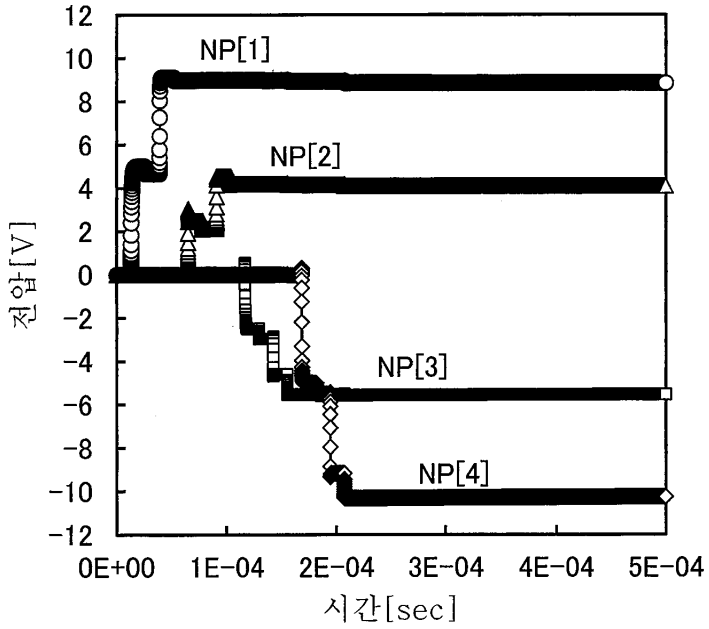

SL1
SL2
GL1
GL2
GL3[1]
GL3[2]
GL3[3]
GL3[4]
W[1]
W[2]
W[3]
W[4]
Vref
D[1]
Vref
D[2]
Vref
D[3]
Vref
D[4]

도면20

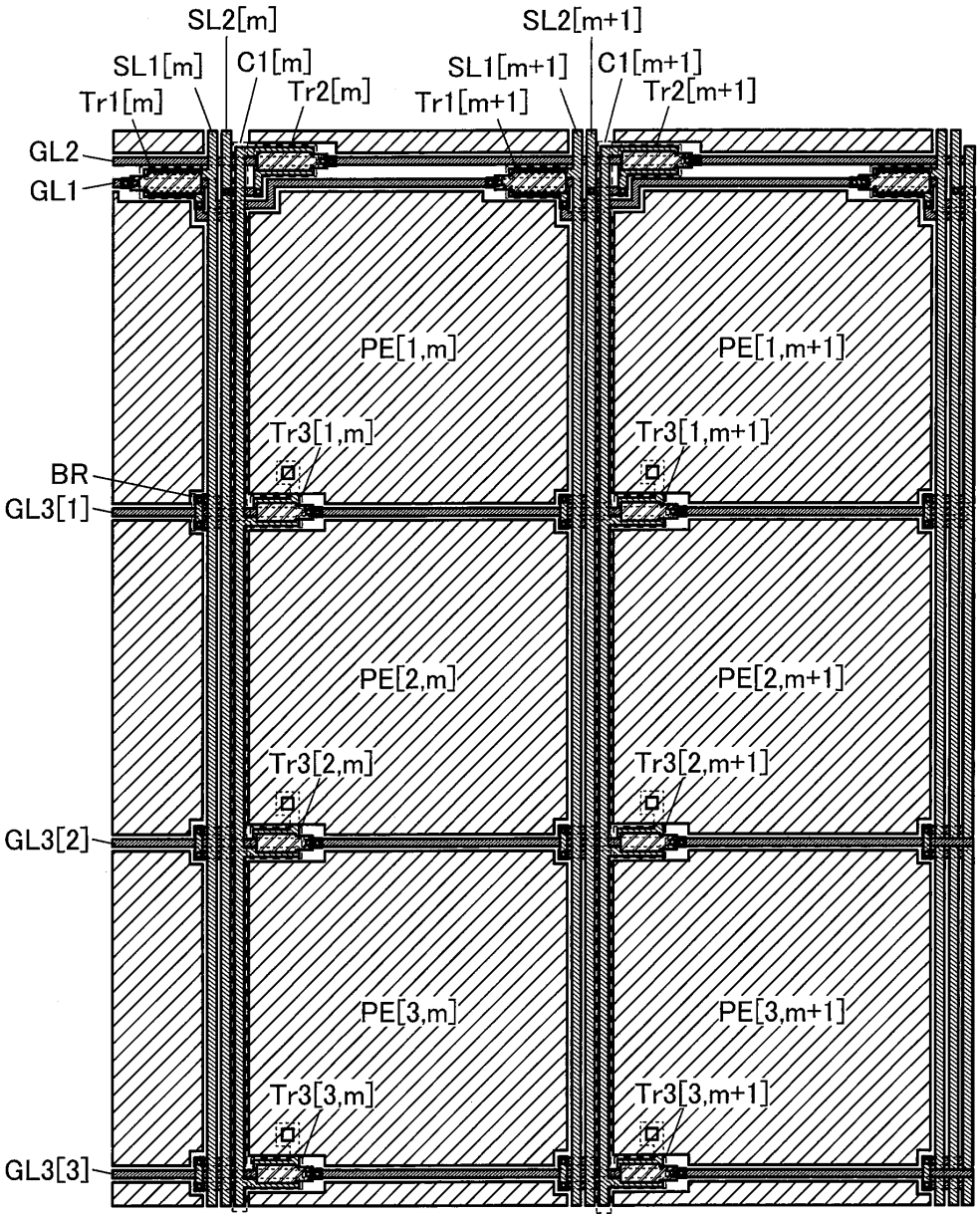
(A)


NP[1]
NP[2]
NP[3]
NP[4]
10
8
6
4
2
0
전압[V]
0.0E+00
5.0E-05
1.0E-04
1.5E-04
2.0E-04
2.5E-04
시간[sec]

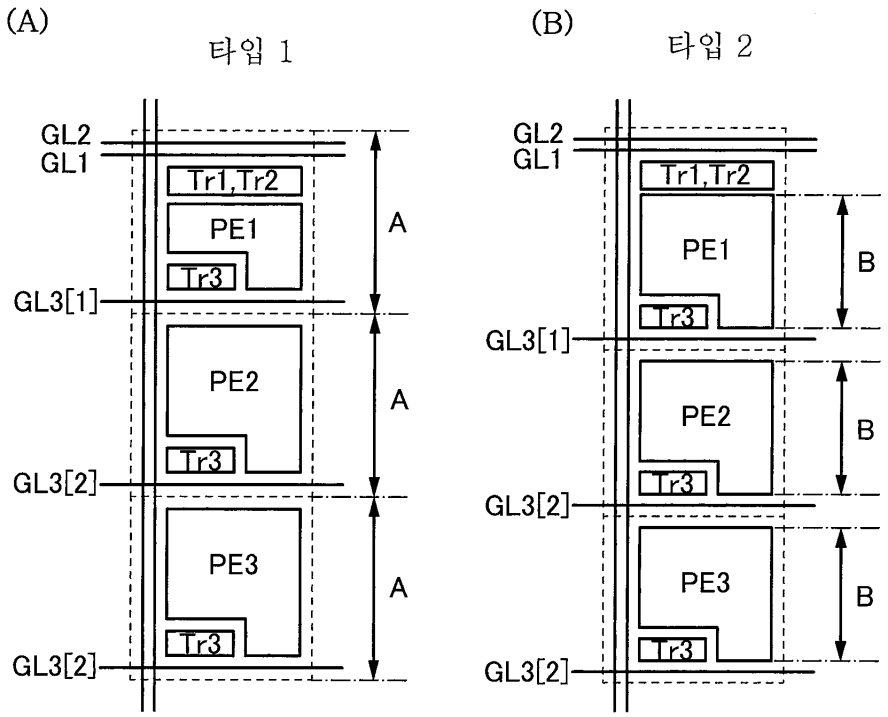
(B)


NP[1]
NP[2]
NP[3]
NP[4]
12
10
8
6
4
2
0
-2
-4
-6
-8
-10
-12
전압[V]
0E+00
1E-04
2E-04
3E-04
4E-04
5E-04
시간[sec]

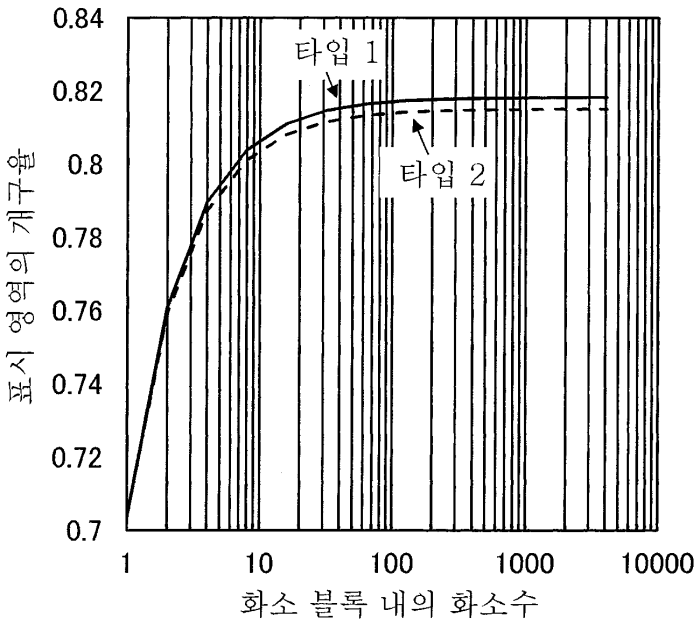
도면21


SL2[m]
SL2[m+1]
SL1[m]
C1[m]
SL1[m+1]
C1[m+1]
Tr1[m]
Tr2[m]
Tr1[m+1]
Tr2[m+1]
GL2
GL1
PE[1,m]
PE[1,m+1]
Tr3[1,m]
Tr3[1,m+1]
BR
GL3[1]
PE[2,m]
PE[2,m+1]
Tr3[2,m]
Tr3[2,m+1]
GL3[2]
PE[3,m]
PE[3,m+1]
Tr3[3,m]
Tr3[3,m+1]
GL3[3]

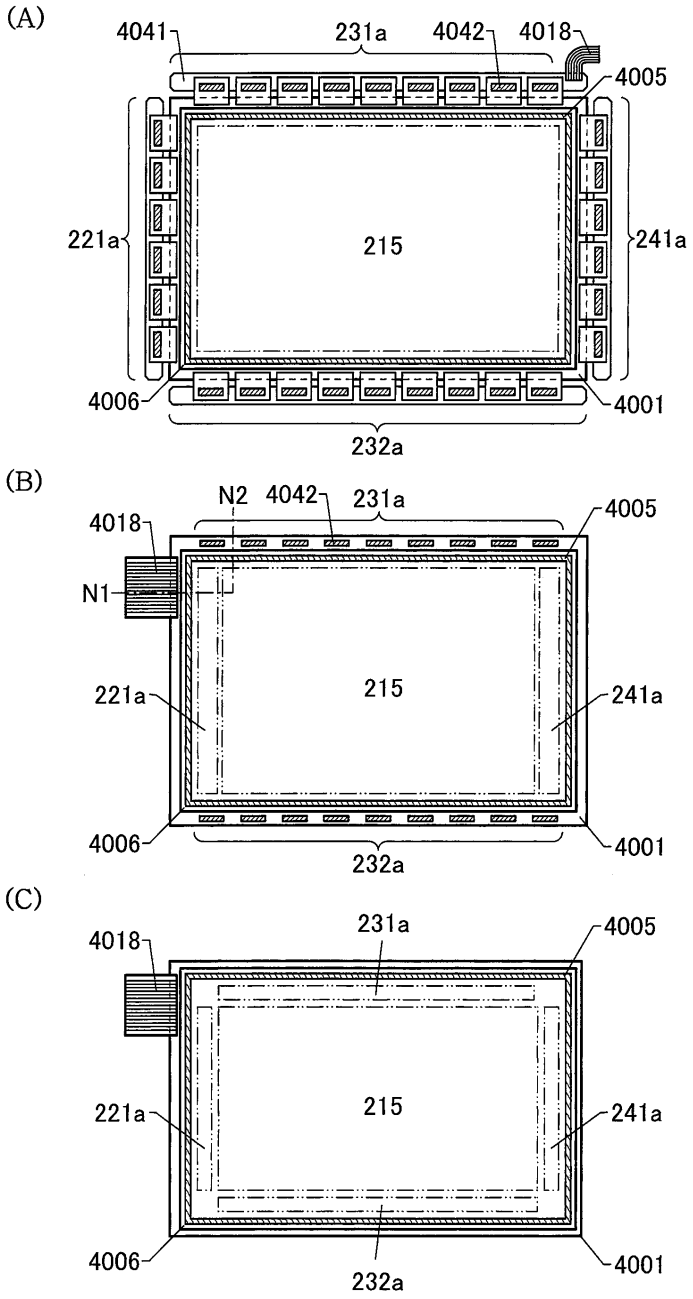
도면22


(A)
타입 1
(B)
타입 2
GL2
GL1
Tr1,Tr2
PE1
Tr3
GL3[1]
PE2
GL3[2]
PE3
A
B

도면23

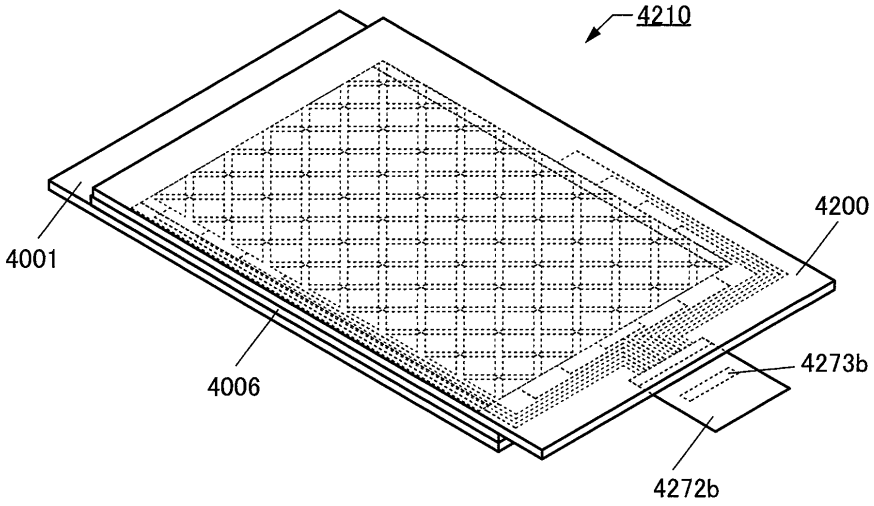

0.84
0.82
0.8
0.78
0.76
0.74
0.72
0.7
표시 영역의 개구율
타입 1
타입 2
1
10
100
1000
10000
화소 블록 내의 화소수

도면24

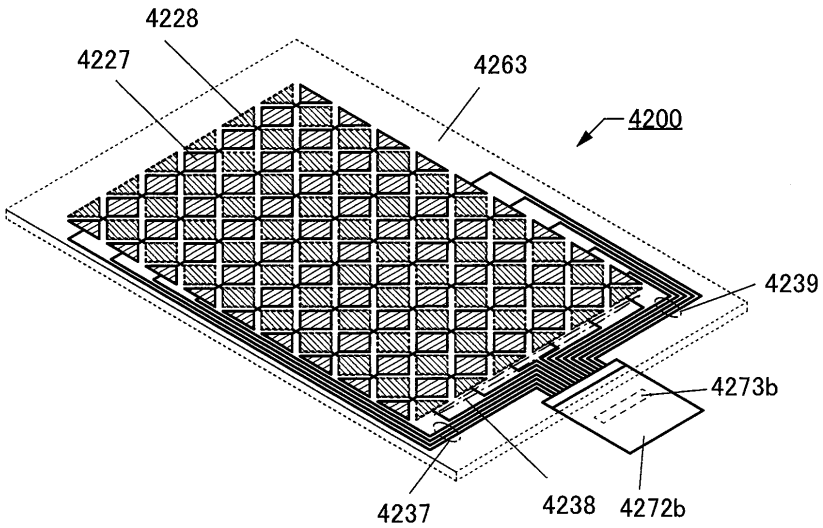

(A)
4041
231a
4042
4018
4005
221a
215
241a
4006
4001
232a
(B)
N2
4042
231a
4018
4005
N1
215
221a
241a
4006
4001
232a
(C)
231a
4018
4005
215
221a
241a
4006
4001
232a

도면25

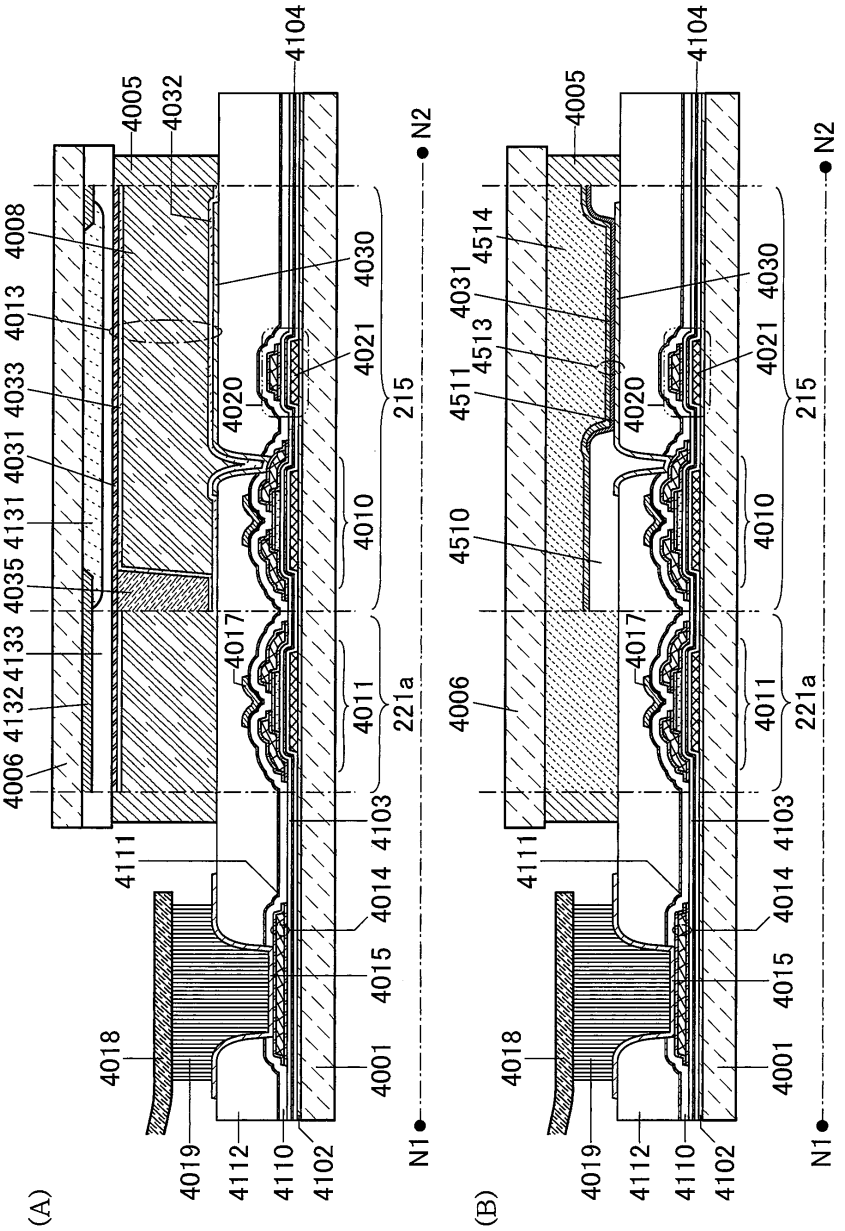
(A)


4210
4200
4001
4006
4273b
4272b

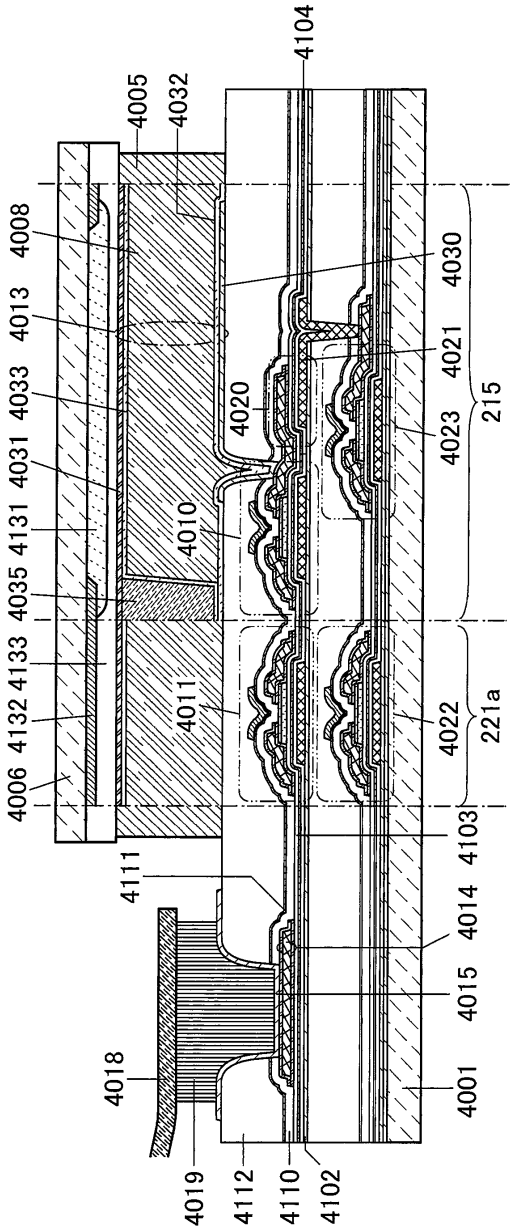
(B)


4228
4227
4263
4200
4239
4273b
4237
4238
4272b

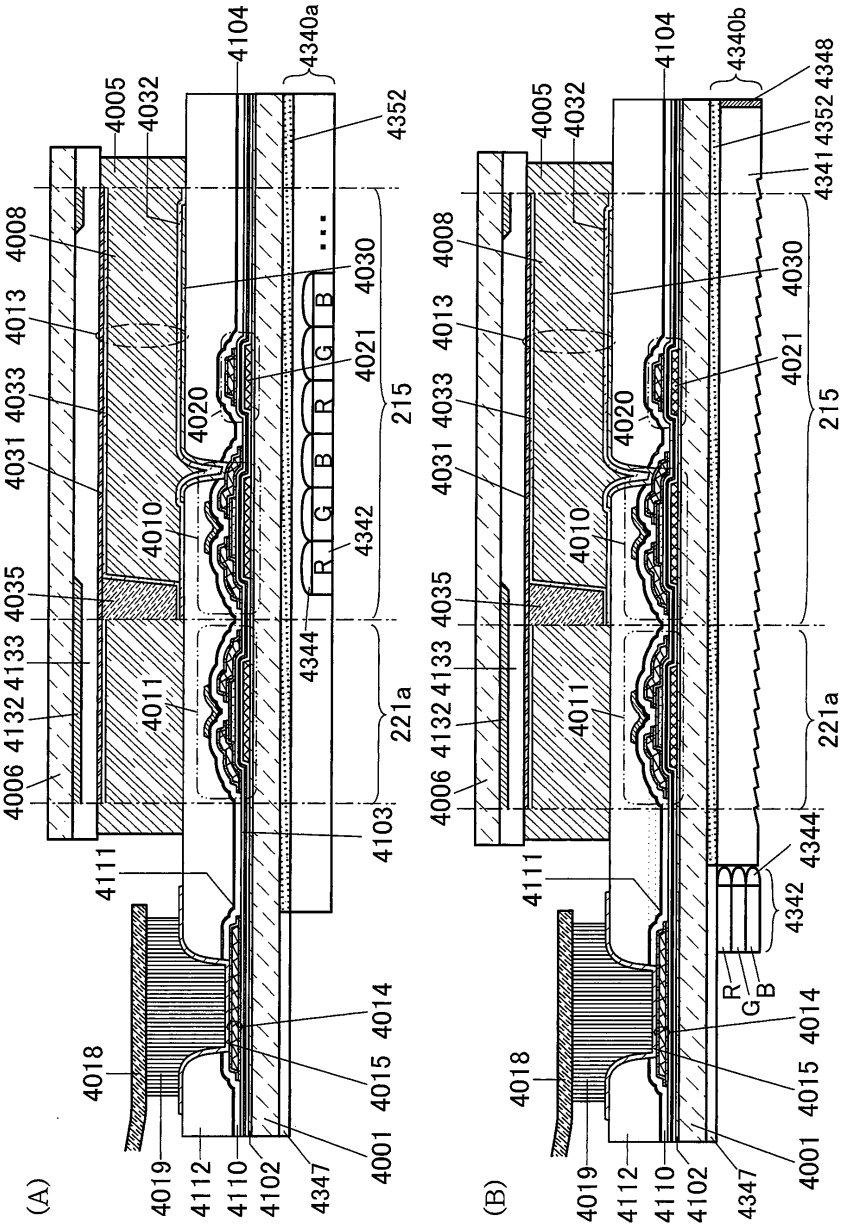
도면26


(A)
4104
4005
4032
4008
4013
4033
4031
4131
4035
4133
4132
4006
4030
4021
4020
4010
4017
4011
215
221a
4103
4111
4014
4015
4001
4018
4019
4112
4110
4102
N2
N1
(B)
4104
4005
4514
4031
4513
4511
4510
4006
4030
4021
4020
4010
4017
4011
215
221a
4103
4111
4014
4015
4001
4018
4019
4112
4110
4102
N2
N1

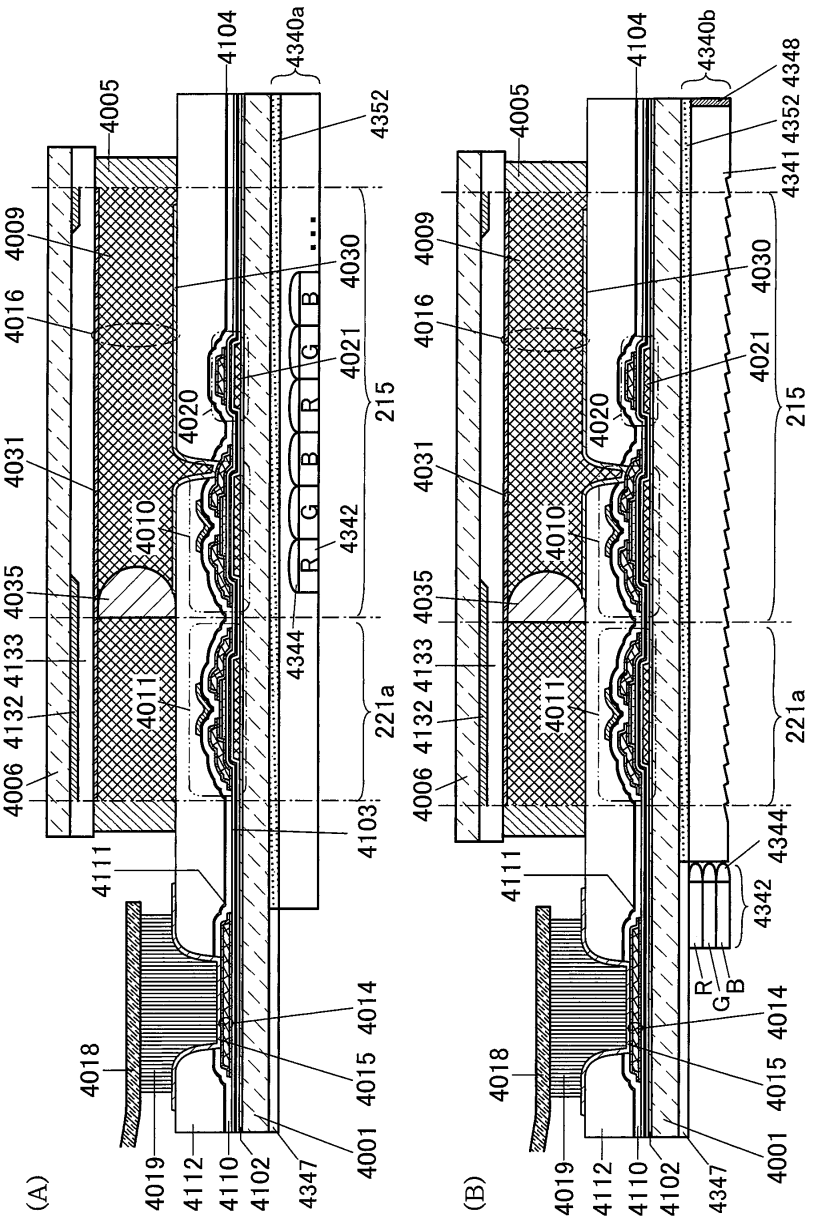
도면27


4104
4005
4032
4008
4030
4013
4021
4033
4020
4023
215
4031
4010
4131
4035
4133
4011
4022
221a
4132
4006
4103
4111
4014
4015
4018
4001
4019
4112
4110
4102

도면28

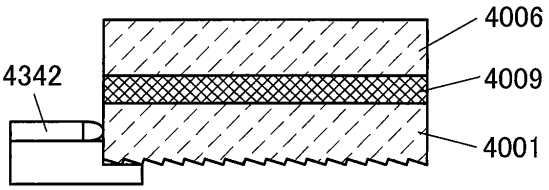

(A)
(B)
4001
4005
4006
4008
4010
4011
4013
4014
4015
4018
4019
4020
4021
4030
4031
4032
4033
4035
4102
4103
4104
4110
4111
4112
4132
4133
4340a
4340b
4341
4342
4344
4347
4348
4352
215
221a
R
G
B

도면29

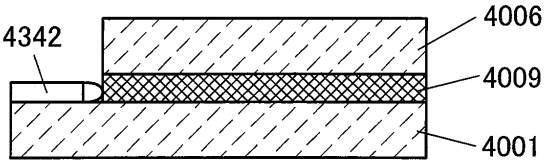

(A)
(B)
4005
4104
4340a
4340b
4348
4352
4341
4009
4016
4030
4021
4020
4031
4010
4342
4035
4133
4132
4006
4011
4344
4103
4111
4018
4014
4015
4001
4019
4112
4110
4102
4347
215
221a
R
G
B

도면30

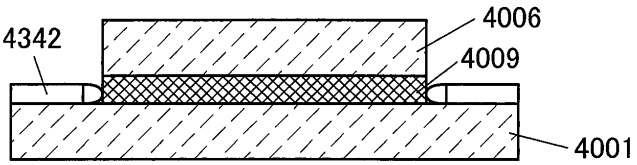
(A)


4006
4342
4009
4001

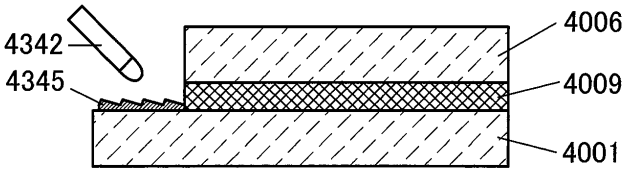
(B)


4006
4342
4009
4001

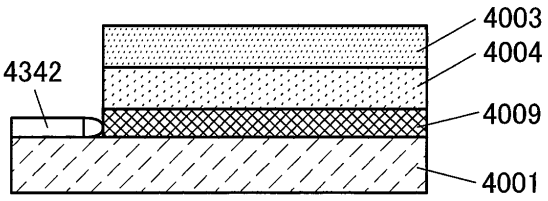
(C)


4006
4342
4009
4001

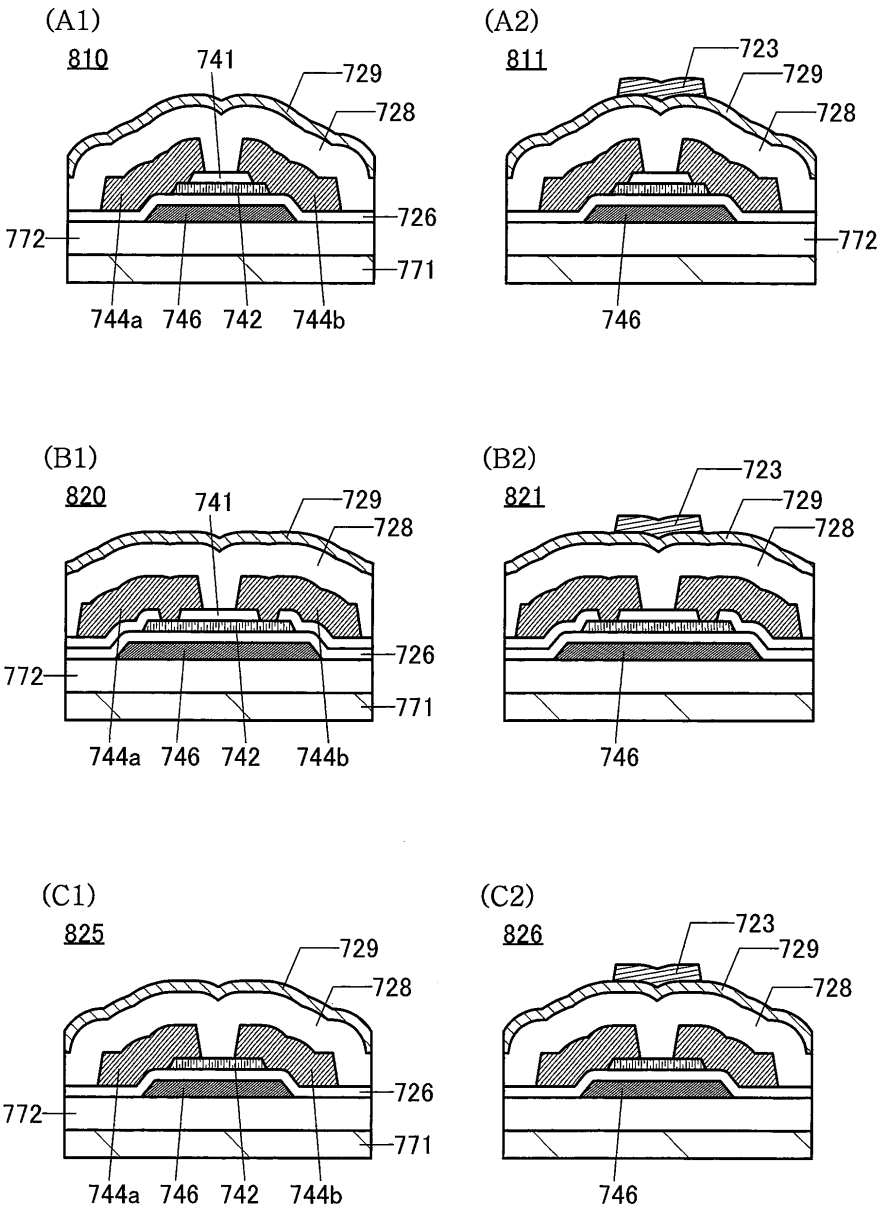
(D)


4342
4345
4006
4009
4001

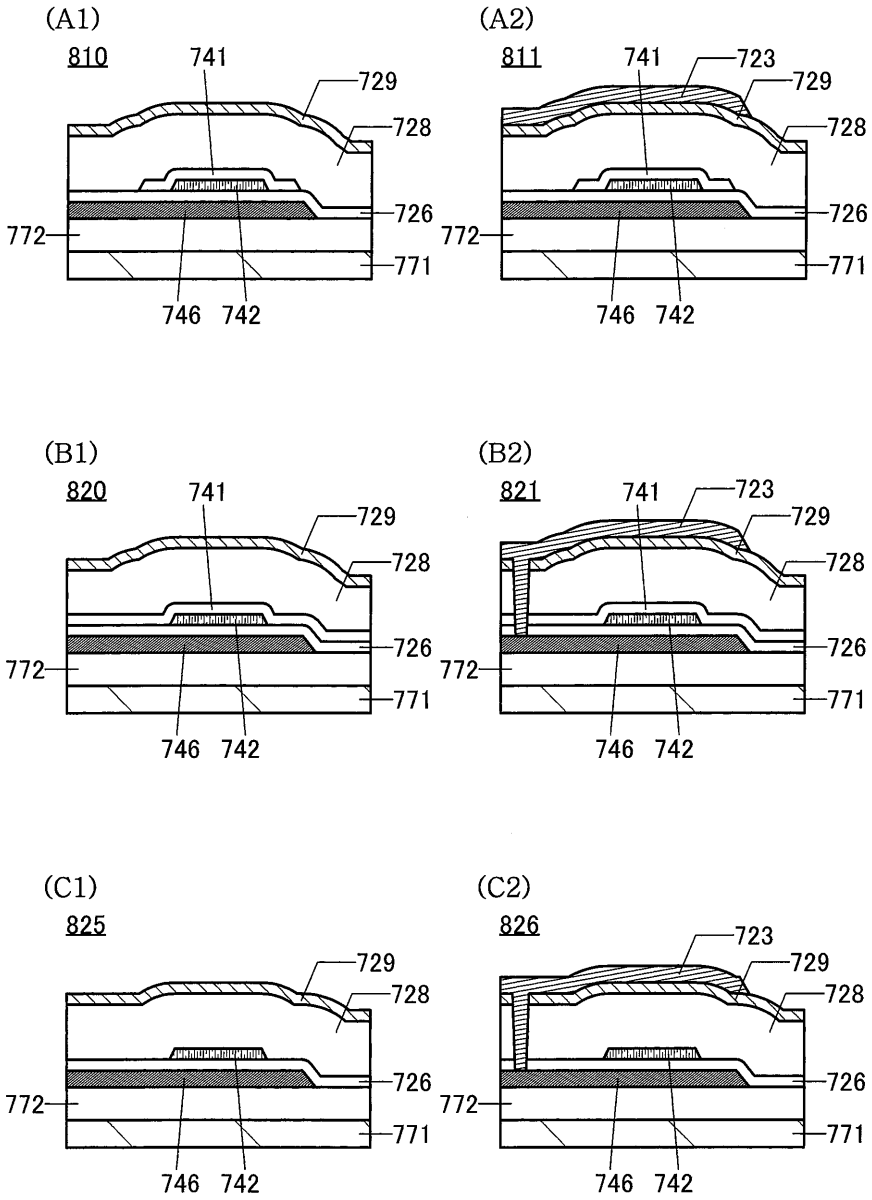
(E)


4003
4004
4342
4009
4001

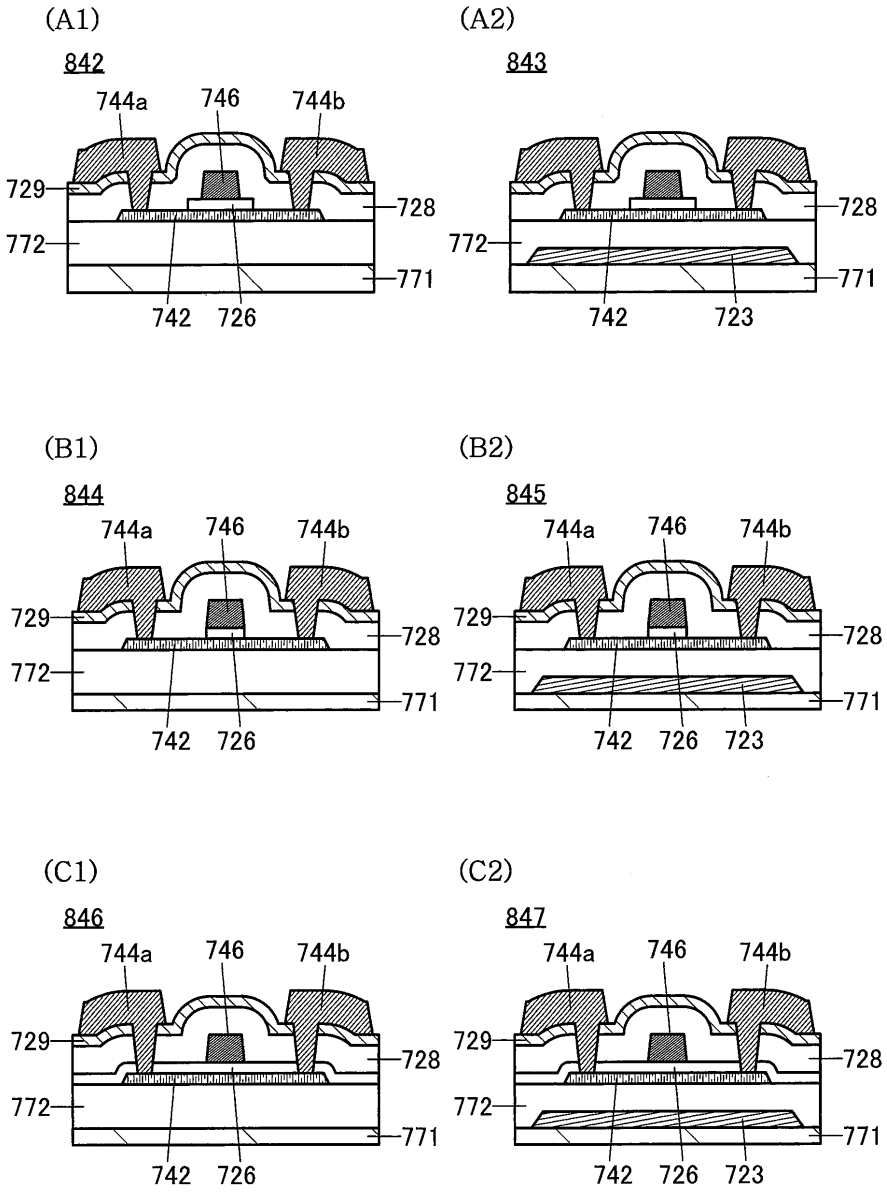
도면31


(A1)
810
741
729
728
726
772
771
744a
746
742
744b
(A2)
811
723
729
728
772
746
(B1)
820
741
729
728
726
772
771
744a
746
742
744b
(B2)
821
723
729
728
746
(C1)
825
729
728
726
772
771
744a
746
742
744b
(C2)
826
723
729
728
746

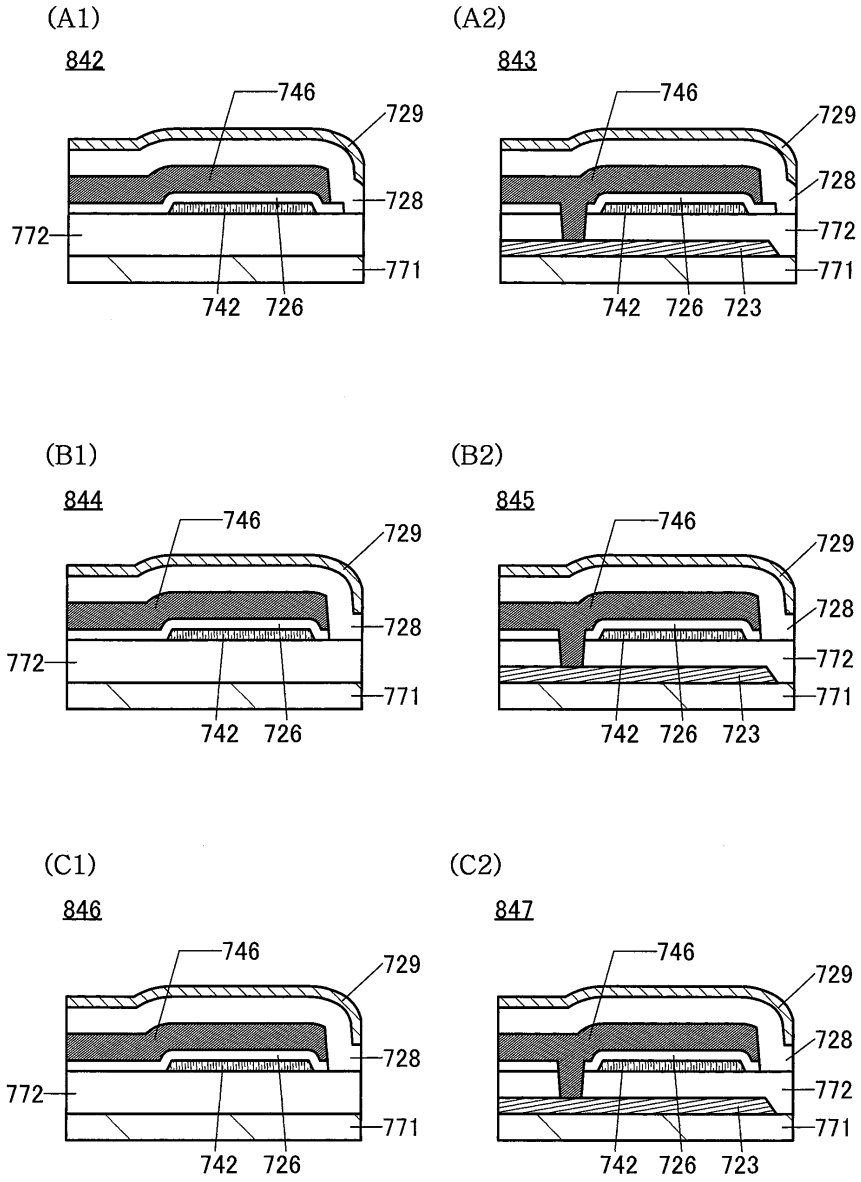
도면32


(A1)
810
741
729
728
726
772
771
746
742
(A2)
811
741
723
729
728
726
772
771
746
742
(B1)
820
741
729
728
726
772
771
746
742
(B2)
821
741
723
729
728
726
772
771
746
742
(C1)
825
729
728
726
772
771
746
742
(C2)
826
723
729
728
726
772
771
746
742

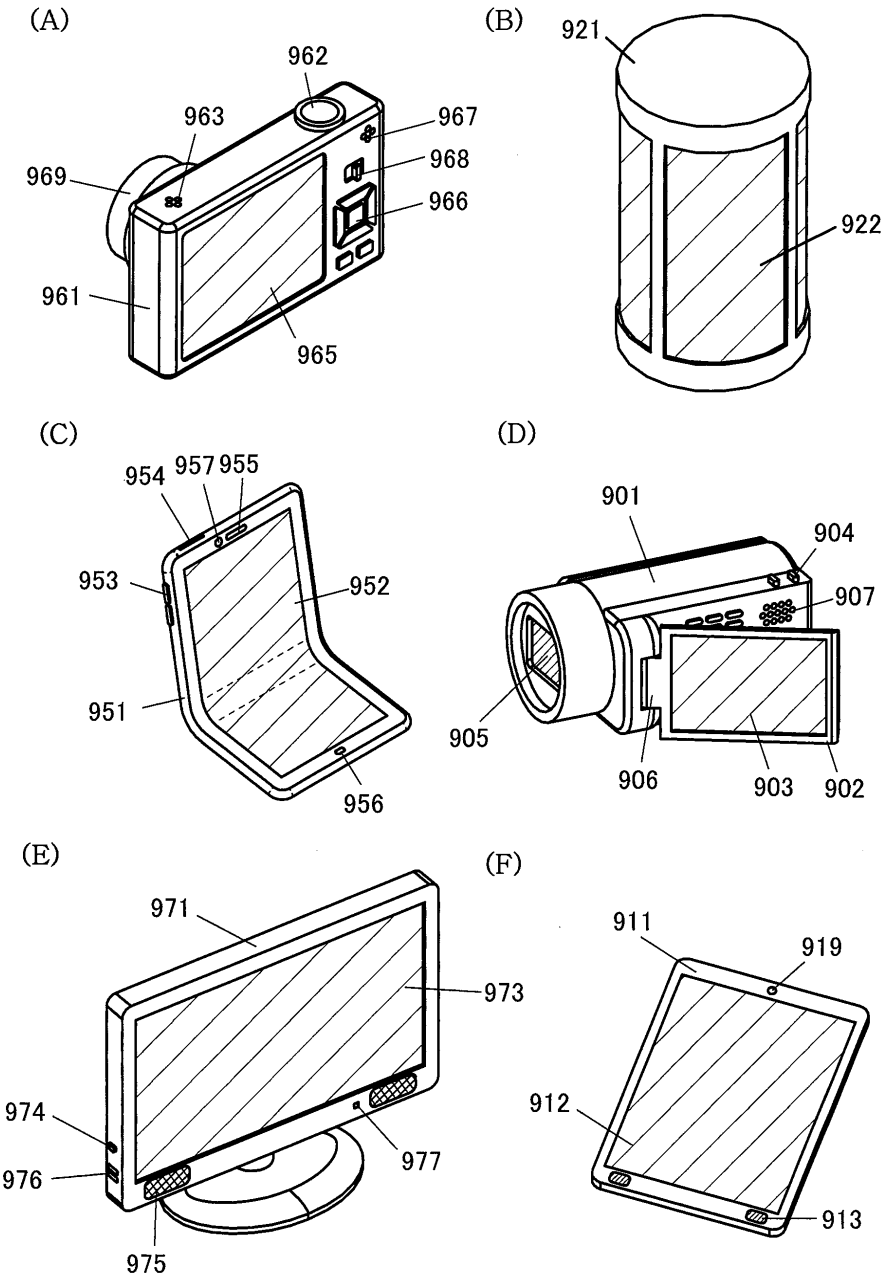
도면33


(A1)
842
744a
746
744b
729
728
772
771
742
726
(A2)
843
728
772
771
742
723
(B1)
844
744a
746
744b
729
728
772
771
742
726
(B2)
845
744a
746
744b
729
728
772
771
742
726
723
(C1)
846
744a
746
744b
729
728
772
771
742
726
(C2)
847
744a
746
744b
729
728
772
771
742
726
723

도면34


(A1)
842
746
729
728
772
771
742
726
(A2)
843
746
729
728
772
771
742
726
723
(B1)
844
746
729
728
772
771
742
726
(B2)
845
746
729
728
772
771
742
726
723
(C1)
846
746
729
728
772
771
742
726
(C2)
847
746
729
728
772
771
742
726
723

도면35


(A)
962
963
967
969
968
966
961
965
(B)
921
922
(C)
954
957
955
953
952
951
956
(D)
901
904
907
905
906
903
902
(E)
971
973
974
976
977
975
(F)
911
919
912
913