

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
H03M 1/78 (2006.01)



[12] 发明专利说明书

专利号 ZL 200580043961.X

[45] 授权公告日 2010 年 3 月 3 日

[11] 授权公告号 CN 100593284C

[22] 申请日 2005.12.16

[21] 申请号 200580043961.X

[30] 优先权

[32] 2004.12.21 [33] US [31] 11/021,230

[86] 国际申请 PCT/US2005/045832 2005.12.16

[87] 国际公布 WO2006/068984 英 2006.6.29

[85] 进入国家阶段日期 2007.6.21

[73] 专利权人 埃克萨公司

地址 美国加利福尼亚州

[72] 发明人 巴尔曼·福托希

[56] 参考文献

US5689259A 1997.11.18

US2002/0145552A1 2002.10.10

CN1113054A 1995.12.6

US6778122B2 2004.8.17

一种用于数模转换器的电流-电压转换电路。 崔福良等. 固体电子学研究进展, 第 24 卷第 4 期. 2004

审查员 何明伦

[74] 专利代理机构 北京英赛嘉华知识产权代理有限公司

代理人 余 滕 方 挺

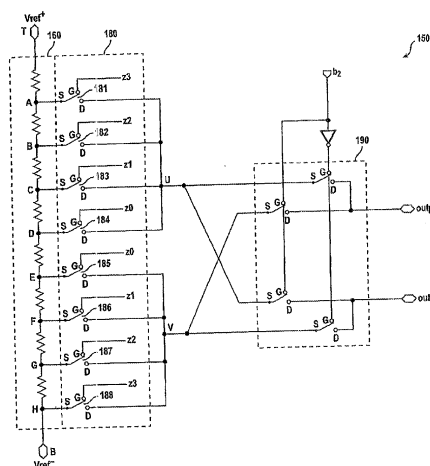
权利要求书 1 页 说明书 7 页 附图 7 页

[54] 发明名称

高速差分电阻电压的数模转换器

[57] 摘要

一种差分数模电压转换器 (VDAC), 包括电阻和至少两个译码级作为其一部分。所述电阻被分为 N 个等分段, 每一段分别位于形成第一译码级的 N 个译码器的不同的一个中。每个译码器的电阻段进一步划分为 M 个等分段以提供 M 个抽头节点。第一译码级中的每个译码器将 M 个抽头电压中的两个传送到一对相关联的输出节点上, 并且所述两个电压关于译码器中电阻段的中心处的电压互补。第二译码级接收由 N 个译码器中的每一个传送的第一和第二电压, 并将关于电阻中心处的电压互补的两个电压传送到一对第三和第四输出节点。



1. 一种差分数模转换器，包括：

第一译码级，包括 N 个译码器，其中每个译码器分别设置有电阻的 N 个不同等分段之一，每个译码器适用于接收 M 个电压，所述 M 个电压分别对应于该译码器内所述等分段的 M 个抽头节点处的电压；每个译码器进一步适用于将所述接收的 M 个电压中的第一和第二电压传送至该译码器的第一和第二输出节点，其中所述 N 个译码器每一个中的被传送的所述第一和第二电压关于所述译码器中所述电阻等分段的中心点处的电压互补；

第二译码级，适用于接收 N 个第一电压和 N 个第二电压，并将所述 N 个第一电压中的一个作为第三电压传送至一对第三和第四输出节点中的一个、将所述 N 个第二电压中的一个作为第四电压传送至所述第三和第四输出节点中的另一个，其中所述第三和第四电压关于所述电阻中心点处的电压互补；以及

第三译码级，适用于将所述第三和第四电压中的一个传送至所述数模转换器的第一输出端子，并将所述第三和第四电压中的另一个传送到所述数模转换器的第二输出端子。

2. 如权利要求 1 所述的差分数模转换器，其中，所述第一译码级中的每个译码器适用于执行二进制译码运算。

3. 如权利要求 1 所述的差分数模转换器，其中，所述第一译码级中的每个译码器适用于执行树译码运算。

4. 如权利要求 1 所述的差分数模转换器，其中，所述第一译码级中的每个译码器执行二进制和树译码运算。

高速差分电阻电压的数模转换器

背景技术

数模转换电路, 又称 DAC, 是接收数字编码信号并提供相应的模拟输出电流或电压信号的译码装置。因此, DAC 常作为数字系统和模拟系统之间的接口使用。

图 1 是传统 DAC 10 的简化的高级框图。DAC 10 的输入是包括二进制比特流的数字字 D。可为电流或电压的输出模拟信号与输入信号有如下关联:

$$A = KV_{ref}D$$

其中 K 是比例因子, V_{ref} 是参考电压。D 可由下式表示:

$$D = b_1/2^1 + b_2/2^2 + \dots + b_N/2^N$$

其中 N 是总的位数, $b_1, b_2, \dots$ 是量化为 1 或 0 的比特系数。

电压调节 DAC, 也在下文中也称为 VDAC, 通过对串联在参考电压和地之间的分压电阻进行选择性地抽头来产生模拟输出电压信号。采用大量的开关, 例如 CMOS 开关, 和/或译码逻辑来选择一个抽头电压作为模拟输出电压信号, 并对其进行传送。存在两种用于选择和传送抽头电压的传统译码方法, 即树译码和二进制译码。

图 2 是传统 3 比特树译码 VDAC 20 的示意图, 其包括总数为 $(2^3 + 1 - 2 = 14)$ 14 个的 CMOS 晶体管开关 41-48、61-64、81-82, 以及数量为其一半的 CMOS 反相器 51-54、71-72 和 81 作为其一部分。电阻 22 被分为 8 个相等的电阻段 22a、22b、... 22h。使用了三个译码级 40、60 和 80。译码级 40 接收分别存在于节点 a, b, c, d, ..., h 上的八个抽头电压, 并将其中 4 个传送到所示为 i、j、k、l 的 4 个节点, 对应于三比特字 $b_2b_1b_0$ 的 b_0 位。级 60 接收节点 i、j、k、l 的电压并将其中两个传送到节点 m、n 上, 对应于三比特字 $b_2b_1b_0$ 的 b_1 位。级 80 接收节点 m、n 上的两个电压, 并将其中一个作为输出电压传送到输出端子 Vout, 对应于三比特字 $b_2b_1b_0$ 中的 b_2 位。因此, 根据字 $b_2b_1b_0$ 的三个

比特的值, 可将节点 a、b、c、...h 上一个的抽头电压传送到输出端子 Vout。

例如 VDAC 20 的树译码 VDAC 的缺陷之一在于, 从任意一个抽头电压到输出端子的信号路径包括沿着该路径设置的闭合的三极管开关的结电容和串联导通电阻, 以及某些与该路径耦合的打开的三极管开关的结电容。例如, 从节点 a 到端子 Vout 的路径包括三极管开关 41、61、81 的结电容和串联导通电阻, 以及 42 和 62 的结电容。因此, 树译码 VDAC 常用于运算速度相对不重要的应用中。

图 3 是传统 3 比特二进制译码 VDAC 100 的示意图, 其包括总数为 $(2^3 = 8)$ 8 个的 CMOS 晶体管开关 91-98 作为其一部分。VDAC 100 包括设置有 8 个开关的一个译码级 90。译码器 (未示出) 接收三比特字 $b_2b_1b_0$ 并产生分别提供给开关 91-98 的 8 路信号 z_0 、 z_1 、... z_8 。根据字 $b_2b_1b_0$ 的三位, 所示 8 路信号 z_0 - z_8 中的一路将被选定, 以将节点 a、b、c、...h 上的一个抽头电压传送到输出端子 Vout。因为在这种 VDAC 中每个抽头节点使用一个开关, 所以从每个抽头节点到输出端子的信号路径上具有相对较小的阻抗。然而, 这种 VDAC 需要相对大量的译码, 尤其是当字 $b_2b_1b_0$ 的位数增加时。此外, VDAC 20 和 VDAC 100 都不适合实现差分数模电压转换。

发明内容

根据本发明, 差分数模转换器包括电阻和至少两个译码级作为其一部分。所述电阻被分为 N 个等分段, 每一段分别位于形成第一译码级的 N 个译码器的不同的一个中。每个译码器的电阻段进一步划分为 M 个等分段以提供 M 个抽头节点。第一译码级中的每个译码器将 M 个抽头电压中的两个传送到一对相关联的输出节点上。在每个译码器中传送的所述两个电压关于译码器中电阻段的中心处的电压是互补的。第二译码级接收由第一译码级中 N 个译码器中的每一个传送的第一和第二电压, 并将所述电压中的两个电压传送至一对第三和第四输出节点。传送到第三和第四输出节点的电压关于差分数模转换器中的电阻中心处的电压互补。第三译码级将第三节点的电压传送至差分数

模转换器的一个输出端子上，并将第四节点的电压传送至差分数模转换器的另一输出端子上。在 $N=1$ 的实施方案中，第一译码级的输出信号作为输入信号直接传输至第三译码级。

在某些实施方案中，第一译码级的译码器适合进行二进制译码运算。在另一些实施方案中，第一译码级的译码器适合进行树译码运算。在又一些实施方案中，第一译码级的译码器适合进行二进制译码和树译码相结合的运算。

附图说明

图 1 是现有技术中公知的、传统数模转换器的简化高级框图；

图 2 是现有技术中公知的、传统 3 比特树译码数模电压转换器的示意图；

图 3 是现有技术中公知的、传统 3 比特二进制译码数模电压转换器的示意图；

图 4 是根据本发明一个实施方案的、3 比特差分数模电压转换器的示意图；

图 5 是根据本发明另一实施方案的、7 比特差分数模电压转换器的高级框图；

图 6 是根据一个实施方案的，设置在图 5 所示差分数模电压转换器的第一译码级中每个译码器的示意图；

图 7 是根据一个实施方案的，图 5 所示差分数模电压转换器的第三译码级的示意图；

图 8 是根据本发明另一实施方案的、3 比特差分数模电压转换器的示意图；以及

图 9 是根据本发明再一个实施方案的、3 比特差分数模电压转换器的示意图。

具体实施方式

图 4 是根据本发明一个实施方案的、3 比特差分数模电压转换器 (VDAC) 150 的示意图。VDAC 150 适于包括电阻 160、第一译码级

180 以及第二译码级 190 作为其一部分。电阻 160 被划分为相等的 8 段并在节点 A、B、C、D、E、F 和 G 抽头。电阻 160 的节点 T 与正电压电源 V_{ref}^+ 相连, 电阻 160 的节点 B 与负电压电源 V_{ref}^- 相连。

译码级 180 接收以上 7 个节点的抽头电压, 并传送相对于电阻 160 的中心抽头节点 D 互补的、节点 U、V 处的一对电压。译码级 180 适于包括接收译码信号 Z0、Z1、Z2 和 Z3 之一的 8 个三极管开关。2-4 译码器 (未示出) 接收数字字 $b_2b_1b_0$ 中最不重要的两位 b_0 和 b_1 , 并产生四位译码信号 Z0-Z3。信号 Z0 被提供至开关 184 和 185, 信号 Z1 被提供至开关 183 和 186, 信号 Z2 被提供至开关 182 和 187, 信号 Z3 被提供至开关 181 和 188。

如上所述, 根据本发明, 译码级传送至节点 U、V 的电压是相对于电阻 160 中心抽头节点 D 互补的。例如, 如果选定信号 Z3, 那么关于中心抽头节点 D 的电压互补的节点 A 和 G 上的电压被分别传送至节点 U 和 V。同样, 如果例如信号 Z2 被选定, 那么关于中心抽头节点 D 的电压互补的节点 B 和 F 上的电压被分别传送至节点 U 和 V。也就是说, 根据本发明, VDAC 的第一译码级产生关于 VDAC 中分段电阻中心处的电压互补的一对信号。

例如, 假设电阻 160 的节点 T 和 B 的电压分别为 2V 和 0V。那么, 节点 D 的电压是 1V。如果信号 Z3 被选定, 则分别为 1.75V 和 0.25V 的节点 A 和 G 的电压分别被传送至节点 U 和 V。同样, 如果例如选定信号 Z2, 则分别为 1.5V 和 0.5V 的节点 B 和 F 的电压分别被传送至节点 U 和 V。也就是说, 分别传送至节点 U 和 V 的电压总是关于电阻 160 中心节点电压互补的。

如图 4 所示, 第二译码级 190 将接收节点 U 和 V 的电压, 并根据 b_2 位的值, 将所述电压分别传送至输出端子 Outp 和 Outn, 或分别传送至输出端子 Outn 和 Outp。如果, b_2 位例如为 1, 则将节点 U 的电压提供给输出端子 Outn, 节点 V 的电压提供给输出端子 Outp。如果, 与之相反, b_2 位为 0, 则将节点 U 的电压提供给输出端子 Outp, 将节点 V 的电压提供给输出端子 Outn。

图 5 是根据本发明另一实施方案的、7 比特差分数模电压转换器

(VDAC) 200 的高级框图。VDAC 200 包括电阻、第一译码级 250、第二译码级 255 以及第三译码级 260 作为其一部分。电阻位于第一译码级 250 中，并连接在正参考电压 V_{ref1} 和负参考电压 V_{ref2} 之间。

所示第一译码级包括 8 个译码器 205_1 、 205_2 、 205_3 、 205_4 、 205_5 、 205_6 、 205_7 和 205_8 。每个译码器 205 中都设置有电阻的 $1/8$ 等分段。每个译码器中的电阻段被进一步划分为 16 等份，从而提供由译码器抽头的 16 个节点。每个译码器进一步用于接收 7 比特字的 $b_2b_1b_0$ 三位，并提供关于其中的电阻段中心处的电压互补的两个电压信号。因此，8 对这样的差分信号由译码级 250 提供，并由第二译码级 255 接收。

译码级 255 接收 7 比特字的 $b_5b_4b_3$ 三位，并作为响应，将 4 对 U_i 、 V_i 中的一路的作为第一信号传送至输出节点，且将 8 对中另 4 对 U_{9-i} 、 V_{9-i} 中的一路作为第二信号传送至另一输出节点，本实施方案中 i 为 1 到 4 的整数。由译码级 255 传送的第一和第二信号关于第一译码级 250 中电阻 R 中心处的电压互补。因此，由于信号 U_i 和 V_{9-i} 关于电阻 R 中心处的电压互补，所以译码级 255 适于响应于 $b_5b_4b_3$ 位的某些值将所述两路信号传送至节点 W 和 X 。同样，由于信号 V_i 和 U_{9-i} 关于电阻 R 中心处的电压互补，所以译码级 255 适于响应于 $b_5b_4b_3$ 位的某些其它值将所述两路信号传送至节点 W 和 X 。该第一和第二电压信号包括例如信号 (U_1, V_8) 、 (V_1, U_8) 、 (U_3, V_5) 、 (V_4, U_5) 等。

图 6 提供了每个译码器 205 更详细的视图。位于每个译码器 205 中的、阻值为 $R/8$ 的电阻段 220 被划分为 16 等份（即 $R/128$ ），以提供 16 个抽头节点 N_j ，其中 j 为 1 到 16 的整数。所述 16 个抽头节点提供了关于译码器 205 中 $R/8$ 电阻中心处的电压互补的 8 对电压信号。也就是说，节点 N_j 的电压与节点 N_{17-j} 的电压是互补的。例如，节点 N_1 的电压与节点 N_{16} 的电压互补。同样，节点 N_3 的电压与节点 N_{14} 的电压互补。每个译码器 205 都适用于将一对互补的节点 N_j 和 N_{17-j} 的抽头电压作为输出电压传送至节点 U 和 V 。

在图 6 所示实施方案中，到输出节点的抽头电阻电压的选择和传送通过包括 16 个 CMOS 开关 210_j 的进制译码器实现。逻辑译码器（未示出）接收 $b_2b_1b_0$ 位，并作为响应产生 8 路译码信号 Z_k ，其中当

j 为 1 到 8 时 k 等于 j , 当 k 为 9 到 16 时 k 等于 $(j-8)$ 。译码信号 Z_k 被提供至开关 210_j 。因此, 当抽头节点 N_1 的电压传送至输出节点 U 时, 抽头节点 N_{1+8} 的电压被传送至输出节点 V , 其中 1 为 1 到 8 的整数。如图 6 所示并如上所述, 传送至节点 U 和 V 的电压关于每一译码器 205 中的电阻 220 中心处的电压互补。可理解, 每个译码器 205 可适合执行树译码或树译码与二进制译码的结合以产生传送至节点 U 、 V 的电压。

由译码器 205 提供的、节点 U_i 、 V_i 上的 8 对互补电压信号被传送至译码级 255。如上所述, 响应于 $b_5b_4b_3$ 位, 译码级 255 将节点 U_i 、 V_i 上的 4 对信号中的一路以及节点 U_{9-i} 、 V_{9-i} 上的 4 对信号中的另一路传送至输出节点 W 和 X 。由译码级 255 传送至输出节点的两路电压信号关于 VDAC 200 中的电阻 R 中心处的电压互补。因此, 由于信号 U_i 和 V_{9-i} 关于电阻 R 中心处的电压互补, 所以译码级 255 适用于响应于 $b_5b_4b_3$ 位的某些值将所述两路信号传送至节点 W 和 X 。同样, 由于信号 V_i 和 U_{9-i} 关于电阻 R 中心处的电压互补, 所以译码级 255 适用于响应 $b_5b_4b_3$ 位的另外某些值将所述两路信号传送至节点 W 和 X 。可以理解, 译码级 255 可使用二进制译码器、树译码器、或二进制译码器与树译码器相结合, 以响应于 $b_5b_4b_3$ 位将电压传送至输出节点 W 和 X 。

译码级 260 接收节点 W 、 X 上的互补电压, 并响应于 b_6 位将两电压之一传送至输出端子 $Outp$, 将两电压中的另一个传送至输出端子 $Outn$ 。图 7 提供了根据一个实施方案的, 每个译码器 260 的更详细的视图。如果 b_6 为 1, 则开关 274 和 278 是闭合的, 因此接收自端子 W 的电压被传送至端子 $Outn$, 而接收自端子 X 的电压被传送至端子 $Outp$ 。如果 b_6 为 0, 则开关 272 和 276 是闭合的, 因此接收自端子 X 的电压被传送至端子 $Outn$, 而接收自端子 W 的电压被传送至端子 $Outp$ 。

图 8 是根据本发明另一实施方案的、3 比特差分 VDAC 300 的示意图。VDAC 300 适于包括电阻 310 以及一对二进制译码级 340 和 370 作为其一部分。电阻 310 被等分为 8 段以提供 8 个抽头节点 310_i , 本实施方案中 i 为从 1 到 8 的整数。译码逻辑 (未示出) 接收 $b_2b_1b_0$ 位,

并产生传送至译码级 340 和 370 的译码信号 Z_i 。

所述每个译码级包括 8 个开关，每个开关适用于接收不同的一路译码信号 Z_i ，这样传送至端子 Outp 和 Outn 的电压关于电阻 310 的中心节点 310_4 处的电压是互补的。所示译码级 340 中具有 8 个开关 345_i ，开关 345_i 适用于接收译码信号 Z_i 。同样，所示译码级 370 中具有 8 个开关 375_i ，开关 375_i 适用于接收译码信号 Z_i 。因此，对于每路译码信号 Z_i ，节点 $310_{(9-i)}$ 的电压通过开关 345_i 传送至端子 Outp，并通过开关 375_i 传送至端子 Outn。

图 9 是根据本发明再一个实施方案的、3 比特差分 VDAC 400 的示意图。VDAC 400 适于包括电阻 410 以及一对树译码级 440 和 470 作为其一部分。电阻 410 被等分为 8 段以提供 8 个抽头节点 410_i ，本实施方案中 i 为 1 到 8 的整数。

树译码级 440 包括 14 个开关，并适用于将电阻 410 的一路抽头电压传送至端子 Outp。同样，树译码级 470 包括 14 个开关，并适用于将电阻 410 的另一路抽头电压传送至端子 Outn。传送至输出端子 Outp 和 Outn 的电压关于电阻 410 中心节点 410_4 处的电压互补。因此，如果将例如电阻 410 的节点 410_1 的电压传送至输出端子 Outp，则将电阻 410 的节点 410_7 的电压传送至输出端子 Outn。同样，如果将例如电阻 410 的节点 410_4 的电压传送至输出端子 Outp，则将电阻 410 的节点 410_5 的电压传送至输出端子 Outn。

本发明的上述实施方案是说明性的而非限制性的。各种替代方案和等价方案都是可能的。本发明不受开关类型的限制，例如 CMOS 或可用于本发明的差分数模电压转换电路的其它开关。本发明不受接收数字字并产生译码信号的译码逻辑的类型限制。本发明不受本发明所处集成电路类型的限制。本发明也不受用于制造本发明的处理工艺的任何特殊类型的限制，例如 CMOS、双极型或 BICMOS。此外，本发明显然存在其他的添加、删减或变形，其一并落入所附权利要求的保护范围中。

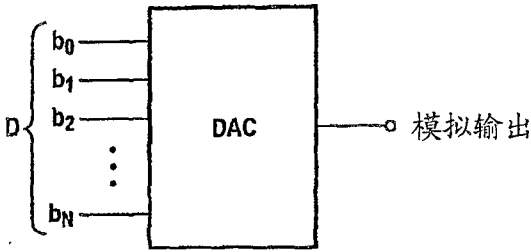


图 1

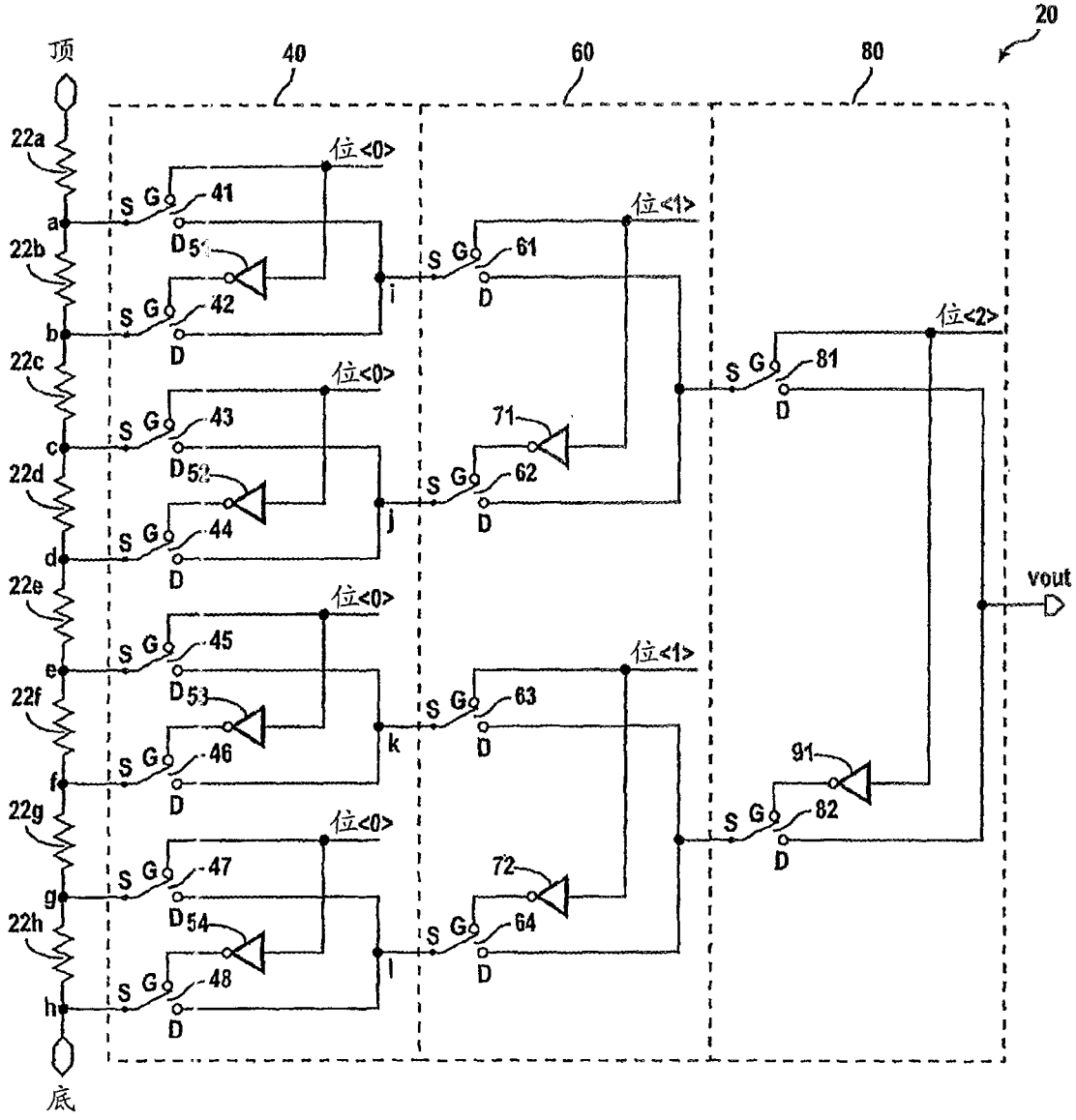


图 2

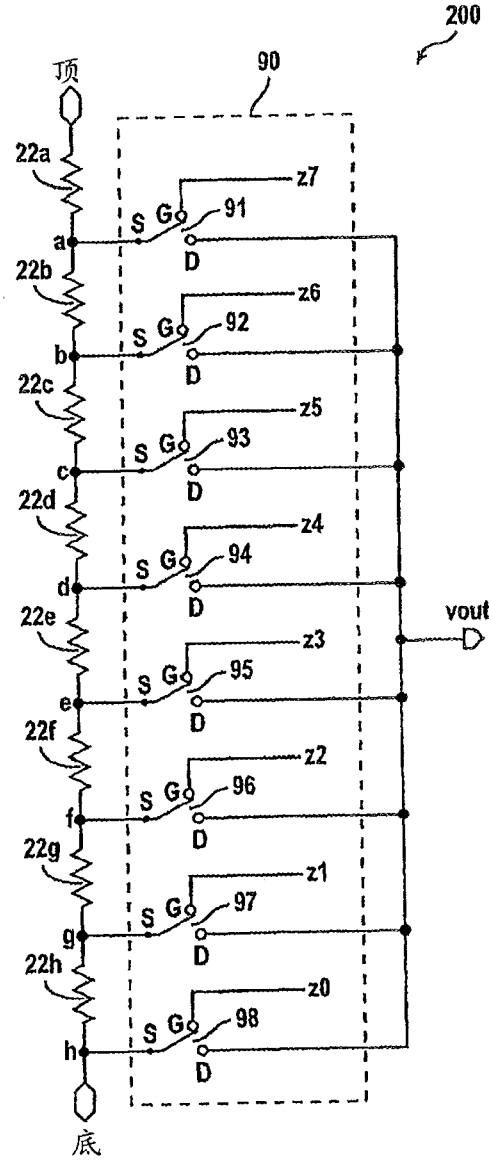


图 3

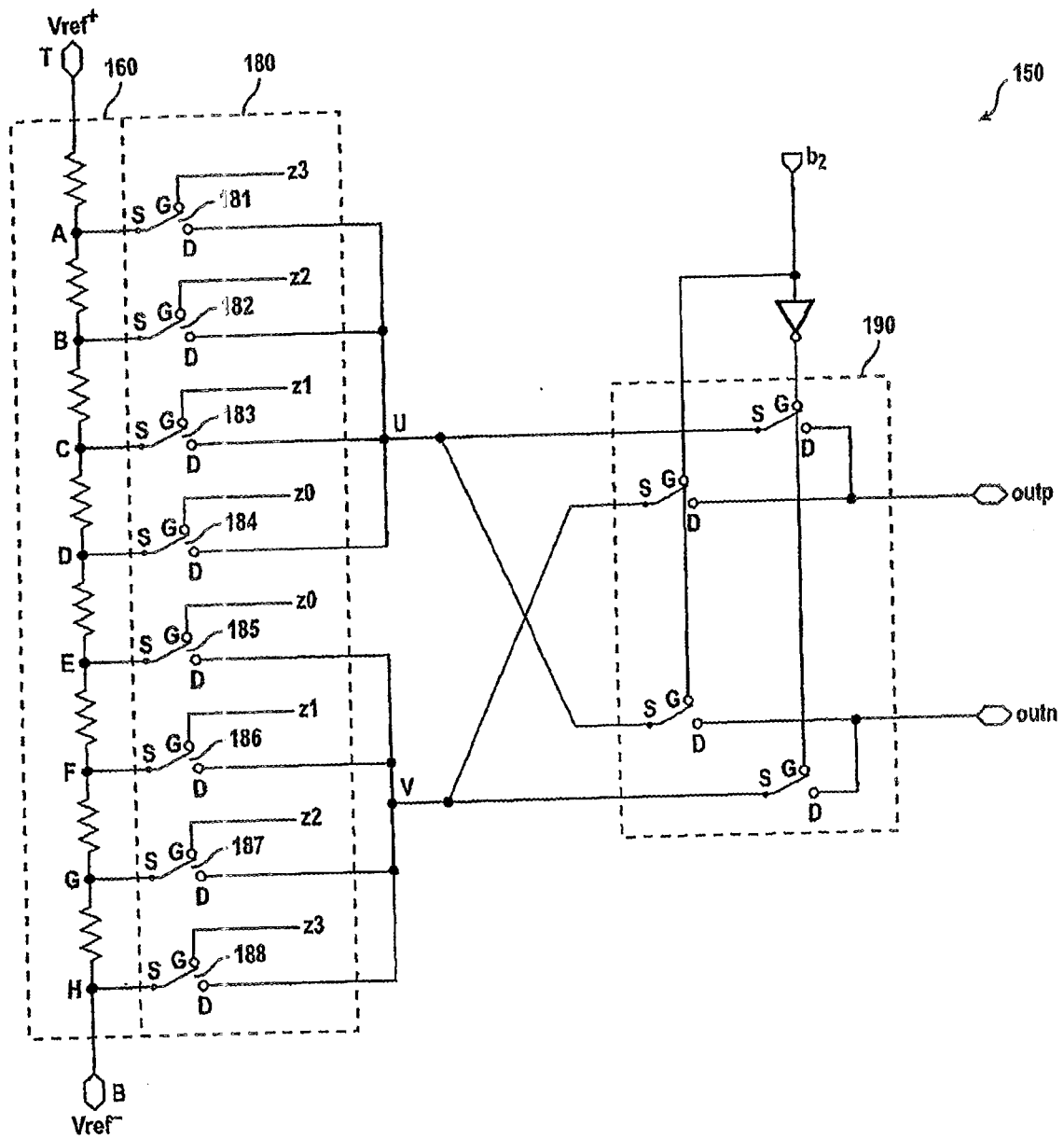


图 4

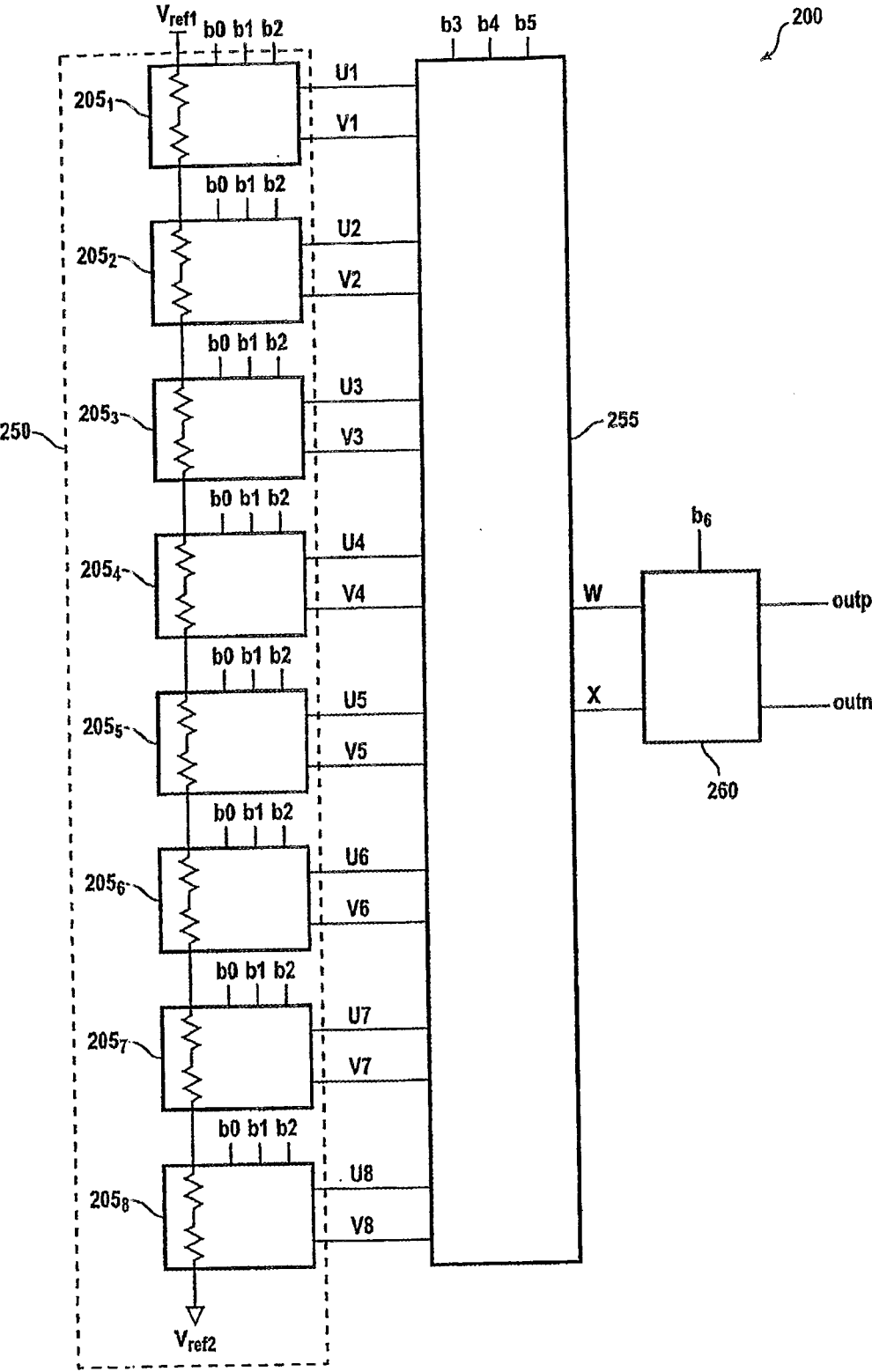
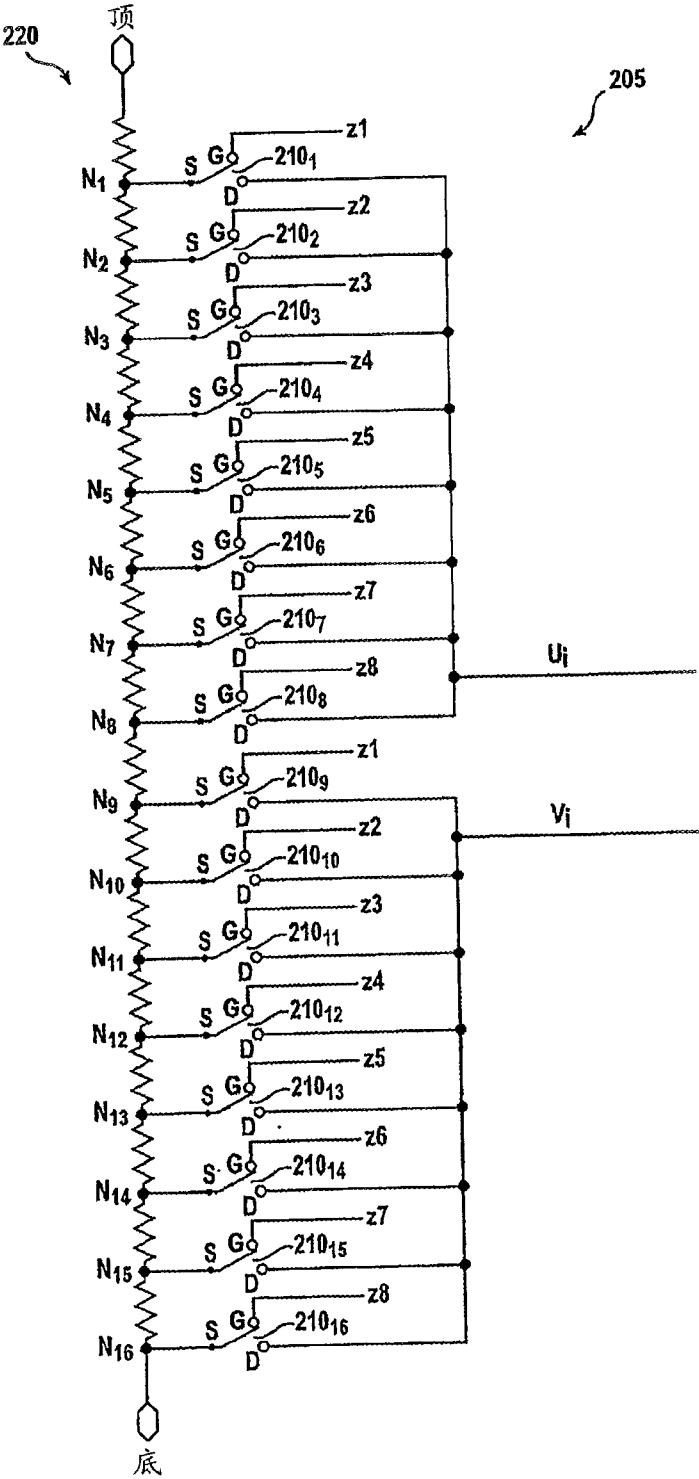


图 5



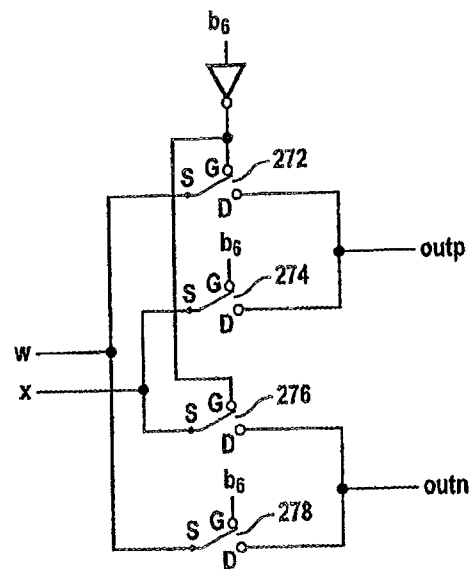


图 7

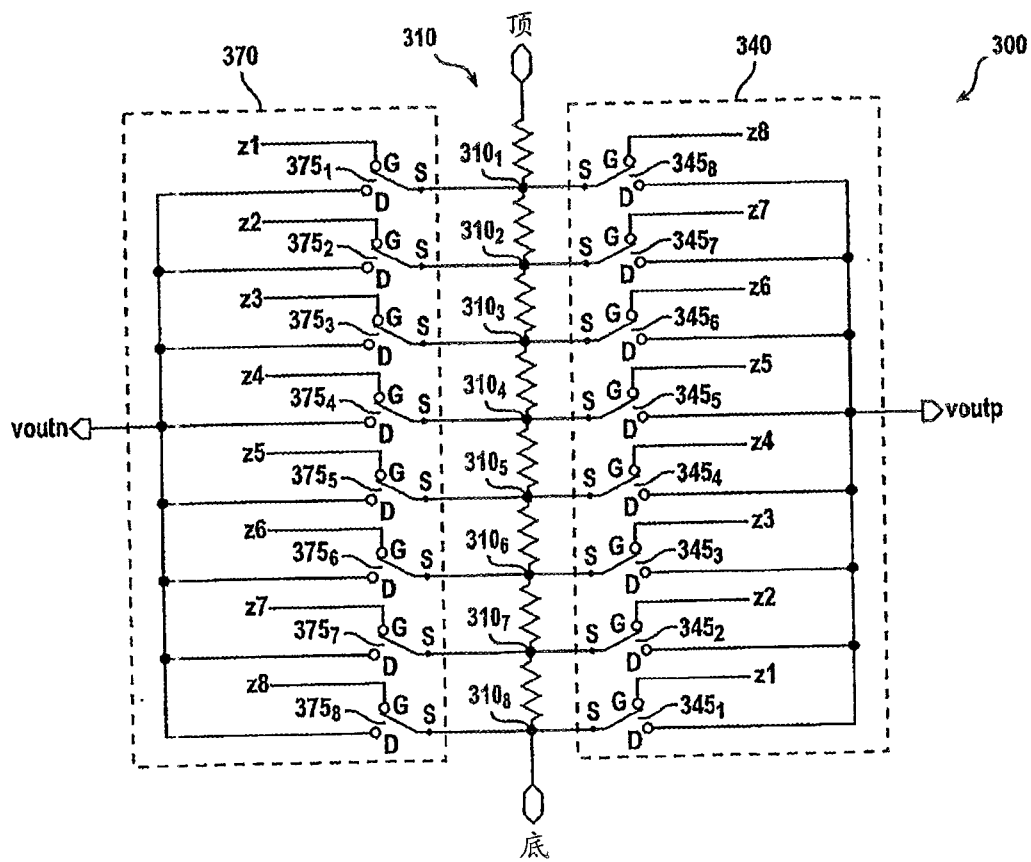


图 8

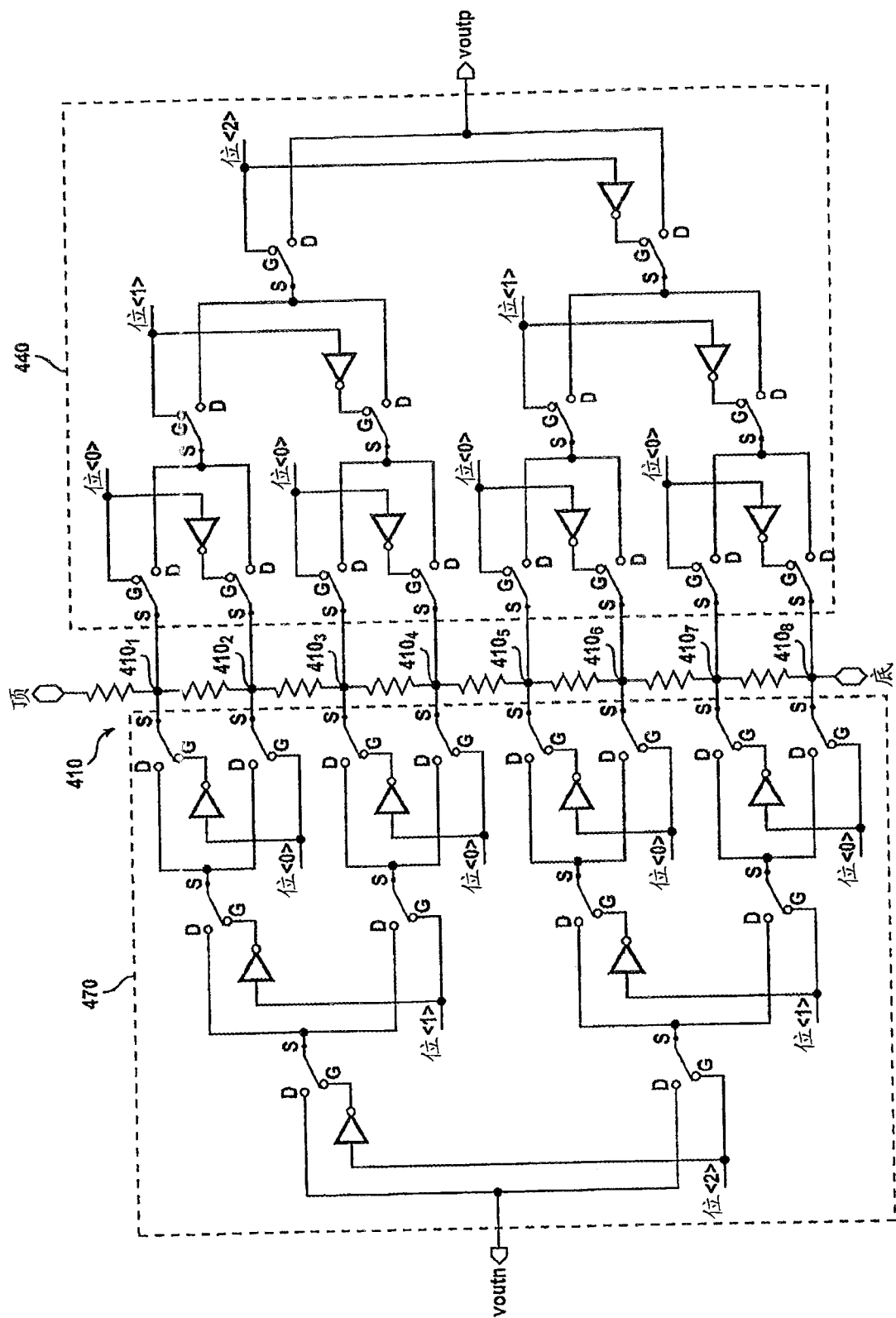


图 9