СОЮЗ СОВЕТСКИХ СОЦИАЛИСТИЧЕСКИХ РЕСПУБЛИК

(19) SU (11) 1179360 A

(51)4 G 06 F 13/00

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(21) 3772110/24-24
(22) 13.07.84
(46) 15.09.85. Бюл. № 34
(72) Б.С.Березкин, И.В.Андреев, Б.Г.Голованов, М.С.Иванец, В.И.Кулинич, В.А.Котов и Ю.Н.Филипьев
(53) 681.3(088.8)
(56) Авторское свидетельство СССР № 1048468, кл. G 06 F 3/09, 1982.
Авторское свидетельство СССР № 732846, кл. G 06 F 9/00, 1977.

(54)(57) 1. УСТРОЙСТВО ДЛЯ КОММУТАЦИИ СООБЩЕНИЙ, содержащее блоки сопряжения с каналами, имеющими шины приема-передачи и управления, являющиеся входами-выходами устройства, блок микропрограммного управления, первый выход которого соединен с объединенными первыми входами блоков сопряжения, и блок оперативной памяти, о т л и ч а ю щ е е с я тем, что, с целью расширения функциональных возможностей за счет реализации обслуживания сообщений произвольной длины и повышения гибкости устройства, в него дополнительно введены информационная и адресная шины, приоритетный блок, блок выбора маршрута, блок ведения очередей, первые и второй входы-выходы которого соединены соответственно с адресной и информационной шинами устройства, а третий вход-выход с первым входом-выходом блока оперативной памяти, другой вход которого подсоединен к четвертому выходу блока ведения очередей, пятый выход и четвертый вход которого соединены с вторыми входом и выходом блока микропрограммного управления, третий и четвертый выходы которого подсоединены соответственно к адресной шине и первому входу приоритетного блока, выход которого соединен с первым входом блока микропрограммного управления, а второй вход соединен с первым объединенным выходом блоков сопряжения с каналами, вторые и третьи входы-выходы которых соединены соответственно с адресной и информационной шинами устройства, которые соединены также с вторым входом и с входом-выходом блока выбора маршрута, первый выход которого соединен с объединенным первым входом блоков сопряжения с каналами, а третий вход соединен с пятым выходом блока микропрограммного управления.

2. Устройство по п. 1, о т л и ч а ю щ е е с я тем, что каждый из блоков сопряжения с каналом содержит блок управляющих триггеров, регистры приема и выдачи символа сообщения, регистр оперативной памяти, счетчик адреса буфера, схему сравнения символов, регистр символа и первый, второй, третий, четвертый и пятый элементы И, причем первый, второй, третий и четвертый входы блока управляющих триггеров соединены с одноименными выходами блока синхронизации, пятый вход соединен с первыми входами первого, второго, третьего и четвертого элементов И, объединенных с первым входом блока сопряжения с каналом, шестой и седьмой входы соединены соответственно с первым выходом счетчика адреса буфера и выходом схемы сравнения символов, восьмой, девятый, де-

SU (11) 1179360 A

сятый и одиннадцатый входы соединены также с первым входом блока сопряжения с каналом, первый, второй, третий, четвертый, пятый и шестой выходы являются первым выходом блока сопряжения с каналом, а седьмой выход соединен с первым входом блока синхронизации, второй вход которого является входной управляющей шиной устройства, а третий соединен с выходом второго элемента И, пятый, шестой выходы блока синхронизации соединены соответственно с первым входом счетчика адреса буфера, с первыми входами-выходами регистра управляющих символов и регистра символа, вторым входом схемы сравнения, с первыми входами пятого элемента И регистров приема, выдачи и оперативной памяти, кроме того второй вход регистра приема является входной шиной приема устройства, а первый и второй выходы соединены соответственно с вторыми входами пятого элемента И и регистра оперативной памяти, выход которого через регистр выдачи соединен с выходной шиной устройства, третий вход через четвертый элемент И связан с третьим входом-выходом блока сопряжения с каналом, а второй выход соединен с одноименным входом третьего элемента И, третий вход которого соединен с первым входом, а выход - с третьим входом-выходом блока сопряжения с каналом, первый вход которого соединен также с вторыми входами второго, первого и третьим входом четвертого элементов И, третий вход пятого элемента И соединен с вторым выходом регистра выдачи, а выход пятого элемента И соединен с первым входом схемы сравнения символов, другой вход которой соединен с первым выходом регистра символа, второй выход которого соединен с вторым входом регистра управляющих символов, выход которого соединен с вторым входом регистра символа, кроме того второй выход счетчика адреса буфера соединен с третьим входом первого элемента И, выход которого соединен с вторым входом-выходом блока сопряжения с каналом, а второй вход счетчика адреса буфера соединен с третьим входом блока управляющих триггеров.

3. Устройство по п. 1, о т л и ч а ю щ е е с я тем, что блок ведения очередей содержит с первого по девятнадцатый групповые элементы И, с первого по седьмой регистры, информационную и адресную шины, которые соединены соответственно с выходами первого, второго, третьего, четвертого, пятого и тринадцатого, с первыми входами четвертого, восьмого и двенадцатого групповых элементов И, с выходами второго, шестого, девятого, девятнадцатого, с первыми входами третьего, седьмого, десятого и одиннадцатого групповых элементов И, вторые входы которых соединены с четвертым входом блока ведения очередей, а первые входы первого, второго, пятого, шестого, девятого, тринадцатого и девятнадцатого групповых элементов И соединены соответственно с первыми выходами первого, второго, третьего, пятого и седьмого регистров, первыми входами которых являются соответственно объединенные выходы третьего и четвертого, седьмого и восьмого, десятого, двенадцатого и четырнадцатого групповых элементов И соответственно, а вторые выходы первого, второго, пятого регистров соединены соответственно с первым входом четырнадцатого группового элемента И, с объединенными первыми входами шестнадцатого, семнадцатого и восемнадцатого групповых элементов И и с третьим входом-выходом блока ведения очередей, вторые входы с четырнадцатого по девятнадцатый групповых элементов И соединены с четвертым входом блока ведения очередей, а выходы одиннадцатого, пятнадцатого, восемнадцатого групповых элементов И соединены соответственно с входом четвертого регистра, выход которого соединен с четвертым выходом блока ведения очередей, с вторым входом второго регистра, с входом шестого регистра, пятым выходом блока ведения очередей и вторым входом седьмого регистра, а выход шестого регистра соединен с первым входом пятнадцатого группового элемента И, первый, второй входы-выходы блока ведения очередей соединены с информационными и адресными шинами блока ведения очередей и устройства.

4. Устройство по п. 1, о т л и ч а ю щ е е с я тем, что блок выбора маршрута содержит последовательно соединенные первый элемент И, регистр адреса памяти и постоянное запоминающее устройство, причем первый и второй входы первого элемента И являют-

ся соответственно первым и вторым входом блока выбора маршрута, последовательно соединенные с запоминающим устройством регистр номера канала и второй элемент И, второй вход которого является первым входом блока выбора маршрута, последовательно соединенные третий элемент И и дешифратор номера канала, выходы которого являются первым выходом блока выбора маршрута, а первый и второй входы третьего элемента И соединены соответственно с входом-выходом блока выбора маршрута и одновременно с выходом второго элемента И и первым входом блока выбора маршрута.

1

Изобретение относится к вычислительной технике и может быть использовано в системах передачи и обработки данных для коммутации сообщений, для создания сетей передачи данных и вычислительных сетей.

Цель изобретения - расширение функциональных возможностей путем реализации обслуживания сообщений произвольной длины и повышение гибкости устройства.

На фиг. 1 приведена структурная схема предлагаемого устройства; на фиг. 2 - структурная схема блока сопряжения с каналом; на фиг. 3 - структурная схема блока управляющих триггеров блока сопряжения с каналом; на фиг. 4 - структурная схема приоритетного блока; на фиг. 5 - структурная схема блока микропрограммного управления; на фиг. 6 - структурная схема блока управления блока микропрограммного управления; на фиг. 7 - структурная схема блока ведения очередей; на фиг. 8 - структурная схема блока выбора маршрута; на фиг. 9 - структурная схема блока синхронизации блока сопряжения с каналом; на фиг. 10 - структурная схема блока формирования сигналов приема-передачи блока синхронизации блоков сопряжения; на фиг. 11 - структурная схема блока управления сравнением блока синхронизации блоков сопряжения; на фиг. 12 - структурная схема блока синхронизации блока микропрограммного управления.

Устройство для коммутации сообщений (фиг. 1) содержит блоки 1 сопряжения с каналами по числу обслуживаемых каналов связи, приоритетный блок 2, блок 3 микропрограммного управления, блок 4 ведения очередей, блок 5 выбора маршрута, блок 6 оперативной памяти, адресную шину 7, информационную шину 8 и взаимосвязи 9 - 30. Связи 9 - 11 блоков 1 сопряжения с каналами являются шинами приема-передачи и управления устройства. Блоки 1 сопряжения с каналами с помощью двухсторонней связи 12 подсоединены к информационной шине 8 устройства, с помощью двухсторонних связей 13 - к адресной шине 7 устройства. Связи 14 блоков 1 сопряжения с каналами объединены и соединены связью 16 с приоритетным блоком 2. Связи 15 блока 1 сопряжения с каналами объединены и соединены с управляющим выходом 19 блока 3 микропрограммного управления.

2

Первые вход и выход приоритетного блока 2 с помощью связей 17 и 18 соединены с четвертым выходом и первым входом блока 3 микропрограммного управления, третий выход которого с помощью связи 20 соединен с адресной шиной 7 устройства. Вторые вход и выход блока 3 микропрограммного управления связями 21 и 22 соединены соответственно с пятым выходом и четвертым входом блока 4 ведения очередей, а пятый выход связью 23 соединен с третьим входом блока 5 выбора маршрута. Блок 4 ведения очередей соединен двухсторонними связями 24, 25 соответственно с информационной 8 и адресной 7 шинами устройства, его четвертый выход связью 26 подсоединен к второму входу блока 6 оперативной памяти, а третий вход-выход двухсторонней связью 27 - к первому входу-выходу блока 6 оперативной памяти. Блок 5 выбора маршрута с помощью связи 28 соединен с информационной шиной 8 устройства, с помощью связи 29 - с адресной шиной 7, а его первый выход связью 30 соединен с объе-

диненными входами 15 блоков 1 сопряжения с каналами.

Блок 1 сопряжения с каналами (фиг. 2) содержит блок 31 управляющих триггеров, блок 32 синхронизации, регистры 33 и 34 приема и выдачи, регистр 35 оперативной памяти, счетчик 36 адреса буфера, схему 37 сравнения, регистры 38 и 39 символа и управляющих символов, элементы И 40 - 44, взаимосвязи 45 - 67.

Первый, второй, третий, четвертый, пятый и шестой выходы блока 31 управляющих триггеров соединены связями 45 - 50 со связью 14 блоков 1 сопряжения с каналами, седьмой выход с помощью связи 51 соединен с первым входом блока 32 синхронизации, а первый, второй, третий и четвертый входы с помощью связей 52 - 55 соединены с сответствующими выходами блока 32 синхронизации; пятый, шестой и седьмой входы связями 56 - 58 соединены соответственно с объединенными первыми входами элементов И 40 - 43 и входом 15 блока 1 сопряжения с каналом, с первым выходом счетчика 36 адресного буфера и выходом схемы 37 сравнения символов; восьмой, девятый, десятый и одиннадцатый входы соединены связями 59 - 62 со связью 15 блока 1 сопряжения с каналом. Второй вход блока 32 синхронизации соединен с управляющим входом 11 блока сопряжения с каналами и является связью устройства с АПД. Второй вход регистра 33 приема и первый выход регистра 34 выдачи соединены соответственно со связями 10 и 9 блока 1 сопряжения с каналом и являются связями устройства с АПД.

Первые входы регистров 33, 34 и 35 соответственно приема, выдачи и оперативной памяти, а также первый вход элемента И 44, второй вход схемы сравнения 37 соединены связью 63 с седьмым выходом блока 32 синхронизации, второй выход регистра 33 приема соединен с вторым входом регистра 35 оперативной памяти, первый выход которого соединен с вторым входом регистра 34 выдачи. Первый вход счетчика 36 адреса буфера соединен с пятым выходом блока 32 синхронизации, а второй вход - со связью 54 блока 31 управляющих триггеров. Первый выход регистра 33 приема через элемент И 44 соединен с первым входом схемы 37 сравнения, третий вход которой соединен с первым выходом регистра 38 символа, соединенного двухсторонней связью с регистром 39 управляющих символов, причем выход регистра 38 символа соединен с вторым входом регистра 39 управляющих символов, выход которого соединен с вторым входом регистра 38 символа. Выход И 40 соединен со связью 13 блока 1 сопряжения с каналом, а второй и третий входы элемента И 40 соединены соответственно со связью 65 и выходом счетчика 36 адреса буфера. Выход элемента И 41 соединен с третьим входом блока 32 синхронизации, а второй вход - со связью 64. Выход элемента И 42 и второй вход элемента И 43 соединены со связью 12 блока 1 сопряжения с каналом, третьи входы элементов И 42 и 43 соединены соответственно со связями 66 и 67, а второй вход элемента И 42 соединен с вторым выходом регистра 35 оперативной памяти, третий вход которого соединен с выходом элемента И 43. Третий вход элемента И 44 соединен с вторым выходом регистра 34 выдачи.

Блок 31 управляющих триггеров блока 1 сопряжения с каналом (фиг.3) содержит управляющие триггеры 68 - 73, группу элементов И 74, элементы И 75 - 79 и элементы ИЛИ 80 и 81. Выходы управляющих триггеров 68 - 73 соединены с соответствующими входами группы элементов И 74, седьмой вход которой соединен со связью 56 из группы связей 15 блока 1 сопряжения с каналом, причем выход триггера 69 соединен дополнительно со связью 51 синхронизации блока 1 сопряжения с каналом, а выходы группы элементов И 74 соединены связями 45 - 50 группы связей 14 блока 1 сопряжения с каналом. Первые входы триггеров 68 - 71 соединены соответственно с выходами элементов И 75 - 78, а триггеров 72 и 73 через элементы ИЛИ 80 и 81 - с выходами элементов И 78 и 79. Вторые входы триггеров 71 - 73 объединены связью 60 со связью 13 блока 1 сопряжения с каналом, вторые входы триггеров 69 и 70 связью 62, а второй вход триггера 68 связью 61 соединены со связью 13 блока 1 сопряжения с каналом. Первый и второй входы элемента И 75 соединены соответственно с первым выходом триггера 70 и выходом элемента И 79, первый, второй, и третий входы которого соединены соответствен-

но с выходом триггера 69 и со связями 58 и 53, первый и второй входы элемента И 76 соединены соответственно со связями 56 и 59, а элемента И 77 - с первым выходом триггера 69 и связью 52. Первый и второй входы элемента И 78 соединены соответственно со связями 55 и 58, вторые входы элементов ИЛИ 80 и 81 соединены соответственно со связью 57 и выходом элемента И 76, а третий вход элемента ИЛИ 81 соединен со связью 54.

Приоритетный блок 2 (фиг. 4) содержит триггеры 82 - 87 и элементы ИЛИ 88 - 93. Первые входы триггеров 82 - 87 соединены с выходами элементов ИЛИ 88 - 93, вторые входы - со связью 17 блока 2 анализа запросов, а выходы триггеров 82 - 87 связями 94 - 99 соединены со связью 18 блока 2 анализа запросов, N входов каждого элемента ИЛИ 88 - 93 по числу блоков 1 сопряжения с каналом соединены через связь 16 со связью 14 блока 1 сопряжения с каналом.

Блок 3 микропрограммного управления (фиг. 3) содержит последовательно соединенные регистр 100 адреса постоянной памяти, блок 101 постоянной памяти, блок 102 управления, дешифратор 103 микрокоманды, связи 104-107 и дешифратор 108 номера канала, выходные шины которого соединены со связью 19 блока 3 микропрограммного управления. Первая, вторая, третья и четвертая выходные шины дешифратора 103 микрокоманд соединены соответственно со связями 19, 23, 22 и 17 блока 3 микропрограммного управления. Первый, второй, третий и четвертый выходы блока 102 управления соединены соответственно с входом дешифратора 108 номера канала, входом регистра 100 адреса постоянной памяти, связью 20 блока 3 микропрограммного управления и входом дишифратора 103 микрокоманд, второй, третий, четвертый, пятый, шестой и седьмой входы блока 102 управления соединены связями 94 - 99 со связью 18, восьмой вход соединен со связью 21, а девятый - со связью 19 блока 3 микропрограммного управления.

Блок 102 управления блока 3 микропрограммного управления (фиг. 6) содержит группу 109 элементов И 110 - 115, выходы которых соединены с соответствующими входами шифратора 116, регистр 117 микрокоманд, дешифратор 118 признаков, счетчик 119 адреса, элемент И 120, синхронизатор 121, элементы И 122 - 125 и счетчик 126 номера канала.

Первые входы элементов И 110 - 115 объединены и соединены со связью 99 блока 3 микропрограммного управления, второй вход элемента И 110 и третий вход элемента И 115 объединены и соединены со связью 98, третий вход элемента И 110, вторые входы элементов И 111 и 112 - соответственно со связью 96, третьи входы элементов И 111 и 114 соединены соответственно со связью 97, третий вход элемента И 112 и второй вход элемента И 113 - соответственно со связью 94, третий вход элемента И 113, вторые входы элементов И 114 и 115 - соответственно со связью 95 блока 3 микропрограммного управления. Выход шифратора 116 соединен с третьим входом регистра 117 микрокоманд, первый и второй входы которого соединены соответственно со связью 104 и выходом счетчика 119 адреса, а первый, второй, третий и четвертый выходы - соответственно с вторыми входами элементов И 122, 123 и 120 и первым входом дешифратора 118 признаков, второй вход которого соединен со связью 21 блока 3 микропрограммного управления. Выход элемента И 120 соединен со связью 105 блока 3 микропрограммного управления, а его первый вход - с первым выходом синхронизатора 121, второй, третий, четвертый, пятый, шестой и седьмой выходы которого соединены соответственно с объединенными четвертыми входами группы элементов И 110 - 115, входами элемента И 125, счетчика 119 адреса, элементов И 123, 124 и 122 и входом счетчика 126 номера канала, а вход соединен с выходом дешифратора 118 признаков.

Выходы элементов И 122 и 124 соединены со вторым и третьим входами элемента И 125, выход которого соединен со связью 20 блока 3 микропрограммного управления, выходы элементов И 123 и 124 соединены соответственно со связями 107 и 106, второй вход И 124 соединен с выходом счетчика 126 номера канала, а второй вход

счетчика адреса 119 - со связью 19 блока микропрограммного управления.

Блок ведения очередей (фиг. 7) содержит групповые элементы И 127 - 139, регистры 140 - 144, групповые элементы И 145 - 150, регистры 151 и 152, информационную шину 24 и адресную шину 25, которые соединены соответственно с информационной шиной 8 и адресной шиной 7 устройства. Выходы групповых элементов И 127, 131 и 139 и первые входы групповых элементов И 130, 134 и 138 соединены с информационной шиной 24, а выходы групповых элементов И 128, 132 и 135 и первые входы групповых элементов И 129, 133, 136 и 137 - с адресной шиной 25. Первые входы групповых элементов И 127 и 128 соединены с первым выходом регистра 140 управляющего слова канала, вход которого соединен с объединенными выходами групповых элементов И 129 и 130, а второй его выход соединен с первым входом группового элемента И 145, выход которого соединен с первым выходом регистра 152 адреса буфера. Второй вход последнего соединен с выходом группового элемента И 149, первый вход которого соединен одновременно с первыми входами групповых элементов И 148 и 147 и вторым выходом регистра 141 УСУ. Первый выход регистра 141 соединен с объединенными первыми входами групповых элементов И 131 и 132; первый вход - с объединенными выходами групповых элементов И 133 и 134, а второй вход - с выходом группового элемента И 146, первый вход которого соединен с выходом регистра 151 сравнения, вход которого соединен с выходом группового элемента И 147. Кроме того, выход группового элемента И 136 соединен с входом регистра 142 адреса канала, выход которого соединен с первым входом группового элемента И 135, а выход группового элемента И 137 - с входом регистра 143 адреса оперативной памяти, выход которого соединен со связью 26 блока 4 ведения очередей. Выход группового элемента И 138 соединен с первым входом регистра 144 данных, выход которого соединен с первым входом группового элемента И 139. Регистр 144 данных соединен также двухсторонней связью со связью 27 блока 4 ведения очередей. Выход группового элемента И 148 соединен со связью 21 блока 4 ведения очередей, а выход группового элемента 150 - с адресной шиной 25, причем первый вход его подсоединен к выходу регистра 152 адреса буфера. Все вторые входы групповых элементов И 127-139, 145 - 150 соединены со связью 22 блока 4 ведения очередей.

Блок 5 выбора маршрута (фиг. 8) содержит последовательно соединенные групповой элемент И 155, регистр 154 адреса памяти, постоянное ЗУ 153, регистр 156 номера канала, групповые элементы И 157 и 158 и дешифратор 159 номера канала, причем первый вход группового элемента 155 и вторые входы групповых элементов И 157 и 158 соединены со связью 23 блока 5 выбора маршрута, второй вход группового элемента И 155 и первый вход группового элемента И 158 соединены соответственно через связи 28 и 29 с информационной шиной 8 и адресной шиной 7 устройства, а первый вход группового элемента 157 соединен с выходом регистра 156. Выходные шины дешифратора 159 номера канала соединены со связью 30 блока выбора маршрута, а второй вход группового элемента И 158 соединен со связью 23 блока 5 выбора маршрута.

Блок 32 синхронизации блока 1 сопряжения (фиг. 9) содержит блок 160 задания режимов, блок 161 генераторов блок 162 формирования приема-передачи, блок 163 управления сравнением, блок 164 сброса, счетчик 165 символов и блок 166 сдвига байта.

Первый и второй входы блока 160 задания режимов соединены соответственно со связью 51 блока 31 синхронизации и связью 11 блока 1 сопряжения с каналом, а первый, второй, третий и четвертый выходы - со связью 52 блока 32 синхронизации, вторым входом блока 161 генераторов, первым входом блока 164 сброса и связью 11 блока сопряжения с каналом. Первый вход блока 161 генераторов соединен с объединенными вторым входом блока 162 формирования сигналов приема-передачи и первым входом блока 163 управления сравнением и третьим выходом блока 166 сдвига байта, а первый и второй выходы его соединены соответственно с объединенными третьим входом блока 162 формирования сигналов приема-передачи и вторыми входами блока 163 управления сравнением и 166 сдви-

га байта, со связью 11 блока 1 сопряжения с каналом и пятым входом блока 162 формирования сигналов приема-передачи, четвертый вход которого соединен со связью 11 блока 1 сопряжения с каналом, а первый вход - с объединенными третьим входом счетчика 165 символов и третьим входом блока 166 сдвига байта.

Первый, второй, третий и четвертый выходы блока 162 формирования сигналов приема-передачи соединены соответственно со связями 54 и 63 блока 32 синхронизации, одновременно со связью 63 и с третьим входом блока 163 управления сравнением, со вторым входом блока 164 сброса, выход которого соединен с первым входом счетчика 36 адреса буфера блока 1 сопряжения с каналом. Первый, второй и третий выходы блока 163 управления сравнением соединены со связью 63 и одновременно с вторым входом счетчика 165 символов, первый и второй выходы которого соединены соответственно со связями 53 и 55 блока 32 синхронизации, а первый вход - с первым выходом блока 166 сдвига байта. Второй выход последнего соединен со связью 63, а первый вход - с выходом элемента И 41 блока 1 сопряжения с каналом.

Блоки блока 32 синхронизации выполнены на последовательно соединенных счетчиках, регистрах и элементах И.

Блок 162 формирования сигналов приема-передачи блока 32 синхронизации (фиг. 10) содержит последовательно соединенные элемент ИЛИ 173, триггер 171, элемент И 169, счетчик 170, элемент И 172, счетчик 168, элемент И 167. Первый и второй входы элемента ИЛИ 173 соединены соответственно с пятым и четвертым входами блока 162 приема-передачи, а его выход соединен с четвертым входом блока 162 приема-передачи и первым входом триггера 171, выход которого связан с вторым входом элемента И 169, первый вход которого соединен с третьим входом блока 162 приема-передачи, а выход - с вторым входом триггера 171, вторым выходом блока 162 приема-передачи и первым входом счетчика 170, выход которого соединен с третьим выходом блока 162 приема-передачи и вторым входом счетчика 168, выход которого связан с вторым входом элемента И 167, второй вход которого соединен с вторым входом блока 161 приема-передачи, а выход связан с первым выходом блока 162 приема-передачи, первым входом счетчика 168 и вторым входом элемента ИЛИ 172, второй вход которого соединен с первым входом блока 162 приема-передачи, а выход соединен с вторым входом счетчика 170.

Блок 163 управления сравнением блока 32 синхронизации (фиг. 11) содержит последовательно соединенные элемент И 175, счетчик 176, элемент ИЛИ 178, триггер 177 и элемент И 174, причем первый и второй входы элемента И 175 соединены с третьим и вторым входами блока 163 управления сравнением, а выход связан с первым входом счетчика 176, первый выход которого соединен с третьим входом элемента И 175, а второй - с третьим выходом блока 163 управления сравнением и первым входом триггера 177, выход которого соединен с вторым элементом И 174, первый вход которого соединен с вторым входом элемента И 175 и вторым входом блока 163 управления сравнением, а выход с вторым выходом блока 163 управления сравнением и первым входом элемента ИЛИ 178, второй вход которого соединен с первым входом блока 163 управления сравнением, а выход - с вторыми входами счетчика 176 и триггера 177.

Блок синхронизации 121 (фиг. 12) содержит последовательно соединенные генератор 179 импульса, формирователь 180 номера канала, схему 181 опроса и схему 182 обслуживания. Первые выходы схем 181 опроса и 182 обслуживания соединены с первым и вторым входами формирователя 180 номера канала, первый выход которого соединен с входом счетчика 126 (фиг. 6) номера канала. Второй, третий и четвертый выходы схемы 181 опроса соединены соответственно с вторым, третьим и четвертым входами схемы 182 обслуживания и одновременно с вторым входом счетчика 119 адреса и первыми входами элементов И 120, 123 и 124, пятый выход соединен с объединенными четвертыми входами элементов И 110 - 115 группы элементов И 109. Второй и третий выходы схемы 182 обслуживания соединены соответственно с первыми входами элементов И 122 и 125. Первые входы схем 181 и 182 опроса и обслужива-

ния объединены и соединены с выходом дешифратора 118 признаков (фиг. 9).

Устройство для коммутации сообщений (фиг. 1) работает следующим образом.

Каждому блоку 1 сопряжения с каналом соответствует управляющее слово (УСК), которое хранится в ячейках блока 6 оперативной памяти, номера которых совпадают с номерами каналов (УСКI - УСКII). Управляющее слово канала содержит три поля, в которых хранятся значения: номера начального буфера сообщения, номера текущего буфера сообщения, номера канала выдачи.

Вся оперативная память (ОП) разбита на буфера, в которых накапливаются принимаемые сообщения. Каждый блок 1 сопряжения с каналом работает с буфером, номер которого хранится в поле номера текущего буфера УСК, и обменивается с блоком 6 оперативной памяти словами длиной в 4 байта. Все буфера данного сообщения сцепляются, начиная с первого, через последнюю ячейку буфера, где хранится номер следующего буфера в цепочке. Свободные буфера сцепляются в цепочку, из которой они берутся для сообщений при приеме и куда возвращаются при выдаче сообщения.

Каждое сообщение, коммутируемое устройством, имеет управляющие символы: начало сообщения (НС), конец сообщения (КС) и адресную часть длиной в 3 байта, которая следует непосредственно за символом НС. Принятые сообщения устанавливаются в очередь на выдачу в соответствующий канал, номер которого определяется блоком 5 выбора маршрута по таблице маршрутизации и адресной части принятого сообщения. Для каждого канала в устройстве ведется очередь выдачи, которая контролируется с помощью управляющего слова цепочки (УСЦ). УСЦ хранятся в оперативной памяти в зоне адресов, следующей за зоной адресов УСК, и пронумерованы УСЦО - УСЦN. УСЦО является управляющим словом цепочки свободных буферов, а все остальные - цепочек очередей выдачи каналов. УСЦ содержит три поля, в которых хранятся значения: номера первого буфера в цепочке, номера конечного буфера в цепочке и признаки.

Сообщения коммутируются устройством в порядке поступления. Для того, чтобы в процессе работы не переполнялся блок 6 оперативной памяти устройства, выдача сообщений имеет приоритет перед приемом. Это осуществляется путем блокировки требований на прием от канала в блоках 1 сопряжения с каналом, если в очереди выдачи канала есть хотя бы одно сообщение. Каждый блок 1 сопряжения с каналом взаимодействует с каналом связи, обмениваясь с управляющими сигналами по связи 11, принимая и передавая данные по шинам 10 и 9 соответственно. Эти связи блоков 1 сопряжения с каналами являются входами-выходами устройства.

Устройство имеет микропрограммное управление. Блок 3 микропрограммного управления производит циклический опрос блоков 1 сопряжения с каналом и проверяет через блок 2 наличие запроса от блока 1 сопряжения с каналом. Значение номера канала дешифруется в блоке 3 микропрограммного управления и по связи 19 на соответствующий блок 1 сопряжения с каналом поступает сигнал, разрешающий считывание значений регистраторов этого блока через связи 14 и 16 в блок 2. В следующем такте производится формирование адреса микрокоманды микропрограммы в блоке 3 микропрограммного управления с учетом значений управляющих сигналов блока 2, поступающих в блок 3 микропрограммного управления по связи 18. Если данный блок 1 сопряжения с каналом не требует обслуживания, то значения управляющих сигналов блока 2 будут нулевыми и следующей микрокомандой в цикле опроса выполняется установка блока 2 в исходное состояние, увеличение значения номера канала на 1 и возврат на начало микропрограммы опроса.

В зависимости от комбинаций управляющих сигналов блока 2 на входе блока 3 микропрограммного управления микропрограмма циклического опроса может быть прервана и осуществлен переход на одну из микроподпрограмм обслуживания запроса. В устройстве заложено 9 микропрограмм обслуживания: "обнаружен символ НС при приеме", "требуется новый буфер в процессе приема", "требуется запись в ОП слова данных при символе НС", "требуется запись в ОП слова данных", "обнаружен символ КС при приеме", "имеется сообщение для выдачи в данный

канал", "требуется чтение очередного слова данных из ОП", "требуется новый буфер в процессе выдачи", "обнаружен символ КС при выдаче".

Каждая микропрограмма обслуживания запросов начинается и заканчивается стандартными операциями: УСК данного канала из соответствующей ячейки блока 6 оперативной памяти по связи 27 загружается на регистры блока 4 ведения очередей, а в конце обслуживания данное УСК возвращается из блока 4 ведения очередей в ОП.

Рассмотрим работу устройства при обслуживании каждого из запросов.

1. Обнаружен символ НС при приеме. УСК данного канала загружается в блок 4 ведения очередей из ОП. Из блока 6 оперативной памяти на регистры блока 4 ведения очередей по связи 27 считывается управляющее слово цепочки свободных буферов УСЦО. Символ НС при приеме означает, что начат прием нового сообщения по данному каналу и необходимо сформировать поля УСК: номер начального буфера, номер текущего буфера. Эти значения берутся из УСЦО. Номер первого свободного буфера из УСЦО заносится в оба указанных поля УСК. Соответствующим образом производится корректировка значения номера первого свободного буфера в УСЦО. Для этого из блока 6 оперативной памяти считывается по связи 27 значение последней ячейки первого свободного буфера и это значение, определяющее номер следующего буфера в цепочке УСЦО, загружается в поле первого буфера УСЦО. После этого УСЦО возвращается в блок 6 оперативной памяти. В процессе выделения буфера для сообщения при загрузке каждого УСЦ блок 4 ведения очередей производит анализ данной цепочки. Если цепочка загружена, работа производится как описано выше, в противном случае блок 4 ведения очередей вырабатывает признаки, которые по связи 21 поступают в блок 3 микропрограммного управления и корректируют соответствующим образом выполнение микропрограммы обслуживания. Например, если УСЦО пуста, что означает отсутствие свободных буферов в устройстве, то необходимо приостановить прием по данному каналу ("тайм-аут"). После возврата УСЦО в ОП производится запись УСК в ОП и возврат на микропрограмму опроса.

2. Требуется новый буфер в процессе приема. УСК данного канала загружается из ОП в блок 4 ведения очередей. Накопленное в блоке 1 сопряжения с каналом очередное слово данных по связям 12, 18, 24 и 27 записывается в ОП по адресу, формируемому из номера текущего буфера в поле УСК и значения счетчика адреса буфера блока 1 сопряжения с каналом, которое передается в блок 4 ведения очередей по связям 13, 7 и 25. Значение УСЦО считывается из ОП в блок ведения очередей. Значение поля номера первого буфера УСЦО переносится в поле номера текущего буфера УСК, а поле номера первого буфера корректрируется и УСЦО возвращается в ОП. При каждом выделении буфера из УСЦО по запросу канала перед возвратом УСЦО в ОП производится выработка признака: пуста или нет цепочка. Для этого на схеме сравнения производится сравнение значений полей первого и конечного буферов УСЦО. Выработанный признак запоминается в поле признаков УСЦО. После возврата УСЦО в ОП УСК записывается в ОП и производится возврат на микропрограмму опроса.

3. Требуется запись в ОП слова данных при символе НС. УСК загружается в блок 4 ведения очередей. Наличие сигнала НС при записи слова в ОП означает, что в блоке 1 сопряжения с каналом накоплено слово данных, включающее адресную часть сообщения. Это слово по связям 12, 8, 24 и 27 передается в блок 6 оперативной памяти и записывается по адресу, формируемому из значения поля номера текущего буфера УСК и значения счетчика адреса буфера блока 1 сопряжения с каналом, которое передается в блок 4 ведения очередей по связям 13, 7 и 25. Одновременно слово данных по связям 8 и 28 принимается в блок 5 выбора маршрута, где по значению адресного поля сообщения в таблице маршрутизации определяется номер канала, по которому данное сообщение должно быть отправлено из устройства. Выработанный блоком 5 выбора маршрута номер канала выдачи по связям 29, 7 и 25 передается в блок 4 ведения очередей и запоминается в поле канала выдачи УСК. После этого УСК возвращается в ОП и осуществляется переход к микропрограмме опроса.

4. Требуется запись слова данных в ОП без наличия символа НС. В этом случае после загрузки УСК в блок 4 ведения очередей производится запись накопленного в блоке 1 сопряжения с каналом слова в ОП по адресу, формируемому из значения поля номера текущего буфера УСК и значения счетчика адреса буфера блока 1 сопряжения с каналом, передаваемому в блок 4 ведения очередей по связям 13, 7 и 25. УСК возвращается в ОП и блок 3 микропрограммного управления переходит на микропрограмму опроса.

5. Обнаружен символ КС при приеме. УСК загружается в блок 4 ведения очередей из ОП. Данные (может быть не полное слово) из блока 1 сопряжения с каналом записываются в ОП как описано в п. 4. Затем из поля номера канала выдачи УСК значение передается по связям 25, 7 и 29 в блок 5 выбора маршрута, где этот номер дешифрируется, и по связям 30 и 15 сигнал поступает в соответствующий блок 1 сопряжения с каналом, устанавливая требование выдачи сообщения, которое впредь заблокирует новые требования на прием по данному каналу, реализовав приоритет передачи перед приемом. Одновременно УСЦ канала выдачи считывается из ОП в блок 4 ведения очередей. По полю признаков УСЦ производится анализ загруженности цепочки. Если цепочка пуста, то значение полей начального и конечного буферов сообщения УСК переносится в поля первого и конечного буферов УСЦ канала выдачи. Поле признаков изменяется, указывая, что цепочка не пуста. УСЦ возвращается в ОП. Поля УСК обнуляются и УСК возвращается в ОП. Если цепочка не пуста, производится запись значения поля начального буфера сообщения УСК в ОП по адресу последней ячейки конечного буфера УСЦ, значение поля текущего номера буфера УСК переносится в поле конечного буфера УСЦ и УСЦ канала выдачи возвращается в ОП. Поля УСК обнуляются и оно возвращается в ОП. Блок 3 микропрограммного управления возвращается к микропрограмме опроса.

6. Имеется сообщение для выдачи в данный канал. УСК загружается из ОП в блок 4 ведения очередей. УСЦ канала считывается из ОП. Значение поля первого буфера цепочки УСЦ заносится в поля номеров начального и текущего буферов УСК. Одновременно из ОП читается значение последней ячейки первого буфера цепочки УСЦ и заносится в поле первого буфера УСЦ. Скорректированное УСЦ возвращается в ОП. Производится чтение слова данных из ОП по адресу, формируемому из номера текущего буфера УСК и значения счетчика адреса буфера блока 1 сопряжения с каналом, и передача этого слова по связям 27, 24, 8 и 12 в блок 1 сопряжения с каналом, в который по сигналу управления из блока 3 микропрограммного управления, поступающему по связям 19 и 15, начинает выдачу данных в канал. После этого УСК записывается в ОП и происходит возврат к микропрограмме опроса.

7. Требуется чтение очередного слова данных из ОП. УСК загружается из ОП в блок 4 ведения очередей, производится чтение слова данных из ОП по адресу, формируемому из номера текущего буфера УСК и значения счетчика адреса блока 1 сопряжения с каналом, и передача этого слова по связям 27, 24, 8 и 12 в блок 1 сопряжения с каналом для продолжения выдачи. УСК записывается в ОП и производится возврат к микропрограмме опроса.

8. Требуется новый буфер в процессе выдачи. УСК загружается из ОП в блок 4 ведения очередей. УСЦ канала считывается из ОП. Значение первого буфера цепочки передается в поле номера текущего буфера УСК и одновременно производится чтение значения последней ячейки первого буфера УСЦ и запись его в поле первого буфера УСЦ. УСЦ записывается в ОП. Выполняется чтение из ОП очередного слова данных передаваемого сообщения по адресу, формируемому как описано в п. 7, и УСК возвращается в ОП. Блок 1 микропрограммного управления переходит к микропрограмме опроса.

9. Обнаружен символ КС при выдаче УСК загружается в блок 4 ведения очередей из ОП, УСЦО - в блок 4 ведения очередей. В зависимости от признака: пуста или нет цепочка осуществляется следующее. Если цепочка УСЦО пуста, то значения начального и текущего буферов из полей УСК переносятся в поле первого и конечного буферов УСЦО. Если цепочка не пуста,

то значение начального буфера сообщения из поля УСК записывается в СП по адресу последней ячейки конечного буфера УСЦО, затем значение текущего буфера сообщения из поля УСК передается в поле конечного буфера цепочки УСЦО. Таким образом, вся цепочка буферов сообщения, которое выдано из устройства, будет присоединена к цепочке свободных буферов. УСЦО возвращается в ОП, а в блок 4 ведения очередей считывается из ОП УСЦ. канала. Путем сравнения значений полей первого и конечного буферов цепочки производится выработка признака пуста или нет цепочка. Если цепочка пуста, то в поле признаков УСЦ заносится соответствующее значение и УСЦ возвращается в ОП. Если цепочка не пуста, то производится установка в исходное состояние счетчика адреса буфера в блоке 1 сопряжения с каналом по связи 19, значение номера первого буфера УСЦ передается в поля номеров начального и текущего буферов УСК, из ОП считывается значение, содержащееся по адресу последней ячейки первого буфера УСЦ, заносится в поле номера первого буфера УСЦ. УСЦ возвращается в ОП. Затем производится чтение слова данных из ОП в блок 1 сопряжения с каналом и запуск этого блока для передачи в канал очередного сообщения. После этого УСК записывается в ОП и происходит возврат на микропрограмму опроса.

Динамическое распределение памяти в устройстве осуществляется с помощью двух управляющих слов УСК и УСЦ.

Вся память делится на блоки (буфера), размер которых выбирается исходя из объема ОП и размеров коммутируемых устройством сообщений. Допустим, что устройство обеспечено памятью в 64 кб и обслуживает 63 полудуплексных канала связи. Размер буфера выбран в 64 байта. Первые два буфера памяти с фиксированными адресами отводятся для хранения УСК и УСЦ. Все остальные свыше 1000 буферов могут использоваться для хранения сообщений. Каждое УСК определяет три поля: начальный буфер сообщения (НБС), текущий буфер сообщения (ТБС) и номер канала выдачи (№ К) и имеет длину, например, 4 байта (НБС = 12 бит, ТБС = 12 бит № К = 8 бит).

УСК определяет цепочку буферов текущего сообщения, которое находится в процессе приема или выдачи из устройства. НБС - указатель на начальный буфер этого сообщения, а ТБС - ссылка на текущий буфер, с которым идет работа. Каждый буфер в последней ячейке имеет указатель на следующий за ним в цепочке буфер. Таким образом, из 64 байт буфера для информации используется 60 байт. При этом адресные 4 байта каждого буфера начинаются с адреса, где все 6 последних бит равны 1. Как только текущий буфер будет заполнен или освобожден, на его место вызывается следующий по цепочке.

УСЦ определяет цепочку буферов сообщений, предназначенных для выдачи в определенный канал и хранящихся в устройстве. На каждый канал имеется одно УСЦ, которое содержит три поля: ПБЦ - первый буфер цепочки, КБЦ - конечный буфер цепочки и поле признаков. Имеется одна общая цепочка свободных буферов УСЦО, в которой хранятся неиспользованные буфера и куда они возвращаются при выдаче сообщения по каналу. Все цепочки устроены одинаково.

Адреса УСК соответствуют номерам каналов 1 - 63, УСЦО размещается в следующем слове, а УСЦК занимает следующие 63 ячейки.

Процесс распределения памяти может быть ясен из рассмотрения 4 основных ситуаций, связанных с выделением или освобождением буферов.

1. Запрос свободного буфера для канала при приеме. В результате работы с текущим буфером блок 1 сопряжения с каналом вырабатывает признак конца буфера на счетчике 36, сигнал с которого по связи 57 устанавливается соответствующий триггер в блоке 31. По этому признаку блок микропрограммного управления 3 начинает микропрограмму обслуживания данного канала с выделением нового буфера. В блок 4 ведения очередей выбирается УСЦО и производится пересылка значения ПБЦ по адресу последней ячейки текущего буфера УСК. ТБС пересылается на регистр 136 блока 4, где доформировывается полный адрес путем добавления 6 последних 1. Этот адрес

поступает в регистр адреса ОП, а на информационные шины одновременно выдается значение ПБЦ, которое записывается в ОП и через схему 127 И принимается в поле ТБС УСК. Затем проводится корректировка поля ПБЦ в УСЦО. Для этого ПБЦ выдается на регистр 136, где доформировывается до полного адреса путем добавления шести последних 1, после чего этот адрес поступает на регистр адреса ОП и производится чтение значения из ОП по этому адресу. Считанное значение через информационные шины и схему 130 И принимается в поле ПБЦ УСЦО. УСЦО возвращается в ОП.

2. Запрос очередного буфера для канала и при выдаче. Аналогично предыдущему блок 1 сопряжения с каналом выставляет признак конца буфера. Микропрограмма обслуживания считывает из ОП УСЦК данного канала и выполняет следующие операции: значение поля ПБЦ УСЦК записывается в ОП по адресу последнего слова ТБС и одновременно с информационных шин принимается в поле ТБС УСК. Таким образом, ТБС будет указывать теперь очередной буфер сообщения, который сцеплен с уже переданной цепочкой буферов. Затем значение ПБЦ передается на регистр 136, где доформировывается последними единицами до полного адреса и передается на регистр адреса ОП. По этому адресу производится чтение содержимого на информационные шины, с которых через схему 130 И принимается в поле ПБЦ УСЦК. Скорректированное УСЦК передается в ОП.

3. Конец приема сообщения. В этом случае блок 1 сопряжения с каналом обнаруживает символ КС при приеме. Блок микропрограммного управления считывает УСК канала в блок 4 ведения очередей. При этом поле НБС УСК указывает на начальный буфер сообщения, а ТБС - на последний (может быть незаполненный). Принятое сообщение необходимо отправить в очередь выдачи канала, номер которого хранится в поле № К УСК. Используя это значение, считывается УСЦ данного канала в блок ведения очередей. Теперь вся цепочка буферов принятого сообщения должна быть присоединена к цепочке буферов сообщений , которые находятся в очереди выдачи канала. Для этого, используя значение КБЦ УСЦК для формирования адреса, на регистре 136 производится запись значения НБС УСК в ОП по этому адресу. Таким образом, первый буфер прицепляется к конечному буферу УСЦК. Затем значение ТБС УСК переносится в поле КБЦ УСЦК, меняя тем самым ссылку на последний буфер нового сообщения. Таким образом, вновь принятое сообщение будет установлено в очередь по адресу выдачи. УСЦК возвращается в ОП, а УСК обнуляется.

4, Конец выдачи сообщения. В этом случае освобожденные буферы должны быть возвращены в цепочку свободных буферов. Блок 1 сопряжения при выдаче обнаружил символ КС и установил соответствующий триггер управления. Блок 3 микропрограммного управления переходит на соответствующую микропрограмму обслуживания, УКС выбирается в блок 4. Затем считывается УСЦО и производится как описано в п.3 присоединение свободных буферов к цепочке УСЦО. При этом НБС записывается в ОП по адресу КБЦ (УСЦО-63), а значение ТБС (УСК) переносится в поле КБЦ (УСЦО). УСК обнуляется, а УСЦО возвращается в ОП. После этого в блок 4 ведения очередей считывается УСЦК и проверяется, есть ли еще сообщения на выдачу. Если сообщения есть, ПБЦ (УСЦК) переносится в поля НБС и ТБС, а по адресу ПБЦ (УСЦК - 63) из ОП читается значение очередного буфера сообщения, которое заносится в поле ПБЦ (УСЦК). Скорректированные УСК, УСЦК возвращаются в ОП.

Блок 1 сопряжения с каналом (фиг. 2) предназначен для приема и передачи последовательности битов данных и сигналов управления по шинам 9 - 11 в аппаратуру передачи данных (АПД), накопления битов данных на буферных регстрах 33 и 34 анализа управляющих символов в потоке данных по схеме 37 сравнения, выработки сигналов запроса на микропрограммное обслуживание в блоке 31 управляющих триггеров, формирования адреса ячейки буфера ОП на счетчике 36, накопления слова из четырех байт (символов) на регистре 35, приема и передачи слова данных из (в) ОП по шине 12 на (из) регистр 35. По связи 10 блок 1 сопряжения с каналом принимает биты данных от АПД, накапливает их в ре-

гистре 33 путем последовательного сдвига по синхросигналам блока 32 синхронизации по связи 63. При накоплении одного байта (8 бит) данных производится передача его через групповой элемент И 44 на схему 37 сравнения по сигналу связи 63. Одновременно на схему 37 сравнения по синхроимпульсу связи 63 с регистра 38 передаются последовательно выдвигаемые значения управляющих символов с регистра 39 на регистр 38 по синхроимпульсу связи 63.

Сигналы поступают на схему 37 сравнения, на которую управляющий символ передается с регистра 38 символа под управлением синхроимпульса по связи 63, а накопленный байт - с регистра 33 приема через групповой элемент И 44 под действием управляющего сигнала из блока 32 синхронизации. Результат сравнения (совпадение на схеме 37 сравнения) по связи 58 поступает в блок 31 управляющих триггеров. По связям 53 и 55 в блок 31 управляющих триггеров из блока 32 синхронизации поступают сигналы индентификации управляющих символов (сигналы со счетчика 157 символов в блоке 32 синхронизации). По мере приема данные из регистра 33 приема сдвигаются в регистр 35 оперативной памяти по сигналам синхроимпульса связи 63. Как только на регистре 35 оперативной памяти будет накоплено полное слово (4 байта), блок 154 приема-передачи блока 32 синхронизации по связи 54 увеличивает на 1 значение счетчика 36 адреса буфера и одновременно устанавливает соответствующий триггер в блоке 31 управляющих триггеров. Данные с регистра 35 оперативной памяти передаются в блок 6 оперативной памяти при выполнении микропрограммы обслуживания этого требования через элемент И 42 по связям 12, 24 и 27 под управлением блока 3 микропрограммного управления, сигналы которого поступают по связям 56 и 66 из группы связей 15. Данные из блока 1 сопряжения с каналом выдаются по связи 9 последовательно по битам через регистр 34 выдачи, в который данные сдвигаются из регистра 35 оперативной памяти под управлением блока 32 синхронизации по связи 63. Первый запуск схемы управления сдвигом с регистра 35 оперативной памяти в регистр 34 выдачи осуществляется под действием синхросигнала по связи 63, который вырабатывается по сигналу блока 3 микропрограммного управления по связи 64 из группы связей 15 через элемент И 41. Каждый байт с регистра 34 выдачи передается через групповой элемент И 44 на схему 37 сранения под действием синхросигналов 63 для сравнения с последовательностью управляющих символов также, как при приеме. Данные передаются на регистр 35 оперативной памяти под управлением блока 3 микропрограммного управления связи 56 и 67 через элемент И 43 по связям 27, 24 и 12. По связям 11 блок 32 синхронизации обменивается с АПД управляющими сигналами. При записи или чтении данных из ОП на регистр 35 оперативной памяти адрес формируется в блоке 4 ведения очередей из поля номера текущего буфера УСК и значения счетчика 36 адреса буфера, которое передается в блок 4 ведения очередей из блока 1 сопряжения с каналом через элемент И 40 по связям 13 и 25 под управлением сигналов по связям 56 и 65 из блока 3 микропрограммного управления. После загрузки регистра 35 оперативной памяти очередным словом данных из ОП блок 3 микропрограммного управления запускает блок 32 синхронизации для выдачи данных в канал по связи 64 через элемент И 41. При переполнении счетчика 36 адреса буфера, что означает конец буфера, вырабатывается сигнал по связи 57, устанавливающий соответствующий триггер в блоке 31 управляющих триггеров. Значение управляющих сигналов блока 31 управляющих триггеров передается в блок 2 анализа запросов по связям 14 и 16, управляющие сигналы по связям 13 (60 - 62) и 20 из блока 3 микропрограммного управления обеспечивают сброс управляющих триггеров, а сигнал на связях 13 (59) и 29 - установку требования выдачи из блока 5 выбора маршрута, которое по связи 51 блокирует в блоке 32 синхронизации сигнал требования на прием данных от канала, поступающий по одной из связей 11.

Блок 31 управляющих триггеров (фиг. 3) блока 1 сопряжения с каналом предназначен для хранения запро-

сов обслуживания от канала и передачи их в блок 2 по микропрограмме опроса. Установка управляющих триггеров 68 - 73 производится сигналами блока 1 сопряжения с каналом по связям 52 - 58 и сигналом по связи 59 из блока 5 выбора маршрута через элементы И 75 - 79 и элементы ИЛИ 80 и 81, а сброс управляющих триггеров осуществляется по связям 60 - 62 из блока 3 микропрограммного управления. По связи 52 из блока 32 синхронизации блока 1 сопряжения с каналом поступает сигнал вызова канала, который устанавливает триггер 70 приема по связи 53 - сигнал, индентифицирующий управляющий символ НС и устанавливающий через элементы И 75 триггер 68 начала сообщения и через элементы И 79 и ИЛИ 80 триггер 72 запроса буфера, по связи 54 - сигнал о накоплении полного слова на регистре 35 оперативной памяти блока 1 сопряжения с каналом, который устанавливает через элемент ИЛИ 81 триггер 73 запроса памяти, по связи 55 - сигнал, индентифицирующий управляющий символ КС и устанавливающий через элемент И 78 триггер 71 конца сообщения, по связи 56 поступает сигнал с блока 3 микропрограммного управления, индентифицирующий данный блок сопряжения (с дешифратора 108 номера канала), по связи 57 поступает сигнал со счетчика 36 адреса буфера блока 1 сопряжения с каналом, оповещая об окончании буфера и устанавливая через элемент ИЛИ 80 триггер 72 запроса буфера, по связи 58 - сигнал со схемы 37 сравнения, определяющий наличие в регистрах 33 или 34 управляющего символа, по связи 59 - сигнал из блока 5 выбора маршрута о наличии сообщения на выдачу в данный канал, который устанавливает триггер 69 выдачи через элемент И 76 по связи 13 (60 - 62), через связь 20 поступают сигналы сброса управляющих триггеров 68 - 73 из блока 3 микропрограммного управления. Выходные сигналы триггеров через групповой элемент И 74 по связям (45 - 50) 14 и 16 выдаются в блок 2. По связи 51 выдается сигнал в блок 32 синхронизации, блокирующий установку требования приема от канала, а нулевые выходы триггеров 69 и 70 управляют соответствующими элементами И 77, 75, 79.

Блок 32 синхронизации (фиг. 9) блока 1 сопряжения с каналом связи предназначен для обмена по связям 11 управляющими сигналами с АПД канала, выработки управляющих сигналов приема и передачи битов с АПД, управления сравнением байтов потока данных с управляющими символами на схеме 37 сравнения, опеределения номера управляющего символа и сдвига байтов из регистра 33 приема в регистр 35 оперативной памяти или из регистра 35 оперативной памяти в регистр 34 выдачи, сброса счетчика 36 адреса буфера. По связи 11 блок 32 синхронизации передает в АПД требование на передачу, в блок 160 задания режимов блока 32 синхронизации поступает сигнал вызова из АПД, блок 161 генераторов блока 32 синхронизации передает синхроимпульсы в АПД, а в блок 162 формирования сигналов приема-передачи блока 32 синхронизации поступают синхроимпульсы от АПД при приеме данных с канала. По связи 51 в блок 160 задания режимов блока 32 синхронизации поступает сигнал блокировки вызова канала при наличии данных для выдачи в канал, а по связи 52 из блока 160 задания режимов вызов канала передается в блок 31 управляющих триггеров, где устанавливает триггер 70 приема.

По второму и третьему выходам блок 160 задания режимов запускает блок 161 генераторов и управляет блоком 164 сброса, который сбрасывает счетчик 36 адреса памяти. Блок 161 генераторов блока 32 синхронизации служит для выработки двух серий синхроимпульсов: низкочастотной для синхронизации по связи 11 передачи данных по связи 9 в АПД и высокочастотной для выработки управляющих сигналов в блоках 162 формирования сигналов приема-передачи, 163 управления сравнением, 166 сдвига байта, счетчика 165 символов.

Блок 162 формирования сигналов приема-передачи предназначен (фиг. 10) для выработки сигнала сдвига бита в регистрах 33 приема и 34 выдачи при приеме и передаче с помощью элемента И 169, на первый вход которого поступает сигнал высокой частоты с блока 161 генераторв, на второй вход - сигнал с триггера 178, устанавливаемого сигналом синхронизации от

блока 171 генераторов при выдаче или от АПД по связи 11 через элемент ИЛИ 173. Выработанный сигнал сдвига бита сбрасывает триггер 171 по второму входу и поступает на счетчик 170, который подсчитывает 8 бит и фиксирует получение одного символа данных, вырабатывая сигнал по связи 63, по третьему выходу блока 162 приема-передачи в блок 163 управления сравнением и на вход счетчика 168 подсчета байтов в слове ОП. Счетчик 168 считает 4 байта и открывает элемент И 167, на второй вход которого поступает сигнал из блока 166 сдвига байта о перемещении байта в регистр 35 ОП. В результате элемент И 167 вырабатывает сигнал по связи 54 о накоплении в регистре 35 ОП слова (4 байта). Счетчик 170 сбрасывается каждый раз сигналом по первому входу блока 162 приема-передачи от счетчика 165 управляющих символов по завершении операции сравнения со всеми управляющими символами или сигналом с выхода элемента И 167 через элемент ИЛИ 172. Счетчик 168 сбрасывается сигналом с выхода элемента И 167.

Одновременно с выработкой сигнала по связи 63 запускается по третьему входу блок 163 управления сравнением символов, а сигнал с четвертого выхода блока 162 формирования сигналов приема-передачи поступает на второй вход блока 164 сброса для выработки сигнала сброса в начале приема или выдачи.

Блок 163 управления сравнением служит (фиг. 11) для выработки сигналов сдвига последовательности управляющих символов с регистра 39 на регистр 38 через элемент И 175, на первый вход которого поступает сигнал с третьего выхода блока 162 приема передачи, на второй - с первого выхода счетчика 176, а на третий - сигнал высокой частоты с блока 161 генераторов, для выработки по связи 63 сигнала передачи управляющего символа с регистра 78 на схему 37 сравнения и сигнала по третьему выходу блока 163 управления сравнением с второго выхода счетчика 176. Этот сигнал счетчика подается на первый вход триггера 177, открывая элемент И 174, на первый вход которого поступает сигнал высокой частоты от блока 161 генераторов, а на выходе вырабатывается сигнал по связи 63 включения схемы 37 сравнения, который через элемент ИЛИ 178 сбрасывает счетчик 176 и триггер 177. Сброс счетчика 176 и триггера 177 через элемент ИЛИ 178 производится также сигналом по первому входу блока 163 управления сравнением от блока 166 сдвига байта о завершении перемещения байта в ОП с регистра 35 оперативной памяти (фиг. 2). Счетчик 165 символов служит для индентификации сдвинутого в регистр 38 управляющего символа, вырабатывая сигналы по связям 53 и 55 в соответствии с номером управляющего символа. По третьему выходу счетчик 165 символов вырабатывает сигнал о завершении операции сравнения байта со всеми управляющими символами. По первому входу счетчик 165 символов получает сигнал с блока 166 сдвига байта, сбрасывающий его.

Блок 166 сдвига байта предназначен для выработки сигналов сдвига по связи 63, сигнала и завершении перемещения (фиг. 2) байта из (в) регистра 35 оперативной памяти по третьему выходу. По первому входу в блок 166 сдвига байта поступает (фиг. 2) сигнал с элемента И 41 запуска сдвига байта из регистра 35 в регистр 34 выдачи при выдаче сообщения в канал, а по второму входу - высокочастотные сигналы с блока 161 генераторов. По третьему входу блока 166 сдвига байта поступает сигнал о завершении операции сравнения байта с управляющими символами со счетчика 165 символов, который запускает этот блок.

Блок 2 (фиг. 4) предназначен для анализа запросов каналов на обслуживание и формирования сигналов в блок 3 микропрограммного управления. В процессе опроса блоков 1 сопряжения с каналом по микропрограмме опроса сигналы с блока 31 управляющих триггеров соответствующего блока 1 сопряжения с каналом поступают в блок 2 по связям 14 через элементы ИЛИ 88 - 93 и запоминаются на триггерах 82 - 87. По связи 17 блок 3 микропрограммного управления в каждом такте опроса производит сброс триггеров 82 - 87, а по связям 18 сигналы с выходов этих триггеров поступают в блок 3 микропрограммного управления.

Блок 3 микропрограммного управления (фиг. 5) предназначен для выполнения микропрограмм опроса и обслуживания каналов в процессе коммутации сообщений устройством и управления остальными блоками устройства и содержит блок 101 постоянной памяти, в который запаяны микропрограммы устройства. Номер очередной микрокоманды устанавливается на регистре 100 адреса постоянной памяти по связи 105 из блока 102 управления блока 3 микропрограммного управления, где он формируется на основании адресной части исполняемой микрокоманды и сигналов управления из блока 2, поступающих по связям 18. Считанная из блока 101 постоянной памяти очередная микрокоманда по связи 104 передается в блок 102 управления, откуда ее исполнительная часть по связи 107 передается в дешифратор 103 микрокоманд, который вырабатывает управляющие сигналы по связям 17, 19, 22 и 23. Номер обслуживаемого канала, установленный на счетчике блока 102 управления по связи 106 передается на дешифратор 108 номера канала, который вырабатывает управляющие сигналы по связи 19, которые далее через связи 15 поступают в блок 1 сопряжения с каналом. Кроме того, блок 102 управления дополнительно выдает значения счетчика номера канала по связи 20 на адресные шины устройства, а по связи 21 в этот блок поступают значения поля признаков УСЦ из блока 4 ведения очередей. По связи 17 блок 3 микропрограммного управления вырабатывает сигналы сброса триггеров блока 2 в конце цикла обслуживания. По связям 22 управляющие сигналы блока 3 микропрограммного управления поступают в блок 4 ведения очередей, а по связям 23 - в блок 5 выбора маршрута.

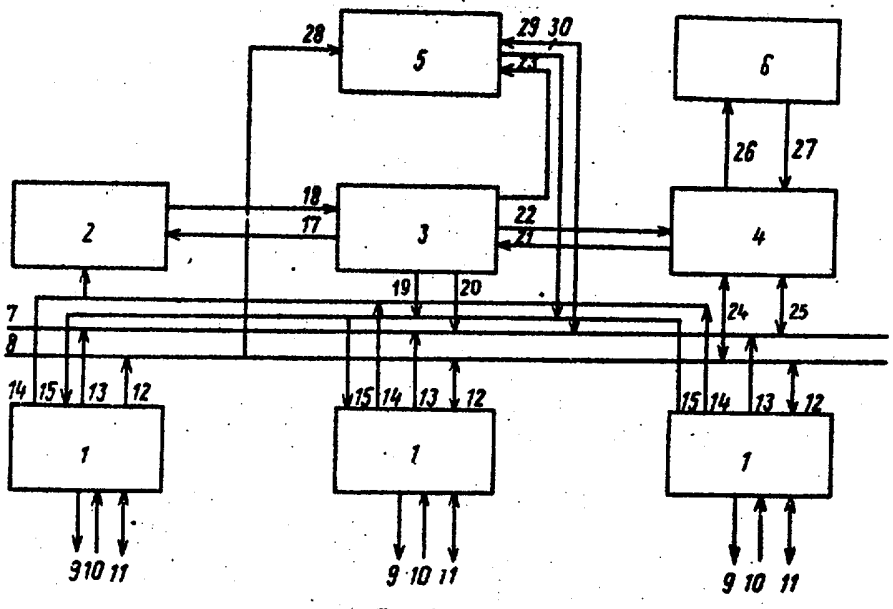
Блок 102 управления (фиг. 6) блока 3 микропрограммного управления предназначен для управления выполнением отдельной микрокоманды микропрограммы и формирования адреса следующей микрокоманды. Считанная из блока 101 постоянной памяти микрокоманда по связи 104 принимается на регистр 117 микрокоманд, откуда разные части микрокоманды через элементы И 122, 123 и 125 под управлением блока 121 синхронизации выдаются по связям 20, 107 на адресную шину 7 устройства и дешифратор 103 микрокоманд, через элемент И 120 на регистр 100 адреса постоянной памяти 101 блока 3 микропрограммного управления. Формирование адреса следующей микрокоманды осуществляется группой элементов И 110 - 115 и шифратором 116 на основании сигналов, поступающих из блока 2 по связям 18, а также счетчиком 119 адреса, который изменяет младшие разряды адресной части микрокоманды в зависимости от сигнала с дешифратора 103 микрокоманд от одной из связей 19. Счетчик 126 номера канала под управлением синхронизатора 121 формирует номер очередного обслуживания канала, который через элемент И 124 и связь 106 выдается на дешифратор 108 номера канала. Старшие разряды адреса микрокоманды определяются значением кода шифратора 116, формируемого по сигналам группы элементов И 109 и опередеяющего по существу номер микропрограммы обслуживания канала. Поля признаков микрокоманды и УСЦ, передаваемые из блока 4 ведения очередей по связи 21, дешифруются дешифратором 118, сигналы с которого управляют выдачей сигналов синхронизатором 121.

Блок 121 синхроиизации блока 3 микропрограммного управления предназначен для выработки управляющих и синхронизирующих сигналов для остальных элементов блока 32 микропрограммного управления. Сигналы с генератора импульсов 179 поступают на формирователь 180 номера канала, который вырабатывает сигнал на счетчик 126 канала и схему 181 опроса, которая реализует выборку последовательности микрокоманд опросного цикла, вырабатывая сигналы на счетчик 119 адреса, элементы И 120, 123 и 124 группы элементов И 109. Если в цикле опроса канал никаких требований в блоке 2 анализа запросов не установил, то схема 181 опроса дает сигнал разрешения на формирователь 180 номера канала для перехода к следующему каналу. Если требование на обслуживание каналам выставлено, то происходит включение схемы 182 обслуживания, которая реализует выборку микрокоманд цикла обслуживания запроса канала, вырабатывая на счетчик 119 адреса, элементы И 120, 123,

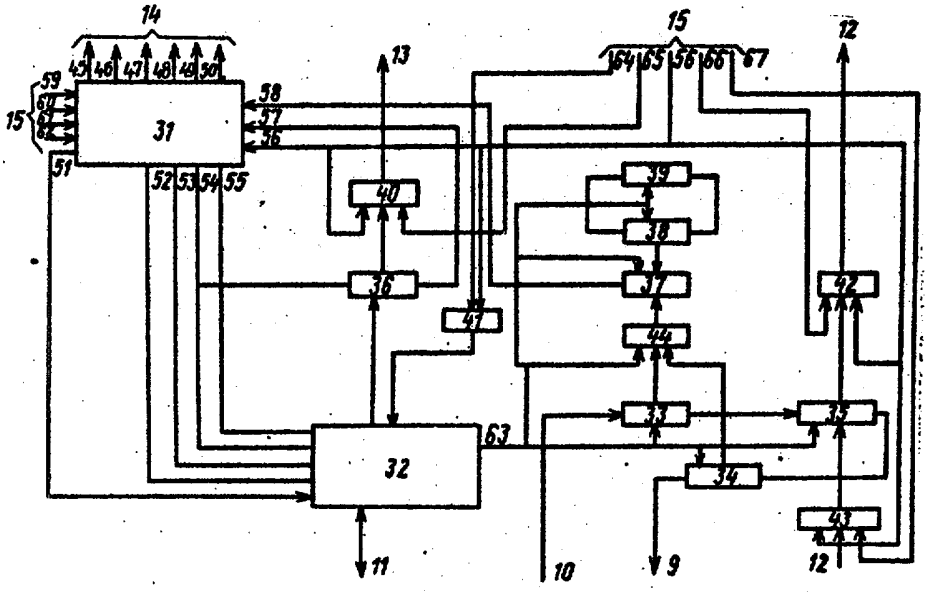
124, 122, 125 и группу элементов И 109 управляющие сигналы. В конце цикла обслуживания схема 182 обслуживания дает сигнал разрешения на формирователь 180 номера канала и происходит переход к опросу и обслуживанию следующего канала. По входу от дешифратора 118 в синхронизатор поступают результаты анализа запроса и состояний УСЦ, которые управляют выработкой сигналов и последовательностью микрокоманд.

Блок 4 ведения очередей (фиг. 7) предназначен для управления записью и выборкой блоков сообщений из оперативной памяти с помощью УСК и УСЦ. Считываемое УСК загружается в регистр 140 УСК через групповой элемент И 130 по информационной шине 24 и возвращается в ОП через элемент И 127 и той же шине 24 под управлением сигналов блока 3 микропрограммного управления, поступающих по связи 22. УСЦ загружается в регистр 141 УСЦ через групповой элемент И 134 по информационной шине 24 и возвращается в ОП через групповой элемент И 131 и той же шине 24 под управлением сигналов блока 3 микропрограммного управления, поступающих по связи 22. Регистр 151 сравнения производит анализ наличия элементов в цепочках путем сравнения полей УСЦ. Результат запоминается в поле признаков регистра 141 УСЦ через групповой элемент И 146 и передается по связи 21 в блок 3 микропрограммного управления через групповой элемент И 148 для корректировки микропрограммы. Через групповой элемент И 149 содержимое поля номера первого буфера УСЦ передается на регистр 152 адреса буфера, на котором формируется адрес последней ячейки этого буфера. Этот адрес через групповой элемент И 150 передается на адресную шину 25, откуда он через групповой элемент И 137 принимается на регистр 143 адреса оперативной памяти и с него по связи 26 в блок 6 оперативной памяти. Через групповой элемент И 136 с адресной шины 25 на регистр 142 адреса канала принимается номер канала для формирования адресов УСК и УСЦ, которые выдаются на адресную шину 25 через групповой элемент И 135 и принимаются на регистр 143 адреса оперативной памяти через групповой элемент И 137. Регистр 144 данных служит для промежуточного хранения информации, читаемой или записываемой в ОП по связи 27, и связан с информационной шиной 24 через групповые элементы И 138 и 139.

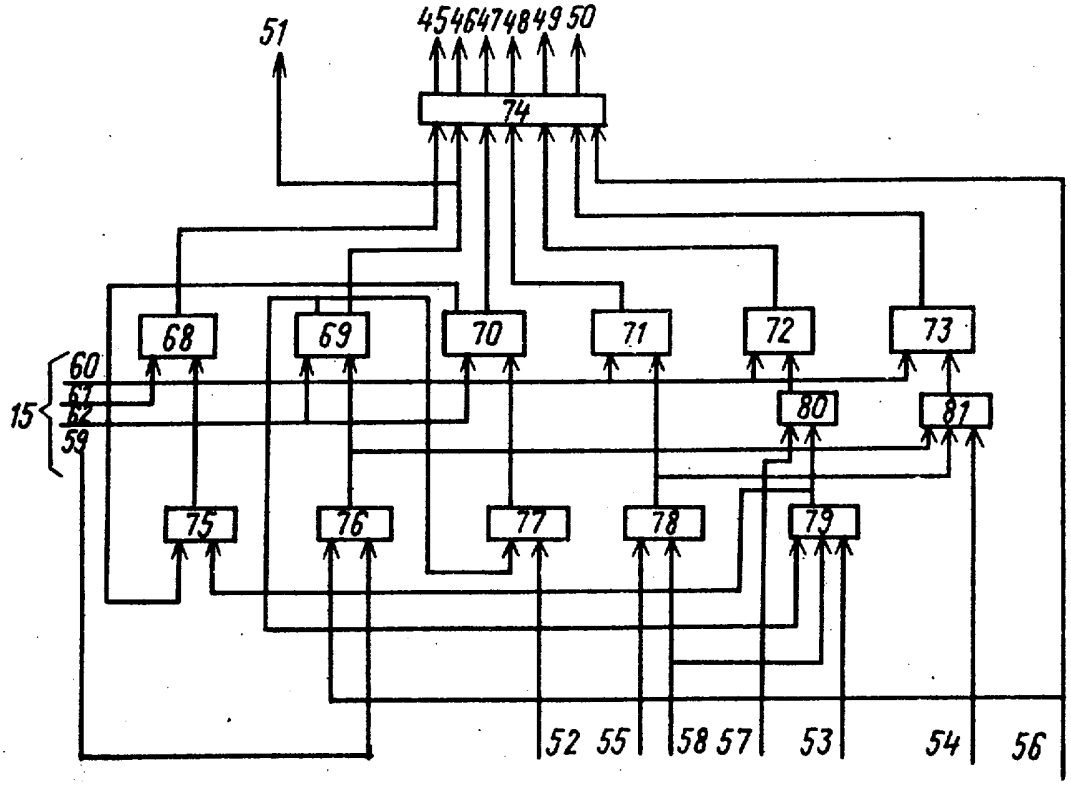
Блок 5 выбора маршрута (фиг. 8) предназначен для определения номера канала выдачи принятого сообщения и выработки сигнала требования на выдачу в соответствующий блок 1 сопряжения с каналом. Первые четыре байта каждого сообщения, содержащие символ НС и адресную часть, с информационной шины 8 устройства принимаются вместе с записью в ОП через элемент И 156 на регистр 154 адреса постоянного запоминающего устройства 153, которое содержит маршрутные таблицы. По адресной части сообщения из постоянного запоминающего устройства выбирается номер канала выдачи и помещается в регистр 156 номера канала, откуда через элемент И 157 по связи 29 выдается на адресную шину 7 устройства и принимается в блоке 4 ведения очередей в соответствующее поле УСК. Управление работой блока 5 выбора маршрута осуществляется блоком 3 микропрограммного управления. После установки принятого сообщения в очередь канала выдачи (подсоединение цепочки буферов сообщения к УСЦ канала выдачи), номер канала выдачи блоком 4 ведения очередей передается на адресную шину 7 устройства и по связи 29 принимается через элемент И 158 на дешифратор 159 блока выбора маршрута. Результат дешифрации по связи 30 поступает в соответствующий блок 1 сопряжения с каналом, где устанавливает требование на выдачу по данному каналу.


5
6
2
3
4
1
1
1
28
29
30
26
27
18
17
22
21
19
20
24
25
7
8
14
15
13
12
9
10
11

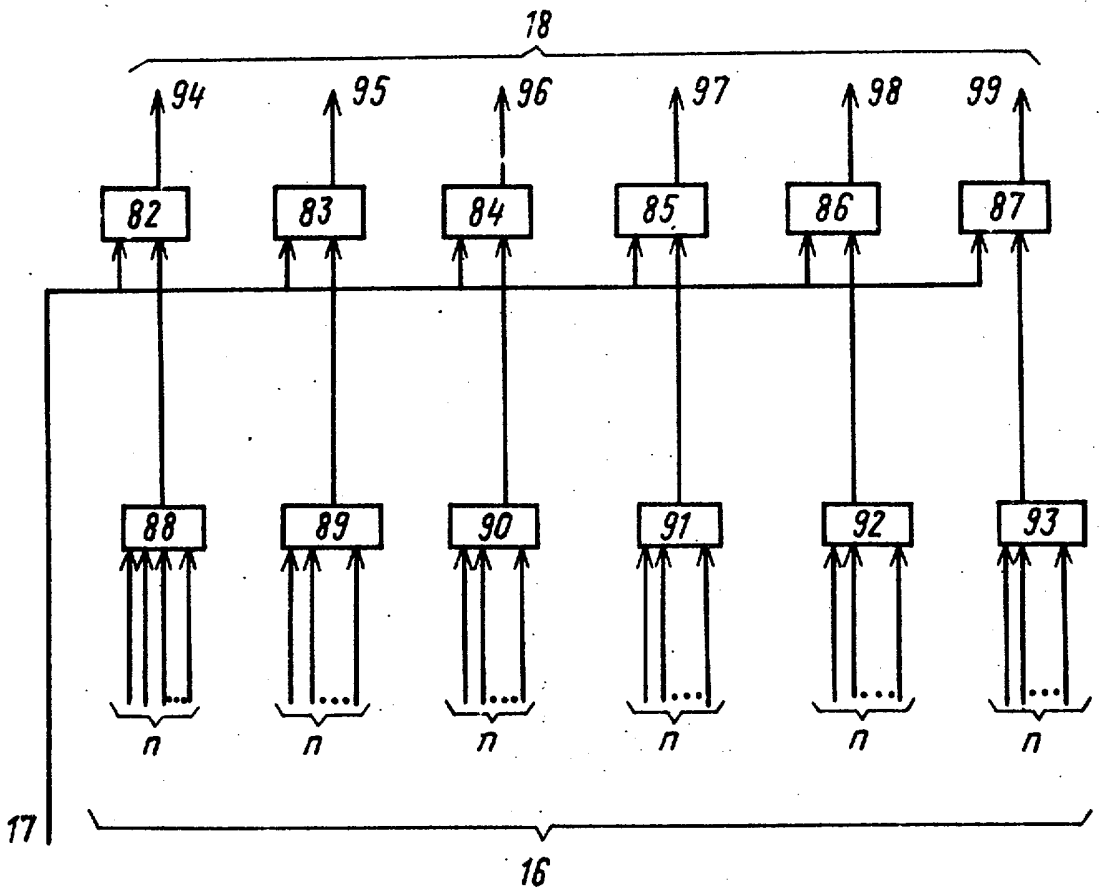
Фиг.1


14
15
13
12
31
32
40
39
38
37
36
47
44
42
33
35
34
43
63
11
10
9
12

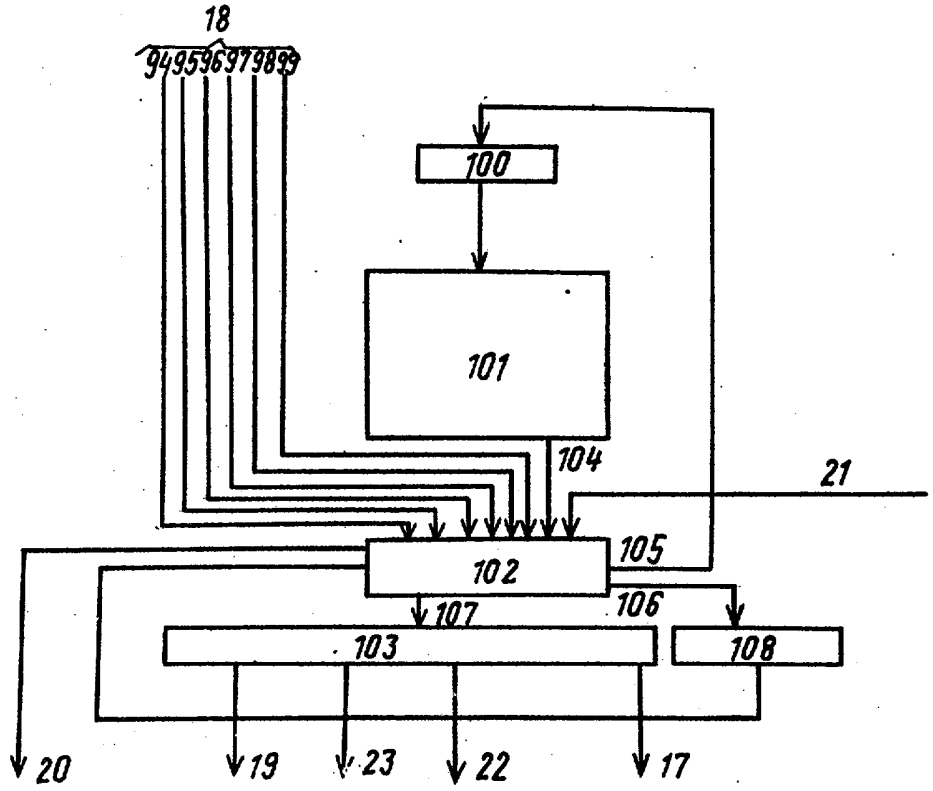
Фиг.2


51
45 46 47 48 49 50
74
68
69
70
71
72
73
60
61
62
59
15
80
81
75
76
77
78
79
52 55 58 57 53 54 56

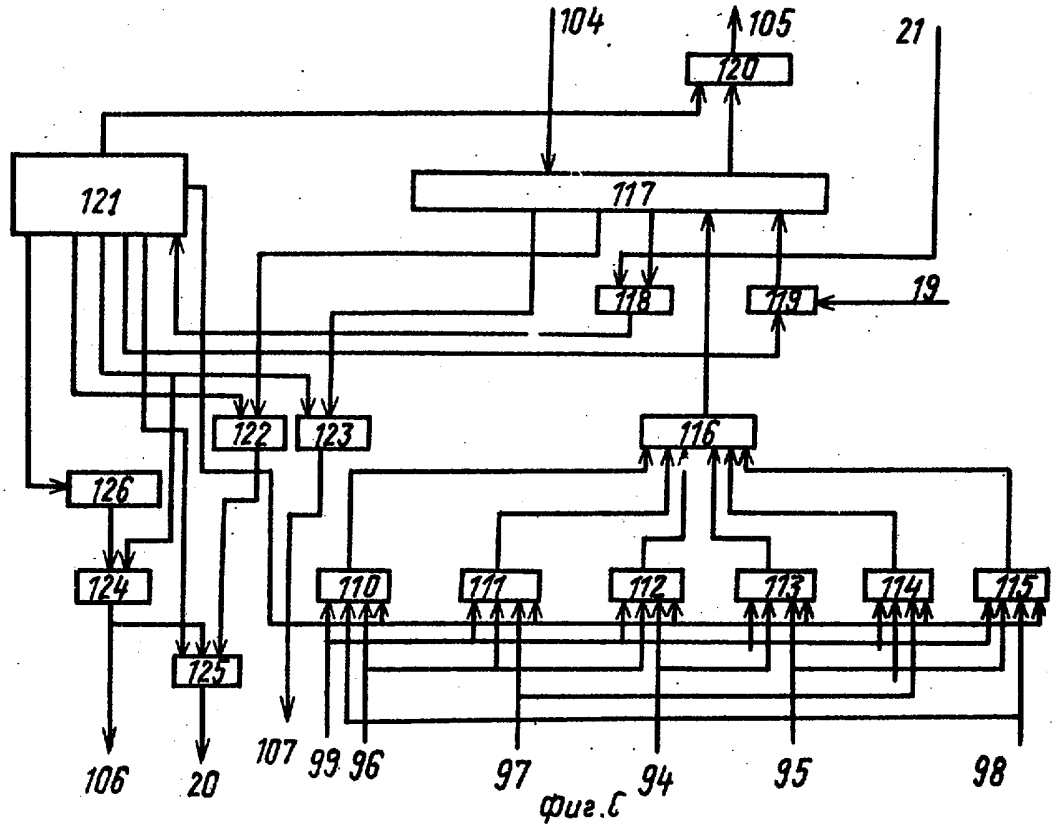
Фиг. 3


18
94
95
96
97
98
99
82
83
84
85
86
87
88
89
90
91
92
93
n
n
n
n
n
n
17
16

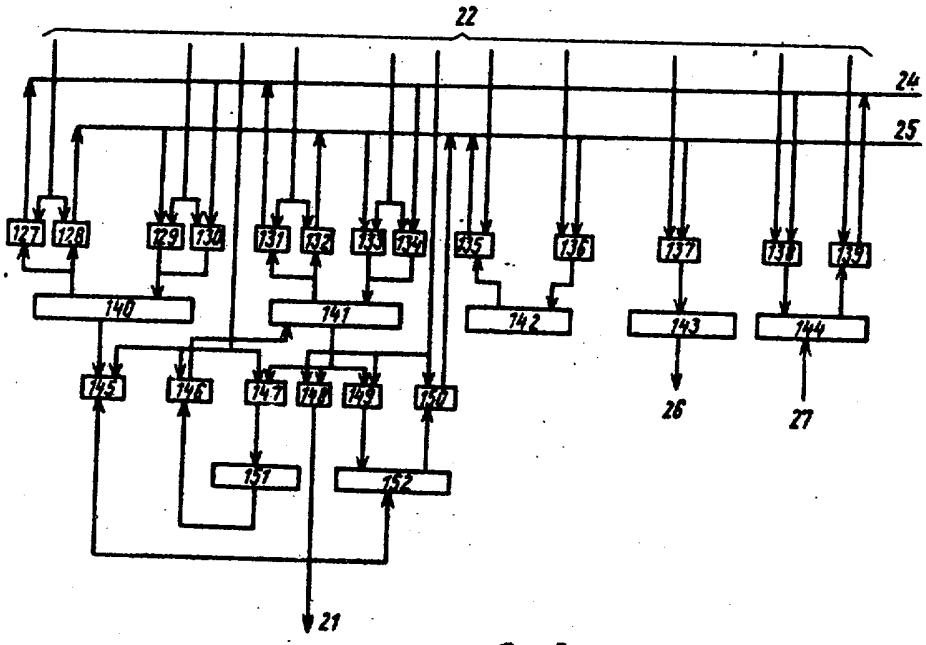
Фиг. 4


18
94 95 96 97 98 99
100
101
104
21
102
105
107
106
103
108
20
19
23
22
17

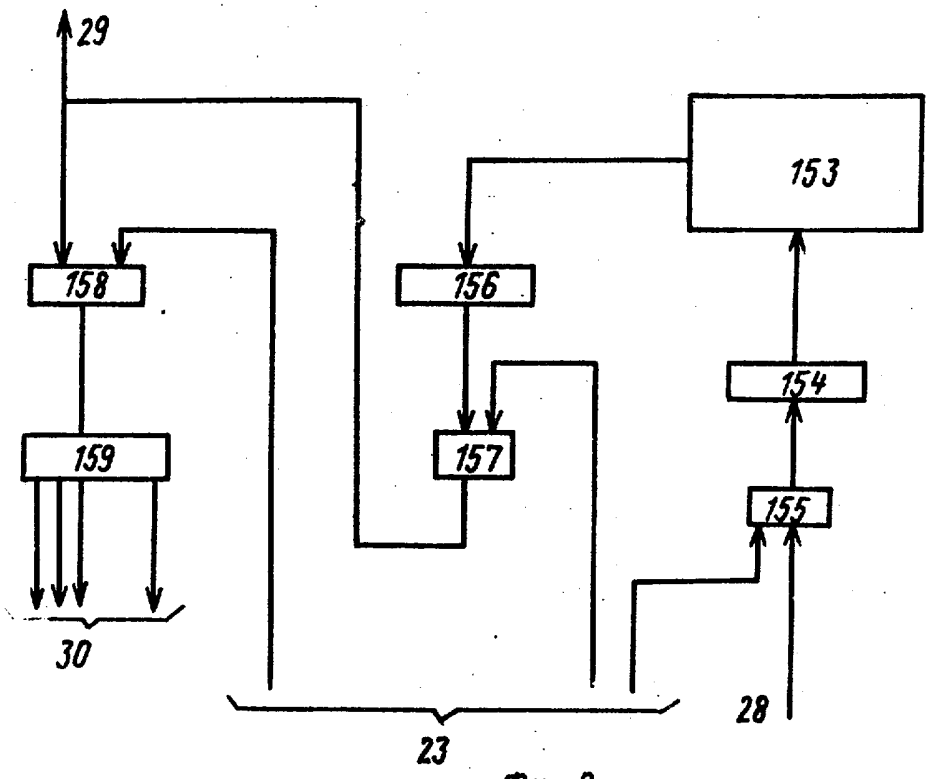
фиг.5


104
105
21
120
121
117
118
119
19
122
123
116
126
124
110
111
112
113
114
115
125
106
20
107
99
96
97
94
95
98

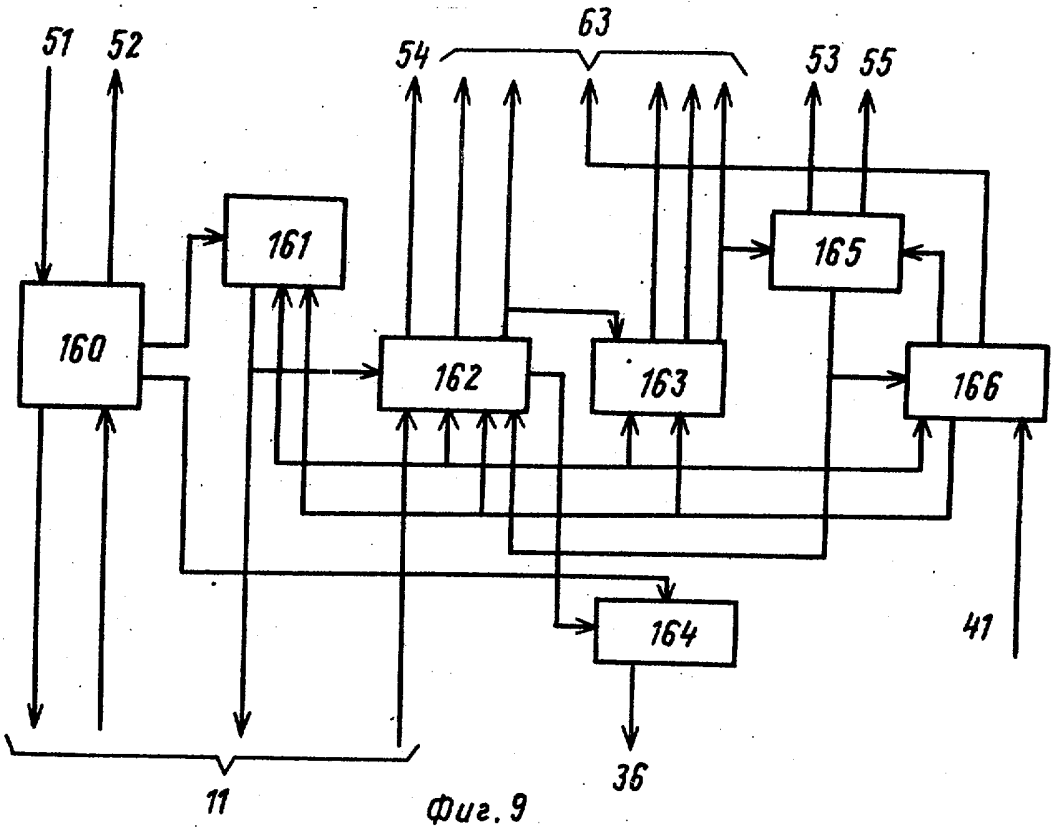
фиг.6


22
24
25
127
128
129
130
131
132
133
134
135
136
137
138
139
140
141
142
143
144
145
146
147
148
149
150
151
152
21
26
27

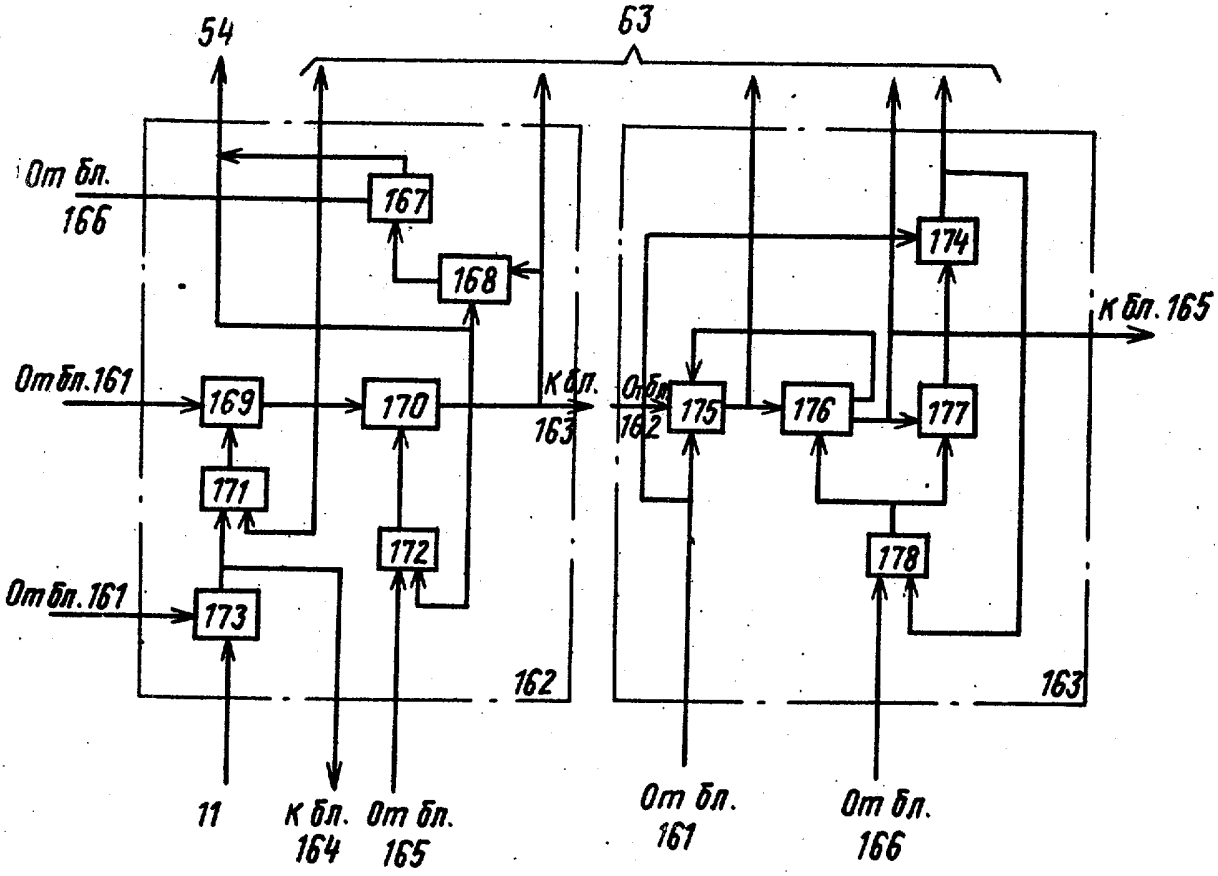
Фиг. 7


29
153
158
156
154
159
157
155
30
28
23

Фиг. 8

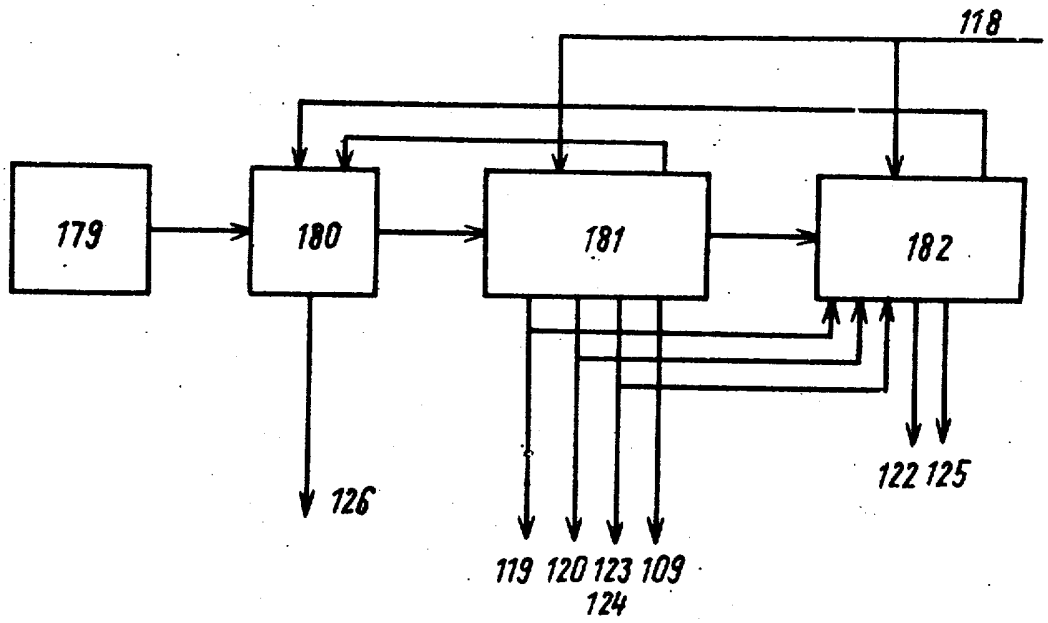


Фиг. 9



Фиг. 10

Фиг. 11



Фиг. 12

Составитель И.Андреев
Редактор А.Летника Техред Т.Фанта Корректор М.Демчик

Заказ 5678/52 Тираж 710 Подписное
ВНИИПИ Государственного комитета СССР
по делам изобретений и открытий
113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ППП "Патент", г.Ужгород, ул.Проектная, 4