

公告本

303525

申請日期	85 年 8 月 20 日
案 號	85110152
類別	1-10/L 27/118
Int. Cl.	(以上各欄由本局填註)

A4
C4

303525

發明專利說明書

一、發明 名稱	中 文	半導體積體電路驅動用電源電路
	英 文	
二、發明 創作人	姓 名	(1) 岡安俊幸 (2) 橫田真一
	國 籍	(1) 日本 (2) 日本
	住、居所	(1) 日本國埼玉縣北葛飾郡栗橋町栗橋二〇〇三 - 一〇六 (2) 日本國埼玉縣行田市大字持田二四二〇持田寮三〇七號
三、申請人	姓 名 (名稱)	(1) 阿杜凡泰斯特股份有限公司 株式会社アドバンテスト
	國 籍	(1) 日本
	住、居所 (事務所)	(1) 日本國東京都練馬區旭町一丁目三二番一號
	代 表 人 姓 名	(1) 大浦 博

裝

訂

線

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6

B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權

日本 1995 年 8 月 25 日 7-817145 ☒無主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明(1)

〔技術之領域〕

本發明係與將所定工作電壓(電流)供給半導體積體電路，將該(半導體積體)電路驅動成工作狀態之(半導體積體電路)驅動用電源電路，尤其與可極力防止因溫度變化或電源電壓變動等致(半導體積體電路之遲延電路部)之遲延時間變動之(半導體積體電路用)電源電路有關。

〔先前之技術〕

例如半導體存儲器之半導體積體電路(以下稱IC)試驗用IC試驗裝置(一般稱IC試驗機)，需要給予接受試驗之IC(被試驗IC)之所定圖型(pattern)之試驗信號，及產生各種控制信號等用之各種時間(timing)信號，因此，IC試驗裝置使用產生各種時間信號用之時間信號產生電路，該時間信號產生電路，一般具備：以繼續連接多數個由邏輯門元件而成之遲延元件，自該繼續連接之遲延元件之各段間或各輸出側獲得具有所需遲延時間之時間信號所構成之遲延電路。

先前，由此種繼續連接之多數個邏輯門元件構成之遲延電路係由TTL(Transistor transistor Logic)或ECL(Emitter-Coupled Logic)構成。由於使用TTL或ECL之遲延電路幾乎不同溫度變化或電壓之更動影響信號之傳播遲延時間，故此種遲延電路之溫度變化或電壓變動並不受重視。

近年來，為極力減少遲延電路之消耗電力，及更提高

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(2)

積體電路之集成度，將由MOS構造之IC(MOS·IC)構成之遲延電路使用於IC試驗裝置之時間信號產生電路。先前已知，例如將縱續連接之多數個邏輯門元件做為CMOS(相補形MOS)構造之IC形成，可自縱續連接之多數個CMOS裝置之各段間或各輸出側取出遲延時間不同之信號之遲延電路。(例如參照本申請人之日本特願平6-143950號「時間信號產生電路」)。

惟，由MOS·IC構成之遲延電路，有由於溫度變化或電壓變動傳播之信號所受遲延時間變動較大之困難，故無法產生高精度之時間信號。無法產生高精度之時間信號即無法以高精度試驗被試驗IC。故自先前以來曾提出很多MOS·IC構成之遲延電路之遲延時間不受溫度變化或電壓變動之影響之方法或裝置。

一般由上述MOS·IC構成之具有遲延電路之時間信號產生電路，常有與IC試驗裝置之其他電路一同形成為1隻IC端頭。圖1表示此種IC端頭上之IC配置之一例，即將含時間信號產生電路之IC試驗裝置之第1半導體電路部，及含其他邏輯電路等之IC試驗裝置之第2半導體電路部2以分離於1隻IC端頭3上之狀態形成。時間信號產生電路具有將高精度遲延時間給予傳播之信號用CMOS·IC構成之遲延電路。自未圖示之共同之1隻電源電路將所定工作電壓分別供給此等第1及第2半導體電路部1及2。

此種構成之IC端頭3，當第2半導體電路部2之操

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

紙

五、發明說明 (3)

作率變化，其消耗電力變化（增加或減少）時，該第2半導體電路部2之發熱量變化，其溫度亦將變化。第2半導體電路部2之溫度變化時，同一端頭上之第1半導體電路部1之溫度亦變化，故，該第1半導體電路部1所含遲延電路之CMOS·IC變溫度變化影響，給予傳播時間之遲延時間變動較大。故無法給予高精度之遲延時間。

圖2係表示第2半導體電路部2之消耗電力 P_2 之變化，故由於其溫度 T_1 之變化致第1半導體電路部1之遲延電路之遲延時間 τ_1 變動之狀態之曲線圖。由該曲線圖，可知隨著第2半導體電路部2之消耗電力 P_2 （亦即溫度 T_1 ）之增加由半導體電路部1之CMOS·IC構成之遲延電路之遲延時間 τ_1 亦增加。

加上，第1半導體1即使由電源電路供給之工作電壓變動，其遲延電路之遲延時間 τ_1 變動。圖3表示由於電源電壓 E_1 之變動，第1半導體電路部1之遲延電路之遲延時間 τ_1 變動之狀態之曲線圖。由該曲線圖可知隨著電源電壓 E_1 增高由CMOS·IC構成之遲延電路之遲延時間 τ_1 減少。

驅動此種IC之先前之電源電路係構成自共同之1隻電源電路分別將工作電壓供給第1及第2半導體電路部1及2，或設2個電源電路，自各該電源電路分別將工作電壓供給第1及第2半導體電路部1及2。無論任何情形，並無以電源電路防止第1半導體電路部1之遲延電路之遲延時間 τ_1 因溫度變化而變動之想法。因此，第1半導體

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

錄

五、發明說明(4)

電路部 1 之遲延電路之遲延時間因溫度 R 電源電壓之變動受較大影響，無法將高精度之遲延時間給予傳播之信號。

〔發明之目的〕

本發明之目的在提供可極力防止由 IC 構成之遲延電路之遲延時間因溫度變化而變影響之 IC 驅動用電源電路。

〔本發明之方法〕

本發明之半導體積體電路驅動用電源電路，即將第 1 半導體電路部及第 2 半導體電路部一體形成為半導體積體電路之一隻半導體積體電路端頭 (tip)，且上述第 1 半導體電路部具有將高精度遲延時間給予傳播信號之半導體積體電路構成之遲延電路，該遲延電路之遲延時間將隨上述第 2 半導體電路部之消耗電力之變化而變化，並依供給上述第 1 半導體電路部之電源電壓之變動而變化之驅動一隻半導體積體電路端頭之半導體積體電路驅動用電源電路，其特徵為：

具備：將作用電壓供給上述第 1 半導體電路部之第 1 電源電路，及將作用電壓供給上述第 2 半導體電路部，並改變上述第 1 電源電路之輸出電壓之第 2 電源電路，

上述第 2 電源電路係隨上述第 2 半導體電路部之消耗電力變化控制上述第 1 電源電路之輸出電壓以消除起因溫度之上述第 1 半導體電路部之遲延電路之遲延時間變動。

本發明之第 1 面係如申請專利範圍第 1 項所述之半導

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (5)

體積體電路驅動用電源電路，其中上述第 2 電源電路具有時間常數電路，使該時間常數電路具有略等於對應上述第 2 半導體電路部之消耗電力變化時點至上述第 1 半導體電路部之溫度變化止之時間遲延之上述第 1 半導體電路部之溫度時間常數之時間常數，僅遲延該時間常數控制上述第 1 電源電路之輸出電壓。

本發明之第 2 面係如申請專利範圍第 1 項所述之半導體體積體電路驅動用電源電路，其中上述第 1 電源電路，具有時間常數電路，使該時間常數電路具有略等於對應上述第 2 半導體電路部之消耗電力變化時點至上述第 1 半導體電路部之溫度變化止之時間遲延之上述第 1 半導體電路部之溫度時間常數之時間常數，而上述第 1 電源電路係自上述第 2 電源電路供給電源電壓時，只遲延上述時間常數，使其輸出電壓變化。

本發明之第 3 面係如申請專利範圍第 1 項所述之半導體體積體電路驅動用電源電路中，設檢測上述半導體體積體電路端頭溫度之感知器，由該感知器之輸出控制上述第 1 電源電路之輸出電壓。

本發明之第 4 面係如申請專利範圍第 1 項所述之半導體體積體電路驅動用電源電路，其中上述第 2 電源電路係含：

含將集電極連接於直流電源，將發射極經電流／電壓變換器連接於將電源電壓供給上述第 2 半導體電路部之輸出接頭之晶體管之晶體管電路，及

五、發明說明 (6)

放大上述第 2 電源電路之輸出接頭輸出之電源電壓與基準電壓之差值，將該放大之輸出電壓供給上述晶體管之基極，將上述第 2 電源電路之輸出接頭之電源電壓控制成略等於上述基準電壓之差動放大電路，

將上述電流／電壓變換器變換之電壓供給上述第 1 電源電路控制上述第 1 電源電路之輸出電壓。

本發明之第 5 面係如申請專利範圍第 5 項所述之半導體積體電路驅動用電源電路，其中上述第 2 電源電路，更含有對上述電流／電壓變換器之上述第 1 電源電路輸出側，具有略等於上述第 1 半導體電路部之溫度時間常數之時間常數之低通濾波器。

本發明之第 6 面係如申請專利範圍第 5 項所述之半導體積體電路驅動用電源電路，其中上述第 1 電源電路，更含有具有略等於上述第 1 半導體電路部之溫度時間常數之低通濾波器。

[實施例]

以下參照圖 4 ~ 圖 9 詳細說明依本發明之 IC 驅動用電源電路之實施例。又，以下爲了使說明簡單明瞭，說明將本發明適用於 IC 試驗裝置之情形。又，以 MOS · IC，尤其以 CMOS · IC 構成時間信號產生電路之遲延電路之情形爲例說明，惟本發明當不受此等限制。

圖 4 係表示依本發明之 IC 驅動用電源電路之第 1 實施例之方塊圖。由電源電路驅動之 IC 端頭 3，分別形成

五、發明說明 (7)

如圖 1 所示具有由將高精度遲延時間給予傳播信號之 CMOS · IC 構成之遲延電路之合時間信號產生電路之第 1 半導體電路部 1，及含其他邏輯電路等之第 2 半導體電路 2。

本發明係將驅動 IC 端頭 3 之電源電路分離為驅動含上述遲延電路之第 1 半導體電路部之第 1 電源電路 5，及驅動含上述其他邏輯電路等第 2 半導體電路部 2 之第 2 電源電路 6，並以該第 2 電源電路 6 經控制信號線 7 控制第 1 電源電路 5 以便可改變其電源電壓 E_1 所構成。該第 2 電源電路 6 之控制，係當第 2 半導體電路部 2 之消耗電力 P_2 變化，致第 2 半導體電路部 2 之溫度變化，第 1 半導體電路部 1 之遲延電路之遲延時間變化時，使供給第 1 半導體電路部 1 之第 1 電源電路 5 之電源電壓 E_1 向消除該遲延電路之遲延時間之變化之方向變化者。即控制第 1 電源電路 5 之電源電壓 E_1 ，隨第 2 半導體電路部 2 之消耗電力 P_2 之變化，以消除第 1 半導體電路部 1 之遲延電路之遲延時間之變化。

關於先前技術之 IC 驅動用電源電路如前述，由第 1 半導體電路部 1 之 CMOS · IC 構成之遲延電路之遲延時間 τ_1 係當第 2 半導體電路部 2 之消耗電力 P_2 變化，其溫度 T_1 變化時，如圖 2 所示變化，又當自第 1 電源電路 5 供給第 1 半導體電路部 1 之工作電壓 E_1 變動時，其遲延電路之遲延時間 τ_1 變化如圖 3 所示。故，依上述本發明之第 1 實施例，由於第 2 半導體電路部 2 之消耗電力

五、發明說明(8)

P 2 若增大，致第 2 半導體電路部 2 之溫度增高而第 1 半導體電路部 1 之遲延電路之遲延時間 τ_1 增大時，即提高供給第 1 半導體電路部 1 之第 1 電源電路 5 之電源電壓 E_1 ，因此如圖 3 所示遲延電路之遲延時間 τ_1 減少。故由於提高供給第 1 半導體電路 1 之第 1 電源電路 5 之電源電壓 E_1 即可抵消因第 2 半導體電路部 2 之溫度上昇之遲延電路之遲延時間 τ_1 之增大。如此即可將高精度遲延時間給予傳播遲延電路之信號，而可獲得高精度所需之時間信號。

圖 4 所示第 1 實施例係自直流電源 4 將電壓 E 分別供給第 1 及第 2 電源電路 5 及 6 之輸入接頭 $I N 1$ 及 $I N 2$ ，自各該電源電路 5 及 6 之輸出接頭 $O U T 1$ 及 $O U T 2$ 將電源電壓（工作電壓） E_1 及 E_2 分別供給對應之第 1 及第 2 半導體電路部 1 及 2 所構成，惟如圖 5 所示，本發明之第 2 實施例自直流電源 4 將電壓 E 僅供給第 2 電源電路 6，自該第 2 電源電路 6，經兼用電源線之控制信號線 7 a，將所定直流電壓供給第 1 電源電路 5 之輸入接頭 $I N 1$ 構成亦可。

圖 6 分別表示該第 2 實施例之第 1 及第 2 電源電路 5 及 6 之一具體例。第 2 電源電路 6，係含具有 $n p n$ 晶體管 Q 之晶體管電路 1 1，及差動放大器 1 2，及電流／電壓變換器 8，及由電阻器 R 及電容器 C 而成之低通濾波器（ $L P F$ ）9，晶體管 Q 之集電極係連接於第 2 電源電路 6 之輸入接頭 $I W 2$ ，發射極係連接於電流／電壓變換器

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

訂

五、發明說明 (9)

8 之輸入接頭，並連接於低通濾波器 9 之輸入接頭，基極係連接於差動放大器 1 2 之輸出接頭。又，電流／電壓變換器 8 之輸出接頭係連接於第 2 電源電路 6 之輸出接頭 O U T 2，並連接於差動放大器 1 2 之一（負）輸入接頭。

上述構成中，自電源 4 將直流電壓 E 供給晶體管 R 之集電極時，因晶體管 Q 由於基極偏壓 V_0 處於導通狀態，故有發射電流通過。該發射電流通過電流／電壓變換器 8（本例為電阻器 R_y）供給第 2 電源電路 6 之輸出接頭 O U T 2，此時，發射電流係在電流／電壓變換器 8 變換為電壓。該變換之電壓經低通濾波器 9 做為電源電壓 E₃ 供給第 1 電源電路 5 之輸入接頭 I N 1。此時，經低通濾波器 9 流至第 1 電源電路 5 之電流，因第 1 電源電路 5 之緩衝電路 1 0 之輸入阻抗極高，為可忽視之程度，故發射電流實質上幾乎通過電流／電壓變換器 8 流至輸出接頭 O U T 2。此時之該電流稱為發射電流 I₂。

因將基準電壓 V_r 供給差動放大器 1 2 之 +（正）輸入接頭，故放大供給該一輸入口之電壓，即第 2 電源電路 6 之與電源電路 E₂ 之差（ $V_r - E_2$ ），自該輸出接頭做為偏壓 V。供給晶體管 Q 之基極。由於差動放大器 1 2 之增益極大，故以晶體管 Q，電流／電壓變換器 8，及差動放大器 1 2 構成之回授電路，即可將第 2 電源電路 6 之電源電壓 E₂ 控制於略等於基準電壓 V_r 之一定值。

其次具體說明上述第 2 電源電路 6 之控制動作。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

分

五、發明說明 (10)

茲設差動放大器 1 2 之增益為 A ，則下式成立。

$$(V_r - E_2) A = V_o \quad \dots \dots (1)$$

設基極發射電壓為 V_{be} ，則發射電壓 V_e 為

$$\begin{aligned} V_e &= V_o - V_{be} \\ &= (V_r - E_2) A - V_{be} \dots \dots (2) \end{aligned}$$

設電流／電壓變換器 8 之輸入阻抗為 Z (本例為 $Z = R$)
，則其輸入接頭之電壓 $I_2 Z$ 為

$$\begin{aligned} I_2 Z &= V_e - E_2 \\ &= (V_r - E_2) A - V_{be} - E_2 \\ &= V_r A - E_2 (A + 1) - V_{be} \dots \dots (3) \end{aligned}$$

設第 2 半導體電路部 2 之全負荷阻抗為 Z_2 則

$$E_2 = Z_2 I_2 \quad \dots \dots (4)$$

將 (4) 式代入 (3) 式則

$$\begin{aligned} I_2 Z &= V_r A - Z_2 I_2 (A + 1) - V_{be} \\ \therefore I_2 &= (V_r A - V_{be}) / \{ Z + Z_2 (A + 1) \} \\ &= (V_r - V_{be} / A) / \{ Z / A + Z_2 (1 \end{aligned}$$

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

紙

五、發明說明 (11)

$$+ 1 / A) \} \quad \dots \dots (5)$$

如上述因差動放大器 1 2 之增益 A 極大，故 $V_{be} / A \approx 0$ ， $Z / A \approx 0$ ， $1 / A \approx 0$ 。

$$\therefore I_2 \approx V_r / Z_2$$

$$\therefore V_r \approx I_2 Z_2 = E_2 \quad \dots \dots (6)$$

由上式 (6) 可知第 2 電源電路 6 之電源電壓 (輸出電壓) E_2 係控制於略等於基準電壓 V_r 之電壓。

第 2 半導體電路部 2 之消耗電力 P_2 為

$$P_2 = E_2 I_2 \approx V_r I_2 \quad \dots \dots (7)$$

故，消耗電力 P_2 略與發射電流 I_2 成比例。

一方面，發射電流係在電流 / 電壓變換器 8 變換為電壓，該電壓經低通濾波器 9 濾波成電壓 E_3 。自第 2 電源電路 6 輸出，惟該電壓 E_3 在此例等於 D C 之發射電壓 V_e 。故，下式成立。

$$E_3 = V_e = Z I_2 + E_2 \approx Z I_2 + V_r \approx Z P_2 / V_r + V_r \quad \dots \dots (8)$$

由此式可知將隨第 2 半導體電路部 2 之消耗電力 P_2 變化

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (12)

之電源電壓 E_3 供給由緩衝電路 10 及穩壓二極管 D 之構成之第電源電路 5。結果，設穩壓二極管 D 之電壓降低量為 V_z 時，第 1 電源電路 5 之電源電壓 E_1 為

$$E_1 = E_3 - V_z = Z P_2 / V_r + V_r - V_z \quad \dots \dots (9)$$

故第 1 電源電路 5 之電源電壓 E_1 ，係如圖 7 所示隨第 2 半導體電路 6 之消耗電力 P_2 之變化而變化。由圖 7 可知，例如第 2 半導體電路 6 之消耗電力 P_2 增大時第 1 電源電路 5 之電源電壓 E_1 成比例增高，而第 2 半導體電路 6 之消耗電力 P_2 減少時第 1 電源電路 5 之電源電壓 E_1 成比例降低。

如此，隨第 2 半導體電路 6 之消耗電力 P_2 之增大（減少），第 1 電源電路 5 之電源（輸出）電壓 E_1 增高（降低），則第 1 半導體電路部 1 之遲延電路之遲延時間 τ_1 係如圖 3 所示減少（增加），而可抵消消耗電力 P_2 之增大（減少）起同之遲延時間 τ_1 之增加量。

第 2 半導體電路部 2 之消耗電力 P_2 增加（減少） ΔP_2 之時點至第 1 半導體電路部 1 之溫度 T_1 上昇（下降） ΔT_1 且遲延電路之遲延時間 τ_1 增加（減少） $\Delta \tau_1$ 之時點止，有多少時間遲延 I_d 存在。因此第 2 電源電路 6 以略等於對應第 1 半導體電路部 1 之時間遲延 τ_d 之溫度時間常數之時間常數，控制第 1 電源電路 5 之

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (13)

電源電壓 E_1 爲宜。因此，本實施例係將低通濾波器 9 插入第 2 電源電路 6，由該低通濾波器 9，使供給第 1 電源電路 5 之電源電壓 E_3 ，具有略等於對應第 1 半導體電路 1 之時間遲延 τ_d 之溫度時間常數之時間常數，實質上僅遲延 τ_d 將電源電壓 E_3 供給第 1 電源電路 5。又，第 1 電源電路 5 之緩衝電路 10 係電壓增益爲 1 之緩衝電路，爲了具有電流供給能力之電壓源而設。

又將插入第 2 電源電路 6 之低通濾波器 9 插入第 1 電源電路 5 之輸入側（例如緩衝電路 10 之前段或後段），自第 2 電源電路 6 仍將電流／電壓變換器 8 之電壓做爲電源電壓 E_3 供給第 1 電源電路 5，由低通濾波器使第 1 電源電路 5 供給之電源電壓 E_3 具有略等於第 1 半導體電路 1 之溫度時間常數之時間常數，將輸出電壓 E_1 實質上僅遲延 τ_d 變化，亦可得同樣效果。

更設檢測 IC 端頭 3 之溫度之溫度感知器 14，將該感知器 14 之輸出供給圖 4 或圖 5 之第 1 電源電路 5，以溫度感知器 14 之輸出更控制第 1 電源電路 5 之輸出電壓 E_1 ，即，微調整構成，即可將第 1 半導體電路部 1 之遲延時間之時間遲延 τ_d 以高精度補償。圖 8 係表示本發明之第 3 實施例之方塊圖，表示將溫度感知器 14 附加於圖 4 之第 1 實施例之情形。又，圖 9 表示將溫度感知器 14 附加於圖 5 之第 2 實施例之情形。兩實施例均以溫度感知器 14 之輸出信號補正第 1 電源電路 5 輸出之電源電壓，惟以溫度感知器 14 之輸出信號補正輸入第 1 電源電路 5

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (14)

之電壓亦可。

又，上述各實施例係舉以 C M O S · I C 構成第 1 半導體電路部 1 之遲延電路之情形為例說明，惟本發明當亦可適用於以 M O S · I C 構成遲延電路或以 M O S · I C 以外之 I C 構成之情形，而可得同樣之作用效果。

又，構成遲延電路之 I C，表示與圖 2 之消耗電力 P 2 對遲延時間 τ 1 特性及圖 3 之電源電路 E 1 對遲延時間特性 τ 1 分別相反之特性（消耗電力 P 2 增大則遲延時間特性 τ 1 減少，及電源電壓 E 1 增高則遲延時間特性 τ 1 增大）時，控制第 1 電源電路 5 之電源電壓 E 1 使圖 7 之消耗電力 P 2 對電源電壓 E 1 特性成為相反之特性。例如，圖 6 中將晶體管電路 1 1 之晶體管 Q 成為 p n p 形之晶體管則可做此種控制。

又，本申請書記載之「遲延電路」，例如即使未稱遲延電路之名稱之電路，惟含全部輸入信號以所定時間遲延輸出之電路。

〔發明之效果〕

由以上說明可知，依本發明因設分別含將工作電壓供給為給予高精度遲延時間用 I C 構成之遲延電路之第 1 半導體電路部 1，及含其他邏輯電路等之第 2 半導體電路部 2 之第 1 及第 2 電源電路 5 及 6，由第 2 電源電路 6，隨第 2 半導體電路部 2 之消耗電力 P 2 之變化，使第 1 電源電路 5 之工作電壓變化，以抵消第 1 半導體電路部 1 之溫

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (15)

度起因之遲延時間之變動，故有比先前大幅減少第 1 半導體電路部 1 之遲延時間之溫度變動之顯著益處。

圖示之簡單說明：

圖 1：說明 1 隻 IC 端頭上之 IC 之配置 (Layout) 之一例之概略平面圖。

圖 2：表示圖 1 所示含於 IC 之第 1 半導體電路部之遲延電路之遲延時間 τ_1 與第 2 半導體電路部之消耗電力 P_2 之關係之特性圖。

圖 3：表示圖 1 所示含於 IC 之第 1 半導體電路部之遲延電路之遲延時間 τ_1 與電源電壓 E_1 之關係之特性圖。

圖 4：表示依本發明之 IC 驅動用電源電路之第 1 實施例之方塊圖。

圖 5：表示依本發明之 IC 驅動用電源電路之第 2 實施例之方塊圖。

圖 6：表示圖 5 所示第 2 實施例之一具體例之電路連接圖。

圖 7：表示圖 4 及圖 5 所示實施例之第 1 電源電路 5 之輸出電壓 E_1 與第 2 半導體電路部 2 之消耗電力 P_2 之關係之特性圖。

圖 8：表示依本發明之 IC 驅動用電源電路之第 3 實施例之方塊圖。

圖 9：表示依本發明之 IC 驅動用電源電路之第 4 實施例之方塊圖。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

錄

四、中文發明摘要(發明之名稱:)

半導體積體電路驅動用電源電路

一種半導體積體電路驅動用電源電路，即將第1半導體電路部及第2半導體電路部一體形成為半導體積體電路之一隻半導體積體電路端頭(tip)，且上述第1半導體電路部具有將高精度遲延時間給予傳播信號之半導體積體電路構成之遲延電路，該遲延電路之遲延時間將隨上述第2半導體電路部之消耗電力之變化而變化，並依供給上述第1半導體電路部之電源電壓之變動而變化之驅動一隻半導體積體電路端頭之半導體積體電路驅動用電源電路，其特徵為：

具備：將作用電壓供給上述第1半導體電路部之第1電源電路，及將作用電壓供給上述第2半導體電路部，並改變上述第1電源電路之輸出電壓之第2電源電路，

上述第2電源電路係隨上述第2半導體電路部之消耗電力變化控制上述第1電源電路之輸出電壓以消除起因溫度之上述第1半導體電路部之遲延電路之遲延時間變動。

英文發明摘要(發明之名稱:)

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

1. 一種半導體積體電路驅動用電源電路，即將第 1 半導體電路部及第 2 半導體電路部一體形成為半導體積體電路之一隻半導體積體電路端頭 (tip)，且上述第 1 半導體電路部具有將高精度遲延時間給予傳播信號之半導體積體電路構成之遲延電路，該遲延電路之遲延時間將隨上述第 2 半導體電路部之消耗電力之變化而變化，並依供給上述第 1 半導體電路部之電源電壓之變動而變化之驅動一隻半導體積體電路端頭之半導體積體電路驅動用電源電路，其特徵為：

具備：將作用電壓供給上述第 1 半導體電路部之第 1 電源電路，及將作用電壓供給上述第 2 半導體電路部，並改變上述第 1 電源電路之輸出電壓之第 2 電源電路，

上述第 2 電源電路係隨上述第 2 半導體電路部之消耗電力變化控制上述第 1 電源電路之輸出電壓以消除起因溫度之上述第 1 半導體電路部之遲延電路之遲延時間變動。

2. 如申請專利範圍第 1 項所述之半導體積體電路驅動用電源電路，其中上述第 2 電源電路具有時間常數電路，使該時間常數電路具有略等於對應上述第 2 半導體電路部之消耗電力變化時點至上述第 1 半導體電路部之溫度變化止之時間遲延之上述第 1 半導體電路部之溫度時間常數之時間常數，僅遲延該時間常數控制上述第 1 電源電路之輸出電壓。

3. 如申請專利範圍第 1 項所述之半導體積體電路驅動用電源電路，其中上述第 1 電源電路，具有時間常數電

六、申請專利範圍

路，使該時間常數電路具有略等於對應上述第2半導體電路部之消耗電力變化時點至上述第1半導體電路部之溫度變化止之時間遲延之上述第1半導體電路部之溫度時間常數之時間常數，而上述第1電源電路係自上述第2電源電路供給電源電壓時，只遲延上述時間常數，使其輸出電壓變化。

4. 如申請專利範圍第1項所述之半導體積體電路驅動用電源電路中，設檢測上述半導體積體電路端頭溫度之感知器，由該感知器之輸出控制上述第1電源電路之輸出電壓。

5. 如申請專利範圍第1項所述之半導體積體電路驅動用電源電路，其中上述第2電源電路係含：

含將集電極連接於直流電源，將發射極經電流／電壓變換器連接於將電源電壓供給上述第2半導體電路部之輸出接頭之晶體管之晶體管路，及

放大上述第2電源電路之輸出接頭輸出之電源電壓與基準電壓之差值，將該放大之輸出電壓供給上述晶體管之基極，將上述第2電源電路之輸出接頭之電源電壓控制成略等於上述基準電壓之差動放大電路，

將上述電流／電壓變換器變換之電壓供給上述第1電源電路控制上述第1電源電路之輸出電壓。

6. 如申請專利範圍第5項所述之半導體積體電路驅動用電源電路，其中上述第2電源電路，更含有對上述電流／電壓變換器之上述第1電源電路輸出側，具有略等於

六、申請專利範圍

上述第 1 半導體電路部之溫度時間常數之時間常數之低通濾波器。

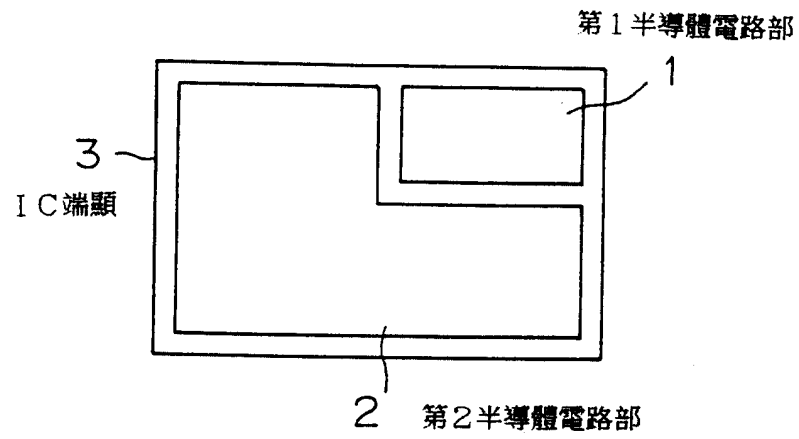
7. 如申請專利範圍第 5 項所述之半導體積體電路驅動用電源電路，其中上述第 1 電源電路，更含有具有略等於上述第 1 半導體電路部之溫度時間常數之時間常數之低通濾波器。

(請先閱讀背面之注意事項再填寫本頁)

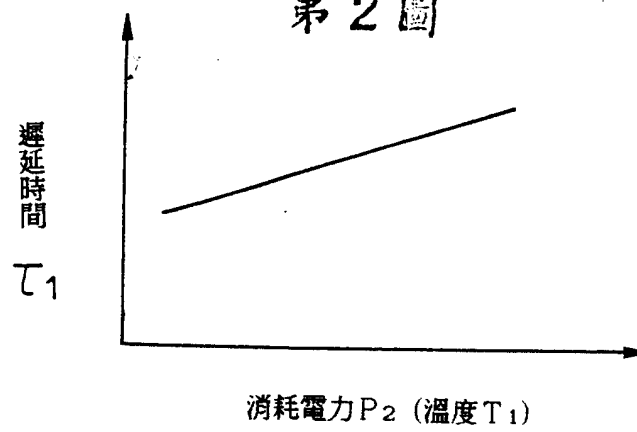
裝

訂

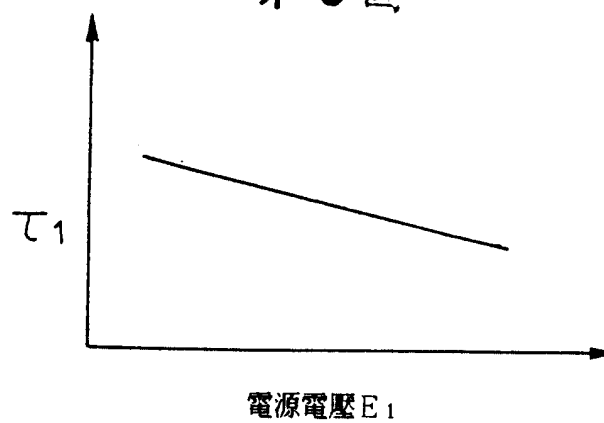
第 1 圖



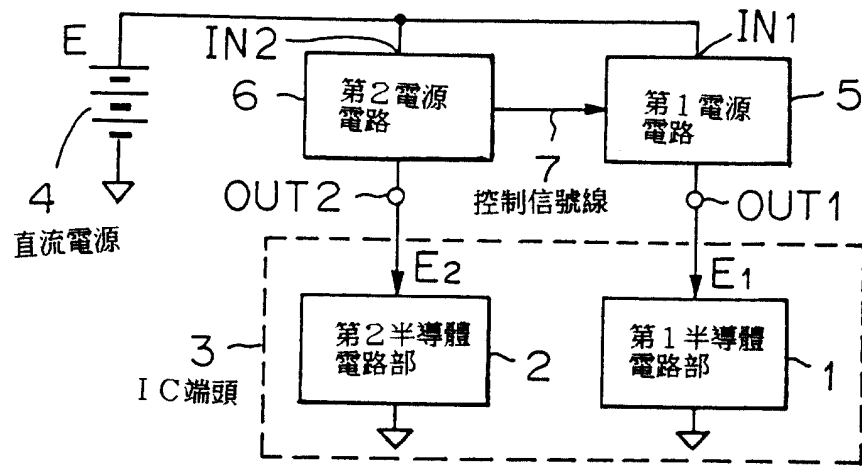
第 2 圖



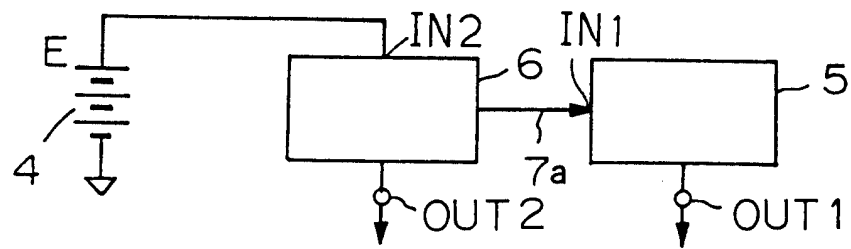
第 3 圖



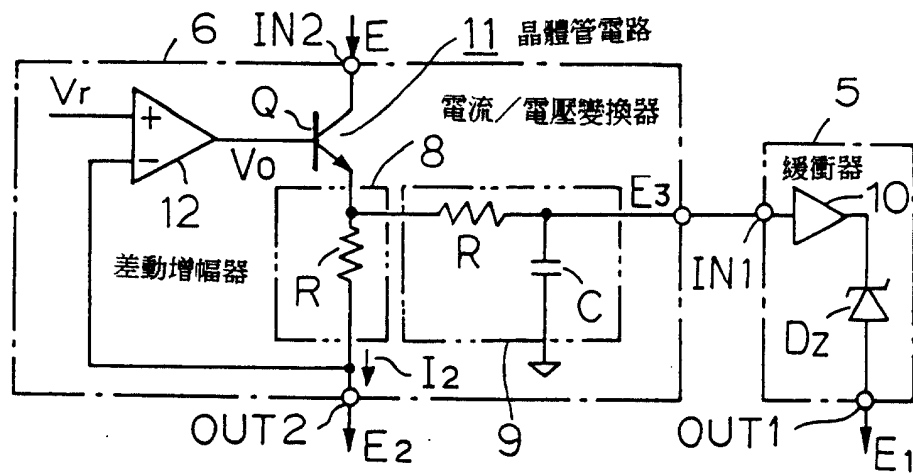
第 4 圖



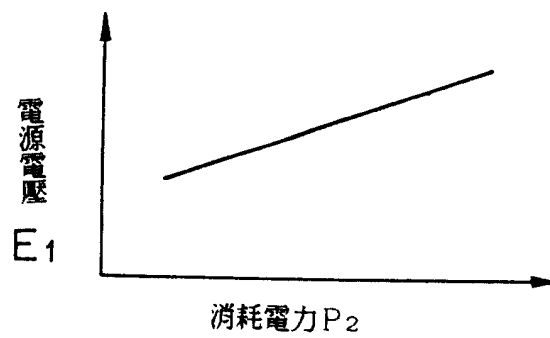
第 5 圖



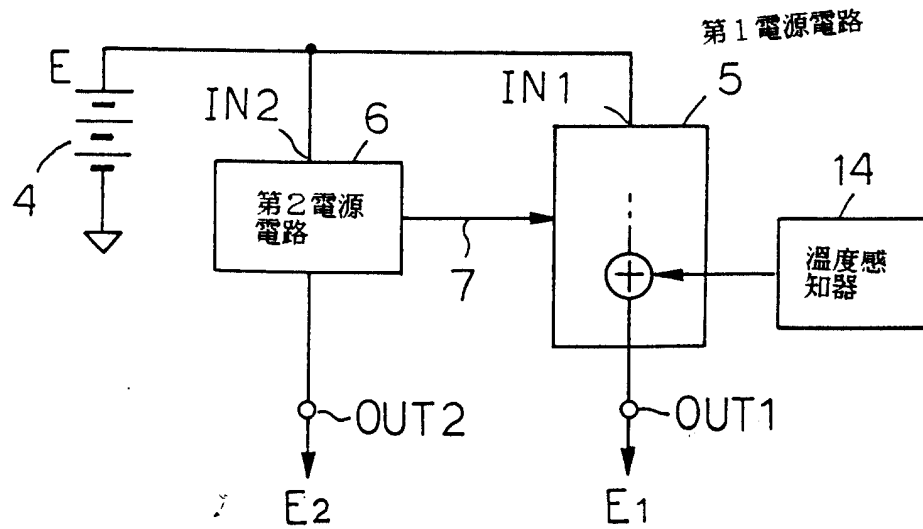
第 6 圖



第 7 圖



第 8 圖



第 9 圖

