



(12)发明专利

(10)授权公告号 CN 104538442 B

(45)授权公告日 2017.10.17

(21)申请号 201410431504.9

(56)对比文件

(22)申请日 2014.08.28

US 5545586 A, 1996.08.13,
US 2004/0238808 A1, 2004.12.02,
EP 2472585 A1, 2012.07.04,
US 2014/0054594 A1, 2014.02.27,
CN 103151391 A, 2013.06.12,

(65)同一申请的已公布的文献号

申请公布号 CN 104538442 A

(43)申请公布日 2015.04.22

审查员 张竞存

(73)专利权人 华为技术有限公司

地址 518129 广东省深圳市龙岗区坂田华为总部办公楼

(72)发明人 杨喜超 赵静 张臣雄

(74)专利代理机构 北京同达信恒知识产权代理有限公司 11291

代理人 冯艳莲

(51)Int.Cl.

H01L 29/78(2006.01)

H01L 21/336(2006.01)

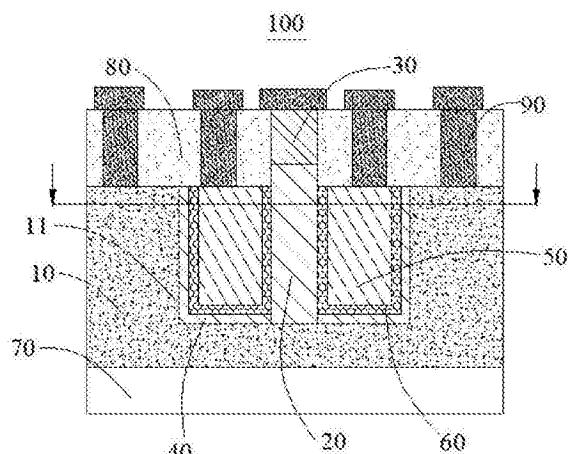
权利要求书1页 说明书6页 附图8页

(54)发明名称

一种隧穿场效应晶体管及其制作方法

(57)摘要

本发明公开一种隧穿场效应晶体管及其制作方法，所述晶体管包括：源区，开设有凹槽；沟道区，设置于所述凹槽内，并连接于所述凹槽底部；漏区，设置于所述沟道区上远离所述凹槽底部的一端；外延层，形成于所述凹槽的内表面上；栅区，位于所述外延层和所述沟道区之间；栅氧化层，设置于所述栅区和所述沟道区之间以及所述栅区和所述外延层之间。



1. 一种隧穿场效应晶体管，其特征在于，所述晶体管包括：

源区，开设有凹槽；

沟道区，设置于所述凹槽内，并连接于所述凹槽底部；

漏区，设置于所述沟道区上远离所述凹槽底部的一端；

外延层，形成于所述凹槽的内表面上；

栅区，位于所述外延层和所述沟道区之间；

栅氧层，设置于所述栅区和所述沟道区之间以及所述栅区和所述外延层之间。

2. 如权利要求1所述的隧穿场效应晶体管，其特征在于，所述外延层的掺杂类型与所述源区的掺杂类型相同，或与所述漏区的掺杂类型相同。

3. 如权利要求1或2所述的隧穿场效应晶体管，其特征在于，所述凹槽的竖切面形状为梯形、圆形、多边形或者弧形与长方形的组合形状。

4. 如权利要求1或2所述的隧穿场效应晶体管，其特征在于，所述沟道区具体为纳米线。

5. 如权利要求1或2所述的隧穿场效应晶体管，其特征在于，所述漏区具体由能隙大于硅的能隙的半导体材料制成。

6. 一种隧穿场效应晶体管的制作方法，其特征在于，所述方法包括：

在衬底上形成第一掺杂类型的源区；

在所述源区上形成一凹槽；

在所述凹槽内部形成一沟道区，所述沟道区与所述凹槽底部相连；

在所述凹槽的内表面上外延生长形成一外延层；

在所述沟道区的侧表面和所述外延层的表面形成栅氧层；

采用导电材料填充所述栅氧层形成栅区；

在所述沟道区上远离所述凹槽底部的一端形成第二掺杂类型的漏区，所述第二掺杂类型与所述第一掺杂类型不同。

7. 如权利要求6所述的方法，其特征在于，在所述沟道区上远离所述凹槽底部的一端进行第二掺杂类型的掺杂以形成漏区之前，所述方法还包括：

在远离所述衬底的表面上沉积隔离层；

露出所述沟道区远离所述衬底的一端。

8. 如权利要求7所述的方法，其特征在于，所述方法还包括：

在所述隔离层开设两个通孔；

在所述两个通孔内沉积金属以分别与所述源区和栅区接触，形成源区和栅区的金属电极；

在所述漏区上沉积漏区金属电极。

9. 如权利要求6-8中任一权利要求所述的方法，其特征在于，所述外延层的掺杂为第一掺杂类型或者第二掺杂类型。

10. 如权利要求6-8所述的方法，其特征在于，所述沟道区上远离所述凹槽底部的一端形成第二掺杂类型的漏区，具体为：

在所述沟道区上远离所述凹槽底部的一端进行所述第二掺杂类型的掺杂以形成所述漏区；或

在所述沟道区上远离所述凹槽底部的一端再生形成具有第二掺杂类型的漏区。

一种隧穿场效应晶体管及其制作方法

技术领域

[0001] 本发明涉及半导体技术领域，尤其涉及一种隧穿场效应晶体管及其制作方法。

背景技术

[0002] CMOS技术是集成电路的核心器件。随着工艺技术的进步，晶体管的尺寸逐渐减小，为芯片带来速度、集成度、功耗以及成本等方面增益。但目前，晶体管尺寸的缩减受到芯片功率密度的限制。原因主要有两个方面：(1)晶体的供电电压的缩减不能像晶体管尺寸一样缩减；(2)随着物理尺寸的减小，器件的短沟道效应等引起的泄露电流增加。为了能够进一步获得晶体管缩减带来的增益，必须降低晶体管的功耗，其最有效的途径是降低器件的供电电压。但由于MOSFET亚阈值摆幅的 60mV/dec 物理学限制，降低器件的阈值电压(器件阈值电压与供电电压必须一起降低以保证足够大的驱动电流)会带来器件亚阈电流的增大，使得泄露电流增大。隧穿场效应晶体管(tunnel field effect transistor，简称TFET)由于其独特的带间隧穿的量子力学工作机制，可以突破MOSFET器件的亚阈值摆幅限制，实现器件供电电压的降低。同时，TFET还具有较弱的短沟道效应、关态电流(I_{off})低的优点，被认为是可以取代MOSFET的潜在器件架构。

[0003] 如图1所示，现有的一种隧穿场效应晶体管900包括：源区91、漏区92、栅区93、沟道区94、栅氧层95、外延层96和衬底97。所述源区91、漏区92和沟道区94设置于所述衬底97上，且所述沟道区94设置于所述源区91和所述漏区92之间。所述外延层96覆盖于所述源区91上的部分区域和所述沟道区94上。所述栅氧层95设置于所述外延层96表面上，所述栅区93设置于所述栅氧层95表面上。其中，所述源区91的掺杂为第一种掺杂，所述漏区92、所述栅区93和所述沟道区94的掺杂为第二种掺杂，所述外延层96的掺杂为第一种掺杂或第二种掺杂。在所述的栅区施加电压时，所述外延层96与所述源区91之间形成隧穿结，所述源区91的载流子向所述外延层96隧穿，载流子的流动方向如图箭头所示，所述栅电场的方向与载流子的方向一致，因此，所述栅电场能够吸引所述载流子，利于载流子的隧穿，载流子进入外延层96后流动到所述漏区92，从而形成电流。

[0004] 由于上述所述源区91、漏区92和沟道区94并列设置于所述衬底97上，也就是说，该场效应晶体管900为平面结构，其占用的面积较大，影响芯片集成的密度。

发明内容

[0005] 本申请实施例提供一种线隧穿场效应晶体管及其制作方法，用于解决现有技术中存在着的由于所述晶体管平面结构，占用的面积较大，影响集成的密度的技术问题。

[0006] 本发明实施例第一方面提供一种隧穿场效应晶体管，所述晶体管包括：源区，开设有凹槽；沟道区，设置于所述凹槽内，并连接于所述凹槽底部；漏区，设置于所述沟道区上远离所述凹槽底部的一端；外延层，形成于所述凹槽的内表面上；栅区，位于所述外延层和所述沟道区之间；栅氧层，设置于所述栅区和所述沟道区之间以及所述栅区和所述外延层之间。

[0007] 在第一方面第一种可能的实现方式中,所述外延层的掺杂类型与所述源区的掺杂类型相同,或与所述漏区的掺杂类型相同。

[0008] 结合第一方面或第一方面的第一种可能的实现方式,在第一方面第二种可能的实现方式中,所述凹槽在所述沟道区相对于所述凹槽底部的延伸方向的截面为梯形、圆形、多边形或者弧形。

[0009] 结合第一方面、第一方面的第一或第二种可能的实现方式,在第一方面第三种可能的实现方式中,所述沟道区具体为纳米线。

[0010] 结合第一方面、第一方面的第一种、第二种或第三种可能的实现方式,在第一方面第四种可能的实现方式中,所述漏区具体由能隙大于硅的能隙的半导体材料制成。

[0011] 本发明实施例第二方面提供一种隧穿场效应晶体管的制作方法,所述方法包括:在衬底上形成第一掺杂类型的源区;在所述源区上形成一凹槽;在所述凹槽内部形成一沟道区,所述沟道区与所述凹槽底部相连;在所述凹槽的外表面上外延生长形成一外延层;在所述沟道区的侧表面和所述外延层的表面形成栅氧层;采用导电材料填充所述栅氧层形成栅区;在所述沟道区上远离所述凹槽底部的一端形成第二掺杂类型的漏区,所述第二掺杂类型与所述第一掺杂类型不同。

[0012] 在第二方面第一种可能的实现方式中,在所述在沟道区上远离所述凹槽底部的一端进行第二掺杂类型的掺杂以形成漏区之前,所述方法还包括:在远离所述衬底的表面上沉积隔离层;露出所述沟道区远离所述衬底的一端。

[0013] 结合第二方面的第一种可能实现的方式,在第二方面第二种可能的实现方式中,所述方法还包括:在所述隔离层开设两个通孔;在所述两个通孔内沉积金属以分别与所述源区和栅区接触,形成源区和栅区的金属电极;在所述漏区上沉积漏区金属电极。

[0014] 结合第二方面、第二方面的第一或第二种可能的实现方式,在第二方面第三种可能的实现方式中,所述外延层的掺杂为第一掺杂类型或者第二掺杂类型。

[0015] 结合第二方面、第二方面的第一种、第二种或第三种可能的实现方式,在第二方面第四种可能的实现方式中,所述在沟道区上远离所述凹槽底部的一端形成第二掺杂类型的漏区,具体为:在所述沟道区上远离所述凹槽底部的一端进行所述第二掺杂类型的掺杂以形成所述漏区;或在所述沟道区上远离所述凹槽底部的一端再生形成具有第二掺杂类型的漏区。

[0016] 上述隧穿场效应晶体管的沟道区、漏区、栅区等采用竖直架构,均位于所述源区上,而不是设置于同一平面上,因此,减少晶体管占用的面积,用于解决现有技术中存在着的由于所述晶体管平面结构,占用的面积较大,影响集成的密度的技术问题。

附图说明

[0017] 图1为现有技术的隧穿场效应晶体管的结构示意图

[0018] 图2为本申请一实施方式隧穿场效应晶体管的结构示意图;

[0019] 图3为图1中隧穿场效应晶体管的A-A剖面示意图;

[0020] 图4-图11为图2中所示的隧穿场效应晶体管的制作过程的结构示意图;

[0021] 图12为凹槽11在沟道区20相对于凹槽11底部的延伸方向的截面为梯形的结构示意图;

- [0022] 图13为本申请另一实施方式隧穿场效应晶体管的结构示意图；
- [0023] 图14为本申请又一实施方式隧穿场效应晶体管的结构示意图；
- [0024] 图15为本申请再一实施方式隧穿场效应晶体管的结构示意图。

具体实施方式

[0025] 为了更好的理解上述技术方案，下面将结合说明书附图以及具体的实施方式对上述技术方案进行详细的说明。

[0026] 实施例一

[0027] 图2为本申请一实施方式隧穿场效应晶体管的结构示意图。如图2所示，所述隧穿场效应晶体管100包括源区10、沟道区20、漏区30、外延层40、栅区50和栅氧层60。

[0028] 同时参阅图2和图3，所述源区10为第一掺杂类型的重掺杂区，重掺杂是指杂质浓度在 $1E19/cm^3$ 至 $1E21/cm^3$ 。所述第一掺杂类型可以为N型掺杂，也可以为P型掺杂。所述源区10可以通过在衬底70上进行第一掺杂类型的掺杂形成。所述衬底70具体可以由体硅、绝缘体上的硅、锗、锗硅或者III-V族化合物等半导体材料制成。所述源区10上开设有凹槽11。所述凹槽11可以通过光刻技术和离子刻蚀技术在源区上制作形成，所述凹槽11的深度小于所述源区10的厚度。

[0029] 所述沟道区20为第二掺杂类型的轻掺杂区，轻掺杂是指杂质浓度在 $1E15/cm^3$ 及以下。在所述第一掺杂类型为N型掺杂时，所述第二掺杂类型具体为P型掺杂；在所述第一掺杂类型为P型掺杂时，所述第二掺杂类型具体为N型掺杂。所述沟道区20具体可以由硅、锗、锗硅或者III-V族化合物等半导体材料制成。所述沟道区20设置于所述凹槽11内，并连接于所述凹槽11底部。在本实施方式中，所述沟道区20具体为从所述凹槽11底部选择性的外延生长具有第二掺杂类型的半导体纳米线。所述纳米线的直径可以为2纳米至200纳米之间，高度可以高于、等于或者小于所述凹槽11的深度，优选地，所述纳米线的高度可以为20纳米到500纳米之间。

[0030] 所述漏区30为第二掺杂类型的重掺杂区，也就是说，所述漏区30的第二掺杂类型浓度大于所述沟道区20的第二掺杂类型浓度。所述漏区30设置于所述沟道区20上远离所述凹槽11底部的一端。具体地，所述漏区30的形成方式有至少以下三种：第一，在所述沟道区20上远离所述凹槽11底部的一端进行所述第二掺杂类型以形成所述漏区30；第二，在所述沟道区20上远离所述凹槽11底部的一端再生形成具有第二掺杂类型的漏区30，优选地，所述漏区30具体由能隙大于硅的能隙的半导体材料制成；第三，将所述沟道区20上远离所述凹槽11底板的一端刻蚀之后，再形成具有第二掺杂类型的漏区30，优选地，所述漏区30具体由能隙大于硅的能隙的半导体材料制成。

[0031] 所述外延层40形成于所述凹槽11的内表面上，厚度的优选范围为1纳米到20纳米。所述外延层40具体为掺杂有第一掺杂类型或第二掺杂类型的半导体薄膜，通过选择性外延生长的方式形成于所述凹槽11的内表面上，即，所述外延层40的掺杂类型可以与所述源区10的掺杂类型相同，也可以与所述漏区30的掺杂类型相同。所述半导体薄膜可以由具体可以由硅、锗、锗硅或者III-V族化合物等半导体材料制成。所述外延层40为中掺杂区，掺杂浓度介于轻掺杂和重掺杂之间。

[0032] 所述栅区50位于所述外延层40和所述沟道区20之间。所述栅区50具体为环形，环

绕于所述沟道区20。所述栅区50具体由导电材料制成，所述导电材料具体可以为多晶硅、氮化钛、金属等。

[0033] 所述栅氧层60设置于所述栅区50和所述沟道区20之间以及所述栅区50和所述外延层40之间。所述栅氧层60具体为介质层，所述介质层具体可以由二氧化硅、氮化硅、高k材料(如HfO₂, Al₂O₃)等绝缘材料制成。具体地，所述栅氧层60通过在所述外延层40的表面和沟道区20的表面沉积一介质层形成。在形成所述栅氧层60之后，在所述栅氧层60围成的区域内填充导电材料以形成所述栅区50，再通过离子反应刻蚀等技术去除凹槽11之外的导电材料。

[0034] 当不施加栅区50电压时，所述晶体管100处于关闭状态，且由于所述栅区50围绕于所述沟道区20，因此，所述晶体管100的泄露电流小。当所述栅区50施加电压时，形成栅极电场，所述外延层40处于积累状态或反型状态，产生高浓度的载流子，与具有相反类型的高浓度的载流子的源区10形成隧穿结，所述载流子能够从源区10所在的能带隧穿到所述外延层40所在的能带，然后通过沟道区20流动到所述漏区92，从而形成电流，使得所述晶体管100处于开启状态。其中，当所述栅区50施加电压，所述外延层40与所述漏区30的掺杂类型相同，为第二掺杂类型时，所述外延层40处于积累状态；在所述外延层40与所述源区的掺杂类型相同，为第一掺杂类型时，所述外延层40处于反型状态，

[0035] 由于所述源区10和所述栅区50分别位于所述外延层40的相对两侧，因此，所述栅极电场的方向与载流子的隧穿方向一致，栅电场的静电控制能力强，载流子的隧穿效率高，以产生高的开态电流和陡直的亚阈值摆幅。

[0036] 上述隧穿场效应晶体管100的沟道区20、漏区30、栅区50等均位于所述源区10上，而不是设置于同一平面上，因此，减少晶体管100占用的面积，用于解决现有技术中存在着的由于所述晶体管平面结构，占用的面积较大，影响集成的密度的技术问题。

[0037] 具体地，所述凹槽11的形状可以根据需要设置，具体地，所述凹槽11在所述沟道区20相对于所述凹槽11底部的延伸方向的截面为梯形(如图12所示)、圆形(如图2所示)、多边形(如图13所示)、弧形(如图14所示)等规则或者不规则形状。

[0038] 进一步，所述隧穿场效应晶体管100还包括隔离层80和多个电极90。所述隔离层80位于所述源区10、所述外延层40、所述栅氧层60、所述栅区50和所述沟道区20和所述漏区30的表面上。所述隔离层80具体由绝缘材料形成，所述介质层可以二氧化硅、氮化硅、高k材料(如HfO₂, Al₂O₃)以及其他绝缘材料。所述多个电极90分别与所述源区10、栅区50和漏区30连接，以便于所述晶体管100与其它电子器件连接。在形成所述隔离层80后，平整化所述隔离层80，通过光刻和刻蚀技术制作电极的窗口，沉积金属等导电材料之后通过剥离技术制作器件的源区10、漏区30和栅区50的电极90。

[0039] 上述隧穿场效应晶体管100的沟道区20、漏区30、栅区50等均位于所述源区10上，而不是设置于同一平面上，因此，减少晶体管100占用的面积，用于解决现有技术中存在着的由于所述晶体管平面结构，占用的面积较大，影响集成的密度的技术问题。

[0040] 实施例二

[0041] 基于同样的发明构思，本申请还提供一种隧穿场效应晶体管100的制作方法，如图15所示，所述方法包括以下步骤：

[0042] 步骤210，如图4所示，在衬底70上形成第一掺杂类型的源区10。所述衬底70具体可

以由体硅、绝缘体上的硅、锗、锗硅或者III-V族化合物等半导体材料制成。所述源区10为第一掺杂类型的重掺杂区。所述第一掺杂类型可以为N型掺杂，也可以为P型掺杂。

[0043] 步骤220,如图5所示,在所述源区10上形成一凹槽11。所述凹槽11可以通过光刻技术和离子刻蚀技术在源区上制作形成,所述凹槽11的深度小于所述源区10的厚度。所述凹槽11的形状可以根据需要设置,具体地,所述凹槽11在所述沟道区20相对于所述凹槽11底部的延伸方向的截面为梯形(如图12所示)、圆形(如图2所示)、多边形(如图13所示)、弧形(如图14所示)等规则或者不规则形状。

[0044] 步骤230,如图6所示,在所述凹槽11底部形成一沟道区20。所述沟道区20为掺杂有第二掺杂类型的轻掺杂区。在所述第一掺杂类型为N型掺杂时,所述第二掺杂类型具体为P型掺杂;在所述第一掺杂类型为P型掺杂时,所述第二掺杂类型具体为N型掺杂。所述沟道区20具体可以由硅、锗、锗硅或者III-V族化合物等半导体材料制成。在本实施方式中,所述沟道区20具体为从所述凹槽11底部选择性的外延生长具有第二掺杂类型的半导体纳米线。所述纳米线的直径可以为2纳米至200纳米之间,高度可以大于、等于或者小于所述凹槽11的深度,优选地,所述纳米线的高度可以为20纳米到500纳米之间。

[0045] 步骤240,如图7所示,在所述凹槽11的内表面外延生长形成一外延层40。所述外延层40的厚度优选范围为1纳米到20纳米。所述外延层40具体为掺杂有第一掺杂类型或第二掺杂类型的半导体薄膜,通过选择性外延生长的方式形成于所述凹槽11的内表面上,即,所述外延层40的掺杂类型可以与所述源区10的掺杂类型相同,也可以与所述漏区30的掺杂类型相同。所述半导体薄膜可以由具体可以由硅、锗、锗硅或者III-V族化合物等半导体材料制成。所述外延层40为中掺杂区,也就是说,掺杂浓度介于轻掺杂和重掺杂之间。

[0046] 步骤250,如图8所示,在所述沟道区20的侧表面和所述外延层40的表面形成栅氧层60。所述栅氧层60具体为介质层,所述介质层具体可以由二氧化硅、氮化硅、高k材料等绝缘材料制成。具体地,所述栅氧层60通过在所述外延层40的表面和沟道区20的表面沉积一介质层形成。

[0047] 步骤260,如图9所示,采用导电材料填充所述栅氧层60形成栅区50。在形成所述栅氧层60之后,在所述栅氧层60围成的区域内填充导电材料以形成所述栅区50,再通过离子反应刻蚀等技术去除凹槽11之外的导电材料。

[0048] 步骤270,如图11所示,在沟道区20上远离所述凹槽11底部的一端形成第二掺杂类型的漏区30,所述第二掺杂类型与所述第一掺杂类型不同。所述漏区30为第二掺杂类型的重掺杂区,也就是说,所述漏区30的第二掺杂类型浓度大于所述沟道区20的第二掺杂类型浓度。具体地,所述漏区30的形成方式有至少以下三种:第一,在所述沟道区20上远离所述凹槽11底部的一端进行所述第二掺杂类型的掺杂以形成所述漏区30;第二,在所述沟道区20上远离所述凹槽11底部的一端再生形成具有第二掺杂类型的漏区30,优选地,所述漏区30具体由能隙大于硅的能隙的半导体材料制成;第三,将所述沟道区20上远离所述凹槽11底板的一端刻蚀之后,再生形成具有第二掺杂类型的漏区30,优选地,所述漏区30具体由能隙硅的能隙的半导体材料制成。

[0049] 当不施加栅区50电压时,所述晶体管100处于关闭状态,且由于所述栅区50围绕于所述沟道区20,因此,所述晶体管100的泄露电流小。当所述栅区50施加电压时,形成栅极电场,所述外延层40处于积累状态或反型状态,产生高浓度的载流子,与具有相反类型的高浓

度的载流子的源区10形成隧穿结,所述载流子能够从源区10所在的能带隧穿到所述外延层40所在的能带,然后通过沟道区20流动到所述漏区92,从而形成电流,使得所述晶体管100处于开启状态。其中,当所述栅区50施加电压,所述外延层40与所述漏区30的掺杂类型相同,为第二掺杂类型时,所述外延层40处于积累状态;在所述外延层40与所述源区的掺杂类型相同,为第一掺杂类型时,所述外延层40处于反型状态,

[0050] 由于所述源区10和所述栅区50分别位于所述外延层40的相对两侧,因此,所述栅极电场的方向与载流子的隧穿方向一致,栅电场的静电控制能力强,载流子的隧穿效率高,以产生高的开态电流和陡直的亚阈值摆幅。

[0051] 进一步地,在步骤270之前,如图10和图1所示,所述方法还包括:在远离所述衬底70的表面上沉积隔离层80;露出所述沟道区20远离所述衬底70的一端;在所述隔离层80开设两个通孔;在所述两个通孔内沉积金属以分别与所述源区10和栅区50接触,形成源区10和栅区50的金属电极;在所述漏区30上沉积漏区金属电极。所述隔离层80具体由绝缘材料形成,所述介质层可以二氧化硅、氮化硅、高k(如HfO₂, Al₂O₃)材料以及其他绝缘材料。所述多个电极90分别与所述源区10、栅区50和漏区30连接,以便于所述晶体管100与其它电子器件连接。在形成所述隔离层80后,平整化所述隔离层80,通过光刻和刻蚀技术制作电极的窗口,沉积金属等导电材料之后通过剥离技术制作器件的源区10、漏区30和栅区50的电极90。

[0052] 尽管已描述了本发明的优选实施例,但本领域内的技术人员一旦得知了基本创造性概念,则可对这些实施例作出另外的变更和修改。所以,所附权利要求意欲解释为包括优选实施例以及落入本发明范围的所有变更和修改。

[0053] 显然,本领域的技术人员可以对本发明进行各种改动和变型而不脱离本发明的精神和范围。这样,倘若本发明的这些修改和变型属于本发明权利要求及其等同技术的范围之内,则本发明也意图包含这些改动和变型在内。

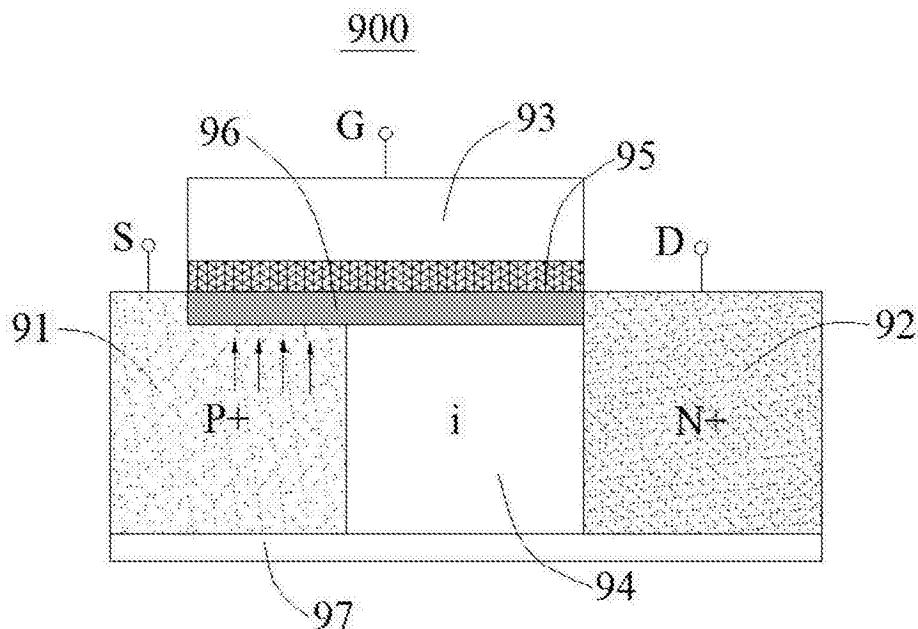


图1

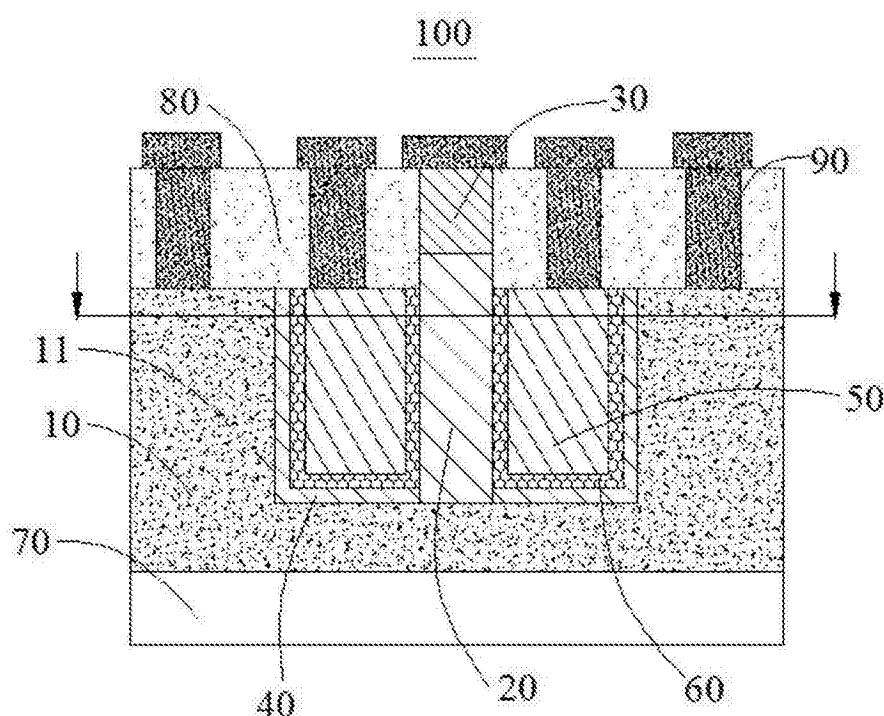


图2

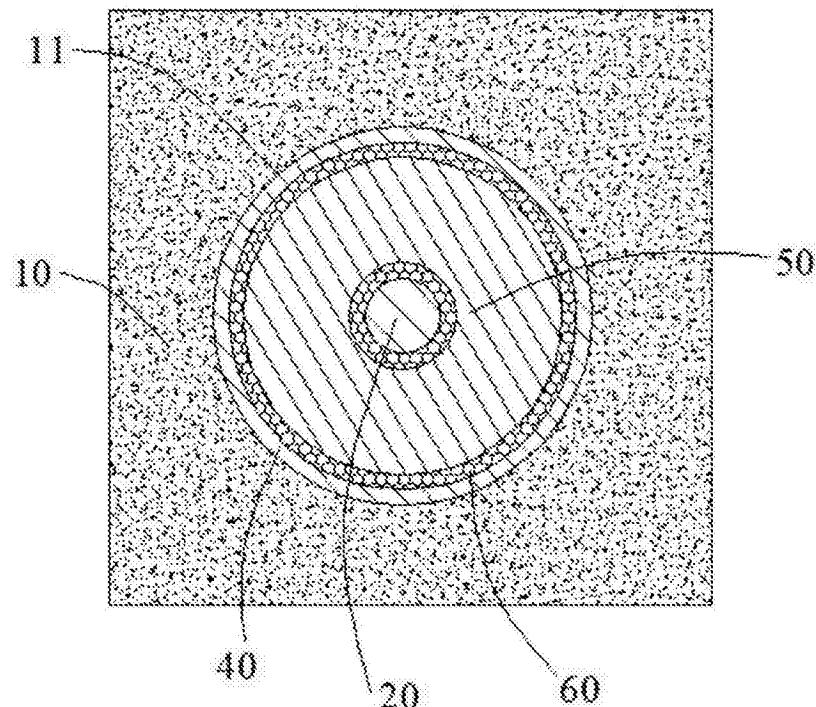


图3

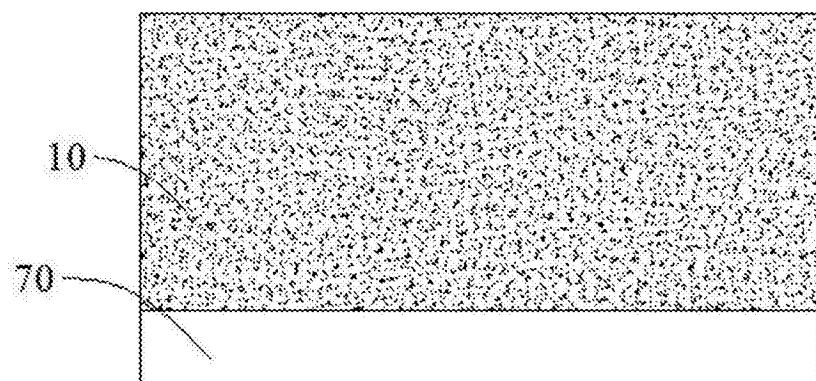


图4

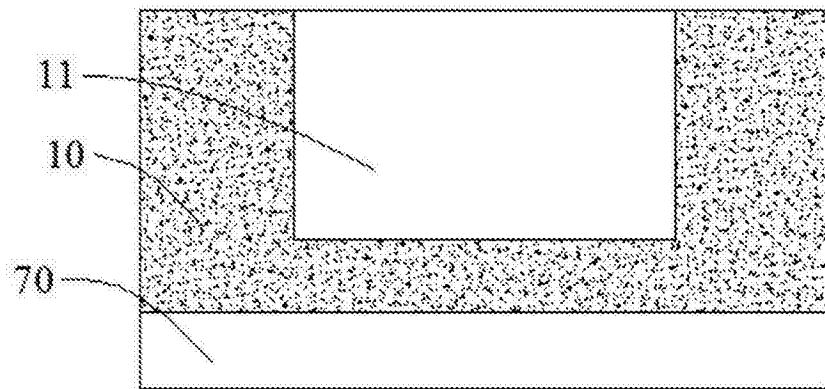


图5

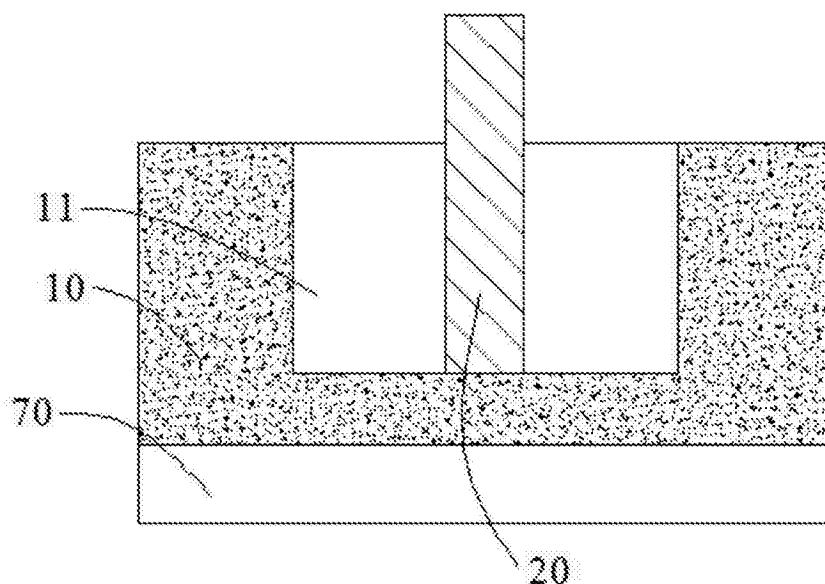


图6

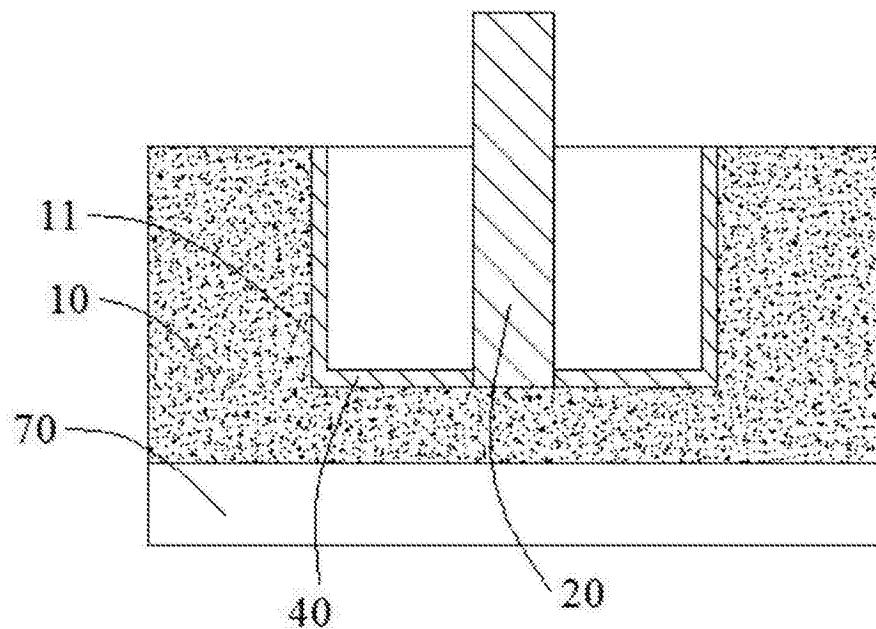


图7

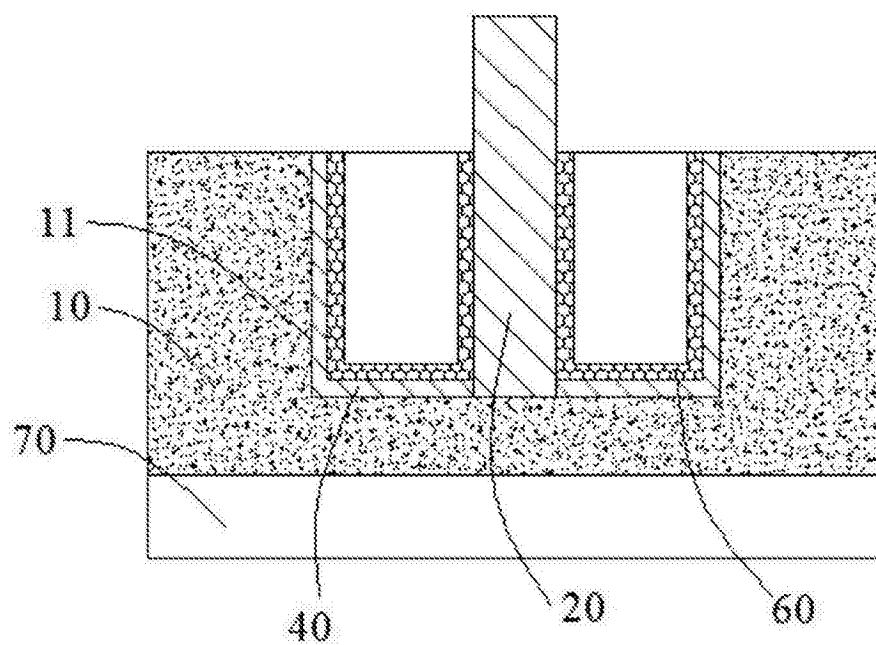


图8

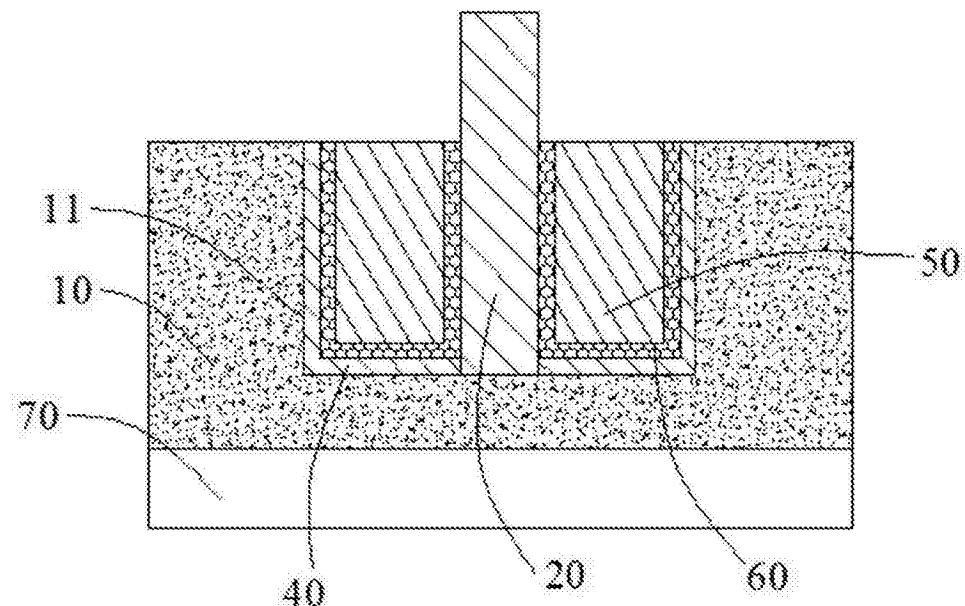


图9

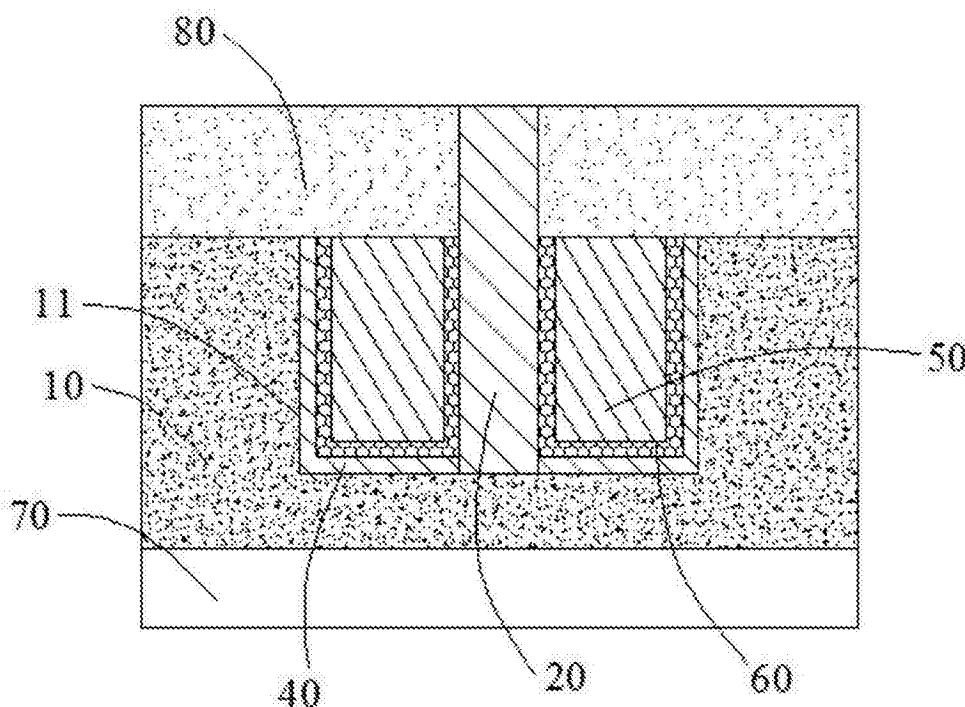


图10

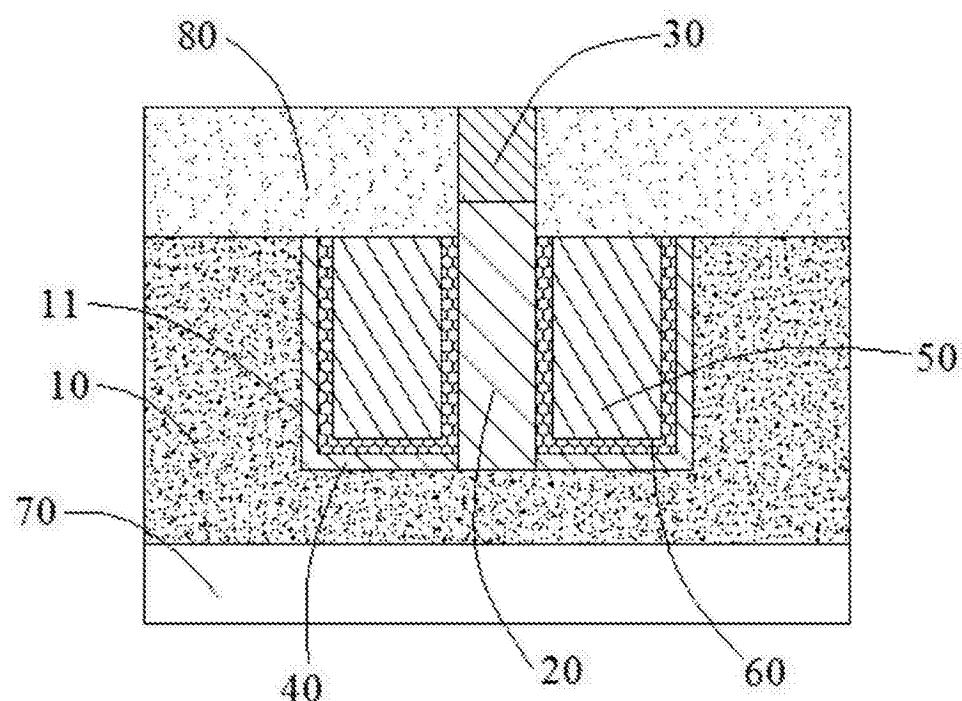


图11

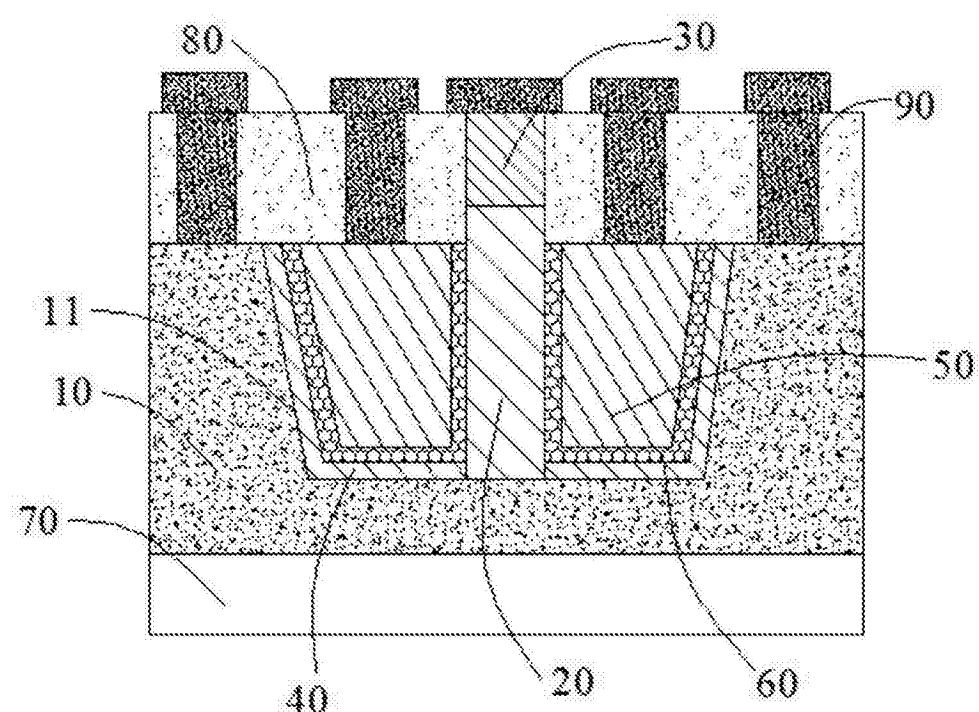


图12

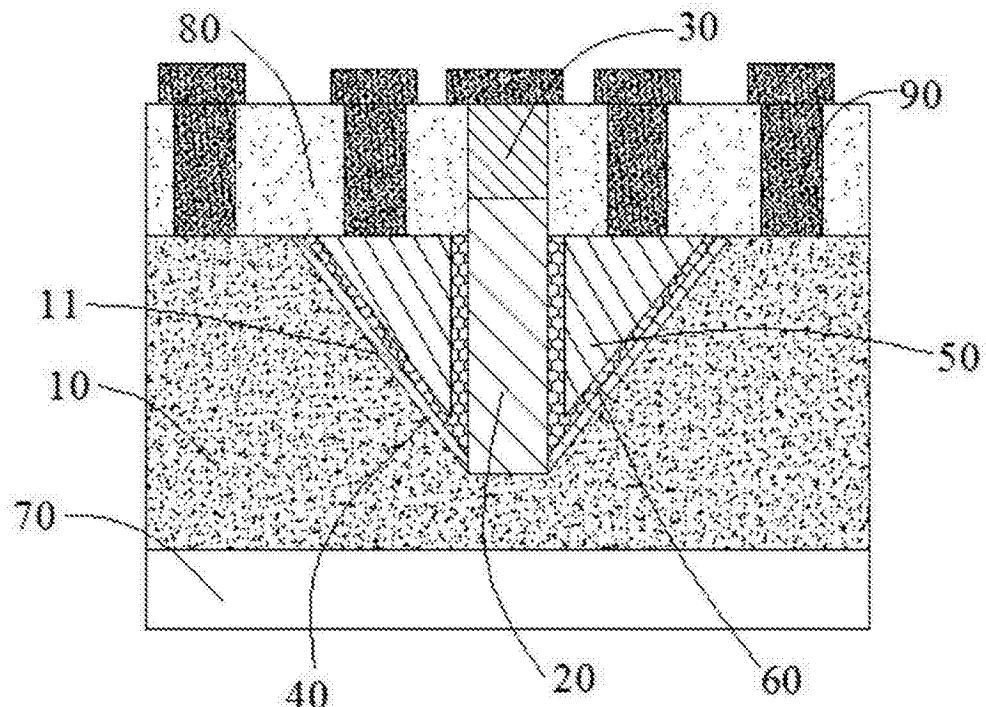


图13

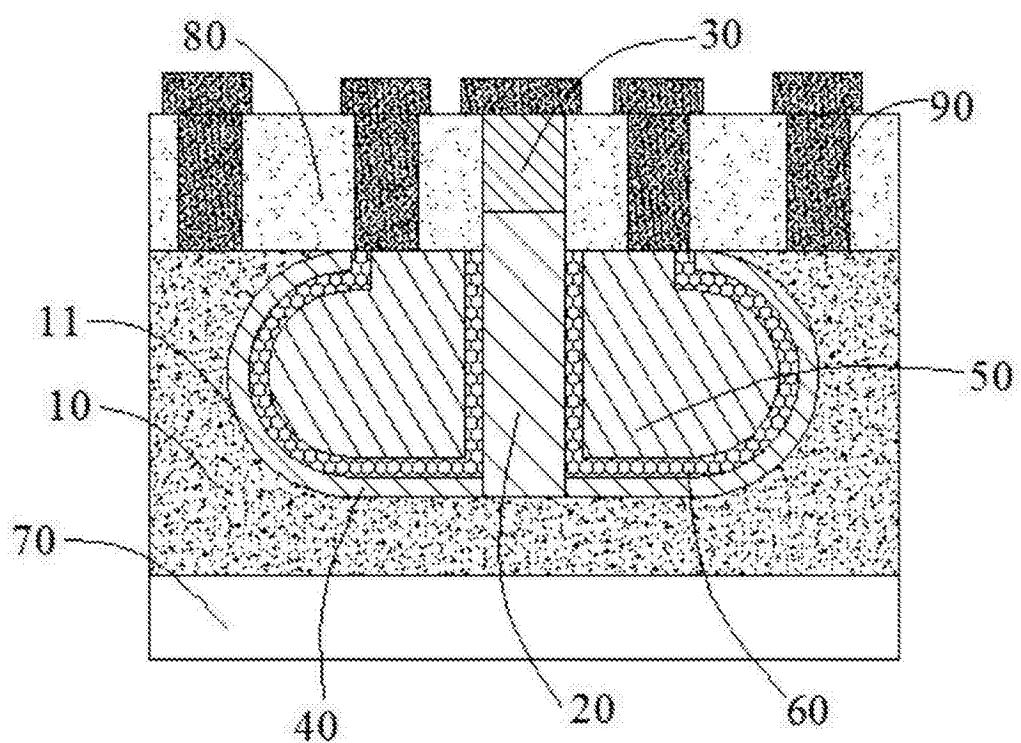


图14

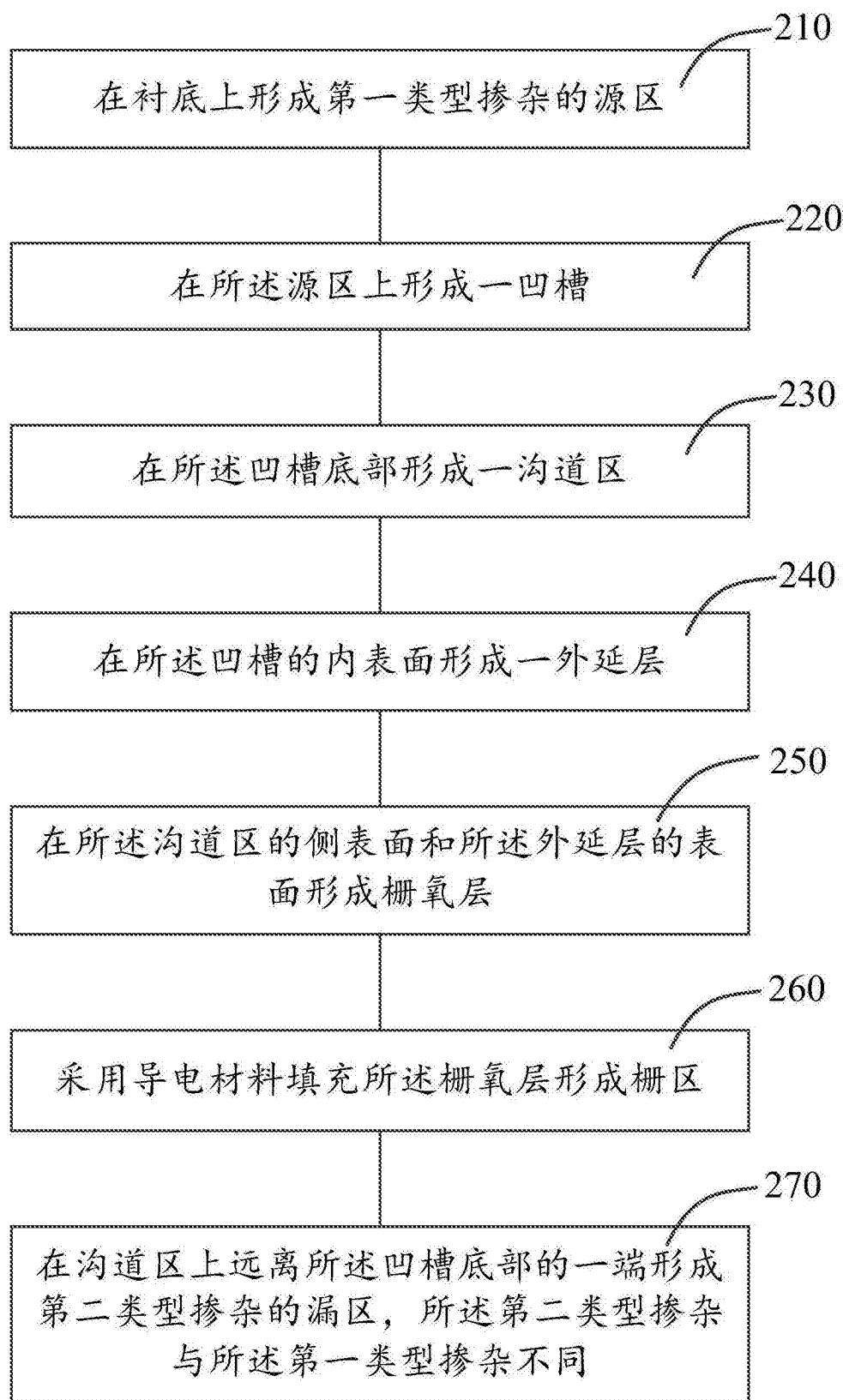


图15