

【公報種別】特許法第 17 条の 2 の規定による補正の掲載  
 【部門区分】第 7 部門第 3 区分  
 【発行日】平成 29 年 5 月 25 日 (2017.5.25)

【公表番号】特表 2016-518794 (P2016-518794A)  
 【公表日】平成 28 年 6 月 23 日 (2016.6.23)  
 【年通号数】公開・登録公報 2016-038  
 【出願番号】特願 2016-512917 (P2016-512917)  
 【国際特許分類】

H 0 4 L 7/06 (2006.01)

【F I】

H 0 4 L 7/06 5 0 0

【手続補正書】

【提出日】平成 29 年 4 月 6 日 (2017.4.6)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

トランスミッタによって、送信されるべき複数のビットを受け取るステップと、  
 前記トランスミッタによって、同期信号を生成するステップと、  
 前記トランスミッタによって、前記複数のビットを表すマルチビット信号を生成するた  
めに前記複数のビットを符号化するステップであって、前記トランスミッタは、第 1 の周  
波数でクロック信号を生成する内部クロックを有し、前記トランスミッタによる前記マル  
チビットの符号化は、前記クロック信号に基づく、ステップと、

前記トランスミッタによって、バスを介して、前記同期信号のサイクルの半分に対応する時間期間中に前記マルチビット信号を送信するステップと

を含み、

前記同期信号が第 2 の周波数を有し、

前記第 1 の周波数は、前記第 2 の周波数よりも高い、方法。

【請求項 2】

前記クロック信号は、前記同期信号を生成する第 2 のクロックとは別個である第 1 のクロックによって生成される、請求項 1 に記載の方法。

【請求項 3】

前記複数のビットに対応するシンボルを判定するステップをさらに含み、前記マルチビット信号は、前記同期信号とは別個であり、前記シンボルに基づいて符号化される、請求項 1 に記載の方法。

【請求項 4】

前記シンボルに基づいて前記マルチビット信号の位相および前記マルチビット信号のデューティサイクルのうちの少なくとも 1 つを変調するステップをさらに含み、前記マルチビット信号は、前記時間期間中に多くとも 3 つの推移を含む、請求項 3 に記載の方法。

【請求項 5】

前記クロック信号は、リング発振器を含む内部クロックによって生成される、請求項 1 に記載の方法。

【請求項 6】

前記複数のビットは、前記バスを介してメモリデバイスに結合されたプロセッサにおいて受け取られる、請求項 1 に記載の方法。

## 【請求項 7】

前記バスを介して前記同期信号を送信するステップをさらに含み、前記マルチビット信号は、位相変調およびデューティサイクル変調のうちの少なくとも1つを実行することによって生成され、前記メモリデバイスは、ダブルデータレート(DDR)シンクロナスダイナミックランダムアクセスメモリ(SDRAM)を含む、請求項6に記載の方法。

## 【請求項 8】

送信されるべき複数のビットを受け取るように構成された入力インターフェースと、同期信号を生成するように構成された同期信号論理と、

前記複数のビットを表すマルチビット信号を生成するために前記複数のビットを符号化することであって、トランスミッタが、第1の周波数でクロック信号を生成する内部クロックを有し、前記トランスミッタによる前記マルチビットの符号化は、前記クロック信号に基づく、ことと、

バスを介して、前記同期信号のサイクルの半分に対応する時間期間中に前記マルチビット信号を送信することであって、前記同期信号が第2の周波数を有し、前記第1の周波数が前記第2の周波数よりも高い、ことと

を行うように構成された信号生成論理と  
を含む装置。

## 【請求項 9】

前記バスを介して前記同期信号を送信するように構成された同期信号論理をさらに含み、前記入力インターフェース、前記信号生成論理、および前記同期信号論理は、少なくとも1つの半導体ダイに統合される、請求項8に記載の装置。

## 【請求項 10】

プロセッサによって実行された時に、前記プロセッサに、  
トランスミッタから同期信号を受け取らせ、

前記同期信号とは別個であり、第1の周波数を有する第1のクロック信号を生成させ、

バスを介して、前記同期信号のサイクルの半分に対応する時間期間中に前記トランスミッタからマルチビット信号を受け取らせ、

前記第1のクロック信号に基づいて前記マルチビット信号によって表される複数のビットを復号させ、

前記複数のビットをメモリデバイスの1つまたは複数のストレージ要素において記憶させる

命令を含み、

前記同期信号は第2の周波数を有し、

前記第1の周波数は、前記第2の周波数よりも高い、コンピュータ可読記憶装置。

## 【請求項 11】

前記第1のクロック信号は、リング発振器を含む内部クロックによって生成され、前記複数のビットは、前記第1のクロック信号に基づいて前記マルチビット信号をサンプリングすることによって復号される、請求項10に記載のコンピュータ可読記憶装置。

## 【請求項 12】

前記マルチビット信号は、前記第1のクロック信号とは別個であり、前記複数のビットを復号することは、前記マルチビット信号に対応するシンボルを判定することをさらに含む、請求項10に記載のコンピュータ可読記憶装置。

## 【請求項 13】

前記プロセッサによって実行された時に、前記プロセッサに前記マルチビット信号をサンプリングさせる命令をさらに含み、前記マルチビット信号は、前記同期信号とは別個であり、シンボルは、前記マルチビット信号の前記サンプリングに基づいて判定される、請求項10に記載のコンピュータ可読記憶装置。

## 【請求項 14】

前記マルチビット信号は、前記第1のクロック信号に対応する周波数でサンプリングされ、前記同期信号の前記サイクルの半分に対応する前記時間期間は、前記第1のクロック

信号とは別個であり、前記第1のクロック信号の周波数より低い周波数を有する、第2のクロック信号に基づいて判定される、請求項13に記載のコンピュータ可読記憶装置。

【請求項15】

前記同期信号は、前記バスを介して前記トランスミッタから受け取られ、前記マルチビット信号は、メモリデバイスにおいて受け取られ、前記メモリデバイスは、前記バスを介してプロセッサに結合される、請求項10に記載のコンピュータ可読記憶装置。

【請求項16】

前記マルチビット信号は、位相変調およびデューティサイクル変調のうちの少なくとも1つを実行することによって生成され、前記メモリデバイスは、ダブルデータレート(DDR)シンクロナスダイナミックランダムアクセスメモリ(SDRAM)を含む、請求項15に記載のコンピュータ可読記憶装置。

【請求項17】

トランスミッタから同期信号を受け取るための第1のステップと、

前記同期信号とは別個であり、第1の周波数を有するクロック信号を生成するための第2のステップと、

バスを介して、前記同期信号のサイクルの半分に対応する時間期間中に前記トランスミッタからマルチビット信号を受け取るための第3のステップと、

前記クロック信号に基づいて、前記マルチビット信号によって表される複数のビットを復号するための第4のステップと、

前記同期信号に基づいてメモリデバイスの1つまたは複数のストレージ要素において前記複数のビットを記憶するための第5のステップと

を含み、

前記同期信号は、第2の周波数を有し、

前記第1の周波数は、前記第2の周波数よりも高い、方法。