

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6271380号
(P6271380)

(45) 発行日 平成30年1月31日(2018.1.31)

(24) 登録日 平成30年1月12日(2018.1.12)

(51) Int.Cl. F I
H O 1 L 21/683 (2006.01) H O 1 L 21/68 N

請求項の数 21 (全 27 頁)

(21) 出願番号	特願2014-187116 (P2014-187116)	(73) 特許権者	317016523 アルパッド株式会社 東京都千代田区丸の内一丁目11番1号
(22) 出願日	平成26年9月12日(2014.9.12)	(74) 代理人	100108062 弁理士 日向寺 雅彦
(65) 公開番号	特開2016-62928 (P2016-62928A)	(72) 発明者	糸永 修司 東京都港区芝浦一丁目1番1号 株式会社 東芝内
(43) 公開日	平成28年4月25日(2016.4.25)	(72) 発明者	古山 英人 東京都港区芝浦一丁目1番1号 株式会社 東芝内
審査請求日	平成28年8月30日(2016.8.30)	(72) 発明者	遠藤 光芳 東京都港区芝浦一丁目1番1号 株式会社 東芝内

最終頁に続く

(54) 【発明の名称】 半導体装置の製造装置と半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

第1面を有する第1テープと、
前記第1面の反対側で前記第1テープを支持する第1支持部と、
前記第1テープの前記第1面に対向する第2面を有する第2テープと、
前記第2面の反対側で前記第2テープを支持する第2支持部と、
前記第1テープと前記第2テープとの間に設けられ、前記第1面および前記第2面側に
通じる孔を有するリングと、
前記第1テープの外周部に設けられた第1フレームと、
前記第2テープの外周部に設けられた第2フレームと、
を備え、

前記リングは、前記第1フレームと前記第1面との間、および前記第2フレームと前記
第2面との間に配置される半導体装置の製造装置。

【請求項2】

前記リングの厚さは、前記第1フレームと、前記第2フレームと、を重ね合わせた厚さ
よりも厚い請求項1記載の半導体装置の製造装置。

【請求項3】

第1面を有する第1テープと、
前記第1面の反対側で前記第1テープを支持する第1支持部と、
前記第1テープの前記第1面に対向する第2面を有する第2テープと、

前記第 2 面の反対側で前記第 2 テープを支持する第 2 支持部と、
前記第 1 テープと前記第 2 テープとの間に設けられ、前記第 1 面および前記第 2 面側に
通じる孔を有するリングと、
前記第 1 テープの外周部に設けられた第 1 フレームと、
前記第 2 テープの外周部に設けられた第 2 フレームと、
を備え、
前記リングの厚さは、前記第 1 フレームと、前記第 2 フレームと、を重ね合わせた厚さ
よりも厚い半導体装置の製造装置。

【請求項 4】

前記リングの前記孔は、
 前記リングの厚さ方向に延びる縦孔と、
 前記第 1 面および前記第 2 面側に通じる横孔と、
 前記リングの周方向に延び、前記縦孔と前記横孔とを接続する接続部と、
 を有する請求項 1 ~ 3 のいずれか 1 つに記載の半導体装置の製造装置。

10

【請求項 5】

第 1 面を有する第 1 テープと、
前記第 1 面の反対側で前記第 1 テープを支持する第 1 支持部と、
前記第 1 テープの前記第 1 面に対向する第 2 面を有する第 2 テープと、
前記第 2 面の反対側で前記第 2 テープを支持する第 2 支持部と、
前記第 1 テープと前記第 2 テープとの間に設けられ、前記第 1 面および前記第 2 面側に
通じる孔を有するリングと、
を備え、

20

前記リングの前記孔は、
 前記リングの厚さ方向に延びる縦孔と、
 前記第 1 面および前記第 2 面側に通じる横孔と、
 前記リングの周方向に延び、前記縦孔と前記横孔とを接続する接続部と、
 を有する半導体装置の製造装置。

【請求項 6】

前記リングは、前記リングの外周部に設けられ、前記リングの厚さよりも薄いサポート部を有する請求項 1 ~ 5 のいずれか 1 つに記載の半導体装置の製造装置。

30

【請求項 7】

第 1 面を有する第 1 テープと、
前記第 1 面の反対側で前記第 1 テープを支持する第 1 支持部と、
前記第 1 テープの前記第 1 面に対向する第 2 面を有する第 2 テープと、
前記第 2 面の反対側で前記第 2 テープを支持する第 2 支持部と、
前記第 1 テープと前記第 2 テープとの間に設けられ、前記第 1 面および前記第 2 面側に
通じる孔を有するリングと、
を備え、

前記リングは、前記リングの外周部に設けられ、前記リングの厚さよりも薄いサポート
部を有する半導体装置の製造装置。

40

【請求項 8】

複数の前記横孔が、前記リングの周方向に沿って配置されている請求項 4 または 5 に記載の半導体装置の製造装置。

【請求項 9】

前記複数の横孔は、前記リングの周方向に沿って等間隔で配置されている請求項 8 記載の半導体装置の製造装置。

【請求項 10】

前記第 1 フレームおよび前記第 2 フレームのそれぞれは、側面に切れ込み部を有する請求項 1 ~ 4 のいずれか 1 つに記載の半導体装置の製造装置。

【請求項 11】

50

前記第 2 支持部は、

貫通孔を有する補強板と、

前記補強板と前記第 2 テープとの間に設けられた透明板と、

を有する請求項 1 ~ 10 のいずれか 1 つに記載の半導体装置の製造装置。

【請求項 12】

前記第 1 支持部および前記第 2 支持部は、ステンレス鋼を含む請求項 1 ~ 11 のいずれか 1 つに記載の半導体装置の製造装置。

【請求項 13】

前記リングは、シリコンを含む請求項 1 ~ 12 のいずれか 1 つに記載の半導体装置の製造装置。

10

【請求項 14】

前記第 1 フレームおよび前記第 2 フレームは、ステンレス鋼を含む請求項 1、2、3、4、または 10 に記載の半導体装置の製造装置。

【請求項 15】

前記リングの前記孔は、前記第 1 支持部および前記第 1 テープに形成された第 1 貫通孔、または前記第 2 支持部および前記第 2 テープに形成された第 2 貫通孔を介して、前記真空排気部と接続されている請求項 1 ~ 14 のいずれか 1 つに記載の半導体装置の製造装置。

【請求項 16】

第 1 面に半導体素子が貼り付けられた第 1 テープの前記半導体素子に対して、第 2 テープの第 2 面を対向させ、

20

前記第 1 面と前記第 2 面との間の、前記半導体素子を含む空間の周囲をリングで囲み、前記空間内を排気して、前記半導体素子を前記第 2 テープの前記第 2 面に貼り付け、前記空間内に給気して、前記第 1 テープの前記第 1 面から前記半導体層を剥離する半導体装置の製造方法であって、

前記リングは、前記第 1 テープの外周部に設けられた第 1 フレームと前記第 1 面との間、および前記第 2 テープの外周部に設けられた第 2 フレームと前記第 2 面との間に配置される半導体装置の製造方法。

【請求項 17】

第 1 面に半導体素子が貼り付けられた第 1 テープの前記半導体素子に対して、第 2 テープの第 2 面を対向させ、

30

前記第 1 面と前記第 2 面との間の、前記半導体素子を含む空間の周囲をリングで囲み、前記空間内を排気して、前記半導体素子を前記第 2 テープの前記第 2 面に貼り付け、前記空間内に給気して、前記第 1 テープの前記第 1 面から前記半導体層を剥離する半導体装置の製造方法であって、

前記リングの厚さは、前記第 1 テープの外周部に設けられた第 1 フレームと、前記第 2 テープの外周部に設けられた第 2 フレームと、を重ね合わせた厚さよりも厚い半導体装置の製造方法。

【請求項 18】

第 1 面に半導体素子が貼り付けられた第 1 テープの前記半導体素子に対して、第 2 テープの第 2 面を対向させ、

40

前記第 1 面と前記第 2 面との間の、前記半導体素子を含む空間の周囲を、孔を有するリングで囲み、

前記リングの前記孔を通じて前記空間内を排気して、前記半導体素子を前記第 2 テープの前記第 2 面に貼り付け、

前記リングの前記孔を通じて前記空間内に給気して、前記第 1 テープの前記第 1 面から前記半導体層を剥離する半導体装置の製造方法であって、

前記リングの前記孔は、

前記リングの厚さ方向に延びる縦孔と、

前記第 1 面および前記第 2 面側に通じる横孔と、

50

前記リングの周方向に延び、前記縦孔と前記横孔とを接続する接続部と、
を有する半導体装置の製造方法。

【請求項 19】

第 1 面に半導体素子が貼り付けられた第 1 テープの前記半導体素子に対して、第 2 テープの第 2 面を対向させ、

前記第 1 面と前記第 2 面との間の、前記半導体素子を含む空間の周囲をリングで囲み、
前記空間内を排気して、前記半導体素子を前記第 2 テープの前記第 2 面に貼り付け、
前記空間内に給気して、前記第 1 テープの前記第 1 面から前記半導体層を剥離する半導体装置の製造方法であって、

前記リングは、前記リングの外周部に設けられ、前記リングの厚さよりも薄いサポート部を有する半導体装置の製造方法。

10

【請求項 20】

前記半導体素子は、前記第 1 面上で分離している複数の半導体チップを有し、

前記複数の半導体チップから間引きされた第 1 群が、前記第 1 テープの前記第 1 面から剥離され、前記第 2 テープの前記第 2 面に転写される請求項 16 ~ 19 のいずれか 1 つに記載の半導体装置の製造方法。

【請求項 21】

前記第 1 群は、前記第 1 面上で隣り合うそれぞれの前記半導体チップを含まない請求項 20 記載の半導体装置の製造方法。

【発明の詳細な説明】

20

【技術分野】

【0001】

本発明の実施形態は、半導体装置の製造装置と半導体装置の製造方法に関する。

【背景技術】

【0002】

半導体装置の転写工程において、転写時の位置精度向上が求められている。

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開 2007 - 242662 号公報

30

【発明の概要】

【発明が解決しようとする課題】

【0004】

本発明の実施形態は、転写時の位置精度に優れた半導体装置の製造装置と半導体装置の製造方法を提供する。

【課題を解決するための手段】

【0005】

実施形態によれば、半導体装置の製造装置は、第 1 面を有する第 1 テープと、前記第 1 面の反対側で前記第 1 テープを支持する第 1 支持部と、前記第 1 テープの前記第 1 面に対向する第 2 面を有する第 2 テープと、前記第 2 面の反対側で前記第 2 テープを支持する第 2 支持部と、前記第 1 テープと前記第 2 テープとの間に設けられ、前記第 1 面および前記第 2 面側に通じる孔を有するリングと、前記第 1 テープの外周部に設けられた第 1 フレームと、前記第 2 テープの外周部に設けられた第 2 フレームと、を備える。前記リングは、前記第 1 フレームと前記第 1 面との間、および前記第 2 フレームと前記第 2 面との間に配置される。

40

【図面の簡単な説明】

【0006】

【図 1】実施形態の半導体装置の製造装置の模式断面図。

【図 2】実施形態のフレーム部の模式平面図。

【図 3】実施形態のシールリングの模式平面図。

50

【図 4】図 4 (a) ~ 図 4 (c) は、実施形態のシールリングの模式断面図。

【図 5】実施形態の半導体装置の製造装置の模式平面図。

【図 6】図 6 (a) は、実施形態のシールリングの模式平面図であり、図 6 (b) は、実施形態のシールリングの模式断面図。

【図 7】図 7 (a) は、実施形態の半導体装置の製造方法を示す模式斜視図であり、図 7 (b) は、実施形態の半導体装置の製造方法を示す模式断面図。

【図 8】図 8 (a) は、実施形態の半導体装置の製造方法を示す模式斜視図であり、図 8 (b) は、実施形態の半導体装置の製造方法を示す模式断面図。

【図 9】図 9 (a) は、実施形態の半導体装置の製造方法を示す模式斜視図であり、図 9 (b) は、実施形態の半導体装置の製造方法を示す模式断面図。

10

【図 10】図 10 (a) は、実施形態の半導体装置の製造方法を示す模式斜視図であり、図 10 (b) は、実施形態の半導体装置の製造方法を示す模式断面図。

【図 11】実施形態の半導体装置の製造方法を示す模式断面図。

【図 12】実施形態の半導体装置の製造装置の模式断面図。

【図 13】実施形態の半導体装置の模式断面図。

【図 14】実施形態の半導体装置の模式平面図。

【図 15】実施形態の半導体層の模式断面図。

【図 16】他の実施形態の半導体装置の製造方法を示す模式断面図。

【図 17】他の実施形態の半導体装置の製造方法を示す模式断面図。

【図 18】他の実施形態の半導体装置の製造方法を示す模式断面図。

20

【図 19】他の実施形態の半導体装置の製造方法を示す模式断面図。

【図 20】他の実施形態の半導体装置の製造方法を示す模式断面図。

【図 21】他の実施形態の半導体装置の製造方法を示す模式断面図。

【図 22】他の実施形態の半導体装置の製造方法を示す模式断面図。

【図 23】他の実施形態の半導体装置の製造方法を示す模式断面図。

【図 24】他の実施形態の半導体装置の製造方法を示す模式断面図。

【図 25】他の実施形態の半導体装置の製造方法を示す模式平面図。

【図 26】実施形態の半導体装置の一部拡大模式断面図。

【発明を実施するための形態】

【 0 0 0 7 】

30

以下、図面を参照し、実施形態について説明する。なお、各図面中、同じ要素には同じ符号を付している。

【 0 0 0 8 】

図 1 は、実施形態の半導体装置の製造装置の模式断面図である。

本実施形態の半導体装置の製造装置 100 は、プレート部 10 と、フレーム部 20 と、テーブル部 30 と、シールリング 40 とを有する。

【 0 0 0 9 】

プレート部 10 は、下部プレート 11 (第 1 支持部) と、上部プレート 12 (第 2 支持部) とを有する。下部プレート 11 上には、上部プレート 12 が設けられている。上部プレート 12 は、下部プレート 11 と平行に設けられている。後述するように、本製造装置 100 は、下部プレート 11 と、上部プレート 12 との間の空間 60 を排気する。このため、プレート部 10 として、減圧に耐えられる材料が用いられ、例えばステンレス鋼 (S U S) が用いられる。

40

【 0 0 1 0 】

下部プレート 11 と、上部プレート 12 との間には、フレーム部 20 が設けられている。フレーム部 20 は、第 1 フレーム 21 と、第 2 フレーム 22 とを有する。下部プレート 11 と、上部プレート 12 との間には、第 1 フレーム 21 が設けられている。第 1 フレーム 21 と、上部プレート 12 との間には、第 2 フレーム 22 が設けられている。

【 0 0 1 1 】

図 2 は、本実施形態のフレーム部 20 の模式平面図である。

50

図2に示すように、フレーム部20の形状は、リング状であり、第1フレーム21および第2フレーム22のそれぞれの形状は、同様のリング状を有する。例えば、フレーム部20の外径は296mmであり、内径は250mmであり、厚さは1.2mmである。プレート部10と同様に、フレーム部20として減圧に耐えられる材料が用いられ、例えばステンレス鋼が用いられる。

【0012】

フレーム部20には、例えば切れ込み部20n、20oが設けられている。切れ込み部20n、20oは、フレーム部20の位置合わせに用いられる。これにより、フレーム部20を精度良く配置することが可能である。

【0013】

プレート部10と、フレーム部20の間には、テープ部30が設けられている。テープ部30は、転写元テープ31（第1テープ）と、転写先テープ32（第2テープ）とを有する。転写元テープ31および転写先テープ32として、例えばダイシング用テープが用いられる。転写元テープ31として、例えばUV硬化型テープが用いられ、UV照射により粘着力を低減させることが可能である。

【0014】

下部プレート11と、第1フレーム21の間には、転写元テープ31が設けられている。第1フレーム21は、転写元テープ31の外周部に設けられている。第1フレーム21は、転写元テープ31のハンドリングを容易にする。

【0015】

転写元テープ31は、第1面31aを有する。第1面31aには、転写前の半導体素子70（図7（b）に示す）が貼り付けられる。転写元テープ31は、第1面31aの反対側で下部プレート11に支持されている。

【0016】

なお、半導体素子70は、例えば複数の半導体チップを有する。半導体チップの数は任意であり、半導体チップの選択転写および転写回数に関しても任意である。

【0017】

上部プレート12と、第2フレーム22の間には、転写先テープ32が設けられている。第2フレーム22は、転写先テープ32の外周部に設けられている。第2フレーム22は、転写先テープ32のハンドリングを容易にする。

【0018】

転写先テープ32は、第2面32aを有する。第2面32aには、転写後の半導体素子70（図10（b）に示す）が貼り付けられる。転写先テープ32は、第2面32aの反対側で上部プレート12に支持されている。

【0019】

転写先テープ32の第2面32aは、転写元テープ31の第1面31aと対向している。そのため、第1面31aに貼り付けられた半導体素子70は、転写工程を経て第2面32aに反転して貼り付けられる。

【0020】

転写元テープ31と、転写先テープ32の間には、空間60およびシールリング40が設けられている。空間60は、第1面32aおよび第2面32aに面し、シールリング40は、空間60の周囲を囲んでいる。シールリング40は、排気孔41を有する。

【0021】

図3は、本実施形態のシールリング40の模式平面図である。

図4（a）～図4（c）は、本実施形態のシールリング40の模式断面図である。

図4（a）、図4（b）および図4（c）のそれぞれは、図4（a）におけるA-A'断面図、B-B'断面図およびC-C'断面図である。

【0022】

図3に示すように、シールリング40の形状は、リング状である。シールリング40として、例えばシール性を有する材料が用いられる。シールリング40は、例えばシリコー

10

20

30

40

50

ンゴム、シリコン樹脂、金属およびウレタン樹脂等を含む。例えば、シールリング40の外径は250mmであり、内径は210mmであり、厚さは3mmである。シールリング40内の排気孔41は、縦孔41a(吸排気ライン)と、横孔41bと、接続部41cとを有する。

【0023】

図3および図4(c)に示すように、縦孔41aは、シールリング40の厚さ方向に延びている。縦孔41aの形状は、例えば円柱状である。縦孔41aの直径は、例えば5mmである。

【0024】

図3および図4(b)に示すように、シールリング40の内周には、複数の横孔41bがシールリング40の周方向に離間して設けられている。横孔41bは、シールリング40内から空間60に通じている。横孔41bの数は、任意である。例えば、横孔41bの幅は5mmであり、深さは2mmである。横孔41bは、例えば周方向に沿って設けられ、等間隔に設けられている。横孔41bの形状は、例えば凹状に設けられており、V字、U字等に設けられていてもよい。

【0025】

図3および図4(a)に示すように、シールリング40の外周と内周との間には、周方向に延びた接続部41cが設けられている。例えば、接続部41cの幅は5mmであり、深さは2mmである。

【0026】

接続部41cの形状は、シールリング40の上面に凹状に設けられている。接続部41cの形状は、例えばシールリング40の底面に凹状に設けられていてもよい。接続部41cの形状は凹状以外(例えばV字、U字等)に設けられていてもよい。これにより、接続部41cは、縦孔41aと、横孔41bとを接続する。

【0027】

図1に示すように、シールリング40は、フレーム部20の内側に設けられている。すなわち、シールリング40の直径は、第1フレーム21の直径および第2フレーム22のそれぞれの直径以下である。シールリング40の外側の側面は、フレーム部20の内側の側面に接していても、接していなくてもよい。

【0028】

シールリング40の厚さは、第1フレーム21と、第2フレーム22とを重ね合わせた厚さよりも厚い。そのため、第1フレーム21と、第2フレーム22とを重ね合わせたとき、転写元テープ31および転写先テープ32のそれぞれは、シールリング40と密着する。これにより、シールリング40に囲まれた空間60の上面および下面は、テープ部30に完全に覆われる。このとき、空間60は、シールリング40の横孔41bを介して接続部41cとつながっている。

【0029】

下部プレート11の内部および転写元テープ31を貫通して、貫通孔51(吸排気導入ライン)が設けられている。貫通孔51は、例えば排気孔41と、真空排気部80と接続する。これにより、真空排気部80は、排気孔41を通じて空間60内を排気することが可能である。

【0030】

例えば、図12に示すように、貫通孔51の代わりに貫通孔52が用いられてもよい。貫通孔52は、上部プレート12の内部および転写先テープ32を貫通している。

【0031】

本実施形態によれば、後述するように、転写元テープ31の第1面31aには、半導体素子70が貼り付けられる。シールリング40には、転写元テープ31および転写先テープ32のそれぞれが接している。このとき、排気孔41を通じて空間60内が排気される。これにより、転写元テープ31の第1面31aと、転写先テープ32の第2面32aとが近づき、第2面32aには、半導体素子70の上面が貼り付けられる。

10

20

30

40

50

【 0 0 3 2 】

この後、排気孔 4 1 を通じて空間 6 0 内が給気（大気開放）される。このとき、第 1 面 3 1 a の半導体素子 7 0 に対する粘着性は、第 2 面 3 2 a の半導体素子 7 0 に対する粘着性よりも低い。これにより、半導体素子 7 0 は、第 1 面 3 2 a から剥離される。すなわち、半導体素子 7 0 は、第 1 面 3 1 a から第 2 面 3 2 a に転写される。

【 0 0 3 3 】

例えば、半導体素子 7 0 が転写元テープ 3 1 および転写先テープ 3 2 のそれぞれに貼り付けられた状態において、ピール剥離により半導体素子 7 0 が転写元テープ 3 1 から剥離されると、転写元テープ 3 1 は、塑性変形する。これにより、転写先テープ 3 2 に張り付いた半導体素子 7 0 の位置がずれる。

10

【 0 0 3 4 】

例えば、半導体素子 7 0 が転写元テープ 3 1 および転写先テープ 3 2 のそれぞれに貼り付けられた状態において、面剥離により半導体素子 7 0 が転写元テープ 3 1 から剥離されると、転写元テープ 3 1 および転写先テープ 3 2 に加わる剥離荷重が大きくなる。これにより、剥離が困難になる。フレーム部 2 0 からテープが剥がれる。テープが伸びて半導体素子 7 0 の位置がずれる。

【 0 0 3 5 】

これに対し、本実施形態によれば、半導体素子 7 0 が転写元テープ 3 1 および転写先テープ 3 2 のそれぞれに貼り付けられた状態において、排気孔 4 1 を通じて空間 6 0 内が給気され、半導体素子 7 0 が転写元テープ 3 1 から剥離される。このとき、転写元テープ 3 1 および半導体素子 7 0 のそれぞれは、均一に加圧される。これにより、半導体素子 7 0 の位置がずれることなく転写先テープ 3 2 への転写を行うことが可能である。

20

【 0 0 3 6 】

図 5 は、実施形態の半導体素子の製造装置の模式平面図である。

図 5 に示すように、本製造装置 1 0 0 は、例えば補強板 1 2 a と、透明板 1 2 b とを有する。透明板 1 2 b は、補強板 1 2 a と、転写先テープ 3 2 との間に設けられている。透明板 1 2 b として、例えばアクリル板が用いられる。

【 0 0 3 7 】

補強板 1 2 a には、例えば補強板 1 2 a を貫通した貫通孔 1 2 h が設けられている。貫通孔 1 2 h の底面には、透明板 1 2 b が露出している。このとき、透明板 1 2 b を介してシールリング 4 0 および空間 6 0 を目視することができる。これにより、半導体素子 7 0 の転写状況を確認することが可能となる。補強板 1 2 a は、透明板 1 2 b よりも高い機械的強度を有し、例えばステンレス鋼からなる。補強板 1 2 a は、空間 6 0 の加減圧による透明板 1 2 b の変形を抑制する。

30

【 0 0 3 8 】

図 6 (a) は、実施形態のシールリング 4 0 の模式平面図であり、図 6 (b) は、実施形態のシールリング 4 0 の模式断面図である。

図 6 (b) は、図 6 (a) に対する断面図である。

【 0 0 3 9 】

図 6 (a) および図 6 (b) に示すように、シールリング 4 0 は、例えばサポート部 4 0 s を有する。サポート部 4 0 s は、シールリング 4 0 の外周部にリング状に設けられている。サポート部 4 0 s の厚さは、シールリング 4 0 の厚さよりも薄い。

40

【 0 0 4 0 】

シールリング 4 0 をフレーム部 2 0 の内側に設置するとき、サポート部 4 0 s は、シールリング 4 0 と、フレーム部 2 0 との間に設置される。サポート部 4 0 s の内周部は、シールリング 4 0 の外側の側面に埋め込まれている。サポート部 4 0 s は、シールリング 4 0 のハンドリングを容易にする。これにより、シールリング 4 0 をフレーム部 2 0 の内側に沿って均一に設けることができる。そのため、排気口 4 1 を通じて空間 6 0 内が給気され、半導体素子 7 0 が転写元テープ 3 1 から剥離されるとき、転写元テープ 3 1 および半導体素子 7 0 がより均一に加圧される。これにより、半導体素子 7 0 の転写時における位

50

置精度が向上する。

【0041】

次に、図7(a)～図11を参照して、実施形態の半導体装置の製造方法について説明する。

【0042】

図7(a)、図8(a)、図9(a)および図10(a)は、本実施形態の半導体装置の製造装置100の模式斜視図である。図7(b)、図8(b)、図9(b)、図10(b)および図11は、本実施形態の半導体装置の製造装置100の模式断面図である。

【0043】

図7(a)および図7(b)に示すように、転写元テープ31の第1面31a上には、半導体素子70の第1部分70aが設置される。半導体素子70よりも外側の転写元テープ31には、第1フレーム21が設置されている。半導体素子70の数は任意である。

10

【0044】

半導体素子70上には、転写元テープ31に対向して転写先テープ32が設置される。第1フレーム21と、転写先テープ32との間には、第2フレーム22が設置される。第2フレーム22は、転写先テープ32に接している。

【0045】

その後、転写元テープ31と、転写先テープ32との間には、シールリング40が設置される。シールリング40は、第1フレーム21および第2フレーム22よりも内側に設置される。

20

【0046】

次に、図8(a)および図8(b)に示すように、第1フレーム21は、第2フレーム22と接するように設置される。これにより、転写元テープ31および転写先テープ32のそれぞれは、シールリング40と接する。半導体素子70および空間60は、転写元テープ31、転写先テープ32およびシールリング40のそれぞれにより囲まれている。

【0047】

図9(a)および図9(b)に示すように、排気孔41を通じて空間60内が排気される。これにより、半導体素子70の第1部分70aとは反対の第2部分70bは、転写先テープ32の第2面32aに貼り付けられる。空間60内の排気には、例えば真空ポンプなどを含む真空排気部80が用いられる。真空排気部80は、貫通孔51を介して排気孔41に接続されている。

30

【0048】

図10(a)および図10(b)に示すように、排気孔41を通じて空間60内が給気される。真空排気前の状態で、例えばUV照射により、半導体素子70の第1部分70aと転写元テープ31の第1面31aとの接着力は弱められている。

【0049】

真空排気により、図9(b)に示すように、半導体素子70の第1部分70aが転写元テープ31の第1面31aに貼り付き、半導体素子70の第2部分70bが転写先テープ32の第2面32aに貼り付いた状態で、半導体素子70と転写元テープ31との接着力は、半導体素子70と転写先テープ32との接着力よりも弱い。したがって、空間60内の給気(大気開放)により、半導体素子70は、転写元テープ31の第1面31aから剥離される。

40

【0050】

その後、第1フレーム21と、第2フレーム22とを離間し、半導体素子70の転写工程が完了する。

【0051】

本実施形態によれば、排気孔41を通じて空間60内の排気を行うことにより、転写先テープ32の第2面32aに半導体素子70が貼り付けられる。これにより、転写先テープ32には、不均一な力が加わらないため、テープの伸びに起因する半導体素子間のずれ(カーフシフト)を低減させることが可能である。

50

【 0 0 5 2 】

さらに、排気孔 4 1 を通じて空間 6 0 内の給気を行うことにより、半導体素子 7 0 が転写元テープ 3 1 から剥離される。このとき、転写元テープ 3 1 および半導体素子 7 0 のそれぞれは、均一に加圧される。これにより、半導体素子 7 0 の位置がずれることなく転写先テープ 3 2 への転写を行うことができる。

【 0 0 5 3 】

上記の通り、本実施形態は、転写時の位置精度に優れた半導体装置の製造装置および製造方法を提供することが可能である。

【 0 0 5 4 】

例えば、半導体素子 7 0 は、転写元テープ 3 1 上で分離している複数の半導体チップを有する。このとき、図 1 1 に示すように、複数の半導体チップの一部（第 1 群）7 1 は、転写元テープ 3 1 から転写先テープ 3 2 へ転写し、残りの一部（第 2 群）7 2 は、転写元テープ 3 1 に残る。すなわち、複数の半導体チップを選択的に転写することが可能である。

10

【 0 0 5 5 】

転写させる半導体チップの選択方法として、例えば UV 照射法が用いられる。例えば、転写元テープ 3 1 上に半導体チップが設置されているとき、転写したい半導体チップに対して選択的に UV を照射する。これにより、UV が照射された半導体チップのみを、転写先テープへ転写する。

【 0 0 5 6 】

この場合においても、転写時の位置精度に優れた半導体装置の製造装置を提供することが可能である。

20

【 0 0 5 7 】

図 1 3 は、実施形態の半導体装置の模式断面図である。

図 1 4 は、実施形態の半導体装置の実装面側の模式平面図であり、図 1 3 における下面図に対応する。

【 0 0 5 8 】

本実施形態の製造装置を用いて製造される半導体装置は、例えばウェーハレベルで形成されるチップサイズデバイス（以下、単にチップとも言う）1 0 3（半導体チップ）と、チップ 1 0 3 の周囲に設けられた絶縁部材 1 2 7 と、実装面側に設けられた金属層 1 7 1、1 7 2 とを有する。

30

【 0 0 5 9 】

チップ 1 0 3 は、電極 1 0 7、1 0 8 と、第 1 配線層（オンチップ配線層）1 1 6、1 1 7 と、光学層 1 3 0、1 3 3 と、第 1 配線層 1 1 6、1 1 7 と光学層 1 3 0、1 3 3 との間に設けられた半導体層 1 1 5 とを有する。

【 0 0 6 0 】

図 1 5 は、半導体層 1 1 5 の拡大模式断面図である。

【 0 0 6 1 】

半導体層 1 1 5 は、例えば窒化ガリウムを含む。半導体層 1 1 5 は、n 型半導体を含む第 1 層 1 1 1 と、p 型半導体を含む第 2 層 1 1 2 と、第 1 層 1 1 1 と第 2 層 1 1 2 との間に設けられた発光層 1 1 3 とを有する。

40

【 0 0 6 2 】

第 1 層 1 1 1 は、例えば、下地バッファ層、n 型 GaN 層を含む。第 2 層 1 1 2 は、例えば、p 型 GaN 層を含む。発光層 1 1 3 は、青、紫、青紫、紫外光などを発光する材料を含む。発光層 1 3 の発光ピーク波長は、例えば、4 3 0 ~ 4 7 0 nm である。

【 0 0 6 3 】

半導体層 1 1 5 は、図 1 6 (a) に示すように、基板 1 1 0 上にエピタキシャル成長される。基板 1 1 0 は、例えば、シリコン基板、サファイア基板、炭化ケイ素基板などである。基板 1 1 0 上に第 1 層 1 1 1、発光層 1 1 3 および第 2 層 1 1 2 が順にエピタキシャル成長される。その後、図示しないマスクを用いた R I E (Reactive Ion Etching) 法に

50

より、第2層112および発光層113が選択的に除去される。

【0064】

したがって、半導体層115は、第2層112および発光層113の積層膜を有する領域(発光領域)115dと、発光層113および第2層112で覆われていない第1層111の第2面111aを有する領域115eとを有する。

【0065】

図16(b)は、図15および図16(a)に示す半導体層115の下面図に対応する。

図16(b)に示すように、例えば、領域115eは発光領域115dに囲まれた島状に形成され、また、領域115eは発光領域115dの外周側に、発光領域115dを連続して囲むように形成されている。発光領域115dの面積は、領域115eの面積よりも広い。

10

【0066】

図15に示すように、第1層111において第2面111aの反対側には、発光層113および第2層112で覆われていない第1面115aが形成されている。また、半導体層115は、第1面115aに続く側面115cを有する。

【0067】

図17(a)、および図17(a)の下面図に対応する図17(b)に示すように、第1層111の第2面111aにn側電極108が設けられ、第2層112の表面にp側電極107が設けられている。p側電極107およびn側電極108は、半導体層115に重なる領域(チップ領域)の範囲内に形成されている。

20

【0068】

図17(b)の平面視において、p側電極107の面積はn側電極108の面積よりも広い。p側電極107と第2層112との接触面積は、n側電極107と第1層111との接触面積よりも広い。

【0069】

図18(a)、および図18(a)の下面図に対応する図18(b)に示すように、半導体層115の第1面115a以外の面には絶縁膜114が設けられている。絶縁膜114は、無機膜であり、例えばシリコン酸化膜である。

【0070】

絶縁膜114には、p側電極107を露出させる第1開口114aと、n側電極108を露出させる第2開口114bが形成されている。例えば2つのn側の第2開口114bが互いに離れて形成されている。それら2つの第2開口114bの間のp側電極107の表面は、絶縁膜114で覆われている。

30

【0071】

第1層111の側面115c、第2層112の側面、および発光層113の側面は、絶縁膜114で覆われている。

【0072】

図19(a)、および図19(a)の下面図に対応する図19(b)に示すように、半導体層115の第1面115aの反対側には、第1p側配線層116と、第1n側配線層117が設けられている。

40

【0073】

第1p側配線層116は、半導体層115に重なる領域(チップ領域)の範囲内に形成されている。第1p側配線層116は、第1開口114a内にも設けられ、p側電極107に接している。第1p側配線層116は、第1開口114a内に一体に形成されたコンタクト部116aを介してp側電極107と接続されている。第1p側配線層116は、第1層111に接していない。

【0074】

第1n側配線層117は、半導体層115に重なる領域(チップ領域)の範囲内に形成されている。第1n側配線層117は、第2開口114b内にも設けられ、n側電極10

50

8に接している。第1n側配線層117は、第2開口114b内に一体に形成されたコンタクト部117aを介してn側電極108と接続されている。

【0075】

第1n側配線層117は、例えば、2つの島状n側電極108を結ぶ方向に延びるラインパターン状に形成されている。第1n側配線層117の2つのn側電極108の間の部分とp側電極107との間、および第1n側配線層117の2つのn側電極108の間の部分と第2層112との間には、絶縁膜114が設けられ、第1n側配線層117はp側電極107および第2層112に接していない。

【0076】

図16(b)に示すように、発光層113を含む発光領域115dは、半導体層115の平面領域の大部分を占めている。また、図17(b)に示すように、発光領域115dに接続されたp側電極107の面積は、n側電極108の面積よりも広い。したがって、広い発光面が得られ、光出力を高くできる。

10

【0077】

p側電極107は、第2層112と第1p側配線層116との間に設けられている。図26(a)に示すように、p側電極107は、複数層(例えば3層)の積層膜である。p側電極107は、第2層112側から順に設けられた第1膜107a、第2膜107bおよび第3膜107cを有する。

【0078】

例えば、第1膜107aは、発光層113および蛍光体層130が発する光に対して高い反射率をもつ銀(Ag)膜である。例えば、第2膜107bはチタン(Ti)膜であり、第3膜107cは白金(Pt)膜である。

20

【0079】

n側電極108は、第1層111と、第1n側配線層117のコンタクト部117aとの間に設けられている。図26(b)に示すように、n側電極108は、複数層(例えば3層)の積層膜である。n側電極108は、第1層111側から順に設けられた第1膜108a、第2膜108bおよび第3膜108cを有する。

【0080】

例えば、第1膜108aは、発光層113および蛍光体層130が発する光に対して高い反射率をもつアルミニウム(Al)膜である。例えば、第2膜108bはチタン(Ti)膜であり、第3膜108cは白金(Pt)膜である。

30

【0081】

図20(a)、および図20(a)の下面図に対応する図20(b)に示すように、第1p側配線層116および第1n側配線層117の表面に、絶縁膜118が設けられている。絶縁膜118は、第1p側配線層116と第1n側配線層117との間にも設けられている。絶縁膜118は、例えば、無機膜であり、シリコン酸化膜等である。

【0082】

絶縁膜118には、第1p側配線層116の一部(p側パッド116b)を露出させる第1開口118aと、第1n側配線層117の一部(n側パッド117b)を露出させる第2開口118bが形成されている。

40

【0083】

p側パッド116bの面積は、n側パッド117bの面積よりも大きい。n側パッド117bの面積は、第1n側配線層117とn側電極108とのコンタクト面積よりも広い。

【0084】

第1面115a上の基板110は後述するように除去される。基板110が除去された第1面115a上には、半導体装置の放出光に所望の光学特性を与える光学層が設けられている。例えば、図13に示すように、半導体層115の第1面115a上には、蛍光体層130が設けられ、さらに、その蛍光体層130の上に透明層(第1透明層)133が設けられている。

50

【 0 0 8 5 】

蛍光体層 1 3 0 は、複数の粒子状の蛍光体 1 3 1 を含む。蛍光体 1 3 1 は、発光層 1 1 3 の放射光により励起され、その放射光とは異なる波長の光を放射する。複数の蛍光体 1 3 1 は、結合材 1 3 2 中に分散されている。結合材 1 3 2 は、発光層 1 1 3 の放射光および蛍光体 1 3 1 の放射光を透過する。ここで「透過」とは、透過率が 1 0 0 % であることに限らず、光の一部を吸収する場合も含む。結合材 1 3 2 には、例えば、シリコン樹脂などの透明樹脂を用いることができる。

【 0 0 8 6 】

透明層 1 3 3 は、蛍光体粒子を含まない。また、透明層 1 3 3 は、後述する絶縁部材 1 2 7 の表面研削時に蛍光体層 1 3 0 を保護する。

10

【 0 0 8 7 】

あるいは、透明層 1 3 3 は光散乱層として機能する。すなわち、透明層 1 3 3 は、発光層 1 1 3 の放射光を散乱させる複数の粒子状の散乱材（例えばシリコン酸化物、チタン化合物）と、発光層 1 1 3 の放射光を透過させる結合材（例えば透明樹脂）とを含む。

【 0 0 8 8 】

半導体層 1 1 5 の側面よりも外側のチップ外領域には、絶縁部材 1 2 7 が設けられている。絶縁部材 1 2 7 は、半導体層 1 1 5 よりも厚く、半導体層 1 1 5 を支持している。絶縁部材 1 2 7 は、絶縁膜 1 1 4 を介して半導体層 1 1 5 の側面を覆っている。

【 0 0 8 9 】

また、絶縁部材 1 2 7 は、光学層（蛍光体層 1 3 0 および透明層 1 3 3）の側面の外側にも設けられ、光学層の側面を覆っている。

20

【 0 0 9 0 】

絶縁部材 1 2 7 は、半導体層 1 1 5、電極 1 0 7、1 0 8、第 1 配線層（オンチップ配線層）1 1 6、1 1 7、および光学層を含むチップ 1 0 3 の周囲に設けられ、チップ 1 0 3 を支持している。

【 0 0 9 1 】

絶縁部材 1 2 7 の上面 1 2 7 a と透明層 1 3 3 の上面は平坦面を形成している。絶縁部材 1 2 7 の裏面には、絶縁膜 1 2 6 が設けられている。

【 0 0 9 2 】

第 1 p 側配線層 1 1 6 の第 1 p 側パッド 1 1 6 b 上には、第 2 p 側配線層 1 2 1 が設けられている。第 2 p 側配線層 1 2 1 は、第 1 p 側配線層 1 1 6 の第 1 p 側パッド 1 1 6 b に接するとともに、チップ外領域に延びている。第 2 p 側配線層 1 2 1 のチップ外領域に延出した部分は、絶縁膜 1 2 6 を介して絶縁部材 1 2 7 に支持されている。

30

【 0 0 9 3 】

また、第 2 p 側配線層 1 2 1 の一部は、絶縁膜 1 1 8 を介して、第 1 n 側配線層 1 1 7 に重なる領域にも延びている。

【 0 0 9 4 】

第 1 n 側配線層 1 1 7 の第 1 n 側パッド 1 1 7 b 上には、第 2 n 側配線層 1 2 2 が設けられている。第 2 n 側配線層 1 2 2 は、第 1 n 側配線層 1 1 7 の第 1 n 側パッド 1 1 7 b に接するとともに、チップ外領域に延びている。第 2 n 側配線層 1 2 2 のチップ外領域に延出した部分は、絶縁膜 1 2 6 を介して絶縁部材 1 2 7 に支持されている。

40

【 0 0 9 5 】

図 2 5 (b) は、第 2 p 側配線層 1 2 1 と第 2 n 側配線層 1 2 2 の平面レイアウトの一例を表す。

【 0 0 9 6 】

第 2 p 側配線層 1 2 1 と第 2 n 側配線層 1 2 2 は、半導体層 1 1 5 の平面領域を 2 等分する中心線 c に対して非対称に配置され、第 2 p 側配線層 1 2 1 の下面（実装面側の面）は、第 2 n 側配線層 1 2 2 の下面よりも広い。

【 0 0 9 7 】

図 1 3 に示すように、第 2 p 側配線層 1 2 1 と第 2 n 側配線層 1 2 2 の表面には、絶縁

50

膜 119 が設けられている。絶縁膜 119 は、例えば、無機膜であり、シリコン酸化膜等である。

【0098】

絶縁膜 119 には、図 22 に示すように、第 2 p 側配線層 121 の第 2 p 側パッド 121a を露出させる第 1 開口 119a と、第 2 n 側配線層 122 の第 2 n 側パッド 122a を露出させる第 2 開口 119b が形成されている。

【0099】

第 2 p 側配線層 121 の第 2 p 側パッド 121a 上には、図 13 に示すように、p 側外部接続電極 123 が設けられている。p 側外部接続電極 123 は、第 2 p 側配線層 121 の第 2 p 側パッド 121a に接して、第 2 p 側配線層 121 上に設けられている。

10

【0100】

また、p 側外部接続電極 123 の一部は、絶縁膜 118、119 を介して、第 1 n 側配線層 117 に重なる領域、および絶縁膜 119 を介して第 2 n 側配線層 122 に重なる領域にも設けられている。

【0101】

p 側外部接続電極 123 は、半導体層 115 に重なるチップ領域、およびチップ外領域に広がっている。p 側外部接続電極 123 は、第 1 p 側配線層 116 よりも厚く、第 2 p 側配線層 121 よりも厚い。

【0102】

第 2 n 側配線層 122 の第 2 n 側パッド 122a 上には、n 側外部接続電極 124 が設けられている。n 側外部接続電極 124 は、チップ外領域に配置され、第 2 n 側配線層 122 の第 2 n 側パッド 122a に接している。

20

【0103】

n 側外部接続電極 124 は、第 1 n 側配線層 117 よりも厚く、第 2 n 側配線層 122 よりも厚い。

【0104】

p 側外部接続電極 123 と n 側外部接続電極 124 との間には、樹脂層（絶縁層）125 が設けられている。樹脂層 125 は、p 側外部接続電極 123 の側面と n 側外部接続電極 124 の側面に接して、p 側外部接続電極 123 と n 側外部接続電極 124 との間に充填されている。

30

【0105】

また、樹脂層 125 は、p 側外部接続電極 123 の周囲および n 側外部接続電極 124 の周囲に設けられ、p 側外部接続電極 123 の側面および n 側外部接続電極 124 の側面を覆っている。

【0106】

樹脂層 125 は、p 側外部接続電極 123 および n 側外部接続電極 124 の機械的強度を高める。また、樹脂層 125 は、実装時にはんだのぬれ広がりを防ぐソルダレジストとして機能する。

【0107】

p 側外部接続電極 123 の下面は、樹脂層 125 から露出し、実装基板等の外部回路と接続可能な p 側実装面（p 側外部端子）123a として機能する。n 側外部接続電極 124 の下面は、樹脂層 125 から露出し、実装基板等の外部回路と接続可能な n 側実装面（n 側外部端子）124a として機能する。p 側実装面 123a および n 側実装面 124a は、例えば、はんだ、または導電性の接合材を介して、実装基板のランドパターンに接合される。

40

【0108】

ここで、さらに、p 側実装面 123a および n 側実装面 124a を、樹脂層 125 の表面よりも突出させることが望ましい。これにより、実装時の接続部半田形状が安定化し、実装の信頼性を向上させることができる。

【0109】

50

図14は、p側実装面123aとn側実装面124aの平面レイアウトの一例を表す。

【0110】

p側実装面123aとn側実装面124aは、半導体層115の平面領域を2等分する中心線cに対して非対称に配置され、p側実装面123aはn側実装面124aよりも広い。

【0111】

p側実装面123aとn側実装面124aとの間隔は、実装時にp側実装面123aとn側実装面124aとの間をはんだがブリッジしない間隔に設定される。

【0112】

半導体層115におけるn側の電極コンタクト面(第1層111の第2面111a)は、第1n側配線層117と第2n側配線層122によって、チップ外領域も含むより広い領域に再配置されている。これにより、信頼性の高い実装に十分なn側実装面124aの面積を確保しつつ、半導体層115におけるn側電極面の面積を小さくすることが可能となる。したがって、半導体層115における発光層113を含まない領域115eの面積を縮小し、発光層113を含む領域115dの面積を広げて光出力を向上させることが可能となる。

10

【0113】

半導体装置には、実装面側にp側金属層171とn側金属層172が設けられている。p側金属層171は、第1p側配線層116、第2p側配線層121およびp側外部接続電極123を含む。n側金属層172は、第1n側配線層117、第2n側配線層122およびn側外部接続電極124を含む。

20

【0114】

半導体層115は、基板上にエピタキシャル成長法により形成される。その基板は除去され、半導体層115は第1面115a側に基板を含まない。基板の除去により半導体装置の低背化を図れる。また、基板の除去により、半導体層115の第1面115aに微小凹凸を形成することができ、光取り出し効率の向上を図れる。

【0115】

半導体層115は、金属層171、172と、樹脂層125との複合体からなる支持体の上に支持されている。また、半導体層115は、半導体層115よりも厚い例えば樹脂層である絶縁部材127によって側面側から支えられている。

30

【0116】

金属層171、172の材料として、例えば、銅、金、ニッケル、銀などを用いることができる。これらのうち、銅を用いると、良好な熱伝導性、高いマイグレーション耐性および絶縁材料に対する密着性を向上させることができる。

【0117】

半導体装置の実装時の熱サイクルにより、p側実装面123aおよびn側実装面124aを実装基板のランドに接合させるはんだ等に起因する応力が半導体層115に加わる。p側外部接続電極123、n側外部接続電極124および樹脂層125を適切な厚さ(高さ)に形成することで、p側外部接続電極123、n側外部接続電極124および樹脂層125が上記応力を吸収し緩和することができる。特に、半導体層115よりも柔軟な樹脂層125を実装面側に支持体の一部として用いることで、応力緩和効果を高めることができる。

40

【0118】

金属層171、172は例えば高い熱伝導率を持つ銅を主成分として含み、発光層113に重なる領域に高熱伝導体が広い面積で広がっている。発光層113で発生した熱は、金属層171、172を通じて、チップ下方に形成される短いパスで実装基板へと放熱される。

【0119】

特に、半導体層115の発光領域115dと接続されたp側金属層171のp側実装面123aは、図14に示す平面視で半導体層115の平面領域のほとんどに重なっている

50

ため、p側金属層171を通じて実装基板に高効率で放熱させることができる。

【0120】

また、半導体装置は、p側実装面123aはチップ外領域にも拡張している。したがって、p側実装面123aに接合されるはんだの平面サイズも大きくでき、はんだを介した実装基板への放熱性を向上できる。

【0121】

また、第2n側配線層122はチップ外領域に延びている。このため、チップに重なる領域の大部分を占めてレイアウトされたp側実装面123aの制約を受けずに、チップ外領域にn側実装面124aを配置することができる。n側実装面124aをチップ外領域に配置することで、n側実装面124aをチップ領域範囲内でのみレイアウトするよりも面積を広くできる。

10

【0122】

したがって、n側についても、n側実装面124aに接合されるはんだの平面サイズを大きくでき、はんだを介した実装基板への放熱性を向上できる。

【0123】

発光層113から第1面115a側に放射された光は蛍光体層130に入射し、一部の光は蛍光体131を励起し、発光層113の光と、蛍光体131の光との混合光として例えば白色光が得られる。

【0124】

発光層113から実装面側に放射された光は、p側電極107及びn側電極108によって反射され、上方の蛍光体層130側に向かう。

20

【0125】

蛍光体層130上には透明層(第1透明層)133が設けられ、その透明層133上およびチップ外領域の絶縁部材127上には、透明層(第2透明層)134が設けられている。

【0126】

透明層134は、発光層113の放射光を散乱させる複数の粒子状の散乱材(例えばシリコン酸化物)と、発光層113の放射光を透過させる結合材(例えば透明樹脂)とを含む。

【0127】

透明層134は光散乱層として機能する。その光散乱層である透明層134の面積は、蛍光体層130の面積、および透明層133の面積よりも大きい。すなわち、透明層134の面積は、チップ103の面積よりも大きい。したがって、半導体装置から外部へと発せられる光の範囲を広げることができ、広角の配光特性が可能である。

30

【0128】

絶縁部材127の少なくとも半導体層115の側面に近接する部分の表面は、発光層113の放射光に対して反射性を有する。また、絶縁部材127の蛍光体層130の側面に近接する部分および透明層133の側面に近接する部分は、発光層113の放射光および蛍光体131の放射光に対して反射性を有する。さらに、絶縁部材127の透明層134との境界付近が発光層113の放射光および蛍光体131の放射光に対して反射性を有する。

40

【0129】

例えば、絶縁部材127は、発光層113の放射光および蛍光体131の放射光に対する反射率が50%以上となる樹脂層である。

【0130】

したがって、チップ103の側面からの放射光、および透明層134で散乱されて絶縁部材127側に向かう光を、絶縁部材127で反射させることができる。絶縁部材127での光の吸収損失を防いで、透明層134を通じた外部への光取り出し効率を高めることができる。

【0131】

50

蛍光体層 130 は半導体層 115 の第 1 面 115 a 上にウェーハレベルプロセスで形成され、蛍光体層 130 の面積は、半導体層 115 の面積とほぼ同じ、または半導体層 115 の面積よりもわずかに大きい。

【0132】

蛍光体層 130 は、半導体層 115 の側面、および実装面側にまわりこんで形成されていない。すなわち、光を外部に取り出さないチップ側面側および実装面側には蛍光体層 130 が無駄に形成されず、コスト低減が図れる。

【0133】

一般的なフリップチップ実装では、LEDチップを実装基板にパンプなどを介して実装した後に、チップ全体を覆うように蛍光体層が形成される。あるいは、パンプ間に樹脂がアンダーフィルされる。

【0134】

これに対して本実施形態の半導体装置の製造装置を用いて製造された半導体装置によれば、図 13 に示す実装前の状態で、p 側外部接続電極 123 の周囲および n 側外部接続電極 124 の周囲には、蛍光体層 130 と異なる樹脂層 125 が設けられ、実装面側に応力緩和に適した特性を与えることができる。また、実装面側にすでに樹脂層 125 が設けられているため、実装後のアンダーフィルが不要となる。

【0135】

半導体層 115 の第 1 面 115 a 側には、光取り出し効率、色変換効率、配光特性などを優先した設計の光学層が設けられ、実装面側には、実装時の応力緩和や、基板に代わる支持体としての特性を優先した層が設けられる。例えば、樹脂層 125 は、ベースとなる樹脂にシリカ粒子などのフィラーが高密度充填された構造を有し、支持体として適切な硬さに調整されている。

【0136】

以上説明した本実施形態の半導体装置の製造装置を用いて製造された半導体装置によれば、半導体層 115、電極 107、108、オンチップ配線層 116、117、および光学層はウェーハレベルで一括形成して低コストのチップサイズデバイス 103 を実現するとともに、外部端子（実装面）123 a、134 a をチップ外領域に拡張させて、放熱性を高くすることができる。したがって、安価で高信頼性の半導体装置を提供することができる。

【0137】

次に、図 16 (a) ~ 図 25 (b) を参照して、他の実施形態の半導体装置の製造方法について説明する。

【0138】

図 16 (b)、図 17 (b)、図 18 (b)、図 19 (b)、図 20 (b)、図 25 (a) および図 25 (b) は、それぞれ、図 16 (a)、図 17 (a)、図 18 (a)、図 19 (a)、図 20 (a)、図 21 および図 22 の下面図に対応する。

【0139】

半導体層 115 は、例えば、MOCVD (metal organic chemical vapor deposition) 法により、基板 110 上にエピタキシャル成長される。基板 110 は、例えばシリコン基板である。または、基板 110 はサファイア基板や炭化ケイ素基板であってもよい。半導体層 115 は、例えば、窒化ガリウム (GaN) を含む窒化物半導体層である。

【0140】

例えば、RIE (Reactive Ion Etching) 法により、第 2 層 112 および発光層 113 の積層膜を選択的にエッチングし、図 16 (a) 及び (b) に示すように第 1 層 111 の第 2 面 111 a を露出させる。

【0141】

また、第 1 層 111 は選択的に除去され、基板 110 で複数の半導体層 115 に分離される。半導体層 115 を複数に分離する溝は例えば格子状パターンで形成される。

【0142】

10

20

30

40

50

次に、図17(a)及び(b)に示すように、第2層112の表面にp側電極107を、第1層111の第2面111aにn側電極108を形成する。

【0143】

次に、図18(a)及び(b)に示すように、半導体層115および電極107、108を覆うように絶縁膜114を形成した後、絶縁膜114に第1開口114aおよび第2開口114bを形成する。

【0144】

次に、図19(a)及び(b)に示すように、第1p側配線層116および第1n側配線層117を形成する。第1p側配線層116は第1開口114a内に形成されp側電極107に接する。

【0145】

第1n側配線層117は、第2開口114b内に形成されn側電極108に接する。また、第1n側配線層117は、例えば2カ所でn側電極108と接する。第1n側配線層117は、その2カ所のn側電極108を結ぶ方向に延びるライン状に形成される。第1n側配線層117のライン状に形成された部分と、p側電極107との間には絶縁膜114が介在し、第1n側配線層117はp側電極107に接していない。

【0146】

p側電極107、n側電極108、第1p側配線層116、および第1n側配線層117は、半導体層115に重なる領域の範囲内に形成される。

【0147】

次に、図20(a)及び(b)に示すように、第1p側配線層116の表面および第1n側配線層117の表面に絶縁膜118を形成し、その絶縁膜118に第1開口118aと第2開口118bを形成する。第1開口118aには第1p側配線層116の第1p側パッド116bが露出し、第2開口118bには第1n側配線層117の第1n側パッド117bが露出する。

【0148】

次に、基板110を除去する。半導体層115および配線層116、117を含む積層体は、図示しない一時的な支持体に支持された状態で基板110が除去される。

【0149】

例えば、シリコン基板である基板110が、RIEなどのドライエッチングにより除去される。あるいは、ウェットエッチングによりシリコン基板110を除去してもよい。あるいは、基板110がサファイア基板の場合には、レーザーリフトオフ法により除去することができる。

【0150】

基板110上にエピタキシャル成長された半導体層115は、大きな内部応力を含む場合がある。また、p側金属層171、n側金属層172および樹脂層125は、例えばGaN系材料の半導体層115に比べて柔軟な材料である。したがって、エピタキシャル成長時の内部応力が基板110の剥離時に一気に開放されたとしても、p側金属層171、n側金属層172および樹脂層125は、その応力を吸収する。このため、基板110を除去する過程における半導体層115の破損を回避することができる。

【0151】

基板110の除去により露出された半導体層115の第1面115aは必要に応じて粗面化される。

【0152】

さらに、第1面115a上には、前述した蛍光体層130が形成され、その蛍光体層130上には透明層133が形成される。ここまでの工程は、ウェーハ状態で進められる。

【0153】

そして、ウェーハをダイシングして、複数のチップ103に個片化する。そのチップ103は、上述した実施形態の転写元テープ31に指示され、本製造装置100を用いてチップ103の再配置を行う。その後、図21に示すように、チップ103の周囲(チップ

10

20

30

40

50

外領域)、およびチップ103の上(透明層133の上)に絶縁部材(支持部材)127が形成され、絶縁部材127を含むチップ103毎にダイシングされる。

【0154】

図21における絶縁部材127の下面には、図22に示すように絶縁膜126が形成される。これにより、チップ103と絶縁部材127との段差が解消され、この後に形成される配線層の信頼性を向上させることができる。絶縁膜126としては、各種の樹脂材料を用いることができるが、特に耐熱性に優れたイミド系樹脂やフェノール系樹脂、シリコン系樹脂、エポキシ系樹脂などが適する。

【0155】

第1p側配線層116の第1p側パッド116b上、およびチップ外領域の絶縁膜126上には、図22に示すように、第2p側配線層121が形成される。第1n側配線層117の第1n側パッド117b上、およびチップ外領域の絶縁膜126上には、第2n側配線層122が形成される。

10

【0156】

第2n側配線層122はチップ103に対して位置合わせされる。第1n側パッド117bは、n側電極108よりも広い面積で再配置されているため、チップ103に対して第2n側配線層122の形成位置が多少ずれても第2n側配線層122を確実に第1n側パッド117bに重ね合わせて接続することができる。

【0157】

第2p側配線層121の表面および第2n側配線層122の表面には絶縁膜119が形成され、その絶縁膜119には第1開口119aと第2開口119bが形成される。

20

【0158】

第1開口119aには、第2p側配線層121の第2p側パッド121aが露出する。第2開口119bには、第2n側配線層122の第2n側パッド122aが露出する。

【0159】

第2p側パッド121a上には、図23に示すようにp側外部接続電極123が形成される。第2n側パッド122a上には、n側外部接続電極124が形成される。さらに、p側外部接続電極123とn側外部接続電極124との間、p側外部接続電極123の周囲、およびn側外部接続電極124の周囲に、樹脂層125が形成される。

【0160】

30

次に、透明層133上の絶縁部材127の上面、およびチップ外領域の絶縁部材127の上面を研削する。透明層133の上の絶縁部材127は除去され、図24に示すように、透明層133の上面およびチップ外領域の絶縁部材127の上面は平坦化される。

【0161】

蛍光体層130の上面が露出する高さまでは研削されず、蛍光体層130上に残された透明層133は蛍光体層130を保護する。

【0162】

平坦化された透明層133の上面の上、および絶縁部材127の上面の上には、図13に示すように、チップ103よりも平面サイズが大きな透明層(散乱層)134が形成される。

40

【0163】

本実施形態によれば、上述した実施形態と同様に、転写時の位置精度に優れた半導体装置の製造装置および製造方法を提供することが可能である。

【0164】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

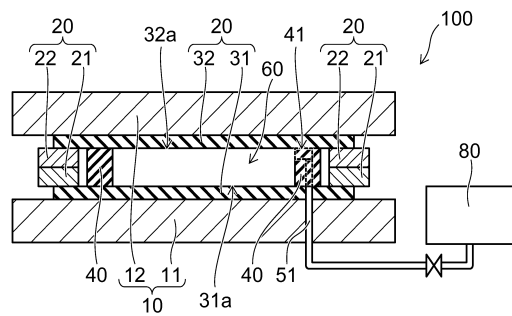
50

【符号の説明】

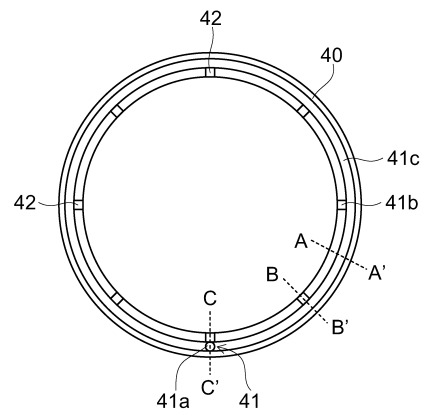
【0165】

10 ... プレート部、 11 ... 下部プレート、 12 ... 上部プレート、 12 a、 ... 補強板、 12 b ... 透明板、 12 h ... 貫通孔、 20 ... フレーム部、 20 n, 20 o ... 切れ込み部、 21 ... 第1フレーム、 22 ... 第2フレーム、 30 ... テープ部、 31 ... 転写元テープ、 31 a ... 第1面、 32 ... 転写先テープ、 32 b ... 第2面、 40 ... シールリング、 40 s ... サポート部、 41 a ... 縦孔、 41 b ... 横孔、 41 c ... 接続部、 51, 52 ... 貫通孔、 60 ... 空間、 70 ... 半導体装置、 70 a ... 第1部分、 70 b ... 2部分、 71, 72 ... 群、 80 ... 真空排気部、 100 ... 製造装置

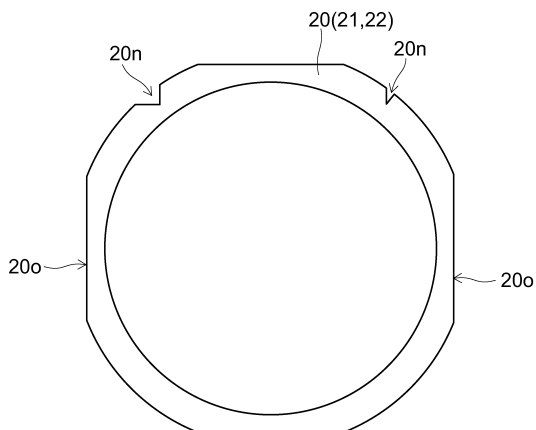
【図1】



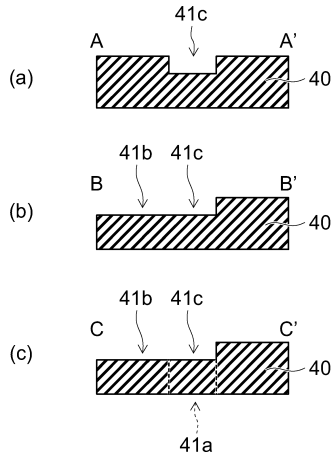
【図3】



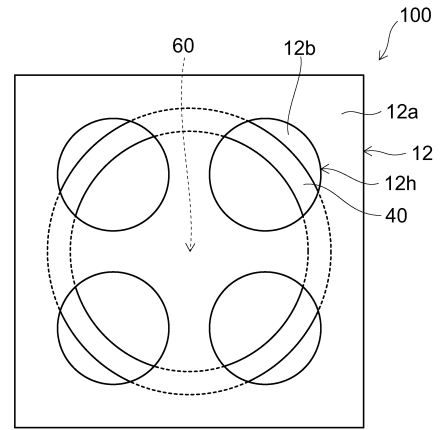
【図2】



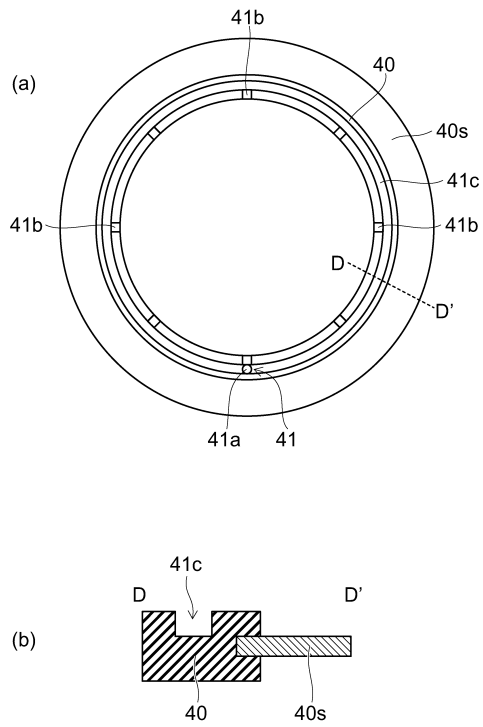
【 図 4 】



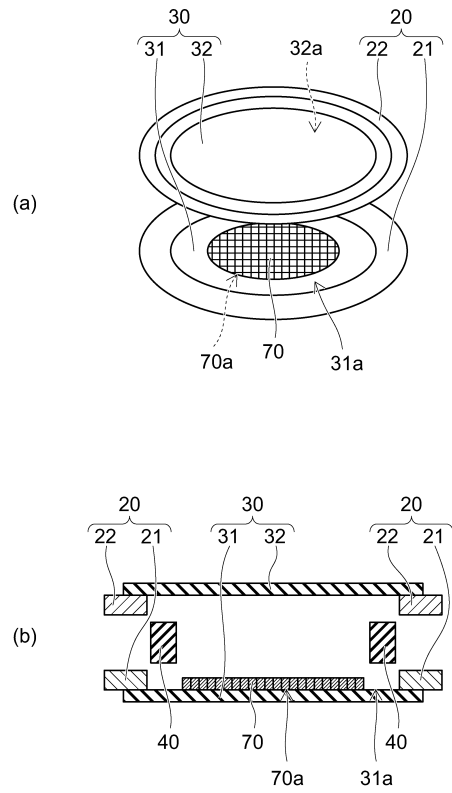
【 図 5 】



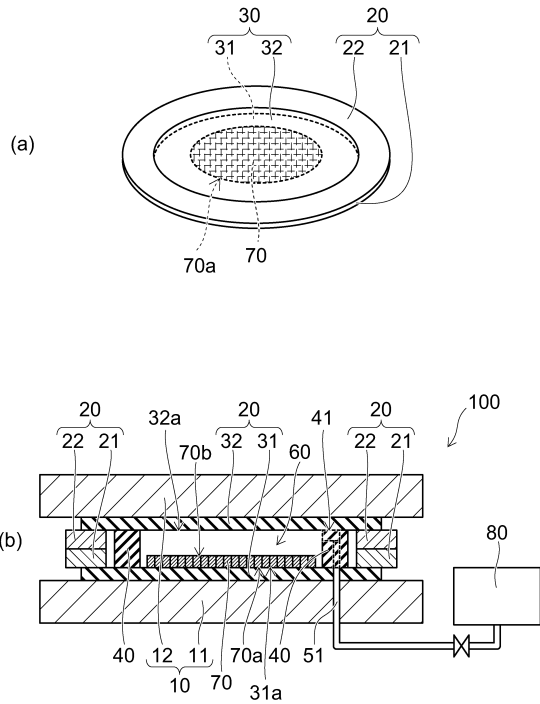
【 図 6 】



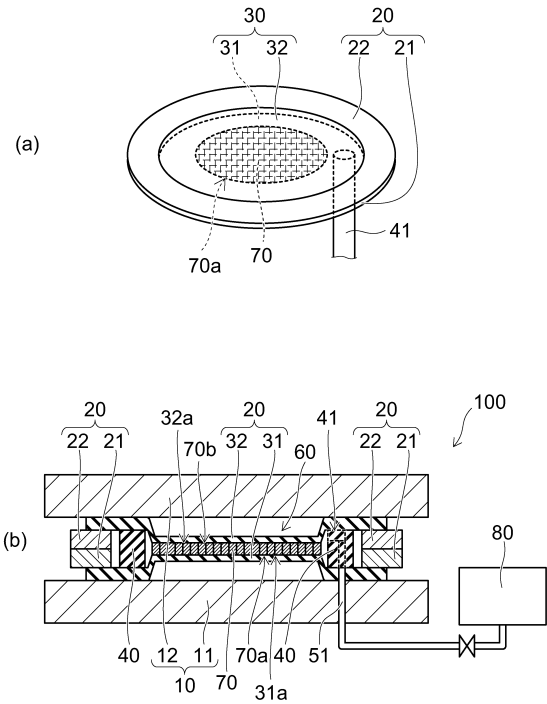
【 図 7 】



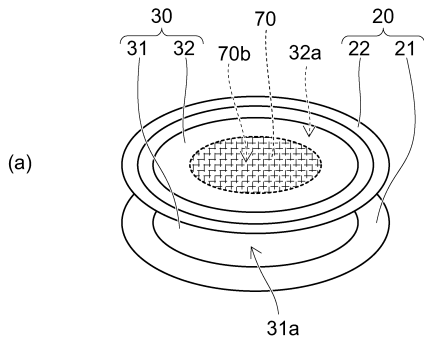
【 図 8 】



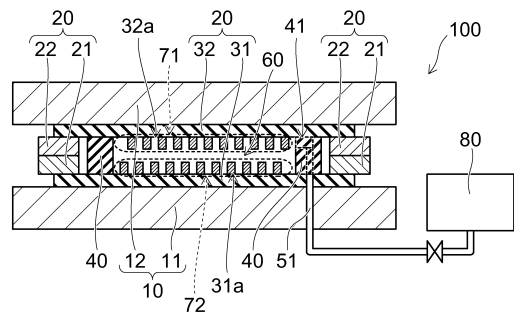
【 図 9 】



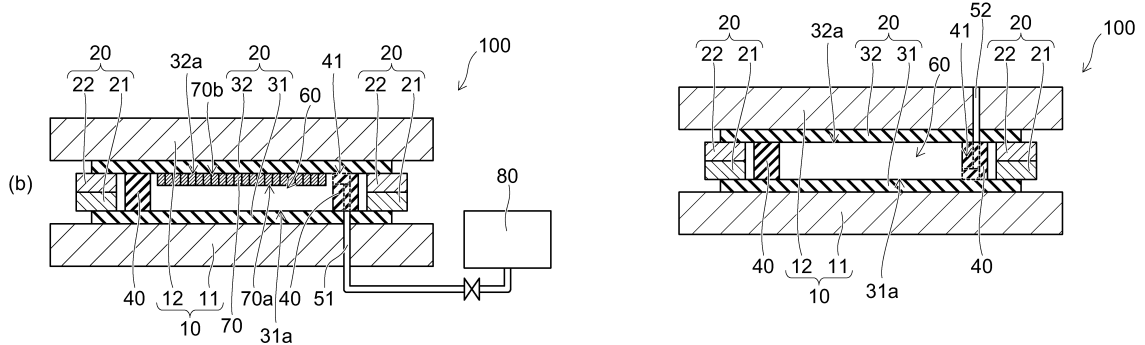
【 図 10 】



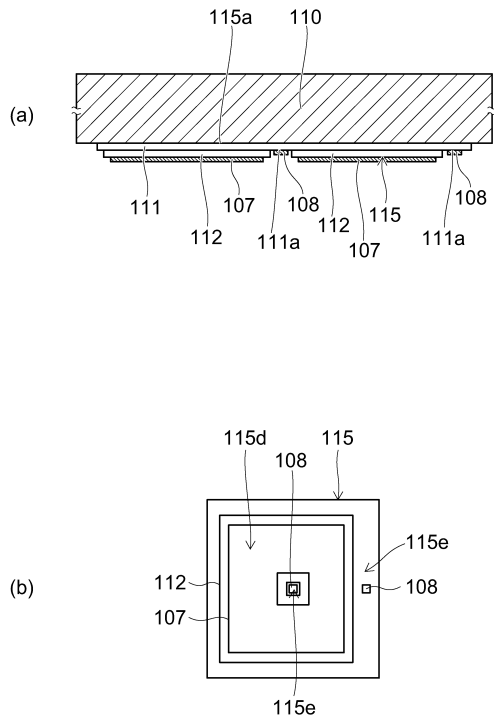
【 図 11 】



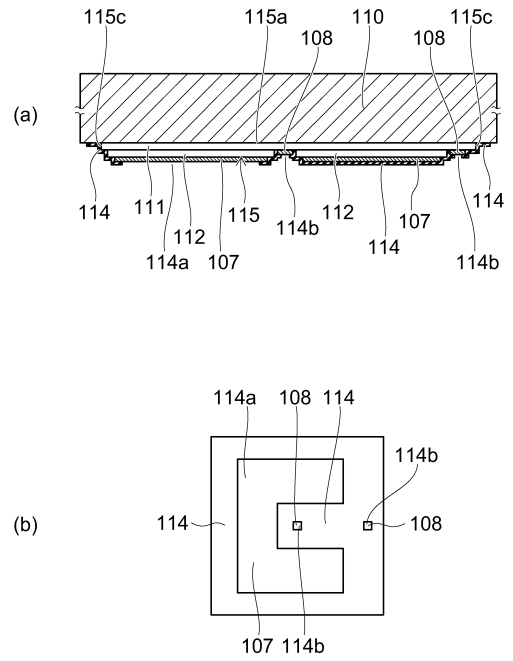
【 図 12 】



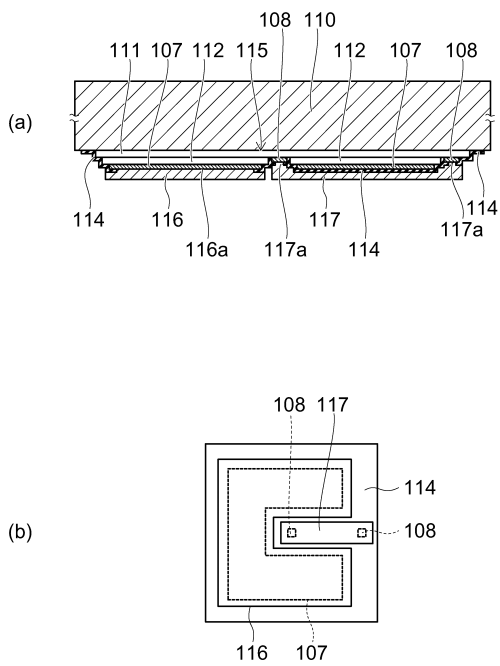
【 図 17 】



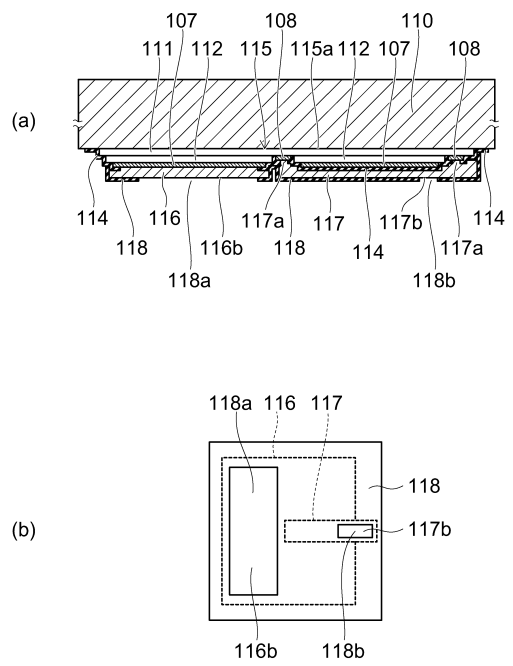
【 図 18 】



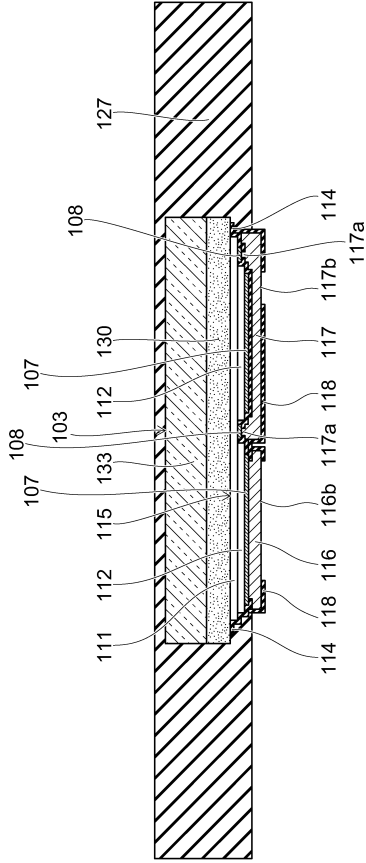
【 図 19 】



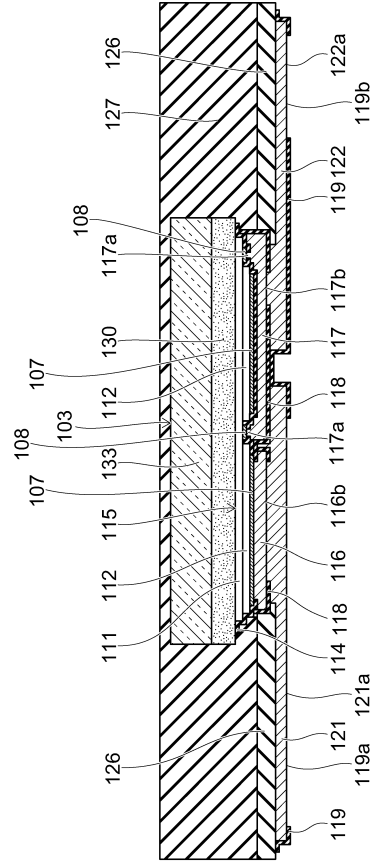
【 図 20 】



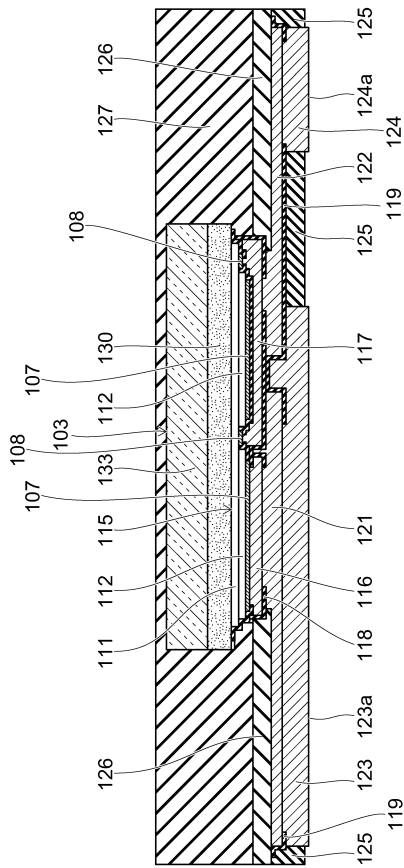
【図 2 1】



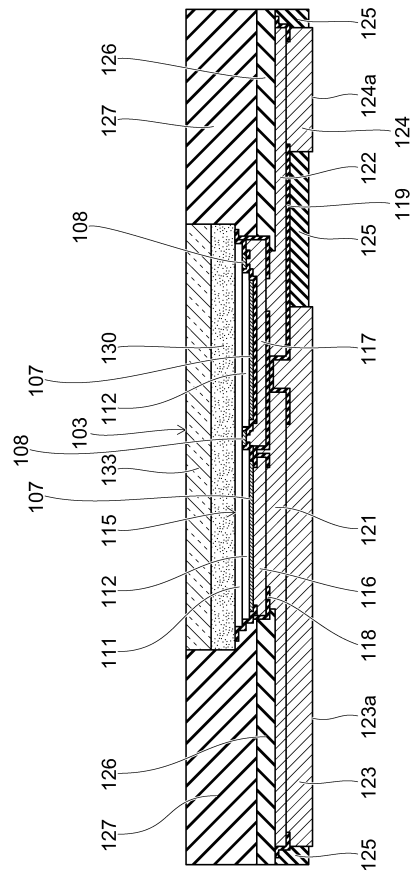
【図 2 2】



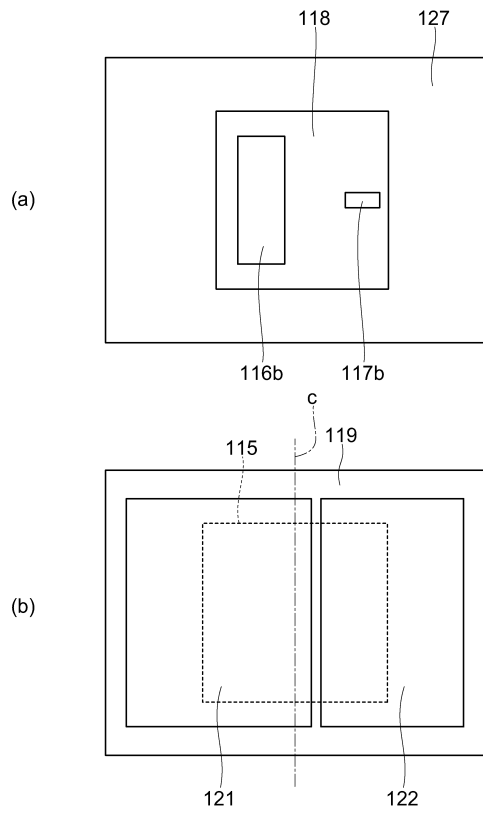
【図 2 3】



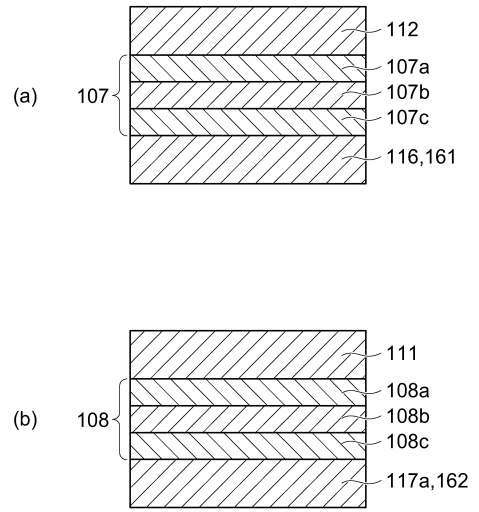
【図 2 4】



【 図 2 5 】



【 図 2 6 】



フロントページの続き

審査官 宮久保 博幸

- (56)参考文献 特開2013-030717(JP,A)
特開2011-009422(JP,A)
米国特許出願公開第2008/0122119(US,A1)
特開2012-256939(JP,A)
特開2007-109869(JP,A)
特開2010-177566(JP,A)

- (58)調査した分野(Int.Cl., DB名)
H01L 21/683