

公告本

申請日期	90 - 11 - 20
案 號	90128726
類 別	H01L 23/28

A4
C4

526598

(以上各欄由本局填註)

發明專利說明書

一、發明名稱	中 文	半導體裝置之製造方法及半導體裝置
	日 文	半導体装置の製造方法および半導体装置
二、發明人	姓 名	1.高橋 典之 2.鈴木 雅之 3.土屋 孝司 4.松浦 隆男
	國 籍	1.-4. 皆日本
	住、居所	1.-4. 皆日本國山形縣米澤市大字花澤字八木橋東3-3274 日立米澤電子股份有限公司內
三、申請人	姓 名 (名 稱)	1.日商日立製作所股份有限公司 HITACHI, LTD.
	國 籍	2.日商日立米澤電子股份有限公司 HITACHI YONEZAWA ELECTRONICS CO., LTD.
	住、居所 (事務所)	3.日商日立超愛爾·愛斯·愛系統股份有限公司 HITACHI ULSI SYSTEMS CO., LTD. 均日本 1.日本國東京都千代田區神田駿河台四丁目6番地 2.日本國山形縣米澤市大字花澤字八木橋東3-3274 3.日本國東京都小平市上水本町5丁目22番1號
	代 表 人 姓 名	1.庄山 悅彦 ETSUHIKO SHOYAMA 2.堀向 仁 HITOSHI HORIMUKI 3.小切間 正彦 MASAHIKO OGIRIMA

申請日期	
案 號	
類 別	

A4
C4

(以上各欄由本局填註)

發 明 專 利 說 明 書		
一、發明 新 型 名 稱	中 文	
	日 文	
二、發明人 創 作 人	姓 名	5. 橋爪 孝則 6. 一谷 昌弘 7. 鈴木 一成 8. 西田 隆文 9. 井村 健一 10.三輪 孝志
	國 籍	5.-10 皆日本
	住、居所	5. 6. 9.10.皆日本國東京都千代田區丸內一丁目5番1號 新丸大樓日立製作所股份有限公司 知的財產權本部 7.8. 皆日本國東京都小平市上水本町五丁目22番1號 日立超愛爾・愛斯・愛系統股份有限公司內
	姓 名 (名 稱)	
三、申請人	國 籍	
	住、居所 (事務所)	
	代 表 人 姓 名	

裝
訂

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6

B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權
日本 2000年12月20日 特願2000-387825 ☒有 ☐無 主張優先權

有關微生物已寄存於： 寄存日期： ，寄存號碼：

裝

訂

線

五、發明說明(1)

[發明所屬之技術範疇]

本發明和半導體裝置之製造方法及半導體值技術相關，尤其是適用於具有小型封裝(package)構造之半導體裝置的有效技術相關。

[先前技術]

封裝之外型尺寸和半導體晶片之尺寸大致相等或稍大的CSP(晶片尺寸封裝，Chip Size Package)等，除了可以獲得相當於裸晶片(bare chip)安裝之高密度安裝，因為製造成本也較便宜，故攜帶式情報機器、數位相機、筆記型電腦等小型輕量電子機器區域的需要急速增加。

雖然前述CSP有各種封裝形態，但一般而言，會在配備半導體晶片之封裝基板的一面裝上焊接凸塊，採用將此焊接凸塊回流(reflow)焊接於印刷配線基板之表面的球柵陣列(Ball Grid Array；BGA)構造。尤其是多銷(pin)薄型CSP時，以由聚醯亞胺等絕緣帶構成配備著半導體晶片之封裝基板的TCP(帶載體封裝，Tape Carrier Package)型BGA(BGA帶)為主流。又，以絕緣帶為封裝基板之TCP方面，已在日本專利特開平7-321248號公報等公開發表。

[發明所欲解決之問題]

然而，本發明者在前述以絕緣帶做為封裝基板之CSP技術上發現下列問題。

亦即，第1個問題就是很難將其應用於要求高信賴性的製品上。前述以絕緣帶做為封裝基板之CSP構造時，部份因為封裝基板之材料為聚醯亞胺等，安裝後之溫度周期性往往

五、發明說明(2)

低於顧客要求，故無法提升其信賴性等。

第2個問題則是半導體裝置之製造成本較高。因為封裝基板材料之聚醯亞胺帶的價格較貴，此外，在前述以絕緣帶做為封裝基板之CSP的製造上，因為是對各個半導體晶片進行密封的形態，使得單位面積之製品取得數較少，故基準單價會更為昂貴等。

本發明者依據本發明，從塑造(mold)之觀點對公開發表之實例進行調查。結果，例如，日本專利特開平10-256286號公報就公開發表了以模具之順利脫模為目的，在模具內面形成覆膜(coating)層而使塑造部脫模的技術。另外，特開平10-244556號公報也公開發表了以容易取出塑造模具之樹脂封裝為目的，在脫模薄膜(film)密合於模具內部的狀態，實施樹脂封裝之成形的技術。而如特開平11-16930號公報則公開發表了利用薄板(sheet)進行塑造(mold)時，以真空吸引薄板來防止薄板皺紋的技術。例如日本專利特開2000-12578號公報上，則發表了基板上配置多數晶片並實施連續塑造的技術。而日本專利特開2000-138246號公報則是具有泛用性的塑造模具，在複數之各模塊(block)都裝配著推桿(ejector pin)。

本發明之目的在提供可提升半導體裝置之信賴度的技術。

此外，本發明之目的在提供可以降低半導體裝置之成本的技術。

本發明之前述目的、其他目的、以及新穎特徵，可從本

五、發明說明(3)

說明書及附圖獲得了解。

[課題之解決手段]

針對本專利申請之發明當中，其代表性概要簡單說明如下。

本發明是將第1面上安裝著複數半導體晶片之第1基板安裝於模具內，前述模具之上模及前述第1基板之第1面間有薄膜，在前述薄膜以真空吸附於前述模具之狀態下，利用對前述複數半導體晶片整體的樹脂密封來形成密封構件後，切斷利用前述薄膜進行模具脫模之前述第1基板及密封構件，而獲得複數之半導體裝置。

此外，本發明是將第1面上安裝著複數半導體晶片之第1基板安裝於模具內，前述第1基板第1面背側之第2面以真空吸附於前述模具之狀態下，利用對前述複數半導體晶片整體的樹脂密封來形成密封構件後，切斷利用前述薄膜進行模具脫模之前述第1基板及密封構件，而獲得複數之半導體裝置。

同時，本發明以整體密封安裝於具有強對應熱應力之構造的第1基板第1主面上之複數半導體晶片來形成密封構件，並在進行模具之脫模後，切斷從前述模具脫模之前述第1基板及密封構件，而獲得複數之半導體裝置。

本發明之前述第1基板的構成上，以和安裝此項之第2基板相同系列的絕緣材料為主體。

本發明之前述第1基板的構成上，以和安裝此項之第2基板相同熱膨脹係數的絕緣材料為主體。

五、發明說明(4)

本發明之前述第1及第2基板的構成上，以玻璃・環氧樹脂系列的絕緣材料為主體。

[發明之實施形態]

在詳細說明本專利發明之前，先將本專利之用語的意義說明如下。

溫度周期試驗:將被測量半導體裝置重複置於高溫及低溫下，使其產生尺寸及其他物理性質的變化，是決定其動作特性及物理傷害之耐久性的試驗。

薄長形基板(第1基板)之主面(晶片安裝面:第1面)及背面(封裝安裝面:第2面)，為了方便而將其分類成下列區域。將形成半導體裝置之區域稱為「半導體裝置形成區域」，而配置著該半導體裝置形成區域之群體的整個區域稱為「製品區域(第1區域)」，製品區域之外周區域則稱為「周邊區域(第2區域)」。

在下面之實施形態中，為了方便或必要時，會分割成數個片段或實施形態來進行說明，但除了特別註明以外，其間並非互相無關，其中一方為另一方之部份或全部的變形實例、詳細或補充說明等。

此外，在下面之實施形態中，論及要素之數量等(含個數、數值、量、及範圍)時，除了特別註明時或原理上明顯限定特定數量時等以外，並未限定為該特定數量，可以為該數量以上或以下。

同時，在下面之實施形態中，其構成要素(含要素步驟等)，除了特別註明時或認定原理上明顯必要時等以外，並

五、發明說明(5)

非絕對必要。

同樣的，在下面之實施形態中，論及構成要素等之形狀及位置關係等時，除了特別註明時或認定原理上明顯必要時等以外，包含實質上和其形狀等近似或類似之物等在內。前述數值及範圍也和此項相同。

在說明本實施形態之全部圖面中，具有同一機能者附與同一符號，且省略重複說明。

此外，本實施形態使用之圖面中，雖然是平面圖，但為了使圖面容易觀看，有些會附有剖面圖。

下面是以圖面針對本發明實施形態進行詳細說明。

(實施形態1)

圖1為本發明實施形態之一的半導體裝置斜視圖，圖2為圖1之A1-A1線的剖面圖。

本實施形態之半導體裝置1具有如FBGA(Fine Bitch Grid Array)之構造。此半導體裝置1之封裝基板2以如平面四角形之薄板構成，且具有基板本體3、在其主面(晶片安裝面)及背面(封裝安裝面)形成之導體圖案4及焊接抗蝕劑(Solder resist)5、及貫通封裝基板2之主面及背面間之氣孔6、以及接合於封裝基板2背面側之導體圖案4的凸塊電極7。

在本實施形態中，前述基板本體3採用耐熱性高、相當於FR-5之玻璃・環氧樹脂的單層板做為材料。因為採用便宜之玻璃・環氧樹脂的單層板做為基板本體3之材料，可以將半導體裝置1的製造材料成本降至最低。亦即，可以降低半導體裝置1的成本。

五、發明說明 (6)

此外，基板本體3採用和安裝半導體裝置1之基板一般所使用之印刷配線基板相同的玻璃·環氧樹脂，故可以緩和因為封裝基板2及前述印刷配線基板之熱膨脹係數差而對半導體裝置1之凸塊電極7所造成的壓力。

另外，和以聚醯亞胺帶等構成基板本體3時相比，因為溫度周期試驗之溫度周期性可以提升為2倍左右或更高，不但可應用於攜帶式機器及民生用途上，也可應用於產業機器及汽車用途等要求高信賴度之製品的半導體裝置1。

只是，基板本體3之材料不限於此，而可以有各種變更，例如，也可以使用BT樹脂或人造纖維不織布等有機系絕緣材料。不論使用何種材料，只要能具有和前述玻璃·環氧樹脂相同之效果，同時選擇BT樹脂做為基板本體3之材料，因為具有高熱傳導性，故可提高散熱性。

前述封裝基板2之導體圖案4以如單純之2層構造來構成。利用此方式，可以將半導體裝置1之製造材料成本降至最低，而降低半導體裝置1之成本。在本實施形態中，前述導體圖案4具有配線用及虛擬用之2種圖案。此外，在本實施形態中，配線用導體圖案4含有一般的線圖案、以及和凸塊電極7、結合線(bonding wire)、穿孔(through hole)等接合之各種圖案。封裝基板2之主面及背面的配線用導體圖案4，會通過貫穿封裝基板2之主面及背面間的穿孔，互相進行電氣連接。此種配線用及虛擬用導體圖案4，是以對貼附於前述基板本體3之主面(晶片安裝面)及背面(封裝安裝面)的電解銅箔(或壓延銅箔)等進行蝕刻來形成，並在其表面實施鍍

五、發明說明(7)

(Ni)、金(Au)電鍍等。設置虛擬用導體圖案4之理由，是為了提高封裝基板2之主面及背面導體圖案4的密度。關於此點，後面將進行說明。

前述封裝基板2之主面及背面覆蓋著焊接抗蝕劑(絕緣膜)5。會除去部份焊接抗蝕劑5使部份前述導體圖案4外露。此焊接抗蝕劑5也稱為焊接遮罩(solder mask)或阻隔(stop-off)，是使用於封裝基板2之主面及背面特定區域的耐熱性覆蓋材料，是焊接作業時避免該部份被焊接的抗蝕劑。焊接抗蝕劑5之主要機能為，防止焊接時不需要焊接之導體圖案4接觸到熔融焊錫、以及保護焊接部以外之導體圖案4的保護膜，其他還具有防止導體間之焊接橋接、防止污染及濕氣、防止受損、耐環境性、防止移動、維持電路間之絕緣、以及電路及其他部品(半導體晶片(以下簡稱晶片)或印刷配線基板等)間之短路等機能。因此，焊接抗蝕劑5是由具有這些機能的絕緣材料所構成。本實施形態之焊接抗蝕劑5的材料，考慮熱膨脹係數而採用環氧系樹脂及丙烯系樹脂。此外，本實施形態中之焊接抗蝕劑5的覆蓋狀態(覆蓋面積及厚度等)，在封裝基板2之主面及背面為大致相同。

封裝基板2上設有貫穿其主面及背面的氣孔6。此氣孔6是在半導體裝置1之組裝步驟(後步驟)中之熱處理前或熱處理中，把將晶片8固定於封裝基板2之黏接劑9中所含的空隙(void)及水份等排放至外部。後面會對此氣孔6進行說明。

封裝基板2之背面的配線用導體圖案4上，連黏接凸塊電

五、發明說明(8)

極7。凸塊電極7為將半導體裝置1安裝於安裝用基板上、以及將半導體裝置1及安裝基板之配線進行電氣連接的突起電極。此凸塊電極7由鉛(Pb)/錫(Sn)合金所構成，其直徑則為0.3~0.5 mm左右。此外，凸塊電極7也可以錫(Sn)-銀(Ag)系之無鉛焊錫。

此種封裝基板2之總厚(基板本體3、導體圖案4、及焊接抗蝕劑5之厚度的總和)極薄，大約在0.2 mm以下。因此，可以獲得半導體裝置1之薄型設計。所以，配備此種半導體裝置1之電子裝置或情報處理裝置等可以獲得小型、薄型、及輕量化設計。

晶片8以其主面(元件形成面)朝上的狀態安裝於封裝基板2之主面中央。此晶片8以含有銀(Ag)之糊劑或無銀之絕緣糊劑等黏接劑9黏貼於封裝基板2之主面。此晶片8之主面形成微處理器、ASIC、或記憶體等積體電路。晶片8之主面的積體電路會和設置於晶片8之最上配線層的結合墊(bonding pad、外部端子)為電氣連接。該結合墊會經由接合線10和封裝基板2之主面的配線用導體圖案4進行電氣連接。結合線10是由如直徑25 μ m左右之金(Au)細線所構成，在封裝基板2之主面上形成的配線用導體圖案4上，會和焊接抗蝕劑5露出之區域相接觸而接合。但是，晶片8之安裝形態並不限於以結合線10連接之物，如將晶片8經由設於該主面上之凸塊電極安裝於封裝基板2之主面上，並和封裝基板2之配線進行電氣連接，亦即，可採面朝下結合(face down)安裝形態。

五、發明說明(9)

此晶片8及結合線10以覆蓋於封裝基板2之主面的密封構件11進行密封。密封構件11是由如環氧樹脂及低分子系樹脂構成，其側面則大致和封裝基板2之主面呈垂直。此種半導體裝置1之總高(安裝基板之安裝面至半導體裝置1之上面為止的高度)h1為1.2~1.4 mm。

下面則針對本實施形態之半導體裝置製造方法所使用的薄長形基板進行說明。圖3及圖4為薄長形基板12。圖3(a)為薄長形基板12之主面(晶片安裝面)的平面圖，(b)為其背面(封裝配載面)之平面圖。此外，圖4為圖3之A2-A2線的剖面圖。圖3雖然是平面圖，電鍍用配線附有剖面圖。

薄長形基板12是由長×寬=40~60 mm × 151 mm、厚度0.2 mm以下之平面略長方形的薄板所構成。此薄長形基板12為前述封裝基板2之母體，具有前述基板本體3、導體圖案4、及焊接抗蝕劑5。此薄長形基板12之主面及背面，沿著橫向2列、沿著縱向9列，配置合計2 × 9=18個之半導體裝置形成區域DA。薄長形基板12主面之各半導體裝置形成區域DA的虛線是安裝前述晶片8之區域。而各半導體裝置形成區域DA之相隣境界線也是後面說明的截斷線。

薄長形基板12主面及背面之四周附近的周邊區域上，以環繞半導體裝置形成區域DA之群體(製品區域)的方式，設置補強圖案13(13a、13b、及13c)。補強圖案13為可確保薄長形基板12在搬運時等之機械強度、及抑止半導體裝置1在製造時之熱處理所造成的反翹或變形等的構件。設置此補強圖案13，雖然是極薄之薄長形基板12，也可確保其機械

五、發明說明 (10)

強度，故可安心搬運薄長形基板12。此外，因為可抑止半導體裝置1在製造時之熱處理所造成的反翹或變形等，故可確保其平坦性。所以，在後述之密封步驟時可以有良好的密封，而改良半導體裝置1之廢料率。

若只從確保機械強度的觀點來看，補強圖案13最好能沿著薄長形基板12之外緣連續形成，此處之補強圖案13(補強圖案13b除外)，則是薄長形基板12之主面及背面的雙方，依各半導體裝置形成區域DA區分來實施配置。因為半導體裝置1在製造上之熱處理時，會因為薄長形基板12材料(基板本體3、導體圖案4、及焊接抗蝕劑5)之熱膨脹係數不同而使薄長形基板12發生反翹或扭曲等，但該相對較強之熱應力會施加於半導體裝置區域DA之相隣區間，因為可以將其分散及釋放，而可確保薄長形基板12之整體的平坦性。若不將補強圖案13進行區分，則可能在半導體裝置形成區域DA之相隣區間的補強圖案13部份發生殘留變形，故也是為了避免這種現象。而在各半導體裝置形成區域DA上設置補強圖案13，除了可確保前述薄長形基板12之整體的平坦性以外，也可確保實質半導體裝置之各半導體裝置區域DA的平坦性，故可以有良好的樹脂密封，並改善半導體裝置1之廢料率。另外，因為薄長形基板12之截斷線上沒有補強圖案13a，在截斷薄長形基板12時，可以防止補強圖案13a之導體異物(毛邊)等的發生，故可防止該異物導致短路不良等。

此補強圖案13由銅箔等構成，和前述導體圖案4在同一步

五、發明說明(11)

驟形成。補強圖案13當中，補強圖案13a的形成不是beta圖案而為磚狀。圖5為補強圖案13a之要部放大平面圖，圖6為其A4-A4線之剖面圖。補強圖案13a的構成上，是沿著縱向及橫向有規則地配置著互相分離之複數矩形微細圖案(第1圖案)。但是，此補強圖案13a中，沿著橫向相隣之矩形微細圖案，會以沿著補強圖案13a之縱向互相錯開的方式進行配置。

補強圖案13a採用磚狀，是使補強圖案13a具有在所述熱處理時可以伸縮的構造，為了緩和前述熱應力造成的熱收縮。亦即，利用此方式，可以緩和半導體裝置1在製造步驟時之熱處理所造成的熱應力，同時可以抑止或防止殘留變形的發生，故可提升薄長形基板12之平坦性。

然而，補強圖案13a之圖案形狀，基本上只要可以伸縮及吸收熱應力的形狀即可，並不限於磚狀，而可以有各種變化，如圖7所示之構造亦可。圖7(a)為補強圖案13a之要部放大平面圖，(b)為(a)之A5-A5線的剖面圖。此外，圖7之(a)雖然為平面圖，為了容易觀看圖面，附有導體圖案4之剖面圖。

圖7所示之補強圖案13a為點狀圖案。但是，此補強圖案13a的構成上，配置著由去除部份導體膜來形成之複數矩形導體膜去除區域14。但此補強圖案13a之複數矩形導體膜去除區域14，在補強圖案13a之橫向也採同一直線上的並列配置。

雖然圖5及圖7之任一補強圖案13a都可獲得前述熱應力相

五、發明說明(12)

關的效果，但從獲得薄長形基板12之機械強度的觀點來看，最好為圖5所示之圖案。因為圖5之補強圖案13a之構造中，其橫向相隣接之圖案(導體膜去除區域14、矩形微細圖案)是沿著補強圖案13a之縱向採互相錯開的配置。而且，採用前述圖5之補強圖案13a時，其避免殘留變形的效果比其他構造更好。具有圖5之磚狀圖案構造之補強圖案13a時，因為構成此補強圖案13a之矩形微細圖案是互相分離，故不會在補強圖案13a本身殘留變形。

另一方面，前述圖3及圖4之薄長形基板12的主面(晶片安裝面)上，配置於其縱向之一邊附近的補強圖案13b並未區分，且不是磚狀而為beta圖案。圖8(a)為補強圖案13b之要部放大平面圖，(b)為A6-A6線的剖面圖。此外，圖8之(a)雖然為平面圖，為了容易觀看圖面，附有導體圖案之剖面圖。

補強圖案13b未區分且為beta圖案，是因為在後述之晶片8等的密封步驟時，配置該補強圖案13b之部份配置著密封模具之澆口。亦即，密封樹脂會在直接接觸補強圖案13b之狀態下流入密封模具之模槽內，若將補強圖案13b進行分割並採網目狀等時，在密封步驟後，會發生薄長形基板12無法從密封模具上剝離的現象，故目的就是要避免發生此現象。所以，若是密封模具之澆口採用分割類型，則也可將此補強圖案13b進行區分。

同時，補強圖案13c也是以beta圖案形成。因為補強圖案13c是具有搬運薄長形基板12時之剛性的部份。圖3之導體

五、發明說明(13)

圖案4 m是對配置在半導體裝置形成區域DA上之導體圖案4實施電鍍處理時，提供電流的圖案。

下面是針對前述薄長形基板12主面及背面之半導體裝置形成區域DA的導體圖案4配置進行說明。圖9為薄長形基板12主面之半導體裝置形成區域DA(亦即前述封裝基板2主面(晶片安裝面))的整體平面圖，圖10為圖9之要部放大平面圖。圖11為薄長形基板12背面之半導體裝置形成區域DA(亦即前述封裝基板2背面(封裝安裝面))的整體平面圖，圖12為圖11之要部放大平面圖。圖9～圖12中，為了容易觀看圖面，附有導體圖案4之剖面圖。

如前面所述，薄長形基板12主面及背面之半導體裝置形成區域DA(亦即、封裝基板2之主面及背面)上，為了提高導體圖案4之密度，除了配置配線用導體圖案4a(4)以外，還配置了虛擬用導體圖案4 b(4)。利用此方式來提高各半導體裝置形成區域DA之導體圖案4的密度，可以降低半導體裝置1之製造步驟中的熱處理造成之半導體裝置形成區域DA內——亦即封裝基板2內的基板反翹或扭曲等。另外，導體圖案4的配置狀態(面積、配置位置、及密度等)最好和薄長形基板12(封裝基板2)主面及背面大致相同。因為利用此方式可以使其主面及背面間的熱收縮量均一，而可以降低熱造成之基板反翹或扭曲。利用此方式也可以提高薄長形基板12及封裝基板2之平坦性。此外，提高導體圖案4之密度，焊接抗蝕劑5比較不容易發生裂痕，可以防止配線用導體圖案4a之斷線不良。互相隣接之配線用導體圖案4間有虛擬用導體

五、發明說明(14)

圖案4，可以消除相隣配線用導體圖案4間之浮遊容量，可以防止誘導干擾的發生。

然而，若導體圖案4之密度過高，基板本體3及焊接抗蝕劑5之接觸面積變少的結果，雙方構件間之黏接力會降低，故必須在適當位置對虛擬用導體圖案4b進行分割。利用此方式，可以確保基板本體3及焊接抗蝕劑5之接觸區域，而可以提高基板本體3及焊接抗蝕劑5的黏接力。另外，回流時，晶片8及薄長形基板12之熱膨漲係數差導致的應力很容易集中於晶片8裝配區域的周邊，故容易發生焊接抗蝕劑5剝離的現象。所以，儘量減少或不要形成虛擬用導體圖案面積的構造，可以降低導體圖案4之斷線或焊接抗蝕劑5之剝離。如圖9～圖12所示，半導體裝置形成區域DA—亦即封裝基板2之主面及背面的中央，會形成近似平面四角形之大型虛擬用導體圖案4b。在晶片8(請參閱圖2)背面之對向位置配置大型虛擬用導體圖案4b，除了可以提高前述導體圖案4之密度外，也可提升晶片8動作時發生之熱量的擴散性。其中央之虛擬用導體圖案4上，有規則地配置著複數之圓形導體膜去除區域14。此導體膜去除區域14是以去除部份導體膜(銅箔等)來形成。設置此種導體膜去除區域14，可以調整薄長形基板12(亦即封裝基板2)主面及背面之導體圖案4的配置密度。因為可以確保基板本體3及焊接抗蝕劑5之接觸區域，可以提高基板本體3及焊接抗蝕劑5之黏接強度。

此外，圖10之薄長形基板12主面(封裝基板2之主面)的配線用導體圖案4a當中，平面略長方形的寬邊導體圖案4a1(4)

五、發明說明 (15)

為連黏接前述結合線10之圖案部份。而配線用導體圖案4a當中，平面略橢圓方形的寬邊導體圖案4a2(4)為配置著前述穿孔之圖案部份。此外，圖11之薄長形基板12背面(封裝基板2之背面)的配線用導體圖案4a當中，相對寬邊導體圖案4a3(4)為配置著前述穿孔且連黏接前述凸塊電極7之圖案部份。

下面是針對前述薄長形基板12主面及背面之半導體裝置形成區域DA的焊接抗蝕劑5配置進行說明。圖13為薄長形基板12主面之半導體裝置形成區域DA(亦即前述封裝基板2主面(晶片安裝面))的整體平面圖，圖14(a)為圖13之中央部的放大平面圖，(b)為(a)之A7-A7線的剖面圖、(c)為(a)構造所產生之作用的說明圖。圖15為薄長形基板12背面之半導體裝置形成區域DA(亦即前述封裝基板2背面(封裝安裝面))的整體平面圖，圖13、圖14(a)中，為了容易觀看圖面，附有焊接抗蝕劑5之剖面圖。

如前面所述，薄長形基板12主面及背面之半導體裝置形成區域DA(亦即、封裝基板2之主面及背面)上，會以十分均一的方式覆蓋著焊接抗蝕劑5。亦即，其主面及背面上會覆蓋著大約相同厚度及相同面積的焊接抗蝕劑5。尤其是，為了使無導體圖案4區域之主面及背面的熱收縮差降至最低，在無導體圖案4區域也形成焊接抗蝕劑5。利用此方式，因為可以使薄長形基板12(封裝基板2)之主面及背面的熱收縮量固定，可以減少半導體裝置1之製造步驟中的熱處理造成之半導體裝置形成區域DA內——亦即封裝基板2內的基板反翹

五、發明說明 (16)

或扭曲等。所以，也可以提高薄長形基板12及封裝基板2之平坦性。

另外，本實施形態中，如圖13及圖14所示，在氣孔6之周圍會以環繞方式保留焊接抗蝕劑5，而在其外圍則會形成圓形框狀之抗蝕劑去除區域15a。此抗蝕劑去除區域15a具有防止黏接劑9造成阻塞之屏障的機能。亦即，未設置抗蝕劑去除區域15a時，以黏接劑9將晶片8固定於封裝基板2主面上時，該黏接劑9會因來自晶片8之推壓力而沿著封裝基板2之主面流動而阻塞氣孔6。相對於此，設置抗蝕劑去除區域15a，會如圖14(c)所示，將被推擠而流來的黏接劑9積存於抗蝕劑去除區域15a內並限制其流動，故可防止氣孔6阻塞。

又，在圖13中，複數之矩形抗蝕劑去除區域15b會露出前述結合線連接用之導體圖案4a1。而在圖15中，複數之圓形抗蝕劑去除區域15c則會露出前述凸塊電極連接用導體圖案4a3。

下面是以圖16～圖29來說明本實施形態之半導體裝置的製造方法。而圖16～圖20、圖23～圖29為半導體裝置之製造步驟中的要部剖面圖。

本實施形態之半導體裝置的製造方法，是對安裝於前述薄長形基板12之複數晶片8進行整體密封之MAP(Mold Array Package)方式的製造方法。

首先，如圖16所示，準備好前述薄長形基板12後，如圖17所示，以絕緣糊劑等之黏接劑9將晶片8安裝於該薄長形

五、發明說明 (17)

基板12之主面的晶片安裝區域上。晶片8尺寸為長×寬=5 mm × 5 mm~8 mm × 8 mm、厚度為0.28 mm左右。

其次，如圖18所示，將晶片8之結合墊及薄長形基板12主面之配線用導體圖案4a1以由金等構成之結合線10進行電氣連接。此時，使用兼具超音波振動及熱壓著、眾所皆知之線結合器(wire bonder)。

其後，如圖19及圖20所示，將經過前述線結合步驟之薄長形基板12移至成形模具16。此時，如前面所述，因為薄長形基板12為具有剛性之構造，搬運時不必擔心變形或凹陷等。圖20為和圖19相垂直之面的平面圖。

本實施形態中，成形模具16為可以對薄長形基板12主面上之複數晶片8整體實施樹脂密封的塑造構造。此密封模具16之下模16a設有數數之真空吸引孔17。此真空吸引孔17在密封步驟(從將薄長形基板12裝設於成形模具16開始至以密封樹脂進行薄長形基板12上之複數晶片8密封為止的步驟)時，以吸引吸附薄長形基板12背面側(封裝安裝面)，將極薄之薄長形基板12確實壓住，而且抑止下模16a之熱導致薄長形基板12反翹及變形等的孔。

另外，上模16b上設有模槽16c、捲塊16d、及澆口16e。模槽16c相當於成形部之樹脂注入區域。在本實施形態中，配備可以將薄長形基板12之複數晶片8以整體而非分開方式密封的大型模槽16c。亦即，模槽16c可以1個模槽16c容納複數晶片8。另外，捲塊16d則是，將以後述柱塞頭注入之成形材料提供給模槽16c為目的，使其殘留於設置於模具內

五、發明說明 (18)

之凹處、或凹處並固化的樹脂部份。澆口16e則是成形模具16上將熔融樹脂注入模槽16c之注入口。此上模16b上，設有頂桿18，可以對模槽16c實施頂出。此頂桿18是密封步驟後，將薄長形基板12從成形模具16進行脫模的構件。頂桿18配置於前述半導體裝置形成區域DA之群體(製品區域)的外側——亦即，最後切斷後不會殘留於半導體裝置1上的區域。因為頂桿18頂住薄長形基板12上形成之密封構件並取出薄長形基板12時，密封構件上會留下頂桿18之痕跡或傷痕，故為了避免痕跡或傷痕殘留在半導體裝置1上而採用此設計。

此成形模具16的實例之一，如圖21及圖22所示。圖21為成形模具16之整體斜視圖、圖22則為成形模具16之下模16a的成形面。圖21是以容易觀看方式來展示下模16a及上模16b之成形面，而非下模16a及上模16b之開合狀態。

此處之圖例為，可以1次密封步驟對2片薄長形基板12實施密封處理之成形模具16。下模16a成形面上之橫向的中央，沿著下模16a之縱向並排配置著複數的筒(pot)/柱塞頭部16f。此筒/柱塞頭部16f的筒為成形材料的供應口，柱塞頭為將筒內之成形材料注入模槽16c內並維持加壓的構成部。此筒/柱塞頭部16f之列的兩側載置著薄長形基板12。

此下模16a成形面上之薄長形基板12的載置區域，以規則方式併列配置著複數之前述真空吸引孔17(以黑點標示)。此真空吸引孔17最好配置於薄長形基板12之平面內、前述半導體裝置形成區域DA之群體的區域(製品區域)外側。因為

五、發明說明 (19)

在後述之樹脂密封步驟時，真空吸引薄長形基板12之背面可能導致密封樹脂形成小型突起，故其目的在於避免半導體裝置1上殘留該突起。然而在本實施形態中，部份是因為薄長形基板12之平面尺寸較大，從確實真空吸引薄長形基板12及確保薄長形基板12之平坦性的觀點，所以在對應薄長形基板12之橫向中央線(中心線)上之位置也配置著真空吸引孔17。因為此中心線上相當於後述之切斷區域而為被切斷的區域，故在密封步驟後之階段立即在該線上形成前述突起，並不會殘留於最終之半導體裝置1上、或即使發生殘留也是不會影響外觀的極小突起。以達到此目的之觀點來看，以多孔質材料構成下模16a，且對薄長形基板12背面實施整面之均一真空吸引的構造亦可。此時，因為可以對薄長形基板12背面之整面進行真空吸引，故不會發生前述之突起問題。亦即，可以改善前述突起導致半導體裝置1之廢料率惡化的情形。

另一方面，在上模16b之成形面上，在橫向之中央沿著上模16b之縱向並列配置著複數之前述捲塊16d。且在上模16b之成形面上，在捲塊16d列之兩側配置著模槽16c。各捲塊16d及其兩側之模槽16c會通過澆口16e進行連通。

其次如圖23所示，在下模16a之成形面上載置薄長形基板12後，將下模16a之溫度設定為如175℃左右，對薄長形基板12實施20秒左右之預熱處理。此處理的目的在於使熱造成之薄長形基板12的變形穩定下來等。

如前面所述，本實施形態中，薄長形基板12採用不易因

五、發明說明 (20)

為熱應力等而發生反翹、扭曲、及變形等(以下簡稱為反翹等)的構造。利用此方式，在將薄長形基板12裝載於成形模具16上時，可以減少因為熱傳導性機構而使薄長形基板12發生前述之反翹等。而且，如前面所述，不但可以確保薄長形基板12整體之平坦性，也可確保各半導體裝置形成區域DA單位的平坦性。

其次，如圖24所示，在將下模16a及上模16b之溫度設定為175℃左右之狀態下，利用真空吸引孔17吸附薄長形基板12之背面，使薄長形基板12及下模16a之成形面互相密合。此時，在本實施形態中，因為前述薄長形基板12的厚度極薄，可以對薄長形基板12實施良好之真空吸引。在本實施形態之密封處理時，採對薄長形基板12之背面進行真空吸引的方式，故可更進一步減少前述熱處理造成的前述反翹等。因此，雖然因為增加製品取得個數之要求而導致薄長形基板12之平面積更為擴大、或因為半導體裝置之薄型化要求而導致薄長形基板12的厚度必須更薄時，也可以在不發生前述熱處理造成之前述反翹等，且確保薄長形基板12整體及各半導體裝置形成區域DA之平坦性的狀態下，實施樹脂密封。又，圖24以後之真空吸引孔17上所示的箭頭代表真空吸引的方向。

黏接，如圖25所示，在維持前述溫度及真空吸引處理之狀態下，將環氧系樹脂及低分子系樹脂等注入上模16b之模槽16c內，並對薄長形基板12主面之複數晶片8及結合線10等實施整體密封，可以在薄長形基板12之主面側形成內含

五、發明說明 (21)

複數晶片8之一體立方形的密封構件11。此時，在本實施形態中，因為薄長形基板12具有高平坦性，而可以獲得平準之樹脂密封。所以，可以降低半導體裝置1之外觀不良的發生率，改善半導體裝置1之廢料率。其次，如圖26所示，將前述下模16a及上模16b之溫度保持前述狀態，上模16b之頂桿18會頂向模槽16c側，將具有密封步驟後之密封構件11的薄長形基板12從成形模具16中取出。此階段之密封構件11內含複數之晶片8。各半導體裝置形成區域之相隣間隙會被密封構件11完全充填。

其次，如圖27所示，對準焊接凸塊7並連接於薄長形基板12背面之各半導體裝置形成區域DA的配線用導體圖案4(4a3)。為了將焊接凸塊7A連接於導體圖案4，應以工具(tool)19固定預先形成孔狀之複數焊接凸塊7A，在此狀態下，將焊接凸塊7A浸入焊劑(flux)槽內，使其表面附著焊劑後，利用焊劑的粘著力同時將分別對應各焊接凸塊7A之導體圖案4(4a3)暫時固定。

前述焊接凸塊7A為鉛/錫合金，其直徑約為0.5 mm。焊接凸塊7A可以將1個份內之半導體裝置形成區域DA內之焊接凸塊7A同時連接，但從提高凸塊連接步驟之生產率的觀點來看，最好將複數之半導體裝置形成區域DA的焊接凸塊7A整體連接。此時，因為使用面積較大之工具19，若薄長形基板12發生反翹或變形等，會發生部份焊接凸塊7A無法連接於導體圖案4上的問題。相對於此，本實施形態中，因為到目前為止之步驟，薄長形基板12所發生的反翹及變形等

五、發明說明 (22)

極小，故可以將複數之半導體裝置形成區域DA的複數焊接凸塊7A整體，以良好精度同時連接於與其相對應之複數的導體圖案4(4a3)上。另外，在載置焊接凸塊時，也考慮到反翹及變形之誤差程度，而採用擁有強制鉗住薄長形基板12使其維持平坦性之機構的裝置，故可以有精度良好的連接。

其後，對焊接凸塊7A進行 $235 \pm 5^{\circ}\text{C}$ 左右之加熱回流使其固定於導體圖案4(4a3)上，如圖28所示，在形成凸塊電極7後，以中性洗劑等去除殘留於薄長形基板12之表面上的焊劑殘渣等，即完成凸塊連接步驟。

其次，只要切斷前述薄長形基板12，即可獲得複數個前述圖1及圖2所示的半導體裝置1。從薄長形基板12獲得半導體裝置1時，如圖29所示，和將半導體圓片分割晶片8相同，以切粒片(dice cutting blade)20從薄長形基板12之背面切斷薄長形基板12。

如上面所述，在本實施形態中，以整體模組為前提來提升薄長形基板12之單位面積的製品取得數，而可以降低薄長形基板12之單價。另外，成形模具16方面，因為不需要多種形狀之模具，故可降低原價。且因為整體多數加工處理可以跨越複數步驟，故可以降低半導體裝置1之製造成本。

其次，圖30及圖31為具有此種方式製造之半導體裝置1之電子裝置的實例。圖30為電子裝置21之部份平面圖，圖31則為其側面圖。

五、發明說明 (23)

電子裝置21為記憶卡。然而，本實施形態之半導體裝置1適用實例並不限於記憶卡，而可以應用於各種用途，例如，可以應用於構成邏輯電路之物、或配置於一般印刷配線基板並構成特定電路之物。

構成電子裝置21之安裝基板22，其基板本體和前述半導體裝置1之封裝基板2相同，如由玻璃環氧樹脂構成，其主面(封裝安裝面)上，複數之FBGA型半導體裝置1介著凸塊電極7，以其背面(封裝安裝面)朝著安裝基板21之主面(封裝安裝面)的狀態進行安裝。因為安裝基板22之構成材料和半導體裝置1之封裝基板2的基板本體3之材料相同，可以降低半導體裝置1及安裝基板22之熱膨脹係數差，因而減少係數差導致之熱應力的發生，並進而提升複數之半導體裝置1的安裝信賴度。

此處，在各半導體裝置1上形成如DRAM(動態隨機記憶體:Dynamic Random Access Memory)、SRAM(靜態隨機記憶體:Static Random Access Memory)、或快閃記憶體(EEPROM: Electric Erasable Programmable Read Only Memory)等記憶體電路。半導體裝置1之記憶體電路會經由其背面(封裝安裝面)之凸塊電極7和安裝基板22之配線進行電氣連接，利用此方式，在安裝基板22上整體形成特定容量之記憶體電路。

此外，安裝基板22之主面上安裝著TQFP(Thin Quad Flat Package)型的半導體裝置23。此半導體裝置23經過從該封裝本體之四側面突出的gal wing狀的導線，和安裝基板22之配

五、發明說明 (24)

線進行電氣連接。此半導體裝置1會組合於前述安裝基板22上形成之特定容量的記憶體電路，並且有控制該記憶體電路之動作的機能。安裝基板22之一端，沿著邊緣並列配置著複數之外部端子24。此外部端子24和前述安裝基板22上之配線進行電氣連接，具有將安裝基板22上形成之特定容量的記憶體電路、以及外部裝置進行電氣連接的機能。此外，半導體裝置1、23之整體高度大致相同。

(實施形態2)

本實施形態2中說明前述半導體裝置之另一種製造方法實例。圖32及圖33是將前述薄長形基板12置入成形模具16之狀態。此外，圖33為和圖32垂直相交之平面的剖面圖。

在本實施形態中，成形模具16設有層壓板(laminate)機構部25。層壓板機構部25具有層壓板薄膜(laminate film)25a及捲取薄膜用之捲軸(reel)25b。層壓板薄膜25a的大小大約可覆蓋上模16b2之模槽16c的內壁面整體，由高耐熱性之絕緣膜所構成，介於成形模具16之下模16a2及上模16b2之間。

本實施形態中，成形模具16之下模16a2未設真空吸引孔。下模之其他部份的構造，和前述實施形態1說明之下模相同。另外，本實施形態中，上模16b2配置著複數的真空吸引孔26。此真空吸引孔26是實施樹脂密封處理時，將前述層壓板薄膜25a吸附於上模16b2之模槽16c側。因為大致相同的理由，此真空吸引孔26之平面位置會和在前述實施形態1之下模16a2上形成之真空吸引孔26(請參閱圖19～圖22)的位置相同。亦即，真空吸引孔26最好配置於薄長形基

五、發明說明 (25)

板12之製品區域外側的區域。因為考慮樹脂密封步驟之真空吸引時真空吸引孔26可能導致密封樹脂上形成小型突起(孔痕)，為了避免發生此現象而採取此方式。然而，在本實施形態中，部份是因為整體密封薄長形基板12上之全部晶片8而使模槽16c之面積較大，故真空吸引必須為不會使層壓板薄膜25a產生皺紋等之方式。例如，在對應薄長形基板12之橫向中央線(中心線)的位置上配置真空吸引孔26亦可。因為此中心線相當於切斷區域而會被切斷，即使在密封步驟後立即在該線上形成前述孔痕，最後仍不會殘留在半導體裝置1上、或雖然會殘留但為不會影響外觀之極小孔痕。從達到此目的的觀點而言，只要以多數孔構造或多孔質材料來構成前述上模16b2，且可以對層壓板薄膜25a之上面整體進行大約均一之真空吸引的構造即可。此時，因為可以對層壓板薄膜25a之上面整體進行真空吸引，故可改善前述孔痕造成之半導體裝置1的廢料率。另外，上模16b2上未設頂桿。後面會針對此點進行說明。上模之其他部份的構造，和前述實施形態1說明之上模相同。

首先，如圖34所示，將薄長形基板12載置於如前面所述之成形模具16的下模16a2成形面上，和前述實施形態1一樣，將下模16a2之溫度設定為如175℃左右，對薄長形基板12實施20秒左右之預熱處理。此處理的目的在於使熱造成之薄長形基板12的變形穩定下來等。

本實施形態中，薄長形基板12採用不易因為熱應力等而發生前述反翹等的構造，將薄長形基板12裝載於成形模具

五、發明說明 (26)

16上時，可以減少因為熱傳導性機構而使薄長形基板12發生前述反翹等。而且，如前面所述，不但可以確保薄長形基板12整體之平坦性，也可確保各半導體裝置形成區域DA單位的平坦性。

其次，如圖35所示，將下模16a2及上模16b2之溫度設定為175℃左右後，利用真空吸引孔26吸附層壓板薄膜25a之上面(上模16b2之對向面)，使層壓板薄膜25a和上模16b2互相密合。又，圖35以後之真空吸引孔26上所示的箭頭代表真空吸引的方向。

黏接，如圖36所示，在維持前述溫度及真空吸引處理之狀態下，將環氧系樹脂及低分子系樹脂等之密封樹脂注入上模16b2之模槽16c內，並對薄長形基板12主面之複數晶片8及結合線10等實施整體密封，可以在薄長形基板12之主面側形成內含複數晶片8之一體立方形的密封構件11。此時，和前述實施形態1相同，因為薄長形基板12具有高平坦性，而可以獲得平準之樹脂密封。所以，可以降低半導體裝置1之外觀不良的發生率，改善半導體裝置1之廢料率。此外，圖36中之箭頭為真空吸引的方向。

其次，如圖37所示，將前述下模16a2之溫度保持前述狀態，停止對層壓板薄膜25a之真空吸引，利用層壓板薄膜25a之張力，在密封步驟後將具有密封構件11之薄長形基板12從成形模具16中取出。此時，上模16b2之模槽16c內壁面、及密封構件11之表面間存在層壓板薄膜25a，上模16b2及密封構件11不會直接接觸，將密封構件11從模槽16c取

五、發明說明 (27)

時，因為是對密封構件11之表面的面而非點施加力量等，可以較小的力量將密封構件11從上模16b2上剝離。所以，本實施形態中，因為沒有必要在上模16b2上設置以取出密封後之薄長形基板12為目的的頂桿，故可以有效應用薄長形基板12(密封構件11)側之頂桿配置區域。同時，因為可以提高密封構件11及上模16b2之脫模性，故可以有更大型的樹脂密封。而且，因為可以減少成形模具16內之清理頻率，而可降低半導體裝置1之製造成本。此後之步驟和前述實施形態1的說明相同，故在此省略其說明。

(實施形態3)

本實施形態3中說明前述半導體裝置之另一種製造方法實例。圖38是將前述薄長形基板12置入成形模具16之狀態。

在本實施形態3中，成形模具16內設有前述實施形態2中所明之層壓板機構部25。成形模具16之下模16a的構造和前述實施形態1之說明相同。亦即，下模16a配置之複數真空吸引孔17和前述實施形態1相同。另外，上模16b2則和前述實施形態2之說明相同。亦即，上模16b2配置的複數真空吸引孔26和前述實施形態2相同。

首先，如圖39所示，將薄長形基板12載置於如前面所述之成形模具16的下模16a成形面後，將下模16a2之溫度設定為如175℃左右，對薄長形基板12實施20秒左右之預熱處理。此處理的目的在於使熱造成之薄長形基板12的變形穩定下來等。本實施形態中，也和前述實施形態1及2一樣，因為減少薄長形基板12之前述反翹等，可以確保薄長形基

五、發明說明 (28)

板12整體之平坦性、各半導體裝置形成區域DA單位的平坦性。

其次，如圖40所示，將下模16a2及上模16b2之溫度設定為175℃左右後，利用真空吸引孔17吸附薄長形基板12。此時，即使在本實施形態中，因為薄長形基板12極薄，可以對薄長形基板12有良好的真空吸引。如上面所述，在本實施形態中實施密封處理時，是對薄長形基板12之背面實施真空吸引，故可減少前述熱處理導致之前述反翹等。所以，即使因為增加製品取得個數要求而必須擴大薄長形基板12之平面積時、或是因為半導體裝置之薄化要求而必須減少薄長形基板12之厚度時，也不會發生前述熱處理導致之反翹等，可以在確保薄長形基板12整體及各半導體裝置形成區域DA之平坦性的狀態下，實施樹脂密封。又，圖40以後之真空吸引孔17上所示的箭頭代表真空吸引的方向。

其次，如圖41所示，將下模16a及上模16b2之溫度設定為175℃左右後，且維持下模16a之真空吸引狀態，利用真空吸引孔26吸附層壓板薄膜25a之上面(上模16b2之對向面)，使層壓板薄膜25a和上模16b2互相密合。又，圖41以後之真空吸引孔26上所示的箭頭代表真空吸引的方向。

黏接，如圖42所示，在維持前述溫度及真空吸引處理之狀態下，將環氧系樹脂及低分子系樹脂等之密封樹脂注入上模16b2之模槽16c內，並對薄長形基板12主面之複數晶片8及結合線10等實施整體密封，可以在薄長形基板12之主面側形成內含複數晶片8之一體的密封構件11。此時，和前述

五、發明說明 (29)

實施形態1相同，因為薄長形基板12具有高平坦性，而可以獲得平準之樹脂密封。所以，可以降低半導體裝置1之外觀不良的發生率，改善半導體裝置1之廢料率。

其次，如圖43所示，將前述下模16a2之溫度保持前述狀態，和前述實施形態2相同，停止對層壓板薄膜25a之真空吸引，利用層壓板薄膜25a，在密封步驟後將具有密封構件11之薄長形基板12從成形模具16中取出。此時，因為和前述實施形態2相同之理由，可以較小的力量將密封構件11從上模16b2上剝離。所以，本實施形態中，和前述實施形態2相同，因為沒有頂桿，故可以有效應用頂桿配置區域。同時，因為可以減少成形模具16內之清理頻率，而可降低半導體裝置1之製造成本。此外，本實施形態可以抑制或防止熱造成薄長形基板12的反翹等，且可提升密封構件11之脫模性，因而減少阻礙薄長形基板12及密封構件11之大型化的因素，故薄長形基板12及密封構件11可以更為大型化。所以，可以增加從1個薄長形基板12取得之半導體裝置1的數量、及增加可以裝配於半導體裝置形成區域內之晶片的個數。因而可以更進一步降低半導體裝置1之成本且提高性能。此後之步驟和前述實施形態1的說明相同，故在此省略其說明。

(實施形態4)

本實施形態中，說明前述半導體裝置之構造的變形例。

圖44為本發明之其他實施形態的半導體裝置1之剖面圖。圖44中，沒有氣孔，以和硬糊劑材料或樹脂密封材料類似

五、發明說明 (30)

質料之樹脂糊劑等構成的黏接劑9來固定晶片8，而為可對應高溫循環之製品。

此外，圖45也是其他實施形態之半導體裝置1的剖面圖。在圖45中，為了不易受到焊接抗蝕劑5之熱收縮的影響而減少部份焊接抗蝕劑5，而提升其溫度循環性之製品。

(實施形態5)

本實施形態為前述薄長形基板之構造的變形例。

圖46為薄長形基板12之變形例的平面圖。圖46(a)為薄長形基板12之晶片安裝面、(b)為其背面之封裝安裝面。為了容易觀看圖面，附有部份剖面圖。

本實施形態中，補強圖案13a和前述實施形態1相同，採取沿著薄長形基板12之外緣進行複數分割的配置方式。然而，在本實施形態中，補強圖案13a~13c(13)全部以beta圖案來構成。此時，也和前述實施形態1相同，除了可確保薄長形基板12之機械強度，還可抑制半導體裝置1製造時之熱處理導致的反翹及扭曲等，因可確保其平坦性，故密封步驟時可以有良好的密封，並改善半導體裝置1之廢料率。另外，因為分區配置補強圖案13a，和前述實施形態1相同，因為可以將薄長形基板12上之半導體裝置區域DA的相隣區間承受之相對較強的熱應力進行分散及釋放，故可確保薄長形基板12之整體的平坦性。且可抑制或防止補強圖案13a上發生殘留變形。同時，因為可以確保薄長形基板12之各半導體裝置形成區域DA的平坦性，而可以有良好的樹脂密封，進而改善半導體裝置1之廢料率。另外，因為薄長形基

五、發明說明 (31)

板 12 之截斷線上沒有補強圖案 13a，在截斷薄長形基板 12 時，可以防止補強圖案 13a 之導體異物(毛邊)等的發生，故可防止該異物導致短路不良等。

(實施形態 6)

本實施形態為前述薄長形基板之構造的變形例。圖 47 為薄長形基板 12 之變形例的平面圖。圖 47(a)為薄長形基板 12 之晶片安裝面、(b)為其背面之封裝安裝面。為了容易觀看圖面，圖 46 附有部份剖面圖。

本實施形態中，薄長形基板 12 之主面及背面的長邊附近之周邊區域配置著補強圖案 13d(13)。而薄長形基板 12 之主面及背面的短邊附近之周邊區域則配置著補強圖案 13e(13)。

補強圖案 13d 在半導體裝置形成區域 DA 間並未實施區分，而是沿著薄長形基板 12 之縱向連續配置。此補強圖案 13d 的形成和前述實施形態 1 相同，為磚狀圖案。即使此時，只要是可以伸縮的構造，就不限於磚狀而可以有各種變化，例如前述實施形態 1 之點狀亦可。另外，補強圖案 13e 則是沿著薄長形基板 12 之橫向磚狀連續配置。此補強圖案 13d 及 13e 是以和前述實施形態 1 之補強圖案 13a 等相同之導體材料(銅箔等)所構成。

本實施形態和前述實施形態一樣，除了可確保薄長形基板 12 之機械強度，且補強圖案 13d 因為採用前述熱處理時可伸縮之構造，可以緩和半導體裝置 1 製造時之熱處理導致的熱應力，且可抑制或防止殘留變形，故可進一步確保薄長

五、發明說明 (32)

形基板12之平坦性。

以上是本發明者針對本發明之實施形態進行具體說明，然而，本發明並不限於前述實施形態，只要在不違背其要旨之範圍內，可以進行各種變更。

例如，前述實施形態1~3、5、及6中，採用在封裝基板(半導體裝置形成區域)之中央配置1個氣孔的構造，然而，並不限定只能採取此方式，也可設置複數個氣孔。

此外，前述實施形態1中，對複數之半導體晶片進行整體之樹脂密封時，是以真空吸引方式將薄長形基板吸附於下模，然而，不採用真空吸引而採用一般之樹脂密封亦可。此時，如前面所述，因為薄長形基板為對熱應力具有強對應力之構造，故可在確保平坦性之狀態下進行樹脂密封。

以上之說明，是針對將本發明者之發明應用於發明背景—利用分野之FBGA型半導體裝置，然而，其應用不未受到限定，也可應用於如CSP、BGA、及LGA(Land Grid Array)型之半導體裝置和其製造方法上。

[發明之效果]

在本專利申請所發表之發明當中，針對其代表製品可獲得之效果進行簡單說明，則如下所示。

(1)依據本發明，將第1面上安裝著複數半導體晶片之第1基板載置於模具內，在對前述複數半導體晶片進行整體樹脂密封來形成密封構件後，分割從前述模具取出之前述第1基板及密封構件而得到複數半導體裝置，因為可以增加單位面積之製品取得數，故可降低半導體裝置之製造成本。

五、發明說明 (33)

(2)依據本發明，以和安裝著前述第1基板之第2基板具有相同熱膨漲係數的絕緣材料為主體來構成前述第1基板，可以提升半導體裝置之信賴度。

[圖式之簡要說明]

圖1為本發明之一種實施形態的半導體裝置斜視圖。

圖2為圖1之A1-A1線的剖面圖。

圖3(a)為圖1之半導體裝置製造步驟所使用之薄長形基板主面的平面圖，(b)為(a)之背面的平面圖。

圖4為圖3之A2-A2線的剖面圖。

圖5為薄長形基板之補強圖案的要部放大平面圖。

圖6為其A4-A4線之剖面圖。

圖7(a)為圖3薄長形基板之補強圖案的其他變形例之要部放大平面圖，(b)為(a)之A5-A5線的剖面圖。

圖8(a)為圖3薄長形基板之補強圖案的要部放大平面圖，(b)為(a)之A6-A6線的剖面圖。

圖9為圖3薄長形基板主面之半導體裝置形成區域的導體圖案實例之平面圖。

圖10為圖9之要部放大平面圖。

圖11為圖3薄長形基板背面之半導體裝置形成區域的導體圖案實例之平面圖。

圖12為圖11之要部放大平面圖。

圖13為圖3薄長形基板主面之半導體裝置形成區域的絕緣膜圖案實例之平面圖。

圖14(a)為圖13之中央部的放大平面圖，(b)為(a)之A7-A7

五、發明說明 (34)

線的剖面圖、(c)為(a)構造所產生之作用的說明圖。

圖15為圖3薄長形基板背面之半導體裝置形成區域的絕緣膜圖案實例之平面圖。

圖16為本發明一實施形態之半導體裝置製造步驟中的薄長形基板剖面圖。

圖17為繼圖16之後而為半導體裝置製造步驟中的薄長形基板剖面圖。

圖18為繼圖17之後而為半導體裝置製造步驟中的薄長形基板剖面圖。

圖19為繼圖18之後而為半導體裝置製造步驟中的薄長形基板剖面圖。

圖20為和圖19互相垂直之面的剖面圖。

圖21為本發明一實施形態之半導體裝置製造步驟所使用之成形模具一例的說明圖。

圖22為圖21之成形模具下模的成形面要部放大平面圖。

圖23為繼圖19之後而為半導體裝置製造步驟中的薄長形基板剖面圖。

圖24為繼圖23之後而為半導體裝置製造步驟中的薄長形基板剖面圖。

圖25為繼圖24之後而為半導體裝置製造步驟中的薄長形基板剖面圖。

圖26為繼圖25之後而為半導體裝置製造步驟中的薄長形基板剖面圖。

圖27為繼圖26之後而為半導體裝置製造步驟中的薄長形

五、發明說明 (35)

基板剖面圖。

圖28為繼圖27之後而為半導體裝置製造步驟中的薄長形基板剖面圖。

圖29為繼圖28之後而為半導體裝置製造步驟中的薄長形基板剖面圖。

圖30為安裝著本發明一實施形態之半導體裝置的安裝基板平面圖。

圖31為圖30之側面圖。

圖32為本發明其他實施形態之半導體裝置製造步驟中的薄長形基板剖面圖。

圖33為和圖32互相垂直之面的剖面圖。

圖34為繼圖32之後而為半導體裝置製造步驟中的薄長形基板剖面圖。

圖35為繼圖34之後而為半導體裝置製造步驟中的薄長形基板剖面圖。

圖36為繼圖35之後而為半導體裝置製造步驟中的薄長形基板剖面圖。

圖37為繼圖36之後而為半導體裝置製造步驟中的薄長形基板剖面圖。

圖38為本發明其他實施形態之半導體裝置製造步驟中的剖面圖。

圖39為繼圖38之後而為半導體裝置製造步驟中的薄長形基板剖面圖。

圖40為繼圖39之後而為半導體裝置製造步驟中的薄長形

五、發明說明 (36)

基板剖面圖。

圖41為繼圖40之後而為半導體裝置製造步驟中的薄長形基板剖面圖。

圖42為繼圖41之後而為半導體裝置製造步驟中的薄長形基板剖面圖。

圖43為繼圖42之後而為半導體裝置製造步驟中的薄長形基板剖面圖。

圖44為本發明其他實施形態之半導體裝置的剖面圖。

圖45為本發明其他實施形態之半導體裝置的剖面圖。

圖46(a)為圖1半導體裝置製造步驟使用之薄長形基板變形例的主面平面圖，(b)為(a)之背面的平面圖。

圖47(a)為圖1半導體裝置製造步驟使用之薄長形基板其他變形例的主面平面圖，(b)為(a)之背面的平面圖。

[元件符號之說明]

- | | |
|----|------------|
| 1 | 半導體裝置 |
| 2 | 封裝基板 |
| 3 | 基板本體 |
| 4 | 導體圖案 |
| 4m | 導體圖案 |
| 5 | 焊接抗蝕劑(保護膜) |
| 6 | 氣孔 |
| 7 | 凸塊電極 |
| 8 | 半導體晶片 |
| 9 | 黏接劑 |

五、發明說明 (37)

- 10 結合線
- 11 密封構件
- 12 薄長形基板(第1基板)
- 13、13 a ~ e 補強圖案
- 14 導體膜去除區域
- 15a~15c 抗蝕劑去除區域
- 16 成形模具
- 16a、16a2 下模
- 16b、16b2 上模
- 16c 模槽
- 16d 捲塊
- 16e 澆口
- 16f 筒/柱塞頭部
- 17 真空吸引孔
- 18 頂桿
- 19 工具
- 20 切粒片
- 21 電子裝置
- 22 安裝基板
- 23 半導體裝置
- 24 外部端子
- 25 層壓板機構部
- 25a 層壓板薄膜
- 25b 捲軸

五、發明說明 (38)

26 真空吸引孔

DA 半導體裝置形成區域

四、中文發明摘要（發明之名稱：半導體裝置之製造方法及半導體裝置）

本發明之目的在於提升半導體裝置之安裝信賴性。

在前述模具16之下模呈現真空吸附狀態下，包括前述複數半導體晶片8在內，對安裝複數半導體晶片8之薄長形基板12的背面實施樹脂密封，形成密封構件。然後，對從前述模具16脫模後之前述薄長形基板及密封構件實施切斷，得到複數之半導體裝置。

日文發明摘要（發明之名稱：半導体装置の製造方法および半導体装置）

【課題】 半導体装置の実装上の信頼性を向上させる。

【解決手段】 複数の半導体チップ8を実装した短冊基板12の裏面を、前記金型16の下型に真空吸着させた状態で、前記複数の半導体チップ8を一括して樹脂封止することにより封止部材を成形する。その後、前記金型16から離形された前記短冊基板および封止部材を切断して複数の半導体装置を得る。

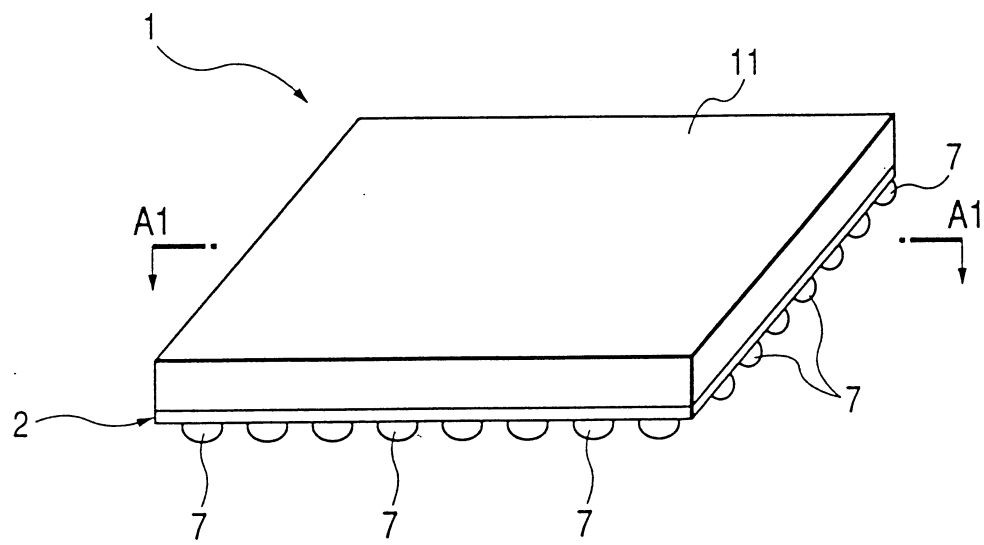


圖 1

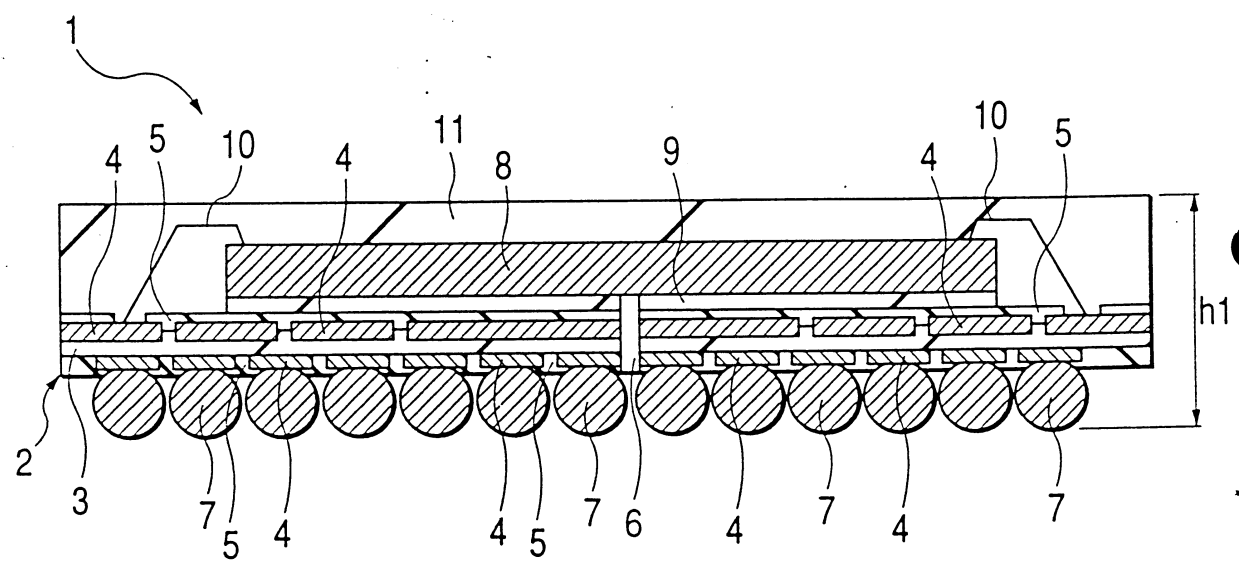


圖 2

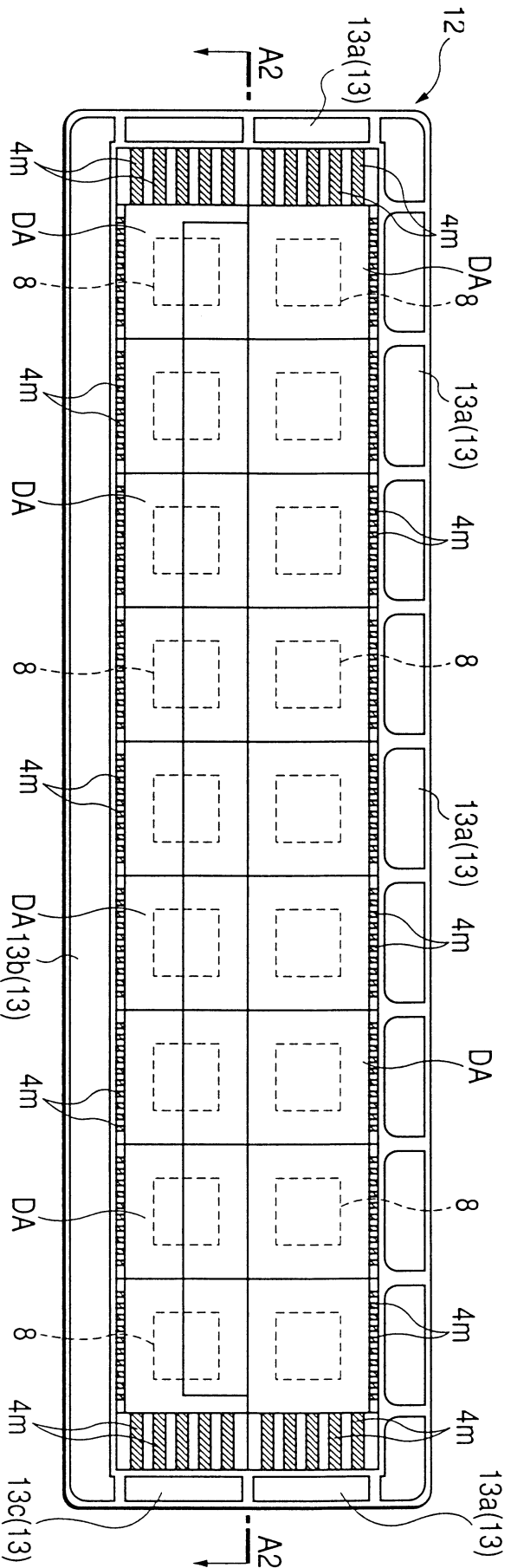


圖 3(a)

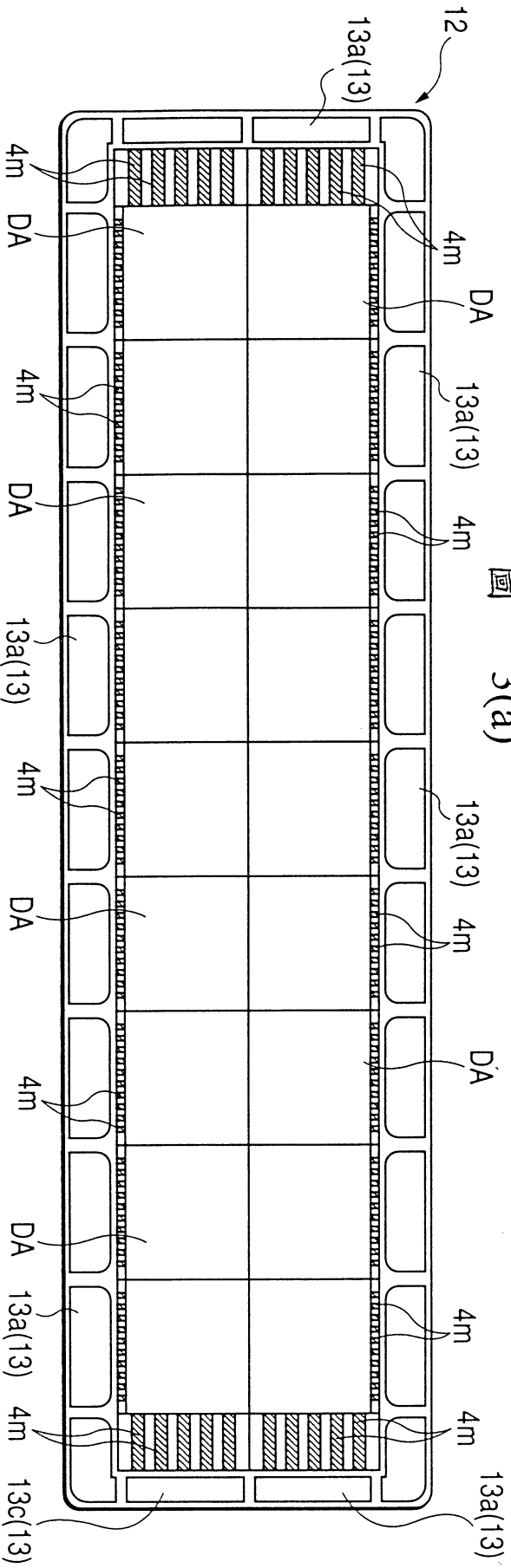


圖 3(b)

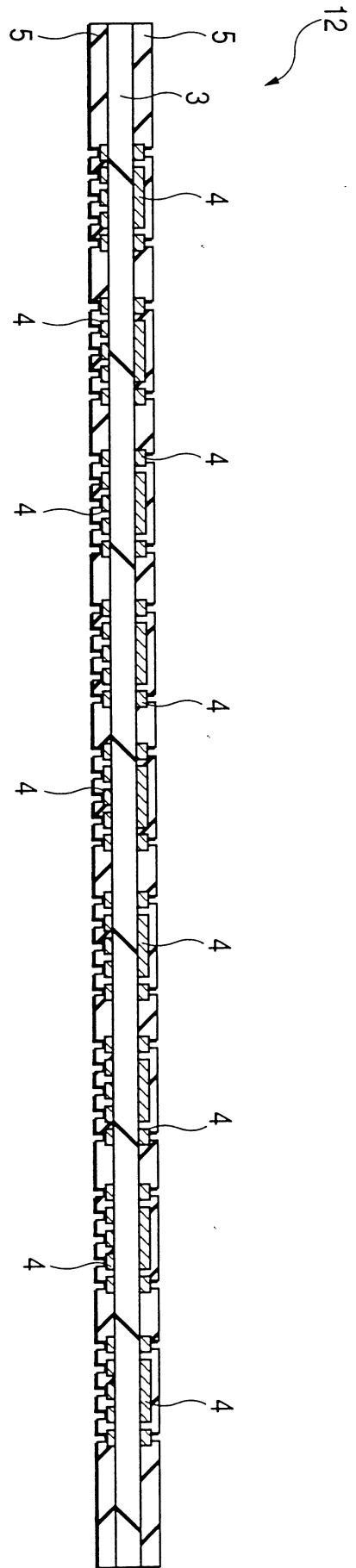


圖 4

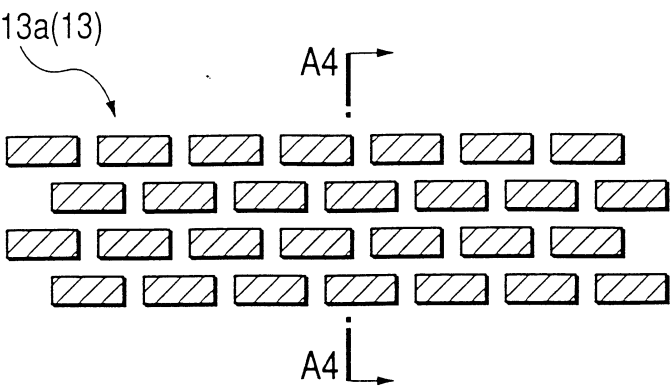


圖 5

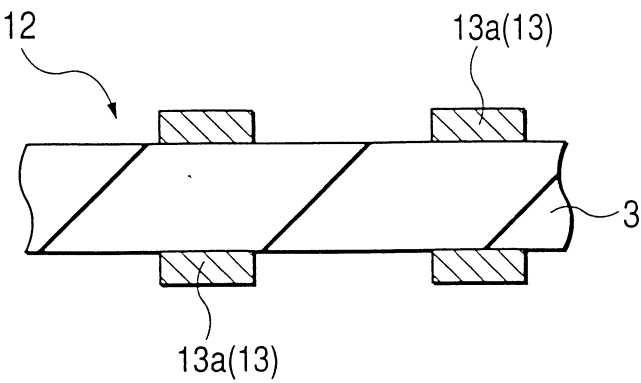


圖 6

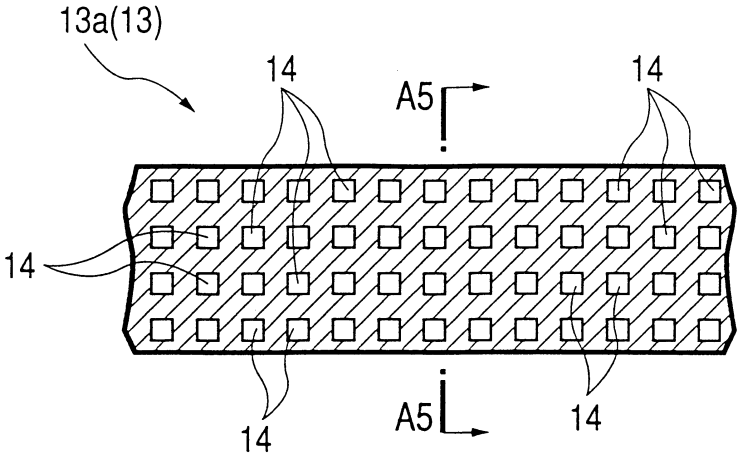


圖 7(a)

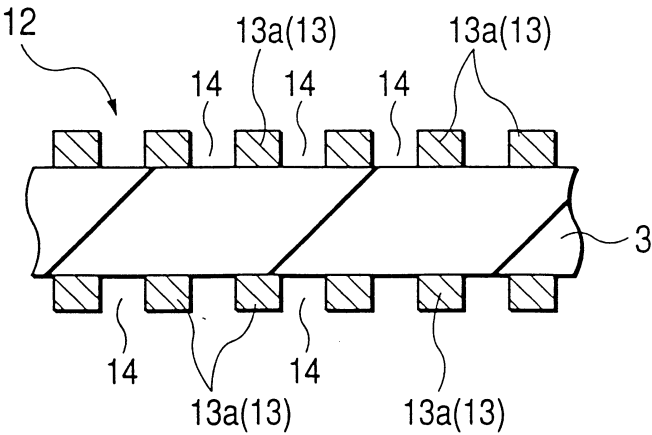


圖 7(b)

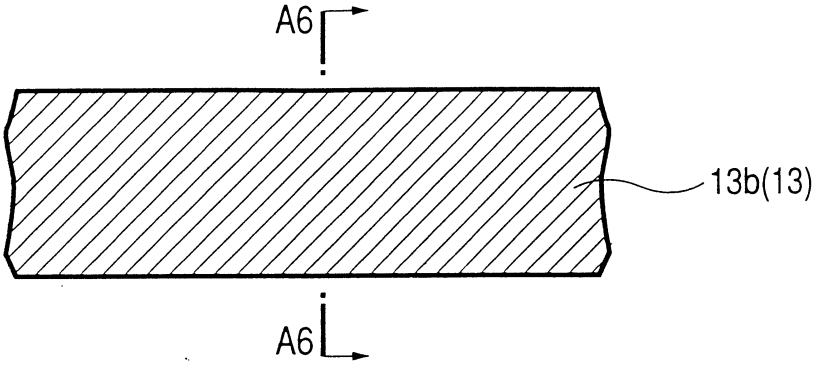


圖 8(a)

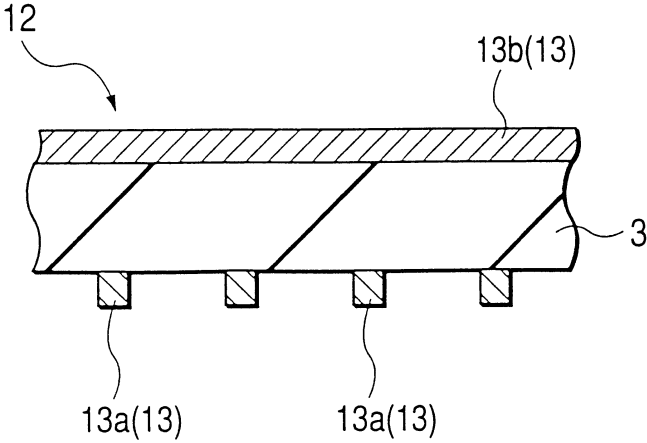


圖 8(b)

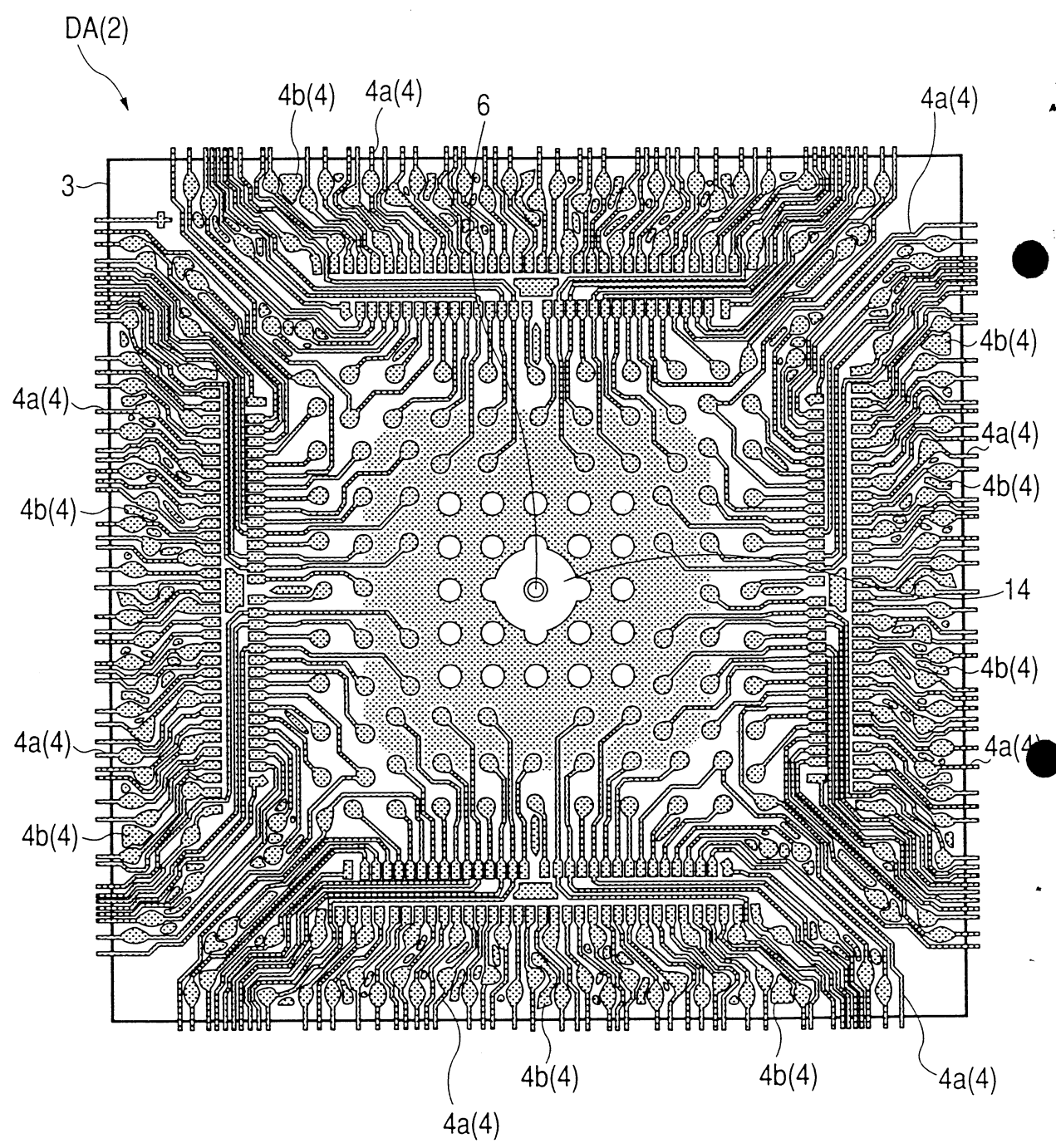


圖 9

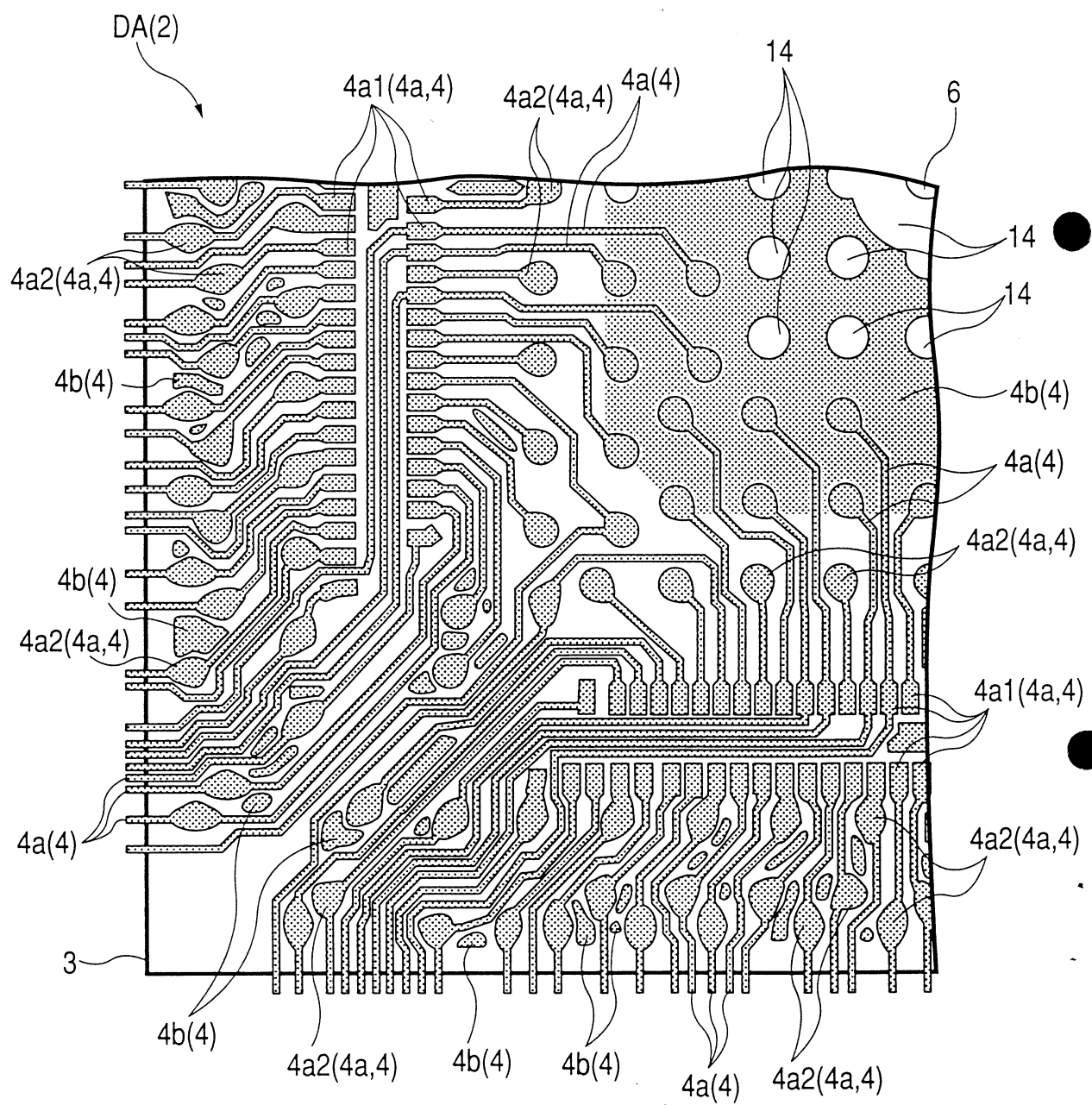


圖 10

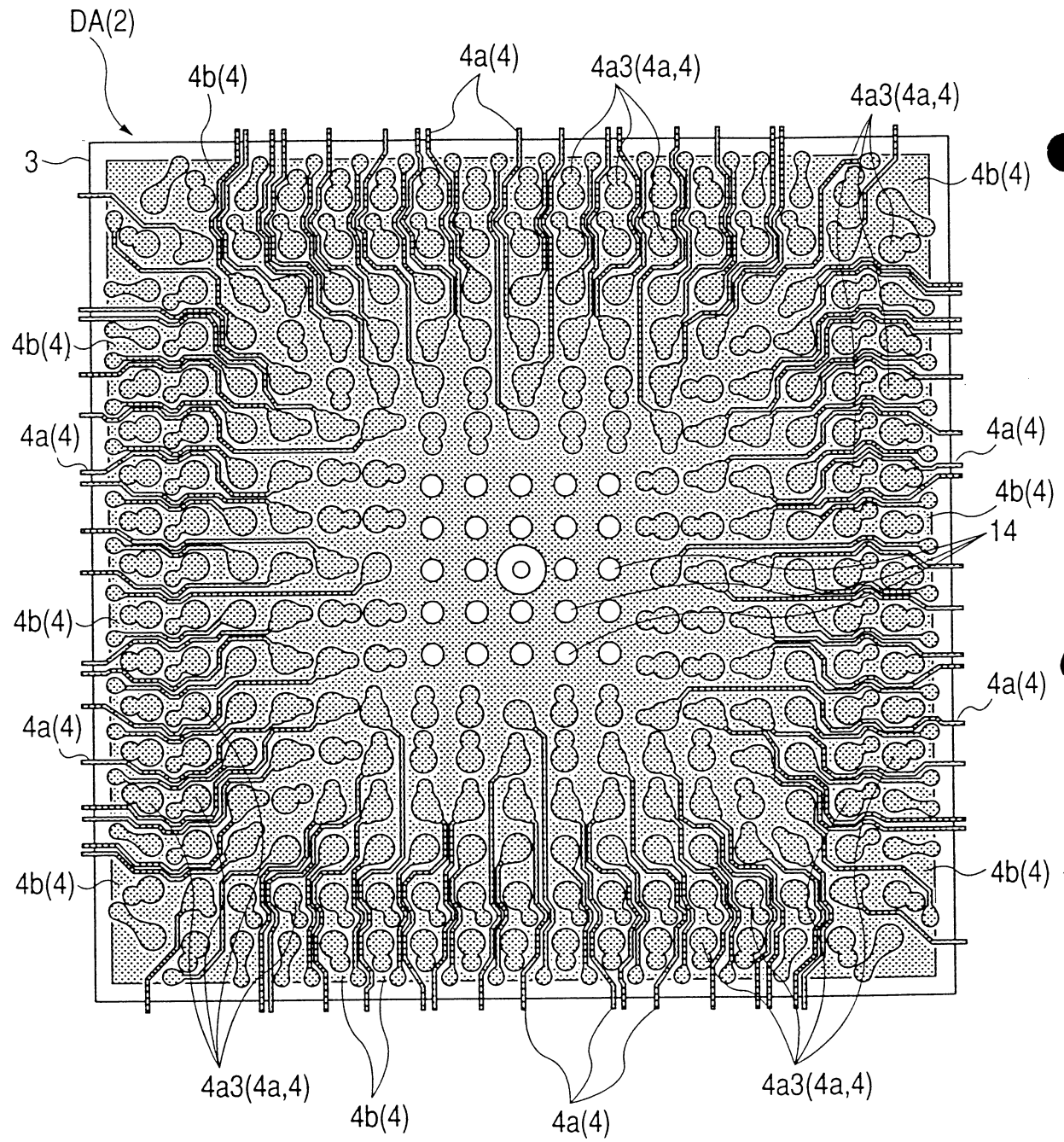
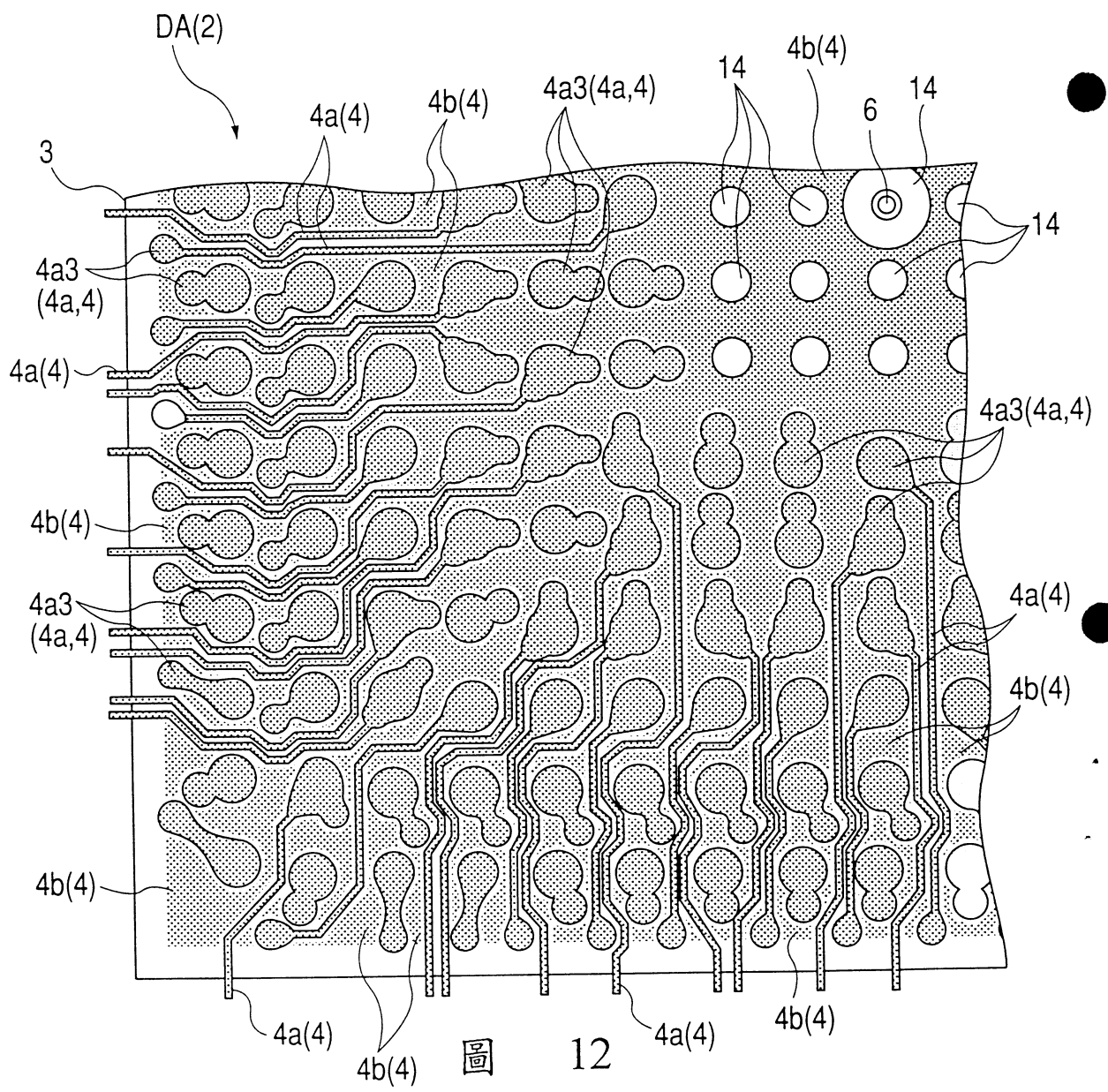


圖 11



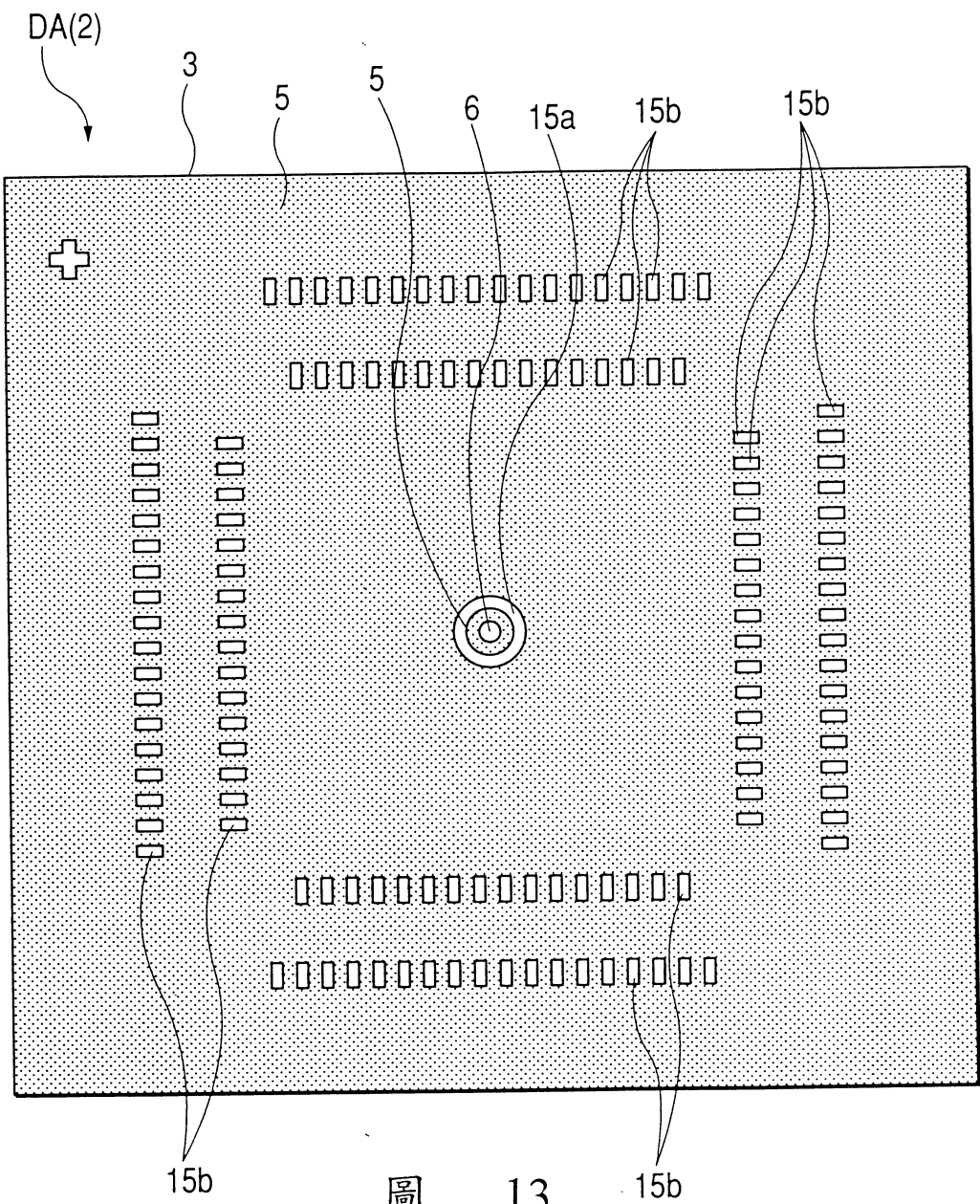


圖 13

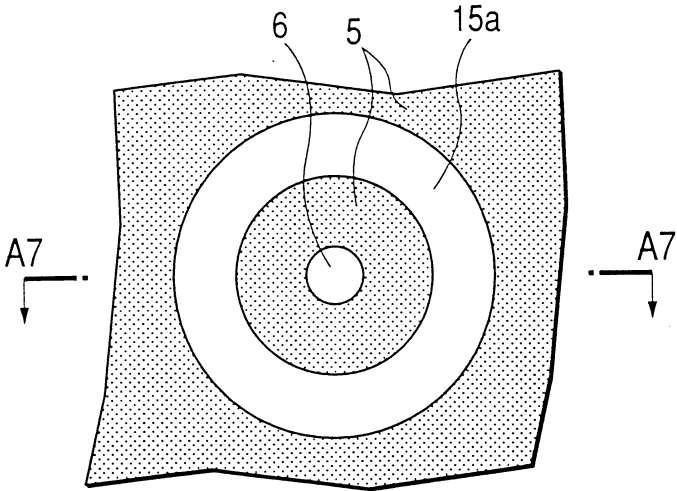


圖 14(a)

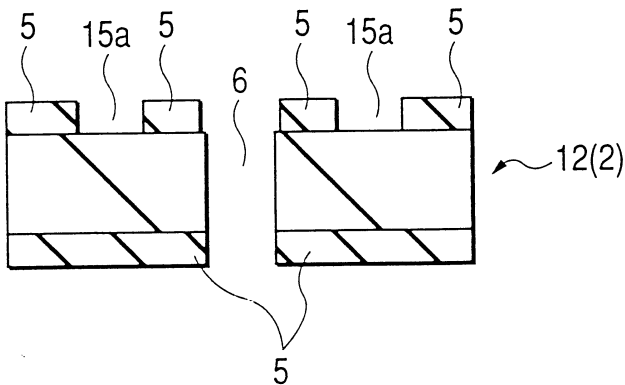


圖 14(b)

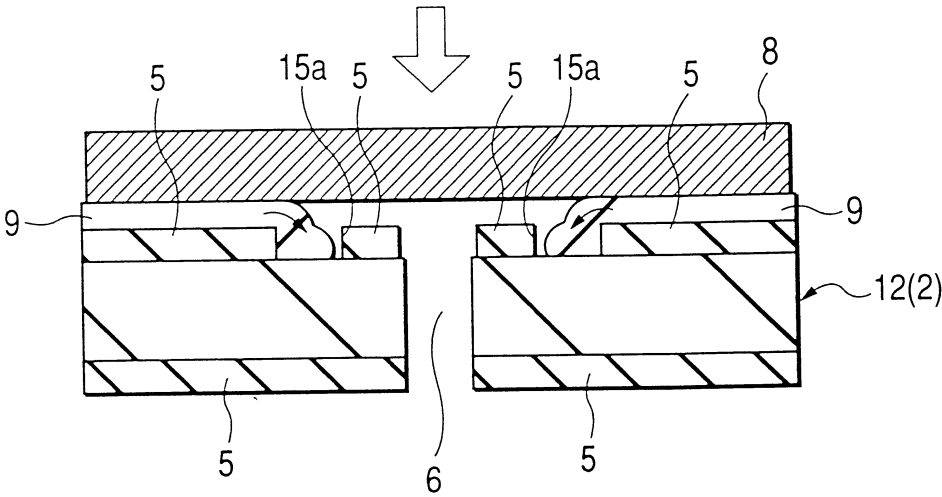


圖 14(c)

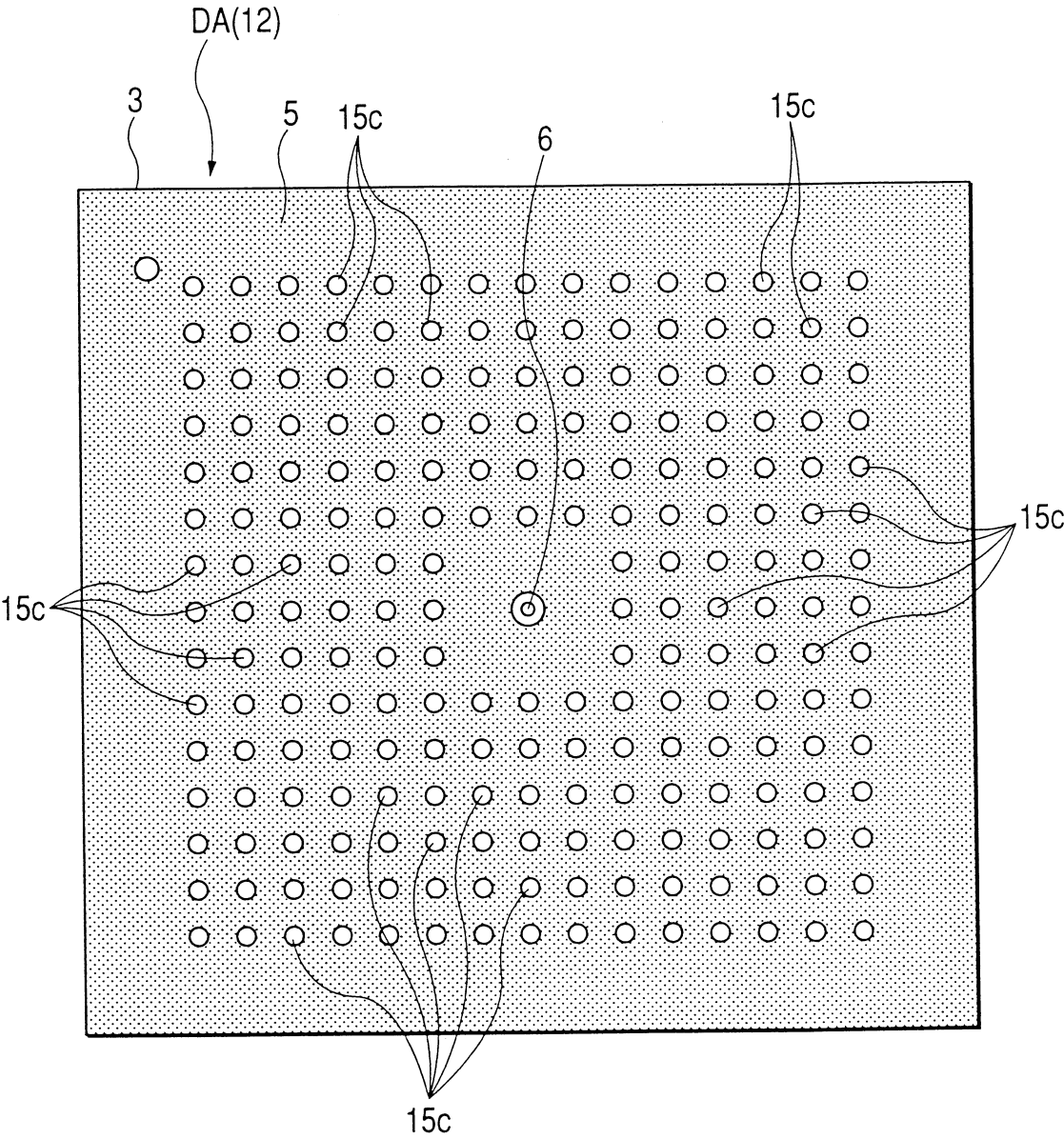


圖 15

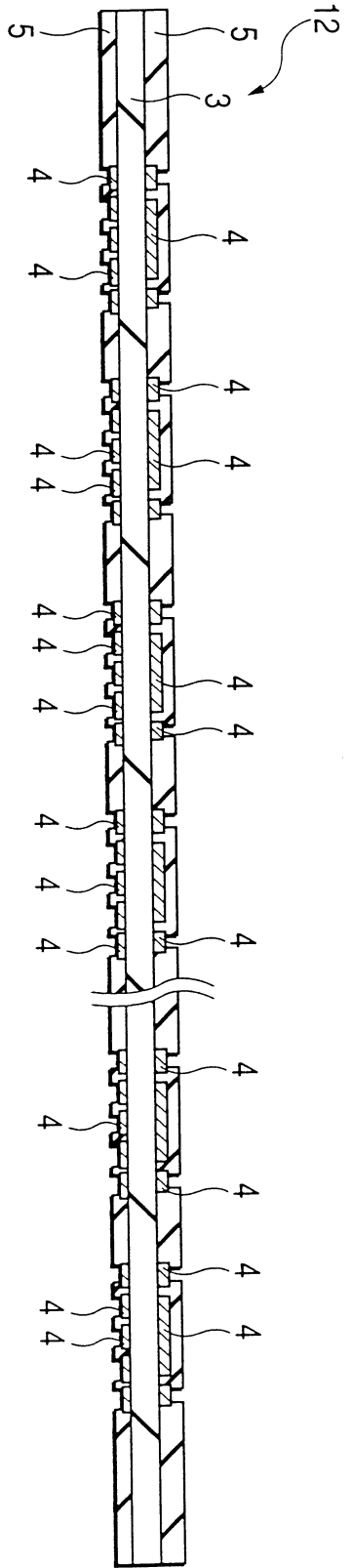


圖 16

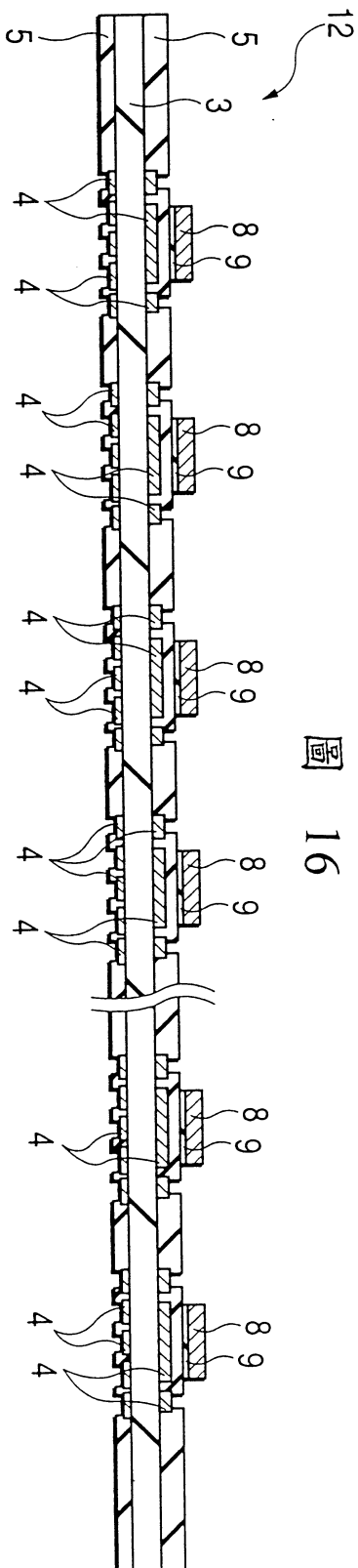


圖 17

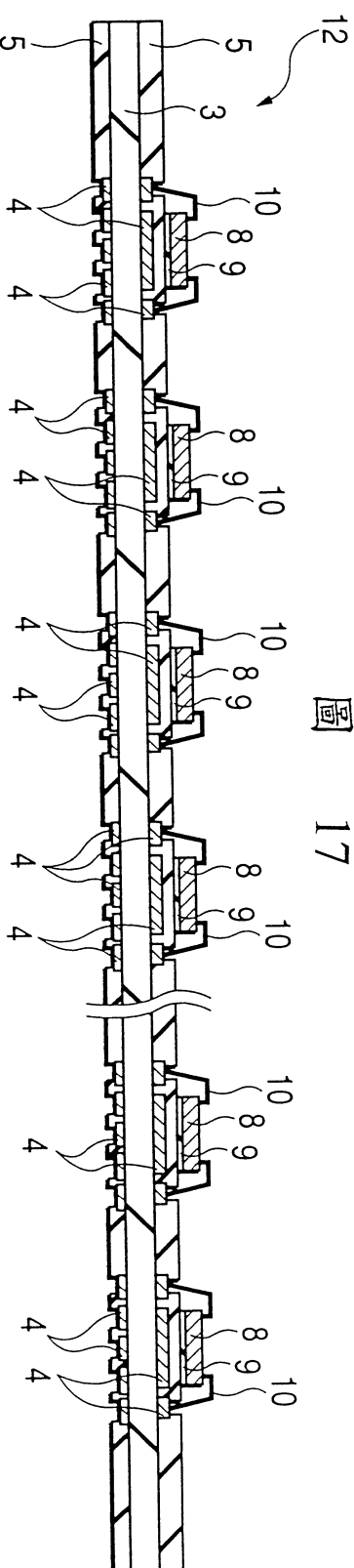


圖 18

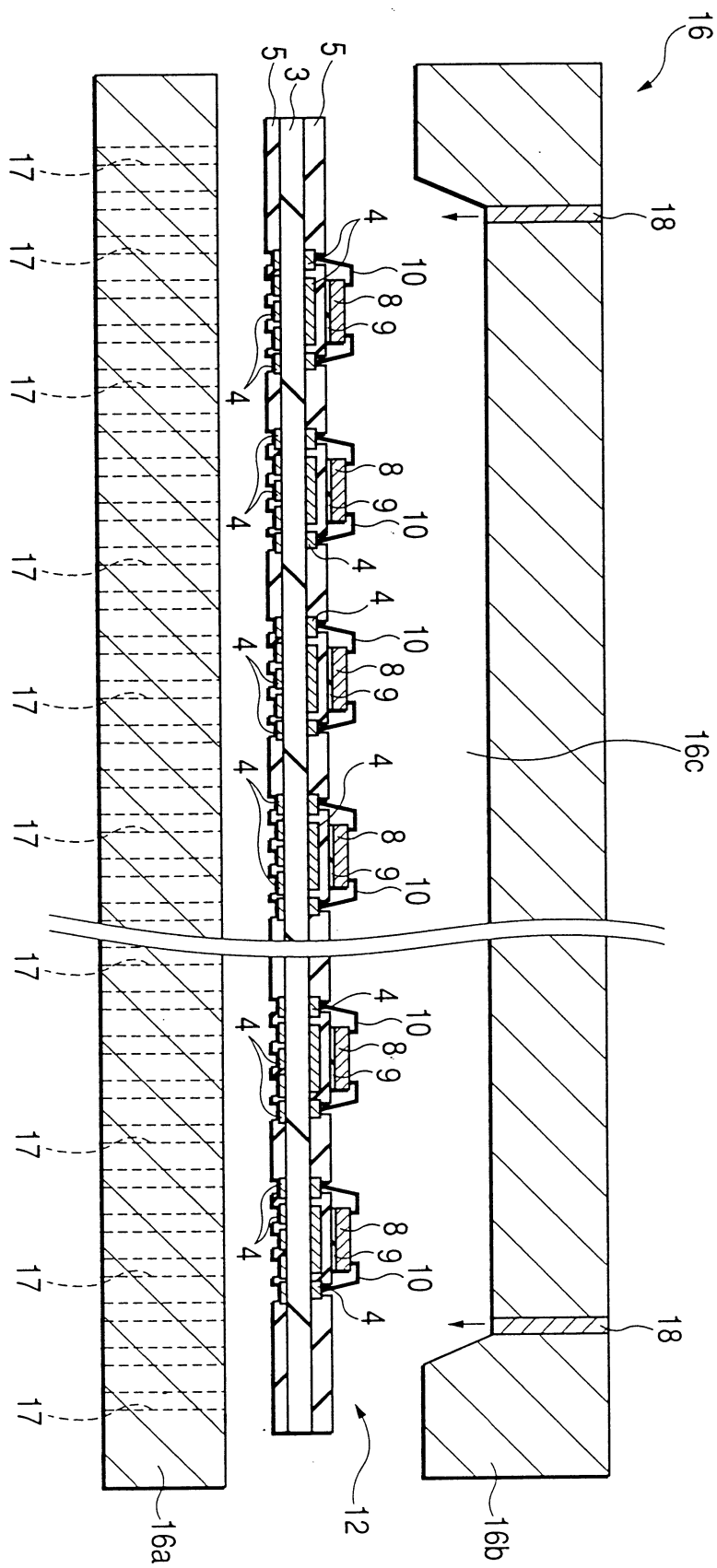


圖 19

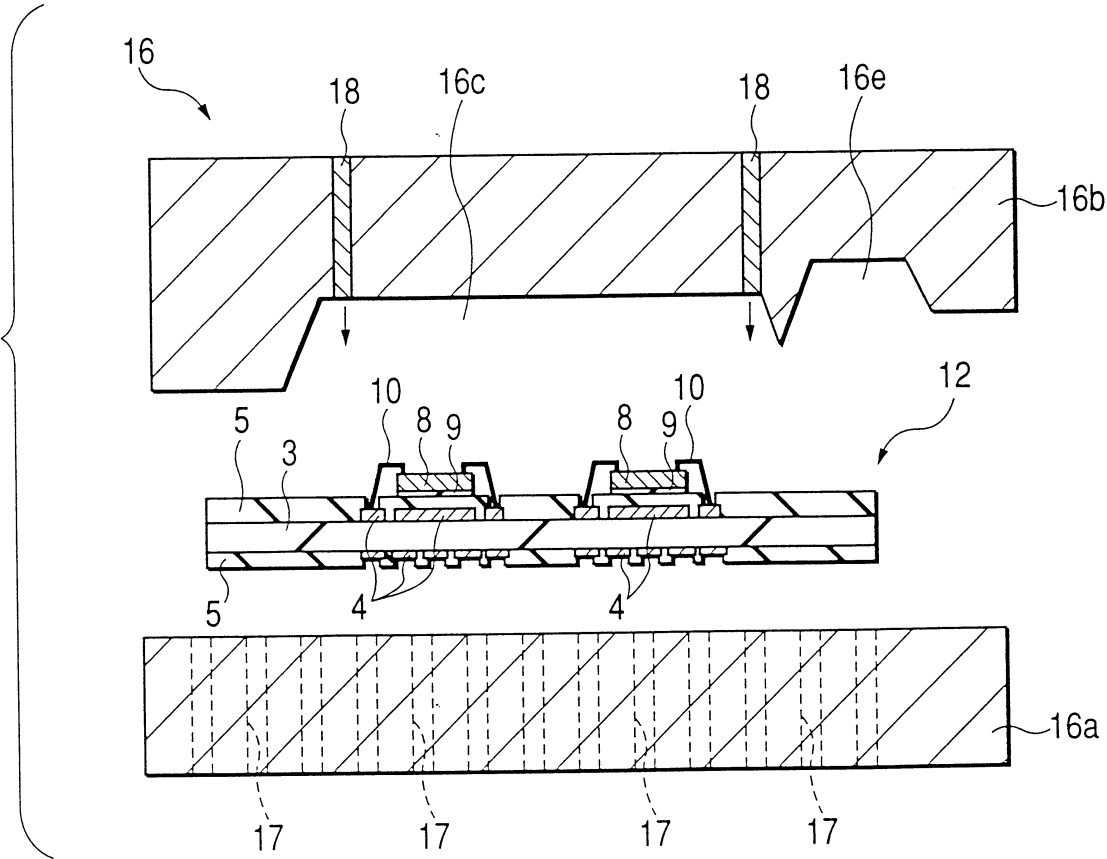


圖 20

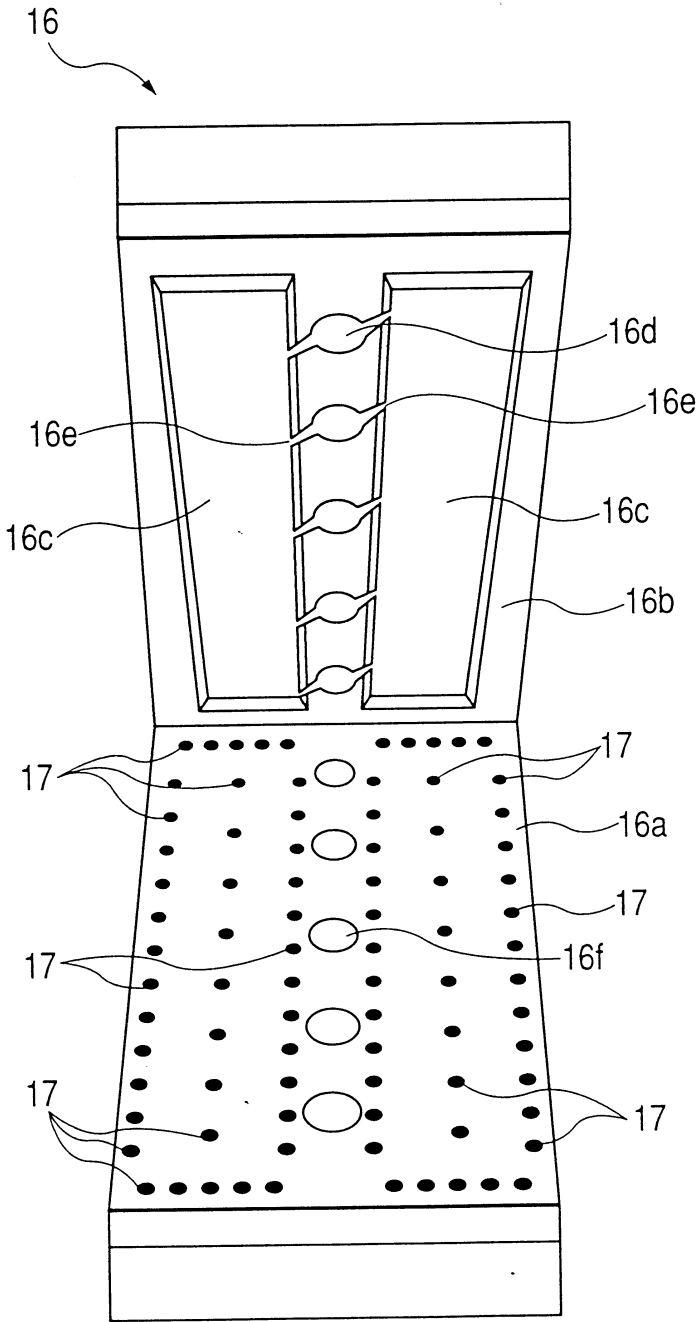


圖 21

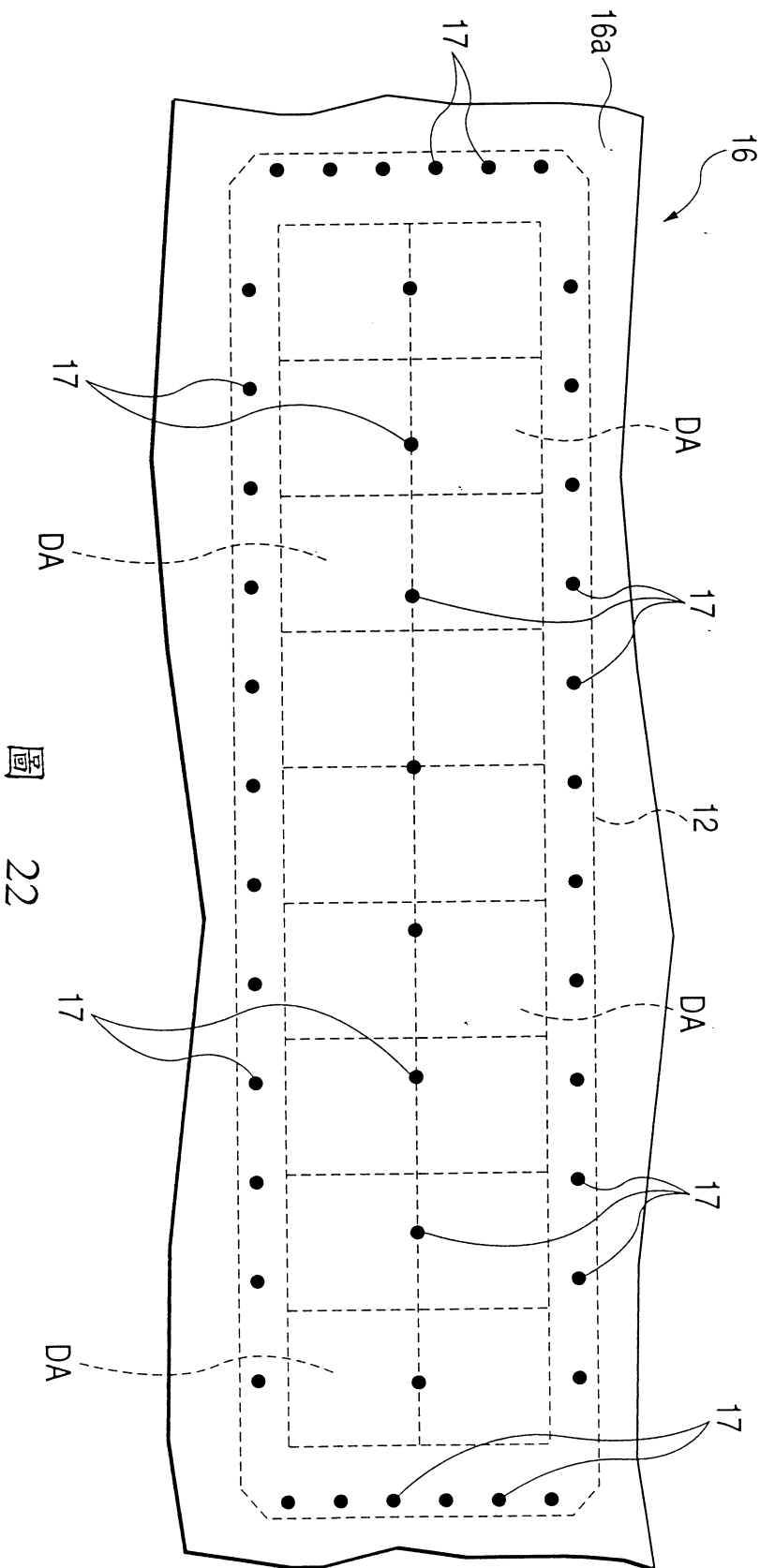


圖 22

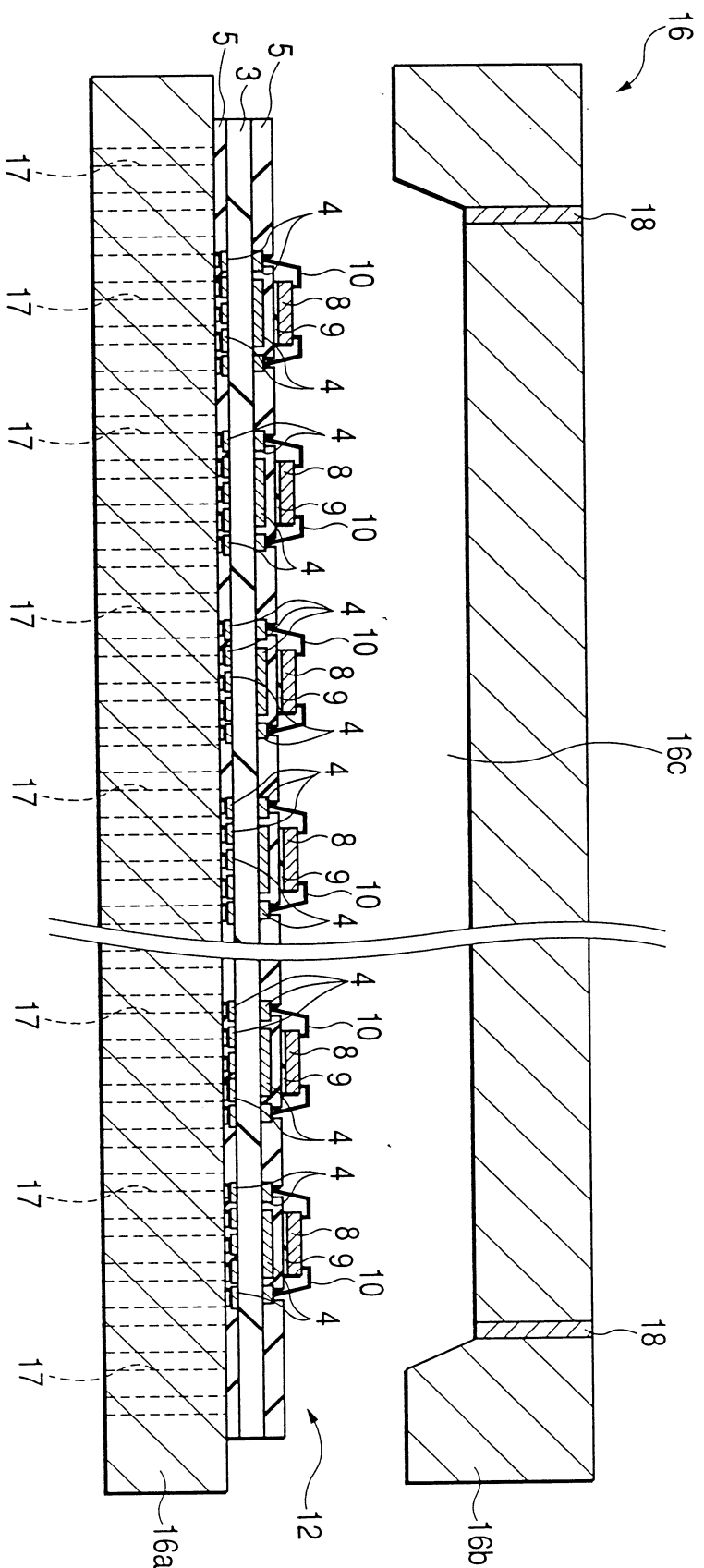


圖 23

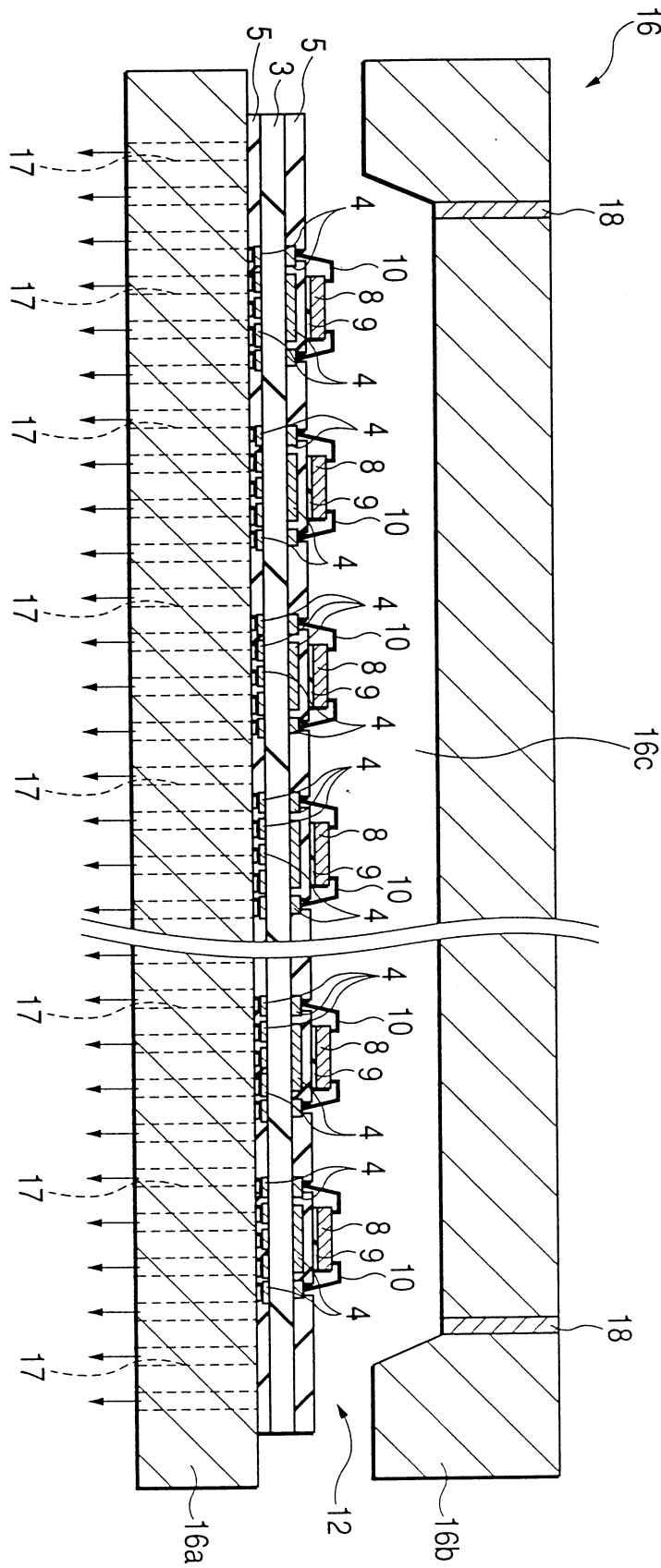


圖 24

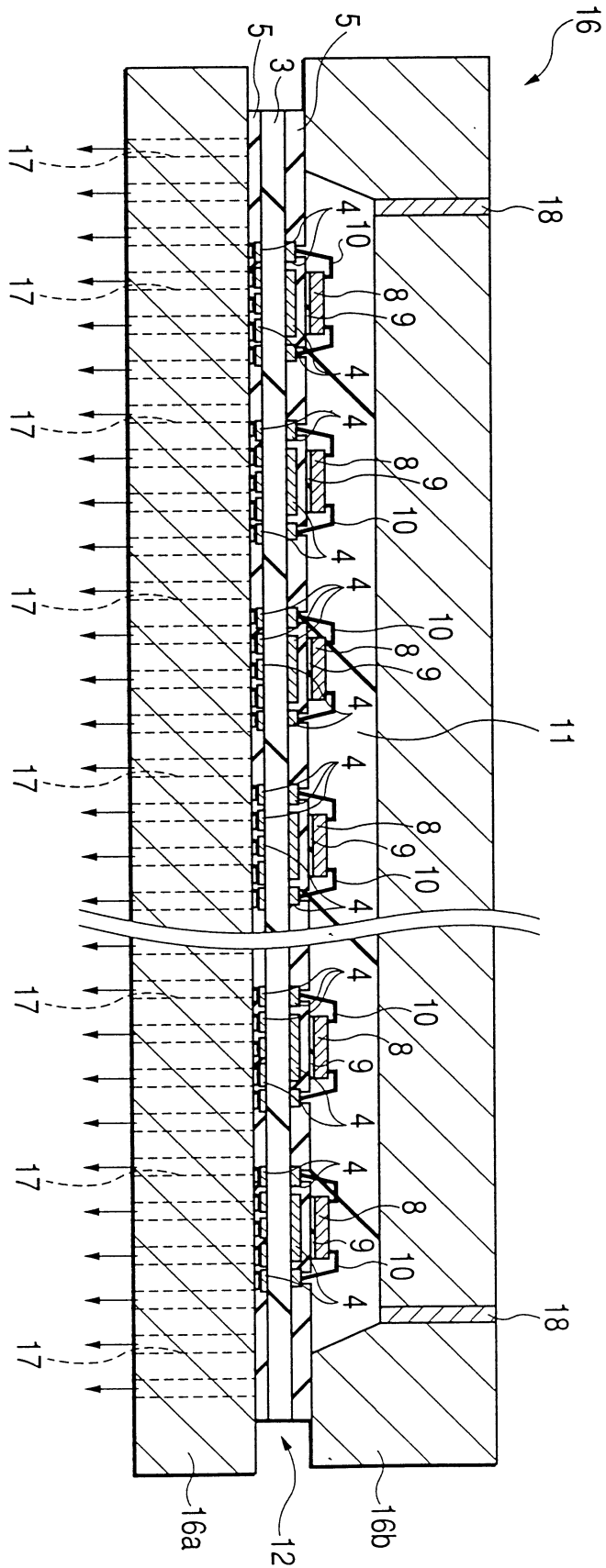


圖 25

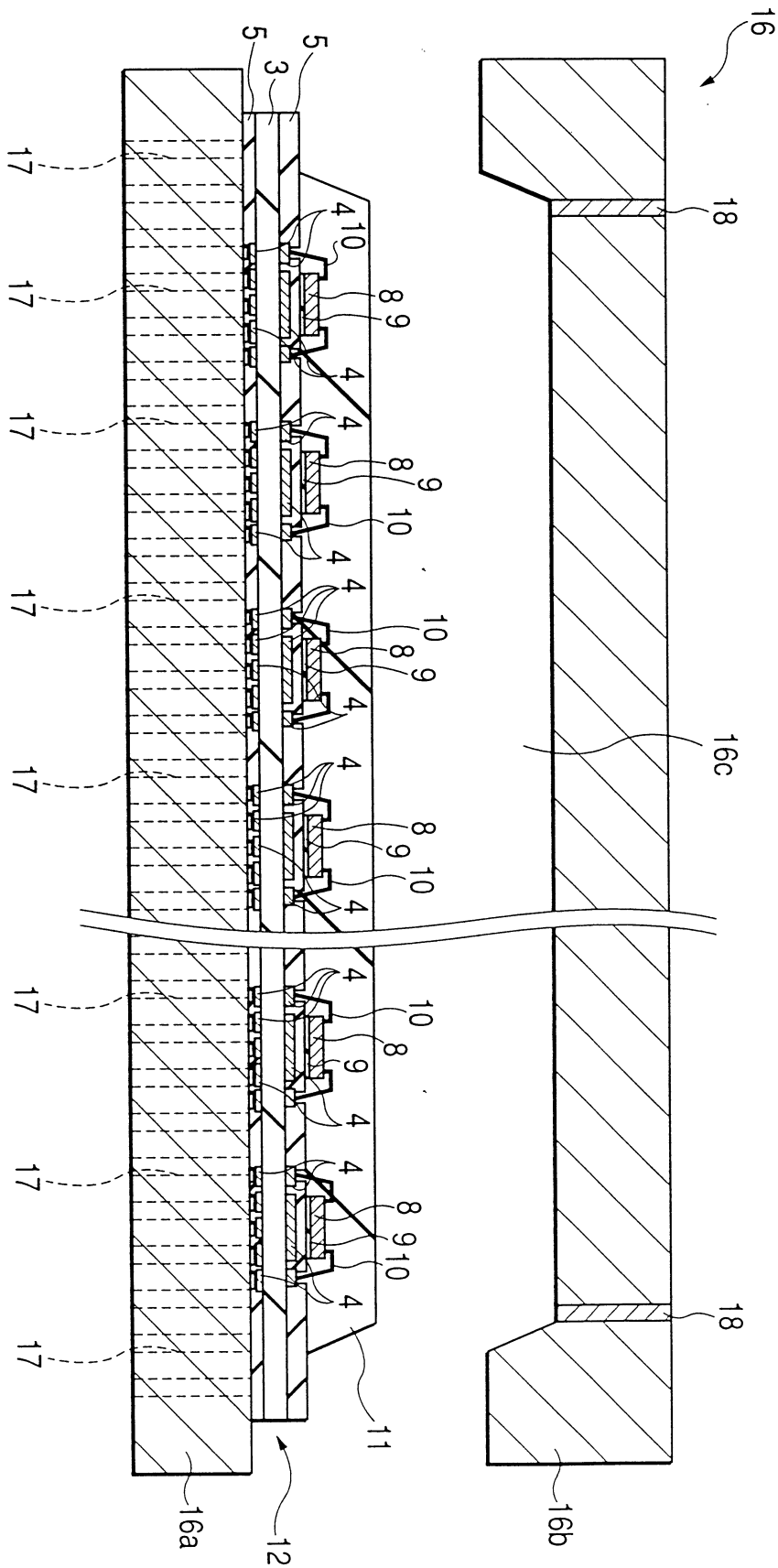


圖 26

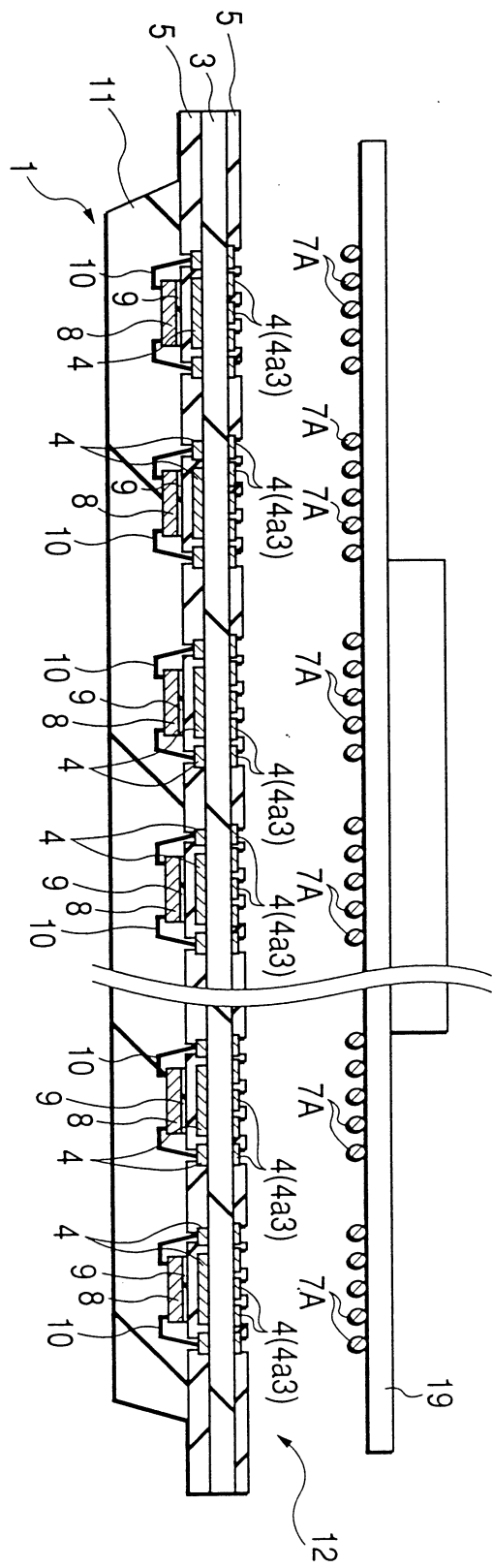


圖 27

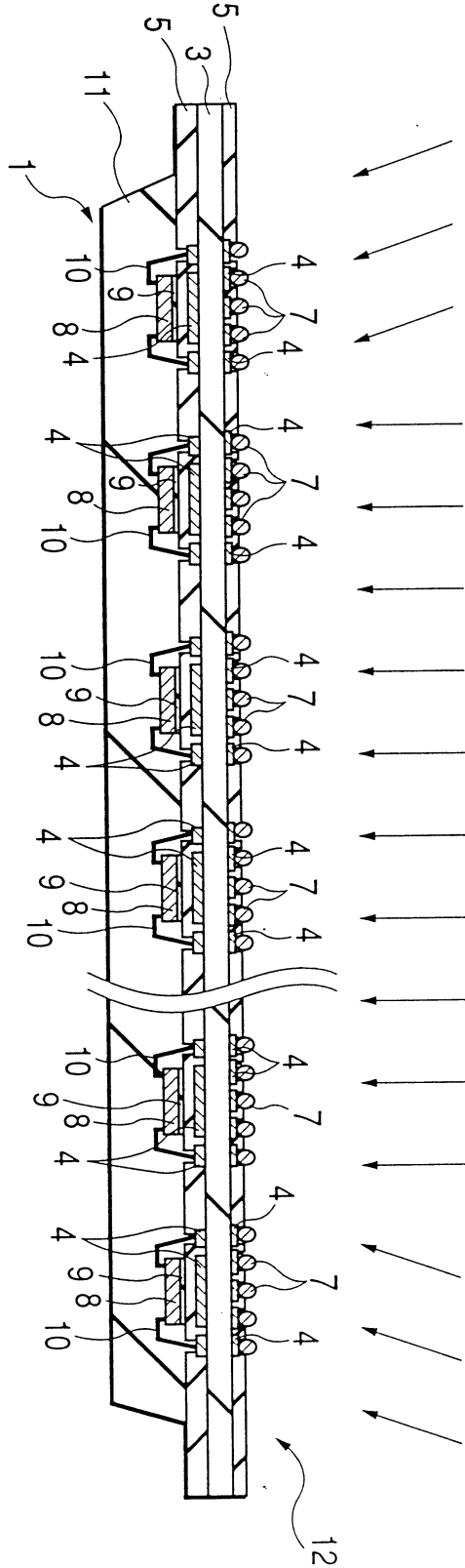


圖 28

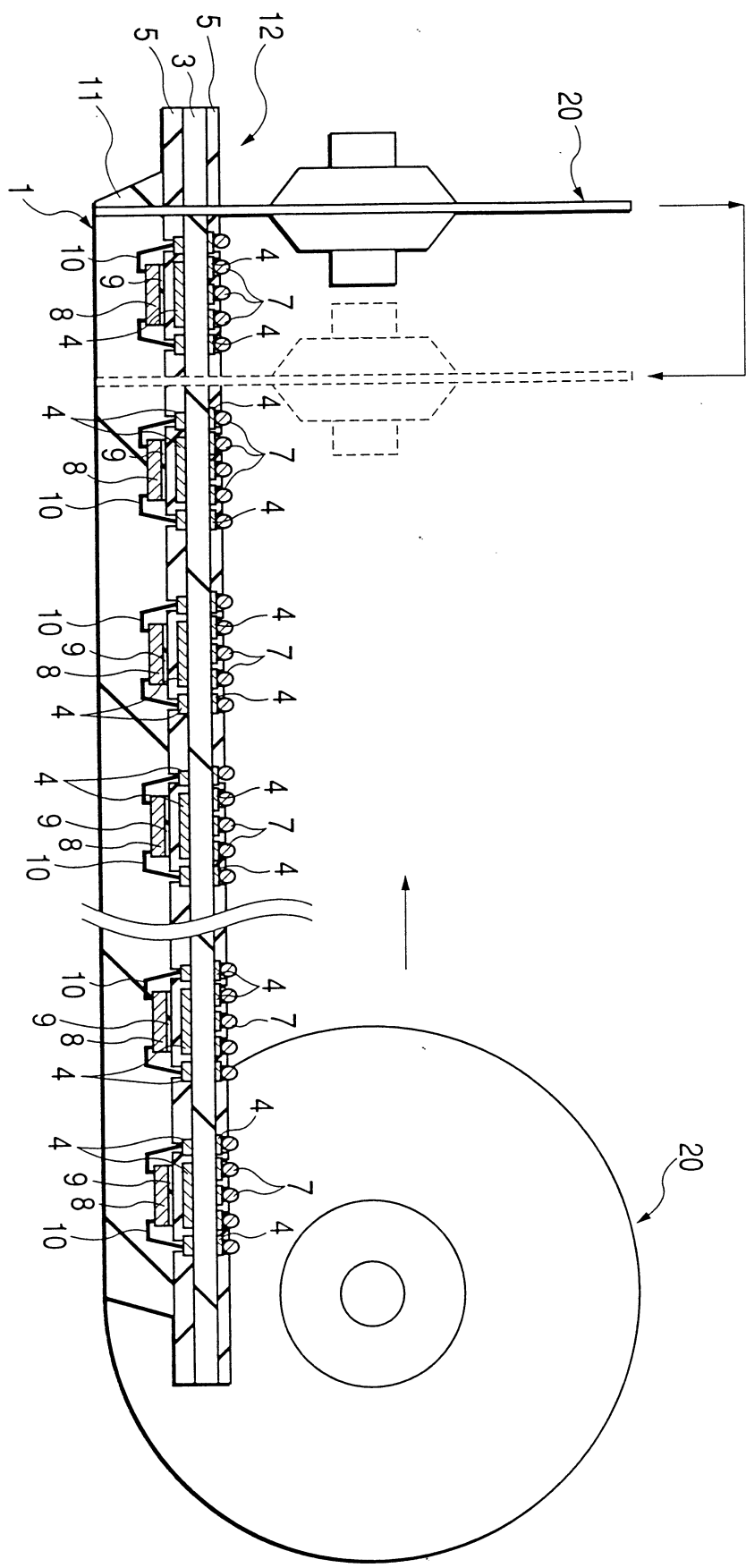


圖 29

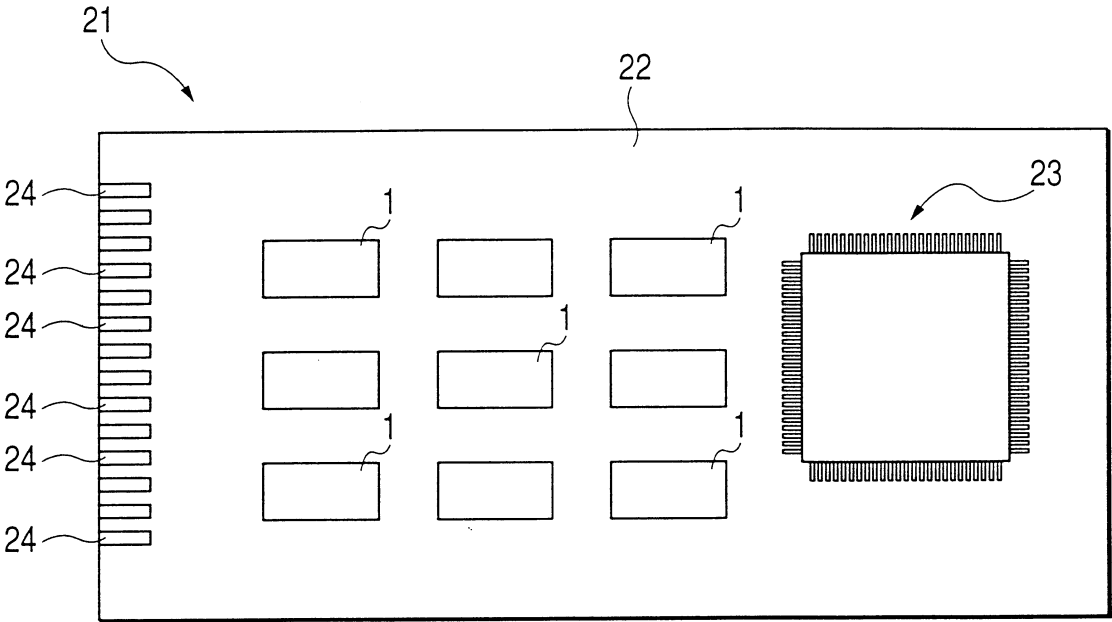


圖 30

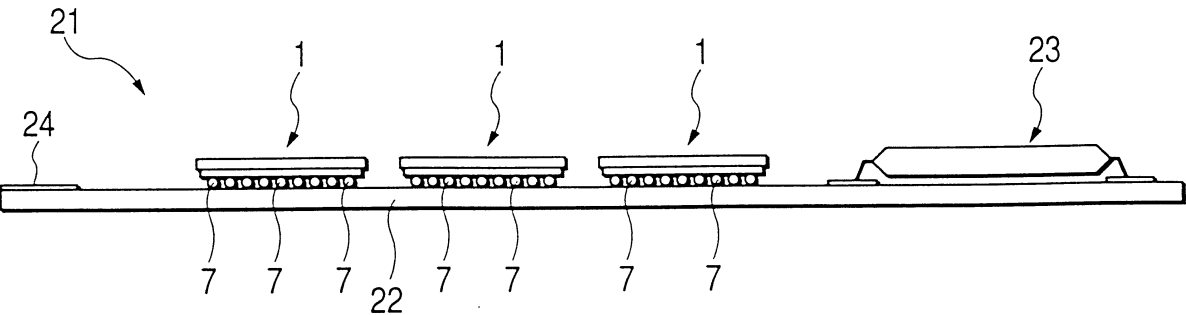


圖 31

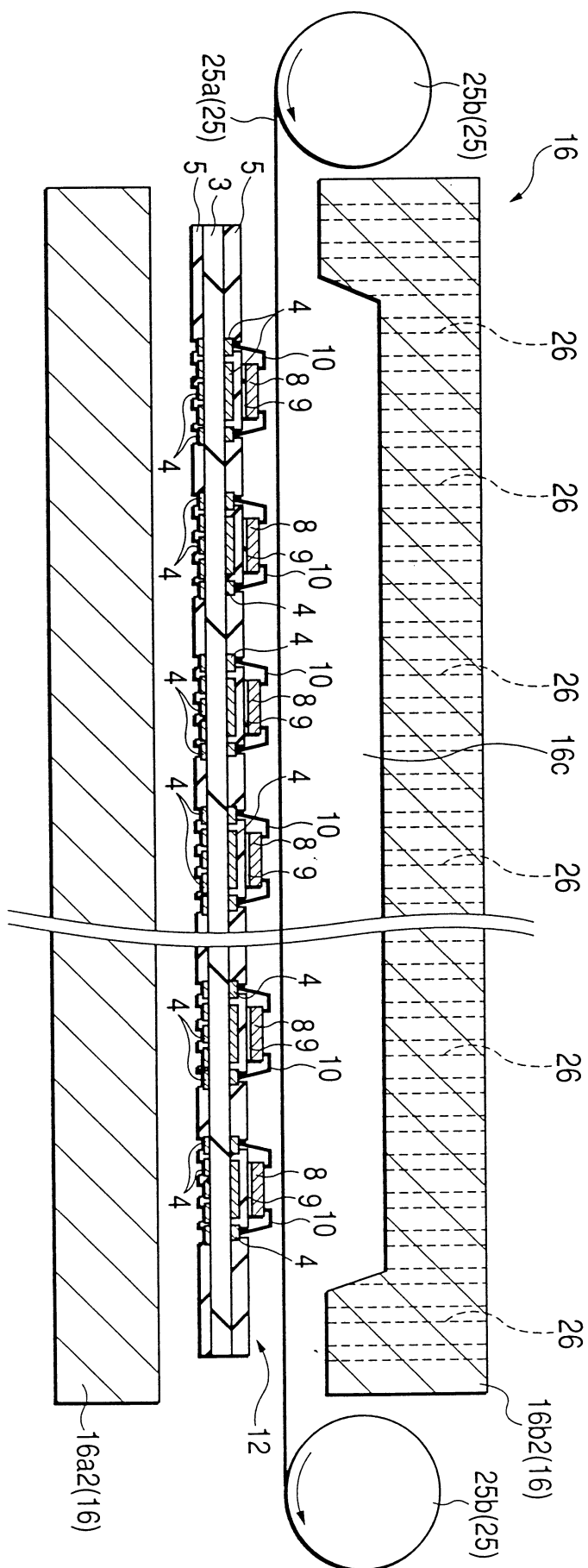


圖 32

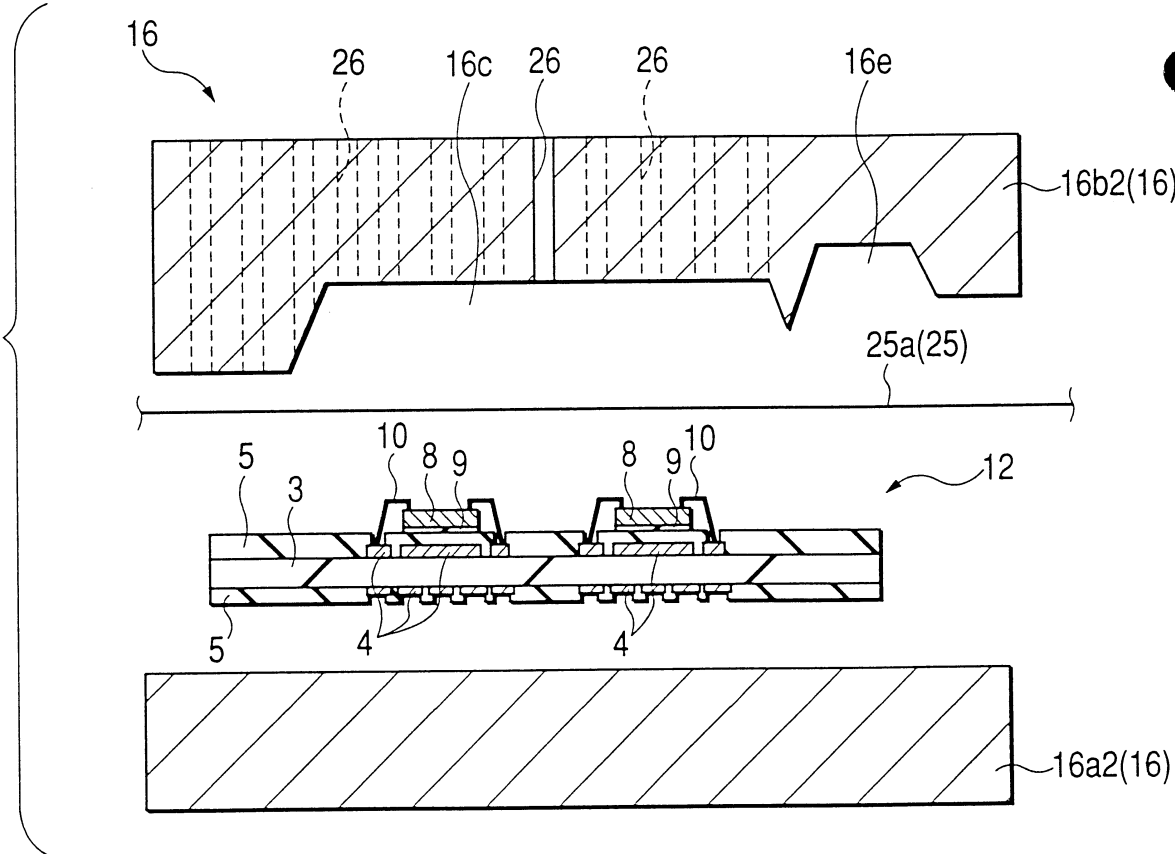


圖 33

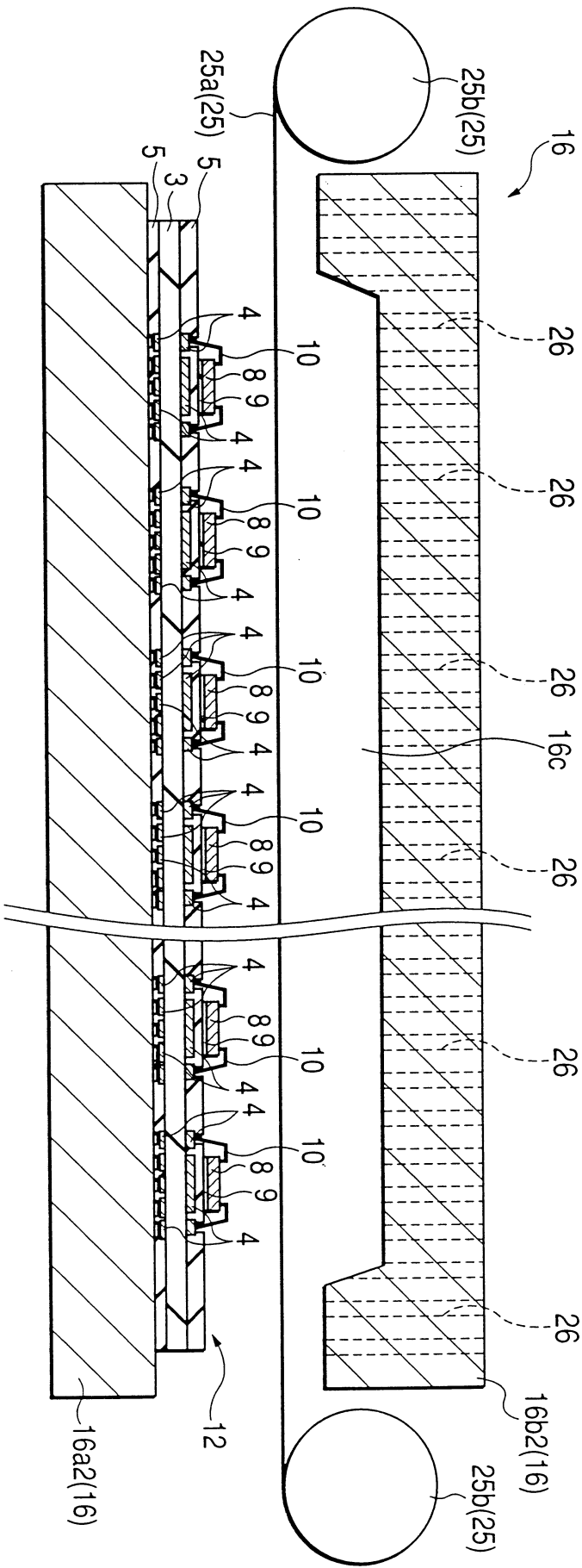
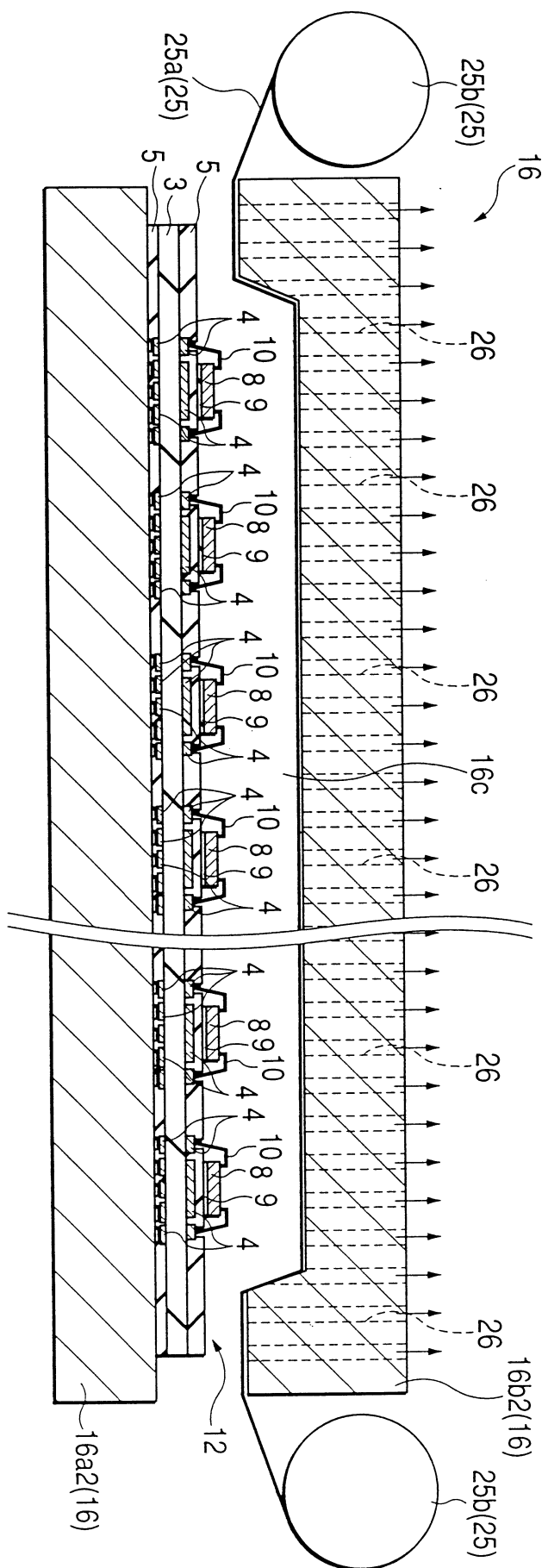


圖 34



35

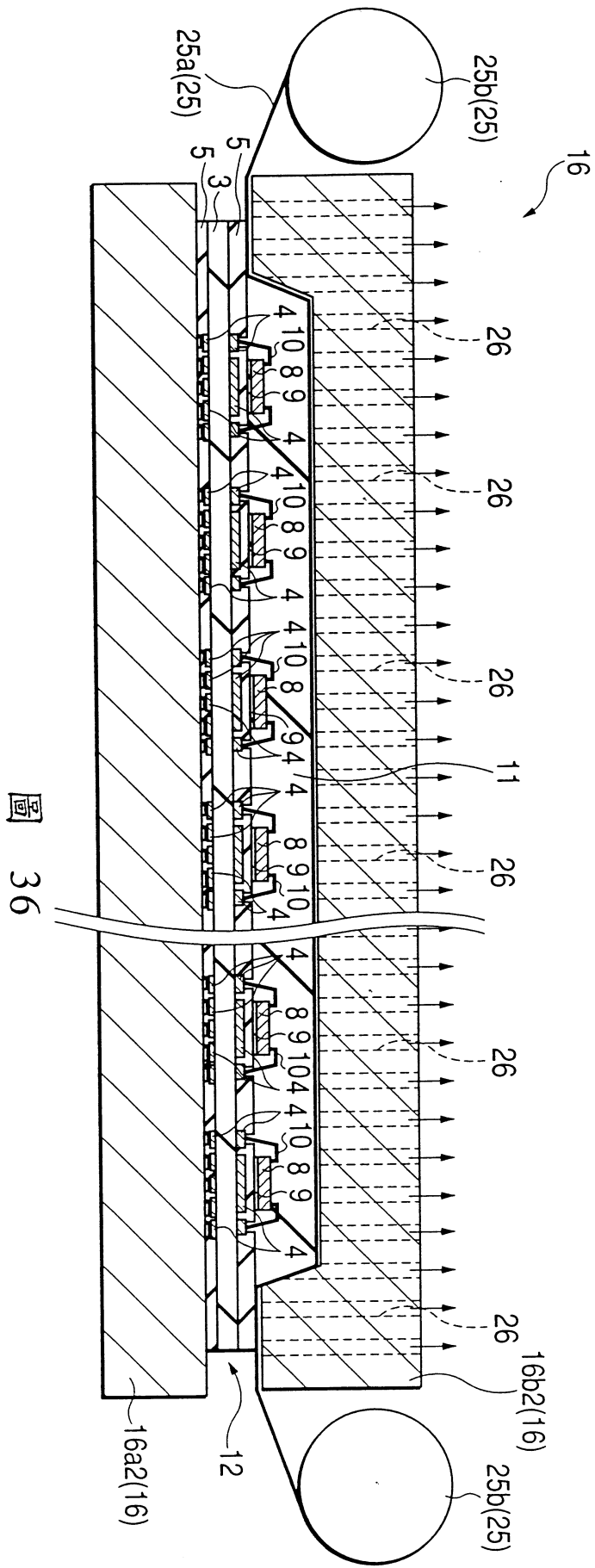


圖 36

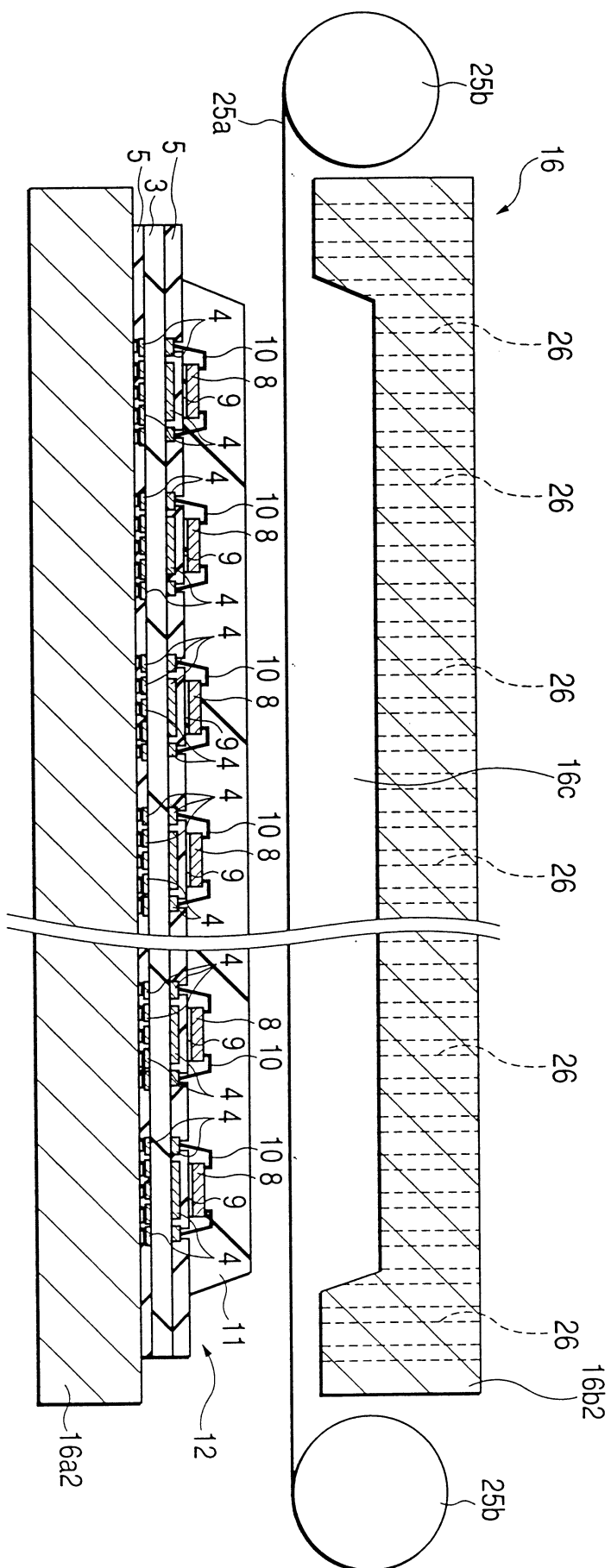


圖 37

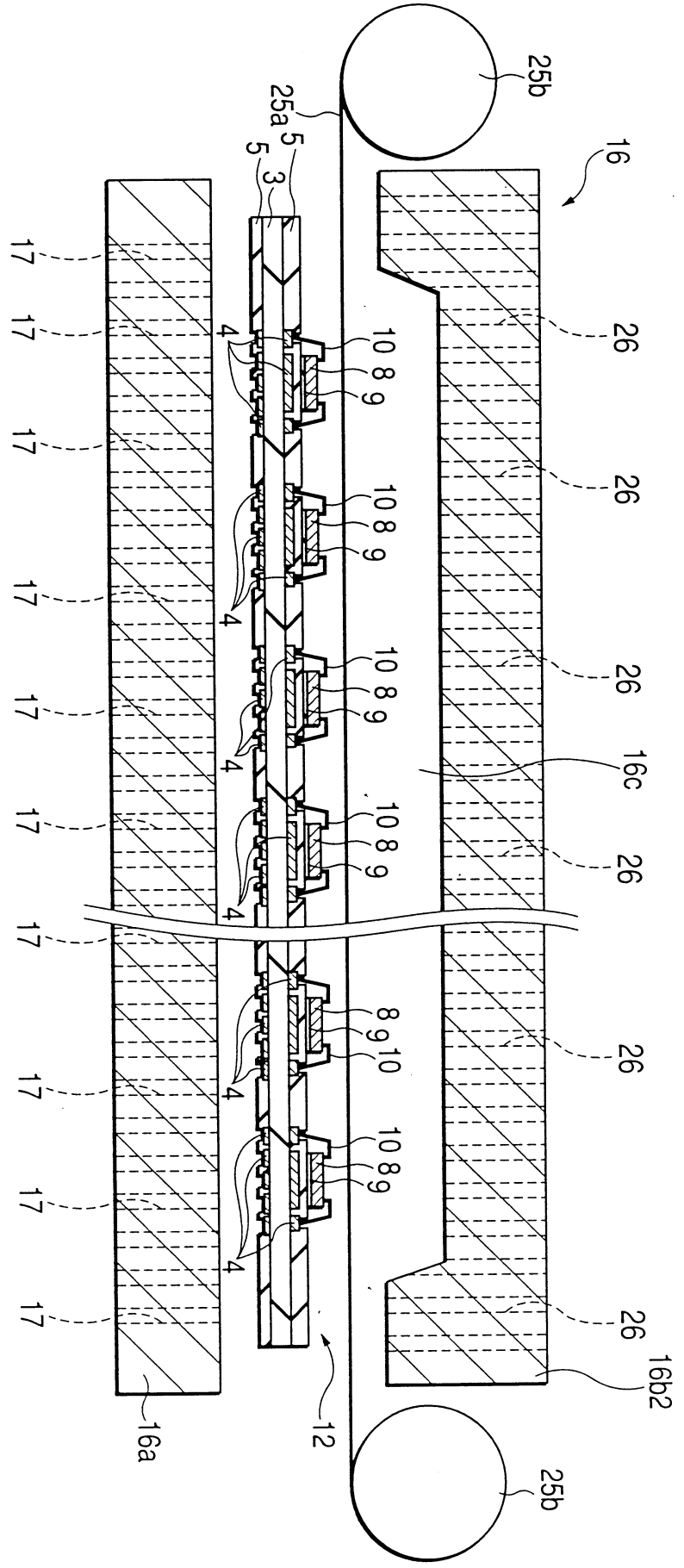
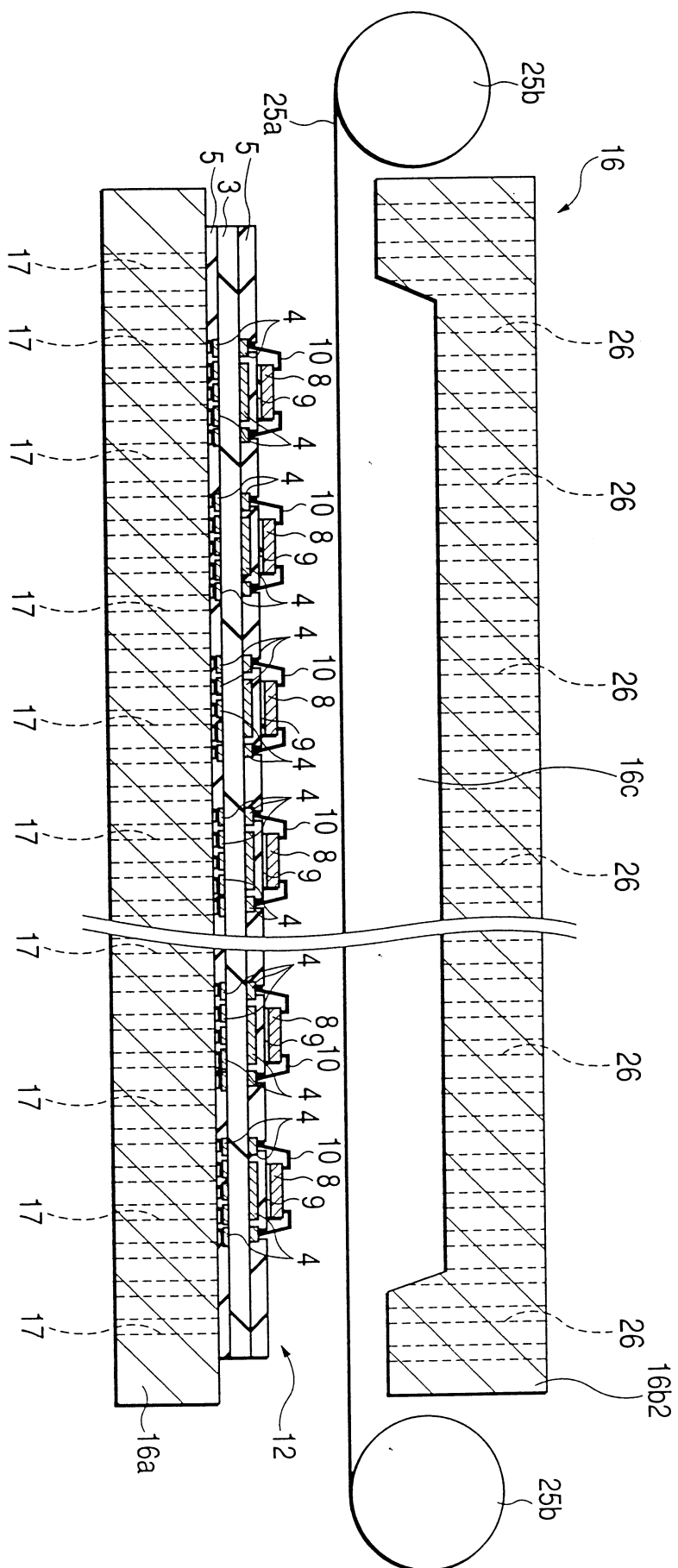
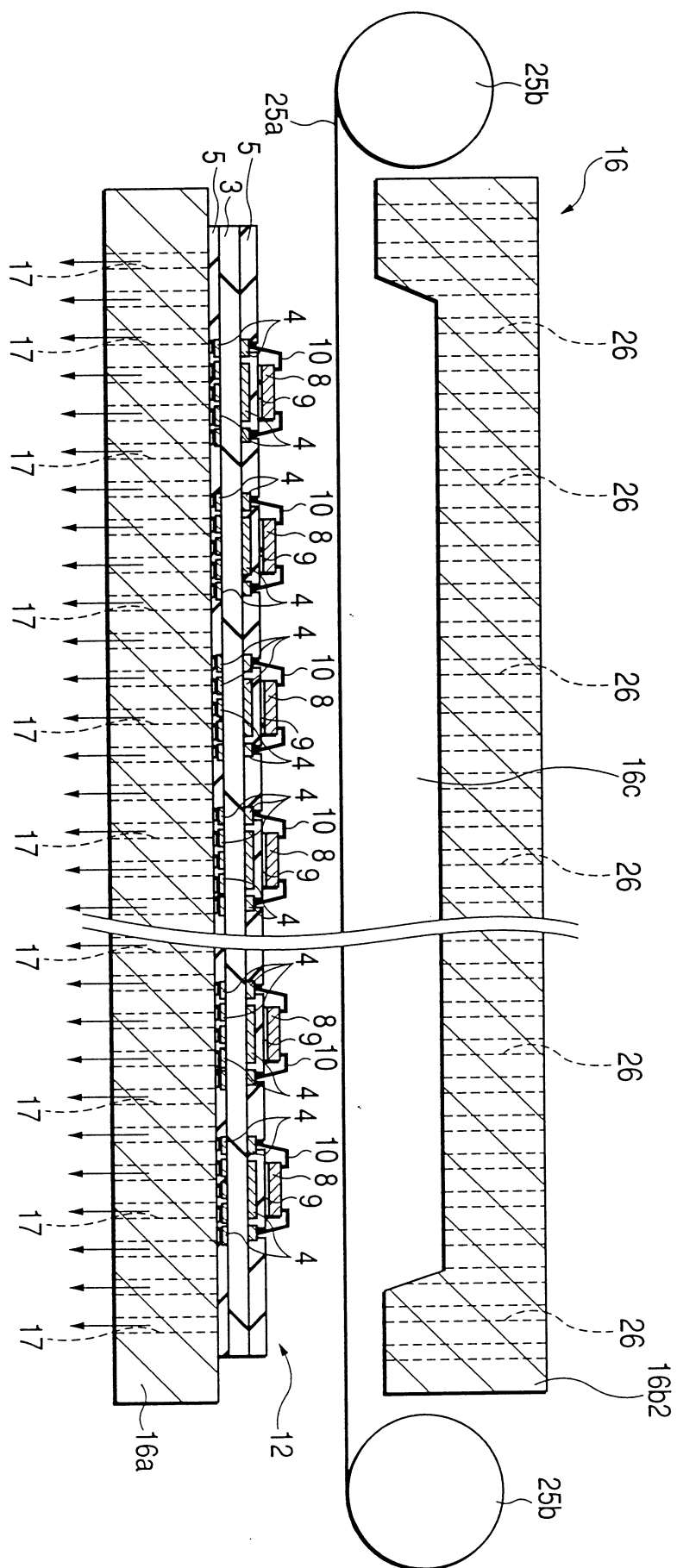


圖 38

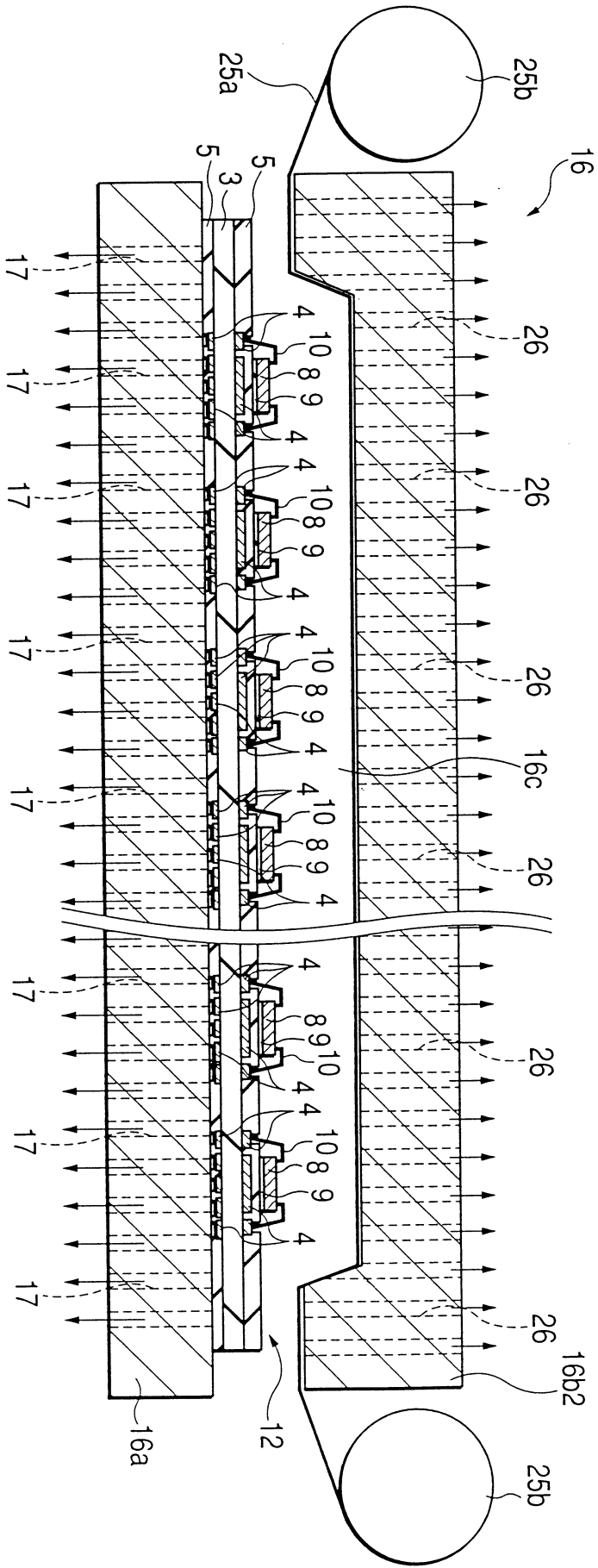


39



40

圖 41



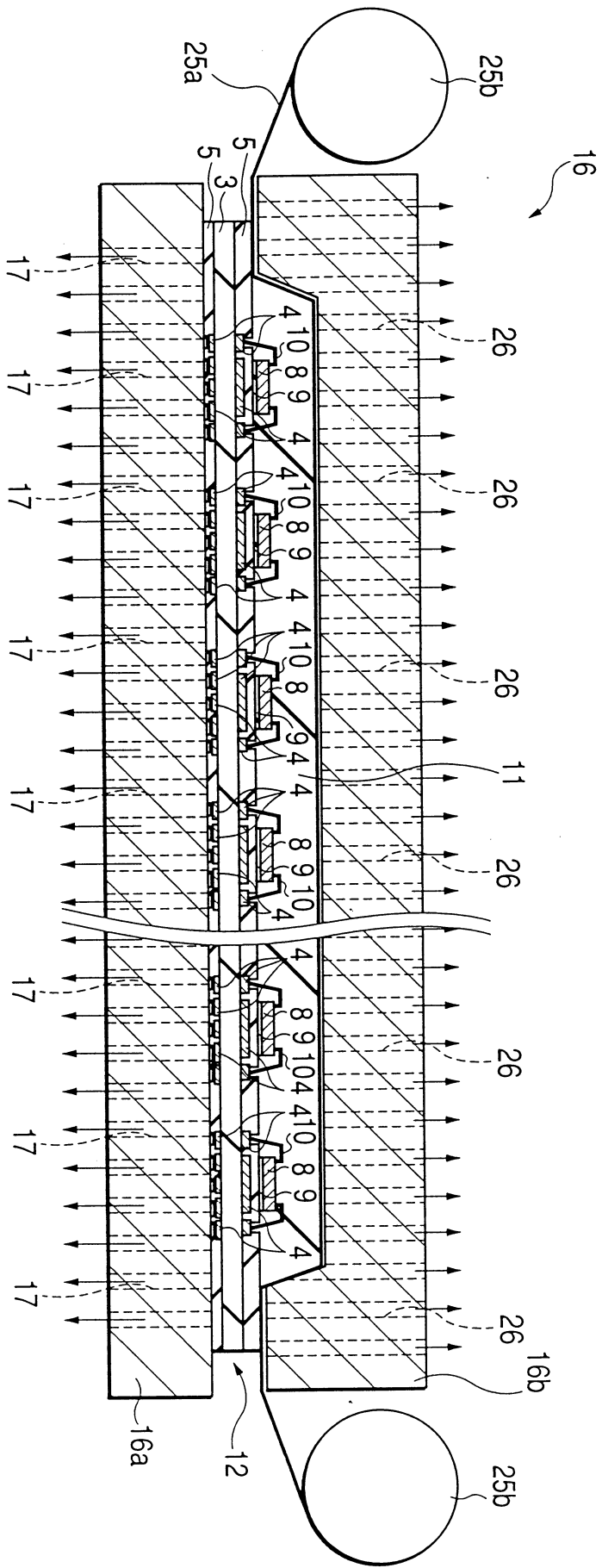


圖 42

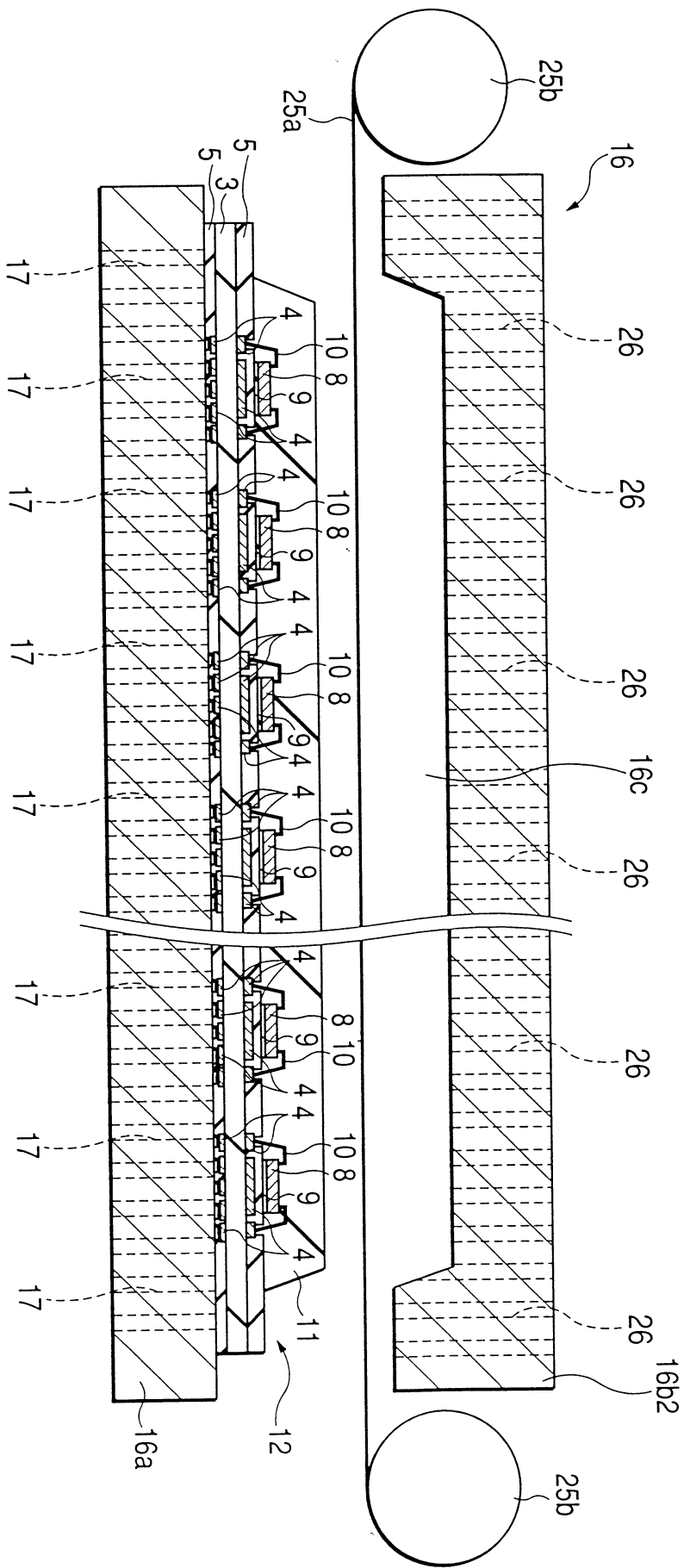


圖 43

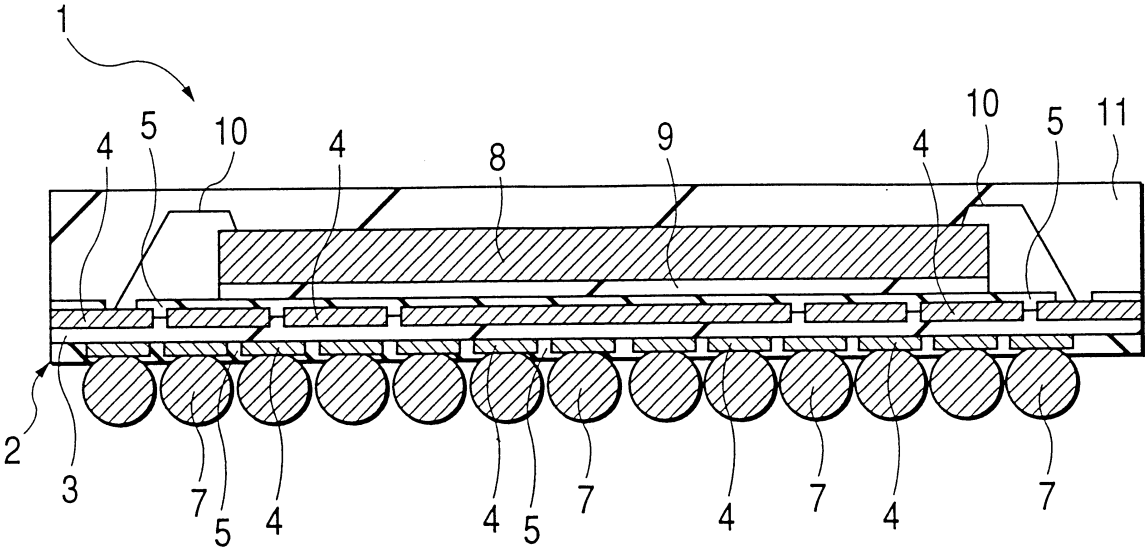


圖 44

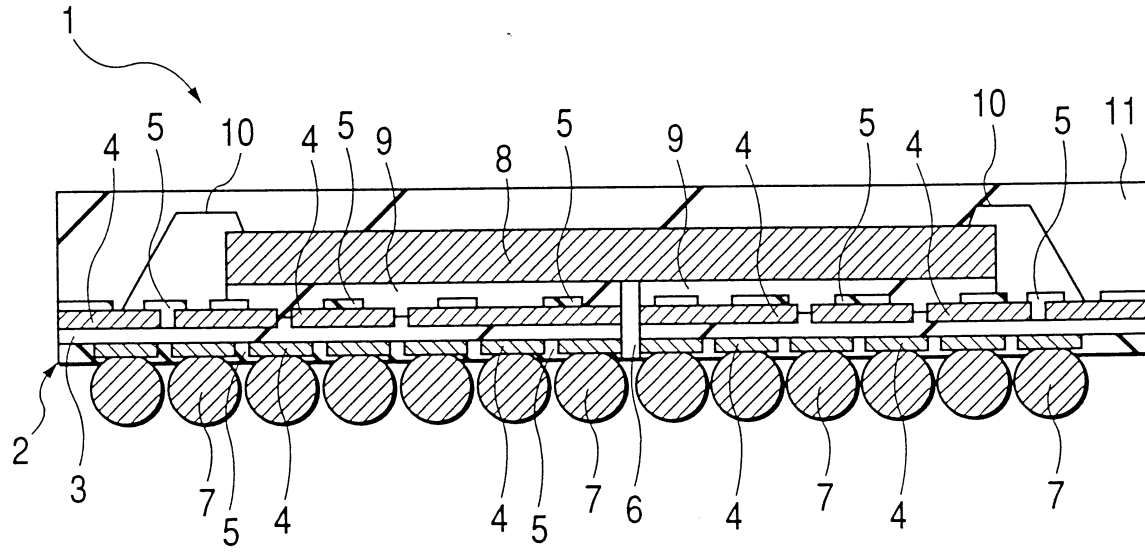


圖 45

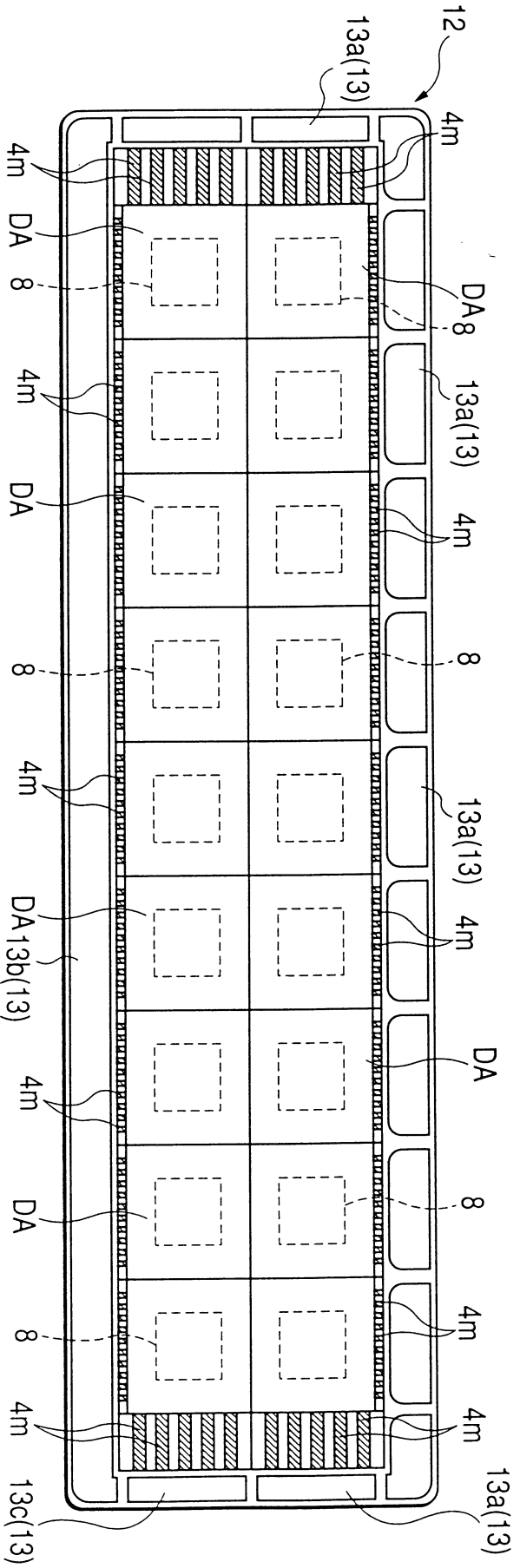
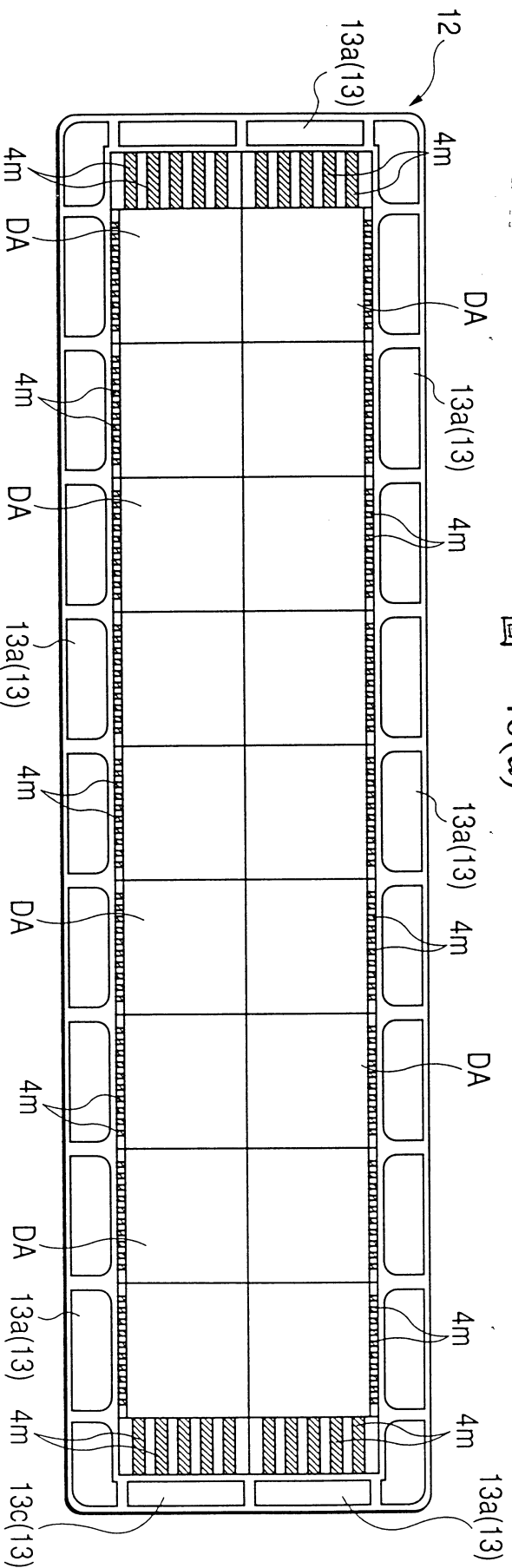


圖 46(a)



圖

46(b)

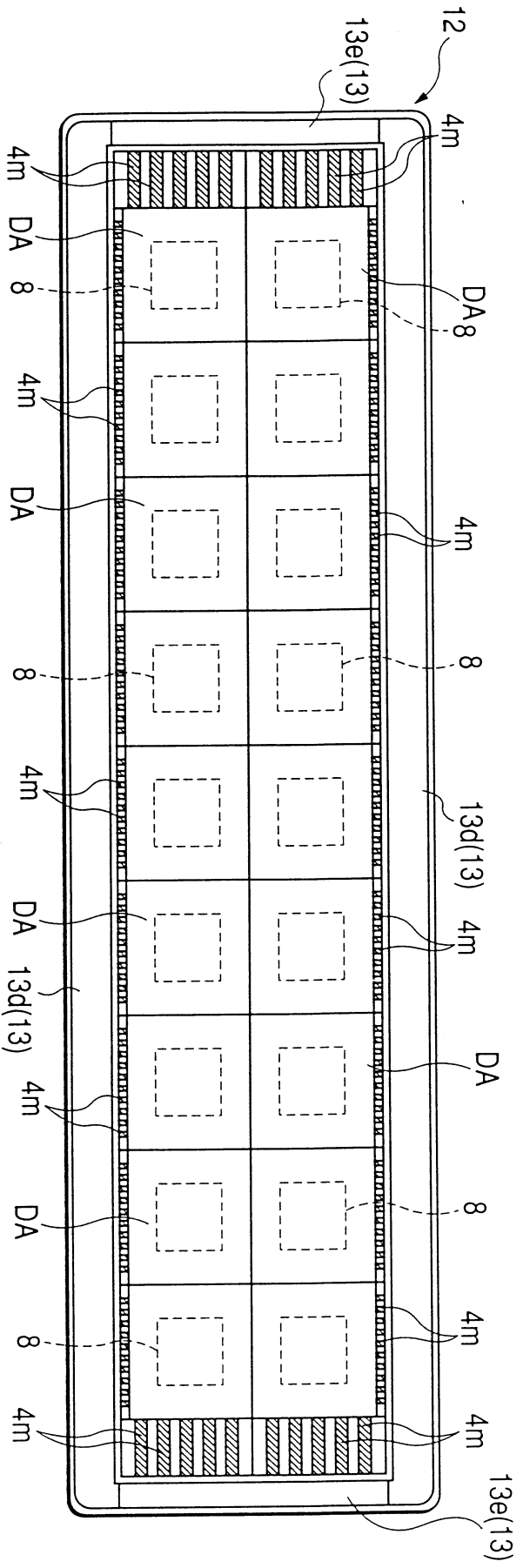


圖 47(a)

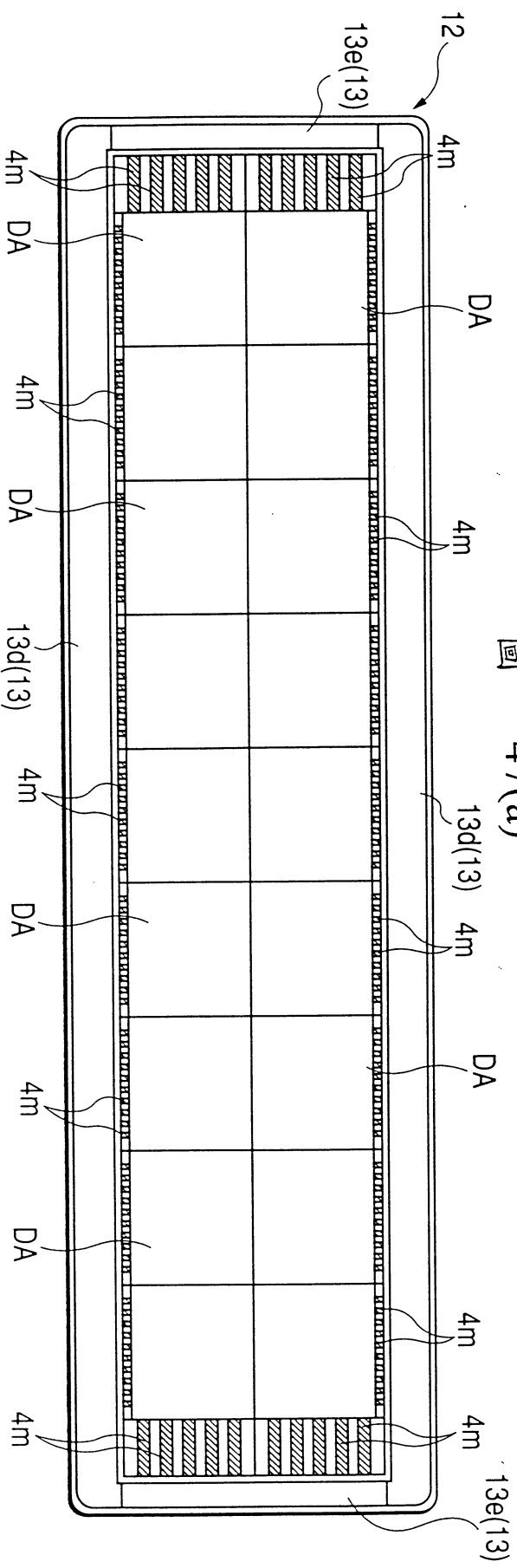
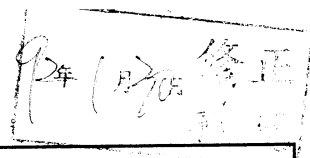


圖 47(b)



六、申請專利範圍

1. 一種半導體裝置之製造方法，其特徵為具有下列步驟；
 - (a) 在第1基板之第1面上安裝複數半導體晶片的步驟、
 - (b) 以相對於前述第1面之第2面朝向模具之下模的狀態下、以及前述第1面之複數半導體晶片置入模具之一個模槽內的狀態下，將前述安裝著複數半導體晶片之第1基板安裝於前述模具內之步驟、
 - (c) 在前述模具之上模、與前述第1基板之第1面間存在薄膜(film)的狀態下，在將前述薄膜真空吸附於前述上模，且在將上述第1基板之第2面真空吸附於前述模具之下模的狀態下，將前述複數半導體晶片同時以樹脂密封之方式形成密封構件的步驟、
 - (d) 使用前述薄膜實施自前述模具之前述密封材料脫模的步驟、
 - (e) 切斷前述第1基板及密封構件並切割出各半導體裝置的步驟。
2. 如申請專利範圍第1項之半導體裝置的製造方法，其中前述第1基板之前述第1及第2面上，配置著具有複數半導體裝置形成區域之群體的第1區域、及其外側的第2區域，且前述第2區域設有補強圖案。
3. 如申請專利範圍第2項之半導體裝置的製造方法，其中前述補強圖案為分割配置。
4. 如申請專利範圍第3項之半導體裝置的製造方法，其中前述補強圖案之配置，為針對前述各半導體裝置形成區域進行分割。

裝

訂

線

六、申請專利範圍

5. 如申請專利範圍第2項中之任一項之半導體裝置的製造方法，其中前述補強圖案當中，特定之補強圖案為沿著前述第1及2面的可伸縮圖案構造。
6. 如申請專利範圍第5項之半導體裝置的製造方法，其中前述特定補強圖案由相互分離之複數第1圖案所構成，且和前述補強圖案以橫向相接之第1圖案，會沿著前述補強圖案之縱向以互相錯開方式配置。
7. 如申請專利範圍第5項之半導體裝置的製造方法，其中前述特定補強圖案由相互分離之複數第1圖案所構成，且和前述補強圖案以橫向相接之第1圖案，會沿著前述補強圖案之縱向以互相錯開方式配置。
8. 如申請專利範圍第1項之半導體裝置的製造方法，其中前述第1基板之第1及第2面上，設置配線用之導體圖案、以及在前述導體圖案之區域以外的區域配置虛擬用導體圖案。
9. 如申請專利範圍第8項之半導體裝置的製造方法，其中前述虛擬用導體圖案為分割配置。
10. 如申請專利範圍第8項之半導體裝置的製造方法，其中前述第1面、第2面、或兩面之半導體裝置形成區域中央配置著虛擬用導體圖案。
11. 如申請專利範圍第8項之半導體裝置的製造方法，其中以前述第1面及第2面之導體圖案互相接近的配置狀態對各面進行導體圖案之配置。
12. 如申請專利範圍第1項之半導體裝置的製造方法，其中

六、申請專利範圍

覆蓋於前述第1基板之第1面及第2面的絕緣膜也設置於無配線用導體圖案的区域。

13. 如申請專利範圍第12項之半導體裝置的製造方法，其中以覆蓋於前述第1面及第2面之絕緣膜覆蓋狀態互相接近的方式在各面設置保護膜。
14. 如申請專利範圍第1項之半導體裝置的製造方法，其中前述第1基板之複數半導體裝置形成区域的各区域，設有貫通前述第1面及第2面間的孔，且以去除前述第1面上之前述孔周圍的部份絕緣膜來形成屏障(dam)区域。
15. 一種半導體裝置之製造方法，其特徵為具有下列步驟；
 - (a) 在第1基板之第1面上安裝複數半導體晶片的步驟、
 - (b) 以相對於前述第1面之第2面朝向模具之下模的狀態下、以及前述第1面之複數半導體晶片置入模具之一個模槽內的狀態下，將前述安裝著複數半導體晶片之第1基板安裝於前述模具內之步驟、
 - (c) 以將前述第1基板之前述第2面朝向模具下模的真空吸附狀態，對前述複數半導體晶片整體實施樹脂密封、形成密封構件之步驟、
 - (d) 切斷前述第1基板及前述密封構件並切割出各半導體裝置的步驟。
16. 如申請專利範圍第15項之半導體裝置的製造方法，其中，前述(b)步驟後、前述(c)步驟前，具有對前述第1基板實施特定時間加熱之步驟。
17. 如申請專利範圍第15項之半導體裝置的製造方法，其

六、申請專利範圍

- 中，前述(c)步驟後、前述(d)步驟前，具有將複數之凸塊(bump)同時分別接合至前述第1基板第2面之複數半導體裝置形成區域的複數配線用導體圖案上的步驟。
18. 如申請專利範圍第15項之半導體裝置的製造方法，其中，前述第1基板之前述第1及第2面上，配置著具有複數半導體裝置形成區域之群體的第1區域、及其外側的第2區域，且前述第2區域設有補強圖案。
 19. 如申請專利範圍第18項之半導體裝置的製造方法，其中，前述補強圖案為分割配置。
 20. 如申請專利範圍第19項之半導體裝置的製造方法，其中，前述補強圖案之配置，為針對前述各半導體裝置形成區域進行分割。
 21. 如申請專利範圍第18、19、及20項中之任一項之半導體裝置的製造方法，其中前述補強圖案當中，特定之補強圖案為沿著前述第1及2面的可伸縮圖案構造。
 22. 如申請專利範圍第21項之半導體裝置的製造方法，其中，前述特定補強圖案由相互分離之複數第1圖案所構成，且和前述補強圖案以橫向相接之第1圖案，會沿著前述補強圖案之縱向以互相錯開方式配置。
 23. 如申請專利範圍第21項之半導體裝置的製造方法，其中前述特定補強圖案為磚(tile)狀圖案構成。
 24. 如申請專利範圍第16項之半導體裝置的製造方法，其中前述第1基板之第1及第2面上，設置配線用之導體圖案、以及在前述導體圖案之區域以外的區域配置虛擬用

六、申請專利範圍

導體圖案。

25. 如申請專利範圍第24項之半導體裝置的製造方法，其中前述虛擬用導體圖案為分割配置。
26. 如申請專利範圍第24項之半導體裝置的製造方法，其中前述第1面、第2面、或兩面之半導體裝置形成區域中央配置著虛擬用導體圖案。
27. 如申請專利範圍第24項之半導體裝置的製造方法，其中以前述第1面及第2面之導體圖案互相接近的配置狀態對各面進行導體圖案之配置。
28. 如申請專利範圍第15項之半導體裝置的製造方法，其中覆蓋於前述第1基板之第1面及第2面的絕緣膜也設置於無配線用導體圖案的區域。
29. 如申請專利範圍第28項之半導體裝置的製造方法，其中以覆蓋於前述第1面及第2面之絕緣膜覆蓋狀態互相接近的方式在各面設置保護膜。
30. 如申請專利範圍第15項之半導體裝置的製造方法，其中前述第1基板之複數半導體裝置形成區域的各區域，設有貫通前述第1面及第2面間的孔，且以去除前述第1面上之前述孔周圍的部份絕緣膜來形成屏障區域。
31. 一種半導體裝置之製造方法，其特徵為具有下列步驟；
 - (a) 在第1基板之第1面上安裝複數半導體晶片的步驟、
 - (b) 以相對於前述第1面之第2面朝向模具之下模的狀態，將前述安裝著複數半導體晶片之第1基板安裝於前述模具內之步驟、

六、申請專利範圍

(c) 在前述模具之上模、以及前述第1基板之第1面間存在薄膜的狀態下，對前述薄膜實施真空吸附，且前述第1基板之前述第2面以真空吸附方式吸附於前述模具之下模的狀態下，將前述複數半導體晶片同時以樹脂密封之方式形成密封構件的步驟、

(d) 前述模具之前述密封構件的脫模步驟、

(e) 切斷前述第1基板及密封構件並切割出各半導體裝置的步驟。

32. 一種半導體裝置之製造方法，其特徵在於具有下列步驟；

(a) 在第1基板之第1面上安裝複數半導體晶片的步驟、

(b) 以相對於前述第1面之第2面朝向模具之下模的狀態，將前述安裝著複數晶片之第1基板安裝於前述模具內之步驟、

(c) 利用對前述模具之模槽內注入密封樹脂，形成將前述複數半導體晶片同時密封之密封構件的步驟、

(d) 前述模具之前述密封構件的脫模步驟、

(e) 切斷前述第1基板及密封構件並切割出各半導體裝置的步驟，

而且，前述第1基板之前述第1及第2面上，配置著具有複數半導體裝置形成區域之群體的第1區域、及其外側的第2區域，且前述第2區域設有補強圖案。

33. 如申請專利範圍第32項之半導體裝置的製造方法，其中前述補強圖案之配置，為針對前述各半導體裝置形成區

六、申請專利範圍

域進行分割。

34. 如申請專利範圍第32或33項之半導體裝置的製造方法，其中前述補強圖案當中，特定之補強圖案為沿著前述第1及2面的可伸縮圖案構造。
35. 如申請專利範圍第34項之半導體裝置的製造方法，其中前述特定補強圖案由相互分離之複數第1圖案所構成，且和前述補強圖案以橫向相接之第1圖案，會沿著前述補強圖案之縱向以互相錯開方式配置。
36. 如申請專利範圍第34項之半導體裝置的製造方法，其中前述特定補強圖案為磚狀圖案構成。
37. 如申請專利範圍第31項之半導體裝置的製造方法，其中前述第1基板之第1及第2面上，設置配線用之導體圖案、以及在前述導體圖案之區域以外的區域配置虛擬用導體圖案。
38. 如申請專利範圍第37項之半導體裝置的製造方法，其中前述虛擬用導體圖案為分割配置。
39. 如申請專利範圍第37項之半導體裝置的製造方法，其中前述第1面、第2面、或兩面之半導體裝置形成區域中央配置著虛擬用導體圖案。
40. 如申請專利範圍第37項之半導體裝置的製造方法，其中以前述第1面及第2面之導體圖案互相接近的配置狀態對各面進行導體圖案之配置。
41. 如申請專利範圍第32項之半導體裝置的製造方法，其中覆蓋於前述第1基板之第1面及第2面的絕緣膜也設置於

六、申請專利範圍

無配線用導體圖案的區域。

42. 如申請專利範圍第32項之半導體裝置的製造方法，其中以覆蓋於前述第1面及第2面之絕緣膜覆蓋狀態互相接近的方式在各面設置保護膜。
43. 如申請專利範圍第32項之半導體裝置的製造方法，其中前述第1基板之複數半導體裝置形成區域的各區域，設有貫通前述第1面及第2面間的孔，且以去除前述第1面上之前述孔周圍的部份絕緣膜來形成屏障區域。
44. 如申請專利範圍第32項之半導體裝置的製造方法，其中前述(d)步驟後、前述(e)步驟前，具有將複數之凸塊同時分別接合至前述第1基板第2面之複數半導體裝置形成區域的複數配線用導體圖案上的步驟。
45. 一種半導體裝置，其係以密封構件密封安裝於第1基板之第1面的半導體晶片，其特徵在於前述第1基板之前述第1面及和其對向之第2面上，配置著配線用導體圖案、以及在配置著此導體圖案之區域以外的區域配置虛擬用導體圖案。
46. 如申請專利範圍第45項之半導體裝置，其中前述虛擬用導體圖案為分割配置。
47. 如申請專利範圍第45項之半導體裝置，其中前述第1面、第2面、或兩面之複數半導體裝置形成區域中央各自配置著虛擬用導體圖案。
48. 如申請專利範圍第45項之半導體裝置，其中以前述第1面及第2面之導體圖案互相接近的配置狀態對各面進行

六、申請專利範圍

導體圖案之配置。

49. 如申請專利範圍第45項之半導體裝置，其中覆蓋於前述第1基板之第1面及第2面的絕緣膜也設置於無配線用導體圖案的區域。
50. 如申請專利範圍第45項之半導體裝置，其中以覆蓋於前述第1面及第2面之絕緣膜覆蓋狀態互相接近的方式在各面設置保護膜。
51. 如申請專利範圍第45項之半導體裝置，其中前述第1基板之複數半導體裝置形成區域的各區域，設有貫通前述第1面及第2面間的孔，且以去除前述第1面上之前述孔周圍的部份絕緣膜來形成屏障區域。
52. 如申請專利範圍第45項之半導體裝置，其中前述第2面之配線用導體圖案上設有凸塊電極。
53. 一種半導體裝置，其係以密封構件密封安裝於第1基板之第1面的半導體晶片，其特徵在於覆蓋於前述第1基板之前述第1面及第2面的絕緣膜也設置於無配線用導體圖案的區域。
54. 一種半導體裝置，其係以密封構件密封安裝於第1基板之第1面的半導體晶片，其特徵在於以覆蓋於前述第1面及第2面之絕緣膜覆蓋狀態互相接近的方式在各面設置保護膜。
55. 如申請專利範圍第45～54項中之任一項之半導體裝置，其中前述第1基板的構成上，以和安裝此項之第2基板相同系列的絕緣材料為主體。