

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4546054号
(P4546054)

(45) 発行日 平成22年9月15日(2010.9.15)

(24) 登録日 平成22年7月9日(2010.7.9)

(51) Int.Cl. F I
 HO 1 L 21/8234 (2006.01) HO 1 L 27/06 I O 2 A
 HO 1 L 27/06 (2006.01) HO 1 L 27/04 P
 HO 1 L 21/822 (2006.01)
 HO 1 L 27/04 (2006.01)

請求項の数 6 (全 17 頁)

(21) 出願番号	特願2003-306942 (P2003-306942)	(73) 特許権者	000005821
(22) 出願日	平成15年8月29日(2003.8.29)		パナソニック株式会社
(65) 公開番号	特開2005-79290 (P2005-79290A)		大阪府門真市大字門真1006番地
(43) 公開日	平成17年3月24日(2005.3.24)	(74) 代理人	100077931
審査請求日	平成18年3月8日(2006.3.8)		弁理士 前田 弘
		(74) 代理人	100094134
			弁理士 小山 廣毅
		(74) 代理人	100110939
			弁理士 竹内 宏
		(74) 代理人	100113262
			弁理士 竹内 祐二
		(74) 代理人	100115059
			弁理士 今江 克実
		(74) 代理人	100117710
			弁理士 原田 智雄

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体層と、上記半導体層の側方に位置する素子分離用絶縁膜とを有する基板を備える半導体装置の製造方法であって、

上記半導体層の上に、ゲート絶縁膜を形成する工程(a)と、

上記ゲート絶縁膜の上にゲート電極を形成すると共に、上記素子分離用絶縁膜の上に抵抗素子用導体層を形成する工程(b)と、

少なくとも上記ゲート電極をマスクとしてイオン注入を行うことにより、上記半導体層の一部に不純物領域を形成する工程(c)と、

上記工程(c)の後に、上記基板上の全面に、第1の絶縁膜を形成する工程(d)と、

上記工程(d)の後に、前記第1の絶縁膜が前記抵抗素子用導体層の上を覆っている状態で熱処理を行うことにより、上記不純物領域の不純物を活性化する工程(e)と、

上記工程(e)の後に、上記第1の絶縁膜の上に第2の絶縁膜を形成する工程(f)と

、
 上記第1の絶縁膜および上記第2の絶縁膜を、上記抵抗素子用導体層のうちの抵抗形成領域上に少なくとも残して、除去することにより、抵抗素子用導体層のうちのコンタクト形成領域を露出させる工程(g)と、

上記工程(g)の後に、上記ゲート電極、上記不純物領域及び上記抵抗素子用導体層のうちのコンタクト形成領域の上に、シリサイド層を形成する工程(h)とを備え、

上記工程(d)において、上記第1の絶縁膜は、膜厚が5nm以上20nm以下であり

、且つ、第 1 のシリコン酸化膜あるいはシリコン窒化膜からなる半導体装置の製造方法。

【請求項 2】

請求項 1 に記載の半導体装置の製造方法であって、

上記工程 (b) の後で上記工程 (c) の前に、上記ゲート電極をマスクとしてイオン注入を行うことにより、上記半導体層の一部に低濃度不純物領域を形成する工程 (i) と、

上記工程 (i) の後で上記工程 (c) の前に、上記ゲート電極の側面上にサイドウォールを形成する工程 (j) とをさらに備え、

上記工程 (c) では、上記ゲート電極および上記サイドウォールをマスクとしてイオン注入を行うことにより、上記不純物領域として高濃度不純物領域を形成する、半導体装置の製造方法。

10

【請求項 3】

請求項 2 に記載の半導体装置の製造方法であって、

上記工程 (g) では、上記第 1 の絶縁膜のうち上記サイドウォールの下端部の表面上に接する部分も残す、半導体装置の製造方法。

【請求項 4】

請求項 1 ~ 3 のうちいずれか 1 項に記載の半導体装置の製造方法であって、

上記工程 (d) では、上記第 1 の絶縁膜として上記第 1 のシリコン酸化膜を形成し、

上記工程 (f) では、上記第 2 の絶縁膜として第 2 のシリコン酸化膜を形成する、半導体装置の製造方法。

【請求項 5】

請求項 1 ~ 3 のうちいずれか 1 項に記載の半導体装置の製造方法であって、

上記工程 (d) では、上記第 1 の絶縁膜として上記シリコン窒化膜を形成し、

上記工程 (f) では、上記第 2 の絶縁膜として第 2 のシリコン酸化膜を形成する、半導体装置の製造方法。

20

【請求項 6】

請求項 5 に記載の半導体装置の製造方法であって、

上記工程 (g) では、上記第 2 のシリコン酸化膜のうち上記抵抗素子用導体層の上方に位置する部分の上をフォトレジストで覆った状態でウェットエッチングを行うことにより、上記第 2 のシリコン酸化膜の一部を除去し、その後上記フォトレジストを除去し、さらに、上記第 2 のシリコン酸化膜をマスクとしてドライエッチングを行うことにより、上記シリコン窒化膜の一部を除去する、半導体装置の製造方法。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、MISFET と抵抗素子とを備える半導体装置とその製造方法に関するものであり、特に、MISFET のゲート電極やソース・ドレイン領域の表面上にシリサイド層が設けられた半導体装置とその製造方法に関するものである。

【背景技術】

【0002】

近年の半導体装置では、ゲート電極およびソース・ドレイン領域を低抵抗化するために、シリサイド形成技術が用いられている。シリサイド形成技術とは、ゲート電極やソース・ドレイン領域におけるシリコンを、チタンやコバルト、ニッケル等の高融点金属材料と反応させることにより、各電極上に金属シリサイド膜を形成する技術である。

40

【0003】

ところで、チップ上には、MISFET などのトランジスタの他に抵抗素子を形成する場合がある。この抵抗素子としては、例えば、トレンチ素子分離などの素子分離用絶縁膜の上に位置する多結晶シリコン層が用いられる。この抵抗素子は、ゲート電極を形成するための多結晶シリコン膜をパターンニングする際に、同時に形成することができる。このような抵抗素子としての多結晶シリコン層の上には、金属シリサイド層は形成しない。

【0004】

50

以下に、MISFETと抵抗素子とを同時に形成する方法について、図7(a)~(d)および図8(a)~(d)を参照しながら説明する。図7(a)~(d)および図8(a)~(d)は、従来において、MISFETと抵抗素子とを有する半導体装置を形成する工程を示す断面図である。

【0005】

まず、図7(a)に示す構造を得るために以下の工程を行う。まず、n型シリコン基板300に素子分離用絶縁膜305を形成した後、n型シリコン基板300の上に、ゲート絶縁膜301を形成する。次に、基板上に多結晶シリコン膜(図示せず)を堆積してパターンニングを行うことにより、ゲート絶縁膜301の上にゲート電極302を形成する。このパターンニング時に、素子分離用絶縁膜305の上に、抵抗素子用の多結晶シリコン層306を形成しておく。次に、ゲート電極302をマスクとしてn型シリコン基板300にイオン注入を行うことにより、p⁻不純物領域303を形成する。その後、基板上に、ゲート電極302および多結晶シリコン層306を覆うシリコン酸化膜(図示せず)を形成し、エッチングを行うことにより、ゲート電極302および多結晶シリコン層306の側面上にサイドウォールスペーサ304を形成する。

10

【0006】

次に、図7(b)に示す工程で、基板にボロンのイオン注入を行う。これにより、ゲート電極302および抵抗素子用の多結晶シリコン層306に、高濃度のp型不純物のボロンが注入される。そして、n型シリコン基板300のうちサイドウォールスペーサ304の側方に位置する部分には、ソース・ドレイン領域となるp⁺不純物領域308が形成される。

20

【0007】

次に、図7(c)に示す工程で、基板上にシリコン酸化膜310を堆積する。

【0008】

次に、図7(d)に示す工程で、1050の温度で5秒間の熱処理を行うことにより、ゲート電極302、p⁺不純物領域308および多結晶シリコン層306中のボロンを活性化させる。

【0009】

次に、図8(a)に示す工程で、シリコン酸化膜310の上にフォトレジスト311を形成する。フォトレジスト311は、シリコン酸化膜310のうち多結晶シリコン層306の上に位置する部分を覆うように形成する。

30

【0010】

次に、図8(b)に示す工程で、フォトレジスト311(図8(a)に示す)をマスクとして、シリコン酸化膜310に対して、弗酸によるウェットエッチングを行う。その後、フォトレジスト311を除去する。これにより、シリコン酸化膜310のうち抵抗素子用の多結晶シリコン層306の上に位置する部分が残る。なお、シリコン酸化膜310のうち多結晶シリコン層306の縁部の上に位置する部分は除去されて、縁部は露出している。

【0011】

次に、図8(c)に示す工程で、シリコン上に形成された自然酸化膜を除去する。この自然酸化膜は、前の工程でウェットエッチングを行うことにより、n型シリコン基板300やゲート電極302などのシリコンが露出するために、自然に形成されたものである。

40

【0012】

その後、膜厚8nmのコバルトを全面に堆積し、450の温度で30秒間の熱処理を行う。その後、未反応のコバルトを除去する。これにより、ゲート電極302およびp⁺不純物領域308の上に、コバルトシリサイド層313、314が形成される。同時に、多結晶シリコン層306の縁部の上にも、コバルトシリサイド層315が形成される。

【0013】

次に、図8(d)に示す工程で、基板上に、層間絶縁膜316、コンタクト317および金属配線318等を形成する。以上の工程によって、MISFETと抵抗素子とを有す

50

る半導体装置が形成される。この半導体装置において、MISFETのゲート電極302やソース・ドレイン領域(p⁺不純物領域308)の上にはコバルトシリサイド層313, 314が形成される。一方、抵抗素子である多結晶シリコン層306においては、コバルトシリサイド層315は、コンタクト317を接触させるための縁部の上のみ形成され、中央部の上には形成されない。

【特許文献1】特開2001-7220号公報

【発明の開示】

【発明が解決しようとする課題】

【0014】

しかしながら、上記従来の方法では以下のような不具合が生じていた。

10

【0015】

シリコン酸化膜310は、図8(c)に示す工程でシリサイド層を形成する際に、抵抗素子用の多結晶シリコン層306の上面を保護するために設けられている。しかし、図7(c)に示す工程でシリコン酸化膜310を形成した後に、図7(d)に示す工程で熱処理を行うと、シリコン酸化膜310は熱収縮してしまう。また、図8(a)に示すリソグラフィ工程においてフォトレジストの重ね合わせずれが生じた場合には、洗浄工程が必要となり、シリコン酸化膜310の膜厚が減少してしまう。また、図8(c)に示す工程で、自然酸化膜を除去するためのウェットエッチ工程を行うことによっても、シリコン酸化膜310の膜厚が減少してしまう。以上のことから、図8(b)に示す工程を行う時点において、抵抗素子用の多結晶シリコン層306の上面が露出しないために、あらかじめシリコン酸化膜310を、例えば40nm程度に厚く形成していた。

20

【0016】

しかしながら、抵抗素子用の多結晶シリコン層306の上にシリコン酸化膜310が厚く残存している場合には、MISFETにおいて、十分な飽和電流量を得ることができないという不具合が生じていた。この不具合は、図7(d)に示す熱処理工程において、シリコン酸化膜310の膜厚が厚くなると、発生する応力の大きさが大きくなるためと考えられる。

【0017】

このような不具合を解決する方法として、シリコン酸化膜310を形成する前に不純物を活性化するための熱処理をしておく方法がある。この方法では、シリコン酸化膜310

30

を厚く形成しても、飽和電流量の減少が引き起こされない。

【0018】

ところが、この場合には、新たに抵抗素子の抵抗のばらつきが大きくなるという不具合が生じてしまう。これは、活性化熱処理を行う時点において抵抗素子用の多結晶シリコン層306の上が露出している場合には、多結晶シリコン層306内に含まれるボロンが外方に拡散するためと考えられる。

【0019】

さらに、従来の方法では、シリコン酸化膜310に対してウェットエッチングを行う工程や、コバルトを堆積する前に自然酸化膜に対してウェットエッチングを行う工程において、サイドウォールスペーサ304が除去されてしまう。このため、サイドウォールスペーサ304の下端部付近において、コバルトシリサイド層314とシリコン基板300におけるn型の領域との間の距離が短くなる。これにより、接合リーク電流が発生し、MISFETのオフリーク電流が増大するおそれが生じる。

40

【0020】

本発明の目的は、上述の問題を解消することにより、十分な電流量を得ることができるMISFETと、抵抗値のばらつきの少ない抵抗素子とを有する半導体装置とその製造方法を提供することにある。

【課題を解決するための手段】

【0021】

本発明の半導体装置は、半導体層上に設けられたMISFETと、素子分離用絶縁膜上

50

に設けられた抵抗素子とを有する半導体装置であって、上記M I S F E Tは、上記半導体層上に設けられたゲート絶縁膜と、上記ゲート絶縁膜の上に設けられたゲート電極と、上記半導体層のうちの一部に設けられた不純物拡散層と、少なくとも上記ゲート電極の上に設けられた第1のシリサイド層とを備え、上記抵抗素子は、上記素子分離用絶縁膜上に設けられた導体層と、上記導体層のうちの抵抗形成領域上に設けられた第1の絶縁膜及び第2の絶縁膜と、上記導体層のうちのコンタクト形成領域上に形成された第2のシリサイド層とを備え、上記第1の絶縁膜は、上記第2の絶縁膜よりも膜厚が薄く、上記導体層と上記第2の絶縁膜との間に形成されている。

【0022】

このように、導体層の上に形成される絶縁膜が少なくとも2層の膜に分かれているので、半導体装置の製造工程において、導体層の上の絶縁膜を2度以上の工程に分けて形成することができる。具体的にいうと、抵抗素子用の導体層やゲート電極の上を第1の絶縁膜で覆った状態で、不純物拡散層の不純物を活性化するための熱処理を行った後に、第1の絶縁膜の上に第2の絶縁膜を形成し、第1のシリサイド層および第2のシリサイド層を形成するためのシリサイド化を行うことが可能になる。

10

【0023】

これにより、不純物を活性化するための熱処理を行う時点では、第1の絶縁膜の厚さは薄いので、熱収縮等に起因する応力が低減される。したがって、M I S F E Tの飽和電流量が減少するという不具合は生じない。この熱処理の際には、導体層の上は露出していないので、導体層内の不純物が外方に拡散せず、抵抗素子の抵抗値のばらつきが増大することもない。さらに、シリサイド化を行う時点では、導体層のうち抵抗形成領域の上は厚い絶縁膜で覆われているので、導体層の上部が露出したり、シリサイド化するおそれがない。

20

【0024】

上記抵抗素子における上記導体層は、上記ゲート電極と同一の膜からパターンニングされた層である。

【0025】

上記第1の絶縁膜および上記第2の絶縁膜は、シリコン酸化膜であってもよい。

【0026】

上記第1の絶縁膜は窒素を含む膜であって、上記第2の絶縁膜はシリコン酸化膜であってもよい。この場合は、製造工程において、エッチングの選択比が高くなるので好ましい。

30

【0027】

上記第1の絶縁膜の膜厚は5nm以上20nm以下であることが好ましい。

【0028】

上記M I S F E Tは、上記ゲート電極の側方に設けられたサイドウォールをさらに備え、上記不純物拡散層は、上記ゲート電極の側方下に設けられた低濃度不純物拡散層と、上記サイドウォールの側方下に設けられた高濃度不純物拡散層とを有していてもよい。

【0029】

上記サイドウォールの下端部の上には、上記第1の絶縁膜と同一の膜からパターンニングされた絶縁膜がさらに設けられていることにより、製造工程において、サイドウォールの下端部の膜減りを防止することができる。

40

【0030】

上記高濃度不純物拡散層の上には、第3のシリサイド層がさらに設けられていてもよい。

【0031】

上記サイドウォールは、上記ゲート電極の側面上から上記半導体層の一部の上に亘って設けられたL字状のシリコン酸化膜と、上記L字状のシリコン酸化膜の上に設けられたシリコン窒化膜とを有していてもよい。

【0032】

50

本発明の半導体装置の製造方法は、半導体層と、上記半導体層の側方に位置する素子分離用絶縁膜とを有する基板を備える半導体装置の製造方法であって、上記半導体層の上に、ゲート絶縁膜を形成する工程(a)と、上記ゲート絶縁膜の上にゲート電極を形成すると共に、上記素子分離用絶縁膜の上に抵抗素子用導体層を形成する工程(b)と、少なくとも上記ゲート電極をマスクとしてイオン注入を行うことにより、上記半導体層の一部に不純物領域を形成する工程(c)と、上記工程(c)の後に、上記基板上の全面に、第1の絶縁膜を形成する工程(d)と、上記工程(d)の後に、熱処理を行うことにより、上記不純物領域の不純物を活性化する工程(e)と、上記工程(e)の後に、上記第1の絶縁膜の上に第2の絶縁膜を形成する工程(f)と、上記第1の絶縁膜および上記第2の絶縁膜を、上記抵抗素子用導体層のうちの抵抗形成領域上に少なくとも残して、除去する工程(g)とを備える。

10

【0033】

これにより、工程(e)では、第1の絶縁膜の厚さは薄いので、熱収縮等に起因する応力が低減される。したがって、MISFETの飽和電流量が減少するという不具合は生じない。また、この工程において、抵抗素子用導体層の上は露出していないので、抵抗素子用導体層内に含まれる不純物が外方に拡散せず、抵抗素子の抵抗値のばらつきが増大することもない。

【0034】

上記工程(g)の後に、上記ゲート電極および上記不純物領域の上に、シリサイド層を形成する工程(h)をさらに備えることにより、この工程において、抵抗素子用導体層の抵抗形成領域の上は厚い絶縁膜で覆われているので、導体層の上部が露出したり、シリサイド化するおそれがない。

20

【0035】

上記工程(b)の後で上記工程(c)の前に、上記ゲート電極をマスクとしてイオン注入を行うことにより、上記半導体層の一部に低濃度不純物領域を形成する工程(i)と、上記工程(i)の後で上記工程(c)の前に、上記ゲート電極の側面上にサイドウォールを形成する工程(j)とをさらに備え、上記工程(c)では、上記ゲート電極および上記サイドウォールをマスクとしてイオン注入を行うことにより、上記不純物領域として高濃度不純物領域を形成することができる。

【0036】

上記工程(g)では、上記第1の絶縁膜のうち上記サイドウォールの下端部の表面上に接する部分も残すことにより、サイドウォールの下端部の膜減りを防止することができる。

30

【0037】

上記工程(d)では、上記第1の絶縁膜としてシリコン酸化膜を形成し、上記工程(f)では、上記第2の絶縁膜としてシリコン酸化膜を形成してもよい。

【0038】

上記工程(d)では、上記第1の絶縁膜として窒素を含む膜を形成し、上記工程(f)では、上記第2の絶縁膜としてシリコン酸化膜を形成してもよい。この場合は、エッチングの選択比が高くなるので好ましい。

40

【0039】

また、この場合には、上記工程(g)では、上記シリコン酸化膜のうち上記抵抗素子用導体層の上方に位置する部分の上をフォトレジストで覆った状態でウェットエッチングを行うことにより、上記シリコン酸化膜の一部を除去し、その後上記フォトレジストを除去し、さらに、上記シリコン酸化膜をマスクとしてドライエッチングを行うことにより、上記窒素を含む膜の一部を除去することができる。

【0040】

上記工程(d)では、上記第1の絶縁膜の膜厚を、5nm以上20nm以下にすることが好ましい。

【発明の効果】

50

【0041】

本発明では、十分な電流量を得ることができるMISFETと、抵抗値のばらつきの少ない抵抗素子とを有する半導体装置を得ることができる。

【発明を実施するための最良の形態】

【0042】

(第1の実施形態)

図1(a)~(d)および図2(a)~(d)は、第1の実施形態における半導体装置の製造工程を示す断面図である。

【0043】

まず、図2(d)を参照しながら、本実施形態の半導体装置の構造について説明する。

10

【0044】

図2(d)に示すように、本実施形態の半導体装置では、n型シリコン基板100の上にMISFET122が設けられ、素子分離用絶縁膜105の上に抵抗素子123が設けられている。

【0045】

MISFET122は、n型シリコン基板100の上に設けられたゲート絶縁膜101と、ゲート絶縁膜101の上に設けられたゲート電極102と、ゲート電極102の側方に設けられたサイドウォールスペーサ104と、n型シリコン基板100のうちゲート電極102の側方下に位置する領域に設けられ、表面濃度 $1 \times 10^{20} \text{ cm}^{-3}$ のp型不純物を含むp⁻不純物領域103と、n型シリコン基板100のうちサイドウォールスペーサ104の側方下に位置する領域に設けられ、表面濃度 $2 \times 10^{21} \text{ cm}^{-3}$ のp型不純物を含むp⁺不純物領域108と、ゲート電極102およびp⁺不純物領域108の上に設けられたコバルトシリサイド層115、116とを備えている。

20

【0046】

抵抗素子123は、素子分離用絶縁膜105の上に設けられた多結晶シリコン層106と、多結晶シリコン層106の側方に設けられたサイドウォールスペーサ104と、多結晶シリコン層106のうち縁部を除く部分の上に設けられた厚さ10nmのシリコン酸化膜110と、シリコン酸化膜110の上に設けられた厚さ30nmのシリコン酸化膜111と、多結晶シリコン層106のうち縁部の上に設けられたコバルトシリサイド層117とを備えている。この多結晶シリコン層106のうち、シリコン酸化膜110、111の形成された領域が抵抗形成領域となり、コバルトシリサイド層117が形成された領域がコンタクト形成領域となる。ここで、シリコン酸化膜110、111が設けられている点が本実施形態の特徴である。

30

【0047】

MISFET122および抵抗素子123の上は層間絶縁膜118で覆われている。そして、MISFET122におけるコバルトシリサイド層115、116と、抵抗素子123におけるコバルトシリサイド層117の上には、層間絶縁膜118を貫通するコンタクト119が接している。層間絶縁膜118の上には、コンタクト119に接するように、金属配線120が設けられている。

【0048】

40

次に、本実施形態の半導体装置の製造工程について、図1(a)~(d)および図2(a)~(d)を参照しながら説明する。

【0049】

まず、図1(a)に示す工程で、n型シリコン基板100の上に、周知の方法によって、シリコン酸化膜からなる膜厚2nmのゲート絶縁膜101を形成する。ゲート絶縁膜101の上には、厚さ150nmの多結晶シリコン膜からなるゲート電極102を形成する。このパターンニング時に、素子分離用絶縁膜105の上に、抵抗素子用の多結晶シリコン層106を形成しておく。

【0050】

次に、ゲート電極102をマスクとしてイオン注入を行うことにより、n型シリコン基

50

板100の上部に、表面濃度 $1 \times 10^{20} \text{ cm}^{-3}$ のp型不純物を含むp⁻不純物領域103を形成する。その後、基板上に、シリコン酸化膜(図示せず)を形成し、エッチングを行うことにより、ゲート電極102および多結晶シリコン層106の側方に、サイドウォールスペース104を形成する。

【0051】

次に、図1(b)に示す工程で、基板にボロンのイオン注入を行う。これにより、ゲート電極102および抵抗素子用の多結晶シリコン層106に高濃度のp型不純物がドーピングされる。そして、n型シリコン基板100のうちサイドウォールスペース104の側方下に位置する部分には、表面濃度 $2 \times 10^{21} \text{ cm}^{-3}$ のp型不純物を含み、ソース・ドレイン領域となるp⁺不純物領域108が形成される。

10

【0052】

次に、図1(c)に示す工程で、基板上に、膜厚10nmのシリコン酸化膜110を堆積する。シリコン酸化膜110は、ゲート電極102および多結晶シリコン層106の上を覆っている。なお、シリコン酸化膜110の膜厚は、5nm以上20nm以下であることが好ましい。この状態で、1050の温度で5秒間の熱処理を行うことにより、ゲート電極102、多結晶シリコン層106およびp⁺不純物領域108内に含まれるボロンを活性化する。

【0053】

次に、図1(d)に示す工程で、シリコン酸化膜110の上に、膜厚30nmのシリコン酸化膜111を堆積する。ここで、シリコン酸化膜111の膜厚は、30nm以上70nm以下であることが好ましい。

20

【0054】

次に、図2(a)に示す工程で、シリコン酸化膜111の上にフォトレジスト112を形成する。フォトレジスト112は、シリコン酸化膜111のうち多結晶シリコン層106のうちの抵抗形成領域上に位置する部分を覆うように形成する。

【0055】

次に、図2(b)に示す工程で、フォトレジスト112をマスクとして、シリコン酸化膜110、111に対して、弗酸によるウェットエッチングを行う。その後、フォトレジスト112を除去する。これにより、抵抗素子用の多結晶シリコン層106のうちの抵抗形成領域上に位置する部分にシリコン酸化膜110、111が残る。なお、多結晶シリコン層106のうちのコンタクト形成領域となる縁部の上にはシリコン酸化膜110、111は残存せず、縁部は露出している。

30

【0056】

次に、図2(c)に示す工程で、シリコン上に形成された自然酸化膜(図示せず)を除去する。この自然酸化膜は、前の工程でウェットエッチングを行うことにより、n型シリコン基板100やゲート電極102などのシリコンが露出するために、自然に形成されたものである。

【0057】

その後、膜厚8nmのコバルトを全面に堆積し、450の温度で30秒の熱処理を行う。その後、未反応のコバルトを除去する。これにより、ゲート電極102およびp⁺不純物領域108の上に、コバルトシリサイド層115、116が形成される。同時に、多結晶シリコン層106の縁部のコンタクト形成領域上にも、コバルトシリサイド層117が形成される。

40

【0058】

次に、図2(d)に示す工程で、基板上に、層間絶縁膜118、コンタクト119および金属配線120等を形成する。以上の工程によって、MISFET122と抵抗素子123とを有する半導体装置が形成される。この半導体装置において、MISFET122のゲート電極102やソース・ドレイン領域(p⁺不純物領域308)の上にはコバルトシリサイド層115、116が形成される。一方、抵抗素子123の多結晶シリコン層106においては、コバルトシリサイド層117は、コンタクト119を接触させるための

50

縁部のコンタクト形成領域上のみ形成され、中央部の上には形成されない。

【0059】

以下に、本実施形態の半導体装置で得られる効果について説明する。

【0060】

本実施形態の半導体装置では、図1(c)に示す工程で、ゲート電極102および多結晶シリコン層106の上を膜厚5~20nmの薄いシリコン酸化膜110で覆う。その状態で不純物領域108の活性化熱処理を行う。このとき、シリコン酸化膜110の膜厚は薄いので、シリコン酸化膜110の熱収縮に起因する応力が低減され、MISFETの特性が劣化しない。また、熱処理の際に抵抗素子用の多結晶シリコン層106の上面が露出していないので、多結晶シリコン106内に含まれるボロンが外方に拡散せず、抵抗素子

10

【0061】

その後、図1(d)に示す工程で、シリコン酸化膜110の上にシリコン酸化膜111を堆積する。シリコン酸化膜110、111の合計の膜厚は十分に厚いので、図2(c)に示す工程でシリサイド化を行う際に、抵抗素子用の多結晶シリコン層106の上面が露出したり、シリサイド化するおそれがない。

【0062】

ここで、図1(c)に示す工程で、シリコン酸化膜110の膜厚を5nm以上20nm以下とすることの意義について、発明者らの測定結果を参照しながらより詳細に説明する。

20

【0063】

図3は、p型MISFETの飽和電流量と、熱処理の際のシリコン酸化膜の膜厚との関係を示すグラフ図である。なお、この熱処理とは、ソース・ドレイン領域の不純物を活性化するための熱処理をいい、シリコン酸化膜とは、ゲート電極および抵抗素子の上を覆う膜のことをいう。図3に示すように、シリコン酸化膜の膜厚が20nmより厚くなるあたりから、MISFETの飽和電流量が減少しはじめる。そして、膜厚が増大するにしたがって、減少の度合いが大きくなる。この観測結果から、熱処理の際には、シリコン酸化膜の膜厚は20nm以下であることが好ましいといえる。

【0064】

図4は、抵抗素子用の多結晶シリコン層の抵抗値と、熱処理の際のシリコン酸化膜の膜厚との関係を示すグラフ図である。図3の場合と同様に、この熱処理とは、ソース・ドレイン領域の不純物を活性化するための熱処理をいい、シリコン酸化膜とは、ゲート電極および抵抗素子の上を覆う膜のことをいう。図4に示すように、シリコン酸化膜の膜厚が0nmの場合、つまり、シリコン酸化膜を堆積する前に熱処理を行うと、抵抗のばらつきは3.5(a.u.)である。それに対し、シリコン酸化膜を、たとえば5nmの厚さだけでも堆積した状態で熱処理を行うと、抵抗のばらつきが1.0(a.u.)に減少する。この値は、シリコン酸化膜の膜厚が増大してもほぼ一定の値に保たれる。この観測結果から、抵抗のばらつきは、シリコン酸化膜の有無によって大きく異なる。ところが、シリコン酸化膜が有る状態では、抵抗のばらつきは、シリコン酸化膜の膜厚には依存しないといえる。したがって、抵抗のばらつきを抑制するためには、シリコン酸化膜の膜厚は5nm程度以上あ

30

40

【0065】

(第2の実施形態)

図5(a)~(e)および図6(a)~(d)は、第2の実施形態における半導体装置の製造工程を示す断面図である。

【0066】

まず、図6(d)を参照しながら、本実施形態の半導体装置の構造について説明する。

【0067】

図6(d)に示すように、本実施形態の半導体装置では、n型シリコン基板200の上

50

にMISFET 224が設けられ、素子分離用絶縁膜206の上に抵抗素子225が設けられている。

【0068】

MISFET 224は、n型シリコン基板200の上に設けられたゲート絶縁膜201と、ゲート絶縁膜201の上に設けられたゲート電極202と、ゲート電極202の側面上に設けられ、L字状のシリコン酸化膜204とシリコン窒化膜205を覆うシリコン窒化膜205との積層膜であるサイドウォールスペーサ230と、n型シリコン基板200のうちゲート電極202の側方下に位置する領域に設けられ、表面濃度 $1 \times 10^{20} \text{ cm}^{-3}$ のp型不純物を含む p^- 不純物領域203と、n型シリコン基板200のうちサイドウォールスペーサ230の側方下に位置する領域に設けられ、表面濃度 $2 \times 10^{21} \text{ cm}^{-3}$ のp型不純物を含む p^+ 不純物領域209と、ゲート電極202および p^+ 不純物領域209の上に設けられたコバルトシリサイド層217、218とを備えている。

10

【0069】

抵抗素子225は、素子分離用絶縁膜206の上に設けられた多結晶シリコン層207と、多結晶シリコン層207の側面上に設けられ、L字状のシリコン酸化膜204とシリコン窒化膜205の上を覆うシリコン窒化膜205との積層膜であるサイドウォールスペーサ230と、多結晶シリコン層207のうち縁部を除く部分の上に設けられた厚さ5nmのシリコン窒化膜215と、シリコン窒化膜215の上に設けられた厚さ40nmのシリコン酸化膜214と、多結晶シリコン層207のうち縁部の上に設けられたコバルトシリサイド層219とを備えている。この多結晶シリコン層207のうち、シリコン酸化膜214及びシリコン窒化膜215の形成された領域が抵抗形成領域となり、コバルトシリサイド層219が形成された領域がコンタクト形成領域となる。ここで、シリコン窒化膜215およびシリコン酸化膜214が設けられている点が本実施形態の特徴である。

20

【0070】

MISFET 224と抵抗素子225とにおいて、サイドウォールスペーサ230の下端部の表面上には、シリコン窒化膜216が設けられている。このシリコン窒化膜216は、シリコン窒化膜215と同時に形成されたものである。

【0071】

MISFET 224および抵抗素子225の上は層間絶縁膜220で覆われている。そして、MISFET 224におけるコバルトシリサイド層217、218と、抵抗素子225用の多結晶シリコン層207におけるコバルトシリサイド層219の上には、層間絶縁膜220を貫通するコンタクト221が接している。層間絶縁膜220の上には、コンタクト221に接するように、金属配線222が設けられている。

30

【0072】

次に、本実施形態の半導体装置の製造方法について、図5(a)~(e)および図6(a)~(d)を参照しながら説明する。

【0073】

まず、図5(a)に示す工程で、n型シリコン基板200の上に、周知の方法によって、シリコン窒化膜からなる膜厚2nmのゲート絶縁膜201を形成する。ゲート絶縁膜201の上には、厚さ150nmの多結晶シリコン膜からなるゲート電極202を形成する。このパターニング時に、素子分離用絶縁膜206の上に、抵抗素子用の多結晶シリコン層207を形成しておく。次に、ゲート電極202をマスクとしてイオン注入を行うことにより、n型シリコン基板200の上部に、表面濃度 $1 \times 10^{20} \text{ cm}^{-3}$ のp型不純物を含む p^- 不純物領域203を形成する。

40

【0074】

その後、基板上に、ゲート電極202および多結晶シリコン層207を覆う、厚さ10nmのシリコン酸化膜(図示せず)を堆積する。そのシリコン酸化膜の上に、厚さ40nmのシリコン窒化膜(図示せず)を堆積する。その後、シリコン酸化膜およびシリコン窒化膜に対し、異方性エッチングを行うことにより、ゲート電極202および多結晶シリコン層207の側面上に、断面構造がL字状のシリコン酸化膜204と、シリコン酸化膜2

50

04を覆うシリコン窒化膜205とからなるサイドウォールスペーサ230を形成する。

【0075】

次に、図5(b)に示す工程で、基板にボロンのイオン注入を行う。これにより、ゲート電極202および抵抗素子用の多結晶シリコン層207に高濃度のp型不純物がドーピングされる。そして、n型シリコン基板200のうちサイドウォールスペーサ230の側方下に位置する部分には、表面濃度 $2 \times 10^{21} \text{ cm}^{-3}$ のp型不純物を含み、ソース・ドレイン領域となる p^+ 不純物領域209が形成される。

【0076】

次に、図5(c)に示す工程で、基板上に、膜厚5nmのシリコン窒化膜211を堆積する。シリコン窒化膜211は、ゲート電極202および多結晶シリコン層207の上を覆っている。なお、シリコン窒化膜211の膜厚は、5nm以上20nm以下であることが好ましい。この状態で、1050の温度で5秒間の熱処理を行うことにより、ゲート電極202、多結晶シリコン層207および p^+ 不純物領域209内に含まれるボロンを活性化する。

10

【0077】

次に、図5(d)に示す工程で、シリコン窒化膜211の上に、膜厚40nmのシリコン酸化膜212を堆積する。ここで、シリコン酸化膜212の膜厚は、30nm以上70nm以上であることが好ましい。

【0078】

次に、図5(e)に示す工程で、シリコン酸化膜212の上にフォトレジスト213を形成する。フォトレジスト213は、シリコン酸化膜212のうち多結晶シリコン層207のうちの抵抗形成領域上に位置する部分を覆うように形成する。

20

【0079】

次に、図6(a)に示す工程で、フォトレジスト213(図5(e)に示す)をマスクとして、弗酸によるウェットエッチングを行う。その後、フォトレジスト213を除去する。これにより、抵抗素子用の多結晶シリコン層207のうちの抵抗形成領域上に、シリコン窒化膜211を挟んでシリコン酸化膜214が残る。

【0080】

なお、多結晶シリコン層207のうちのコンタクト形成領域となる縁部の上にシリコン酸化膜214は残存せず、縁部は露出している。このウェットエッチングは、シリコン窒化膜211に対して選択的に行われるため、サイドウォールスペーサ230の膜減りは抑制される。

30

【0081】

次に、図6(b)に示す工程で、シリコン酸化膜214をマスクとしてドライエッチングを行う。これにより、シリコン抵抗素子用の多結晶シリコン層207の上に、シリコン窒化膜215を残す。また、サイドウォールスペーサ230の下端部の上には、シリコン窒化膜216が残存する。

【0082】

次に、図6(c)に示す工程で、基板上に形成された自然酸化膜を除去する。この自然酸化膜は、前の工程でウェットエッチングを行うことにより、n型シリコン基板200やゲート電極202などのシリコンが露出するために、自然に形成されたものである。その後、膜厚8nmのコバルトを全面に堆積し、450の温度で30秒の熱処理を行う。その後、未反応のコバルトを除去する。これにより、ゲート電極202および p^+ 不純物領域209の上に、コバルトシリサイド層217、218が形成される。同時に、多結晶シリコン層207の縁部のコンタクト形成領域上にも、コバルトシリサイド層219が形成される。

40

【0083】

次に、図6(d)に示す工程で、基板上に、層間絶縁膜220、コンタクト221および金属配線222等を形成する。以上の工程によって、MISFETと抵抗素子とを有する半導体装置が形成される。この半導体装置において、MISFETのゲート電極202

50

やソース・ドレイン領域 (p^+ 不純物領域 209) の上にはコバルトシリサイド層 217, 218 が形成される。一方、抵抗素子である多結晶シリコン層 207 においては、コバルトシリサイド層 219 は、コンタクト 221 を接触させるための縁部のコンタクト形成領域上のみ形成され、中央部の上には形成されない。

【0084】

以下に、本実施形態の半導体装置で得られる効果について説明する。

【0085】

本実施形態の半導体装置では、図 5 (c) に示す工程で、ゲート電極 202 および多結晶シリコン層 207 の上を膜厚 5 ~ 20 nm の薄いシリコン窒化膜 211 で覆う。その状態で不純物領域 209 の活性化熱処理を行う。

10

【0086】

このとき、シリコン窒化膜 211 の膜厚は薄いので、シリコン窒化膜 211 の熱収縮に起因する応力は発生しにくい。したがって、MISFET の特性が劣化しない。また、熱処理の際に抵抗素子用の多結晶シリコン層 207 の上面が露出していないので、抵抗素子における抵抗のばらつきが増大することもない。

【0087】

その後、図 5 (d) に示す工程で、シリコン窒化膜 211 の上にシリコン酸化膜 212 を堆積する。シリコン窒化膜 211 およびシリコン酸化膜 212 の膜厚の合計は十分に厚い。したがって、図 6 (c) に示す工程でシリサイド化を行う際に、抵抗素子用の多結晶シリコン層 207 の上面が露出したり、シリサイド化するおそれがない。

20

【0088】

さらに、シリコン窒化膜 211 が設けられていることにより、以下の効果を得ることができる。まず、図 6 (a) に示す工程では、シリコン酸化膜 214 のウェットエッチングを、シリコン窒化膜 211 に対して選択的に行うことができる。そのため、この工程において、サイドウォールスペーサ 230 を構成するシリコン酸化膜 204 が膜減りすることはない。

【0089】

また、図 6 (c) に示す工程では、コバルトを堆積する前に、自然酸化膜を除去するためのウェットエッチングを行う。この工程においても、サイドウォールスペーサ 230 における下端部がシリコン窒化膜 216 によって覆われているため、シリコン酸化膜 204 のうちシリコン基板 200 と接する部分では、膜減りが生じない。したがって、コバルトシリサイド 218 のうちサイドウォールスペーサ 230 の下端部と接する部分と、シリコン基板 200 における n 型領域との間の距離が短くならず、保たれる。以上のことから、MISFET 224 のオフリーク電流は生じない。

30

【0090】

なお、本実施形態では、多結晶シリコン層 207 の上に、シリコン窒化膜 215 とシリコン酸化膜 214 との積層体を形成した。しかし、本発明では、シリコン窒化膜 215 のかわりにシリコン酸窒化膜、ハフニウムオキサイド (HfO_2)、ハフニウムシリケート ($HfSiO$)、アルミナ (Al_2O_3) のうちのいずれかを形成してもよい。この場合にも、同様の効果を得ることができる。

40

【産業上の利用可能性】

【0091】

以上説明したように、本発明は、電流量の大きい MISFET と抵抗値のばらつきの小さい抵抗素子とを同時に形成できる点で、産業上の利用可能性が高い。

【図面の簡単な説明】

【0092】

【図 1】 (a) ~ (d) は、第 1 の実施形態における半導体装置の製造工程を示す断面図である。

【図 2】 (a) ~ (d) は、第 1 の実施形態における半導体装置の製造工程を示す断面図である。

50

【図3】 p型MISFETの飽和電流量と、熱処理の際のシリコン酸化膜の膜厚との関係を示すグラフ図である。

【図4】 p型多結晶シリコン層の抵抗値と、熱処理の際のシリコン酸化膜の膜厚との関係を示すグラフ図である。

【図5】 (a) ~ (e) は、第2の実施形態における半導体装置の製造工程を示す断面図である。

【図6】 (a) ~ (d) は、第2の実施形態における半導体装置の製造工程を示す断面図である。

【図7】 (a) ~ (d) は、従来において、MISFETと抵抗素子とを有する半導体装置を形成する工程を示す断面図である。

10

【図8】 (a) ~ (d) は、従来において、MISFETと抵抗素子とを有する半導体装置を形成する工程を示す断面図である。

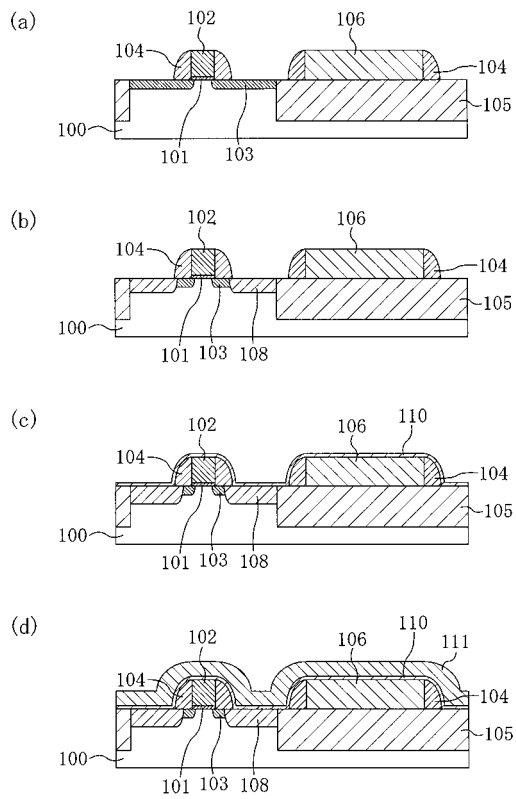
【符号の説明】

【0093】

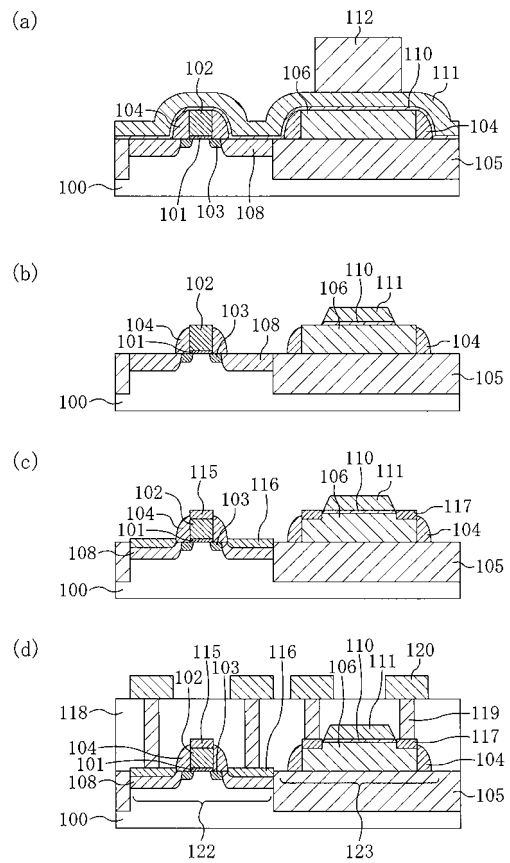
100	n型シリコン基板	
101	ゲート絶縁膜	
102	ゲート電極	
103	不純物領域	
104	サイドウォールスペーサ	
105	素子分離用絶縁膜	20
106	多結晶シリコン層	
108	不純物領域	
110	シリコン酸化膜	
111	シリコン酸化膜	
112	フォトレジスト	
113	シリコン酸化膜	
114	シリコン酸化膜	
115, 116, 117	コバルトシリサイド層	
118	層間絶縁膜	
119	コンタクト	30
120	金属配線	
122	MISFET	
123	抵抗素子	
200	n型シリコン基板	
201	ゲート絶縁膜	
202	ゲート電極	
203	不純物領域	
204	シリコン酸化膜	
205	シリコン窒化膜	
206	素子分離用絶縁膜	40
207	多結晶シリコン層	
209	不純物領域	
211	シリコン窒化膜	
212	シリコン酸化膜	
213	フォトレジスト	
214	シリコン酸化膜	
215	シリコン窒化膜	
216	シリコン窒化膜	
217, 218, 219	コバルトシリサイド層	
220	層間絶縁膜	50

- 2 2 1 コンタクト
- 2 2 2 金属配線
- 2 2 4 M I S F E T
- 2 2 5 抵抗素子
- 2 3 0 サイドウォールスペーサ

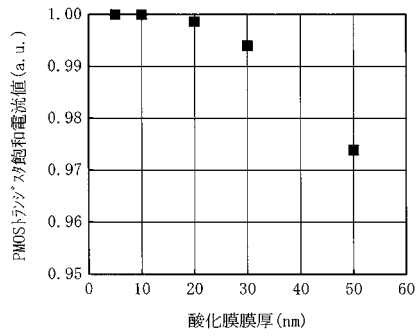
【 図 1 】



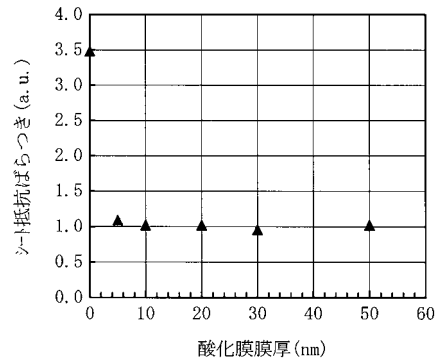
【 図 2 】



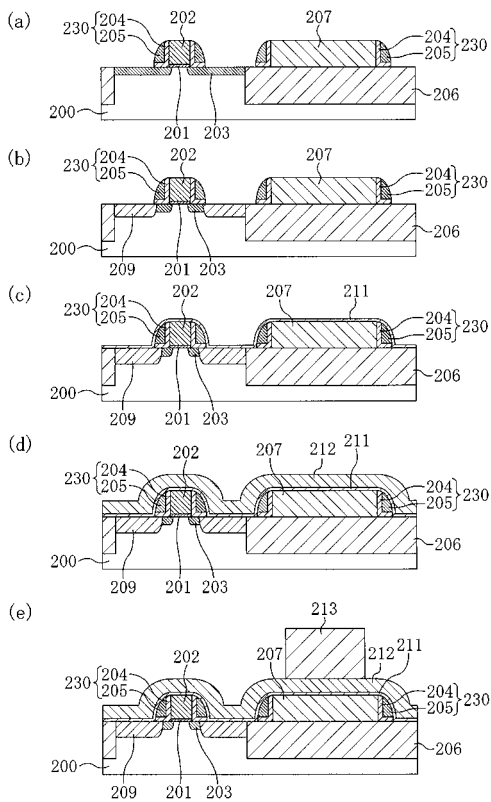
【図3】



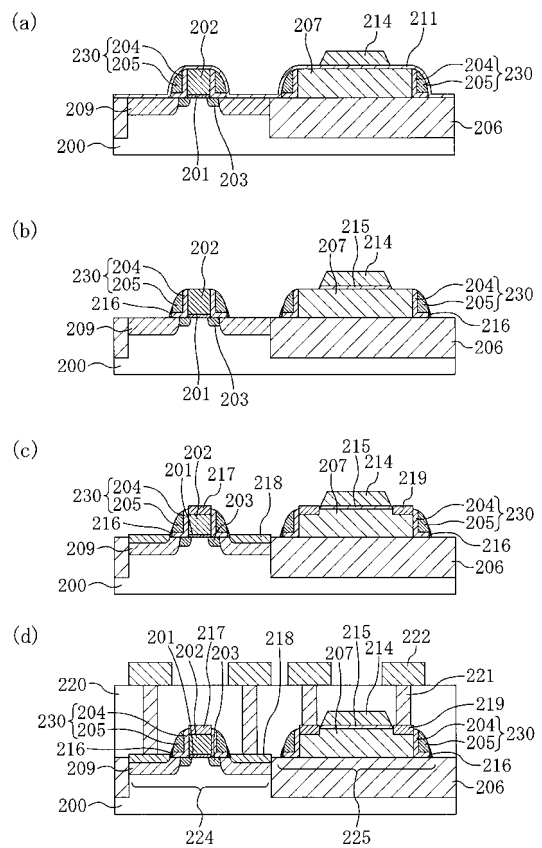
【図4】



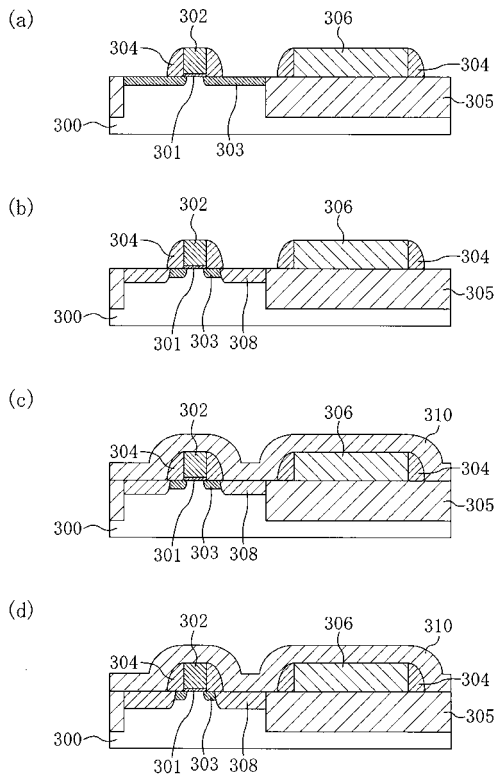
【図5】



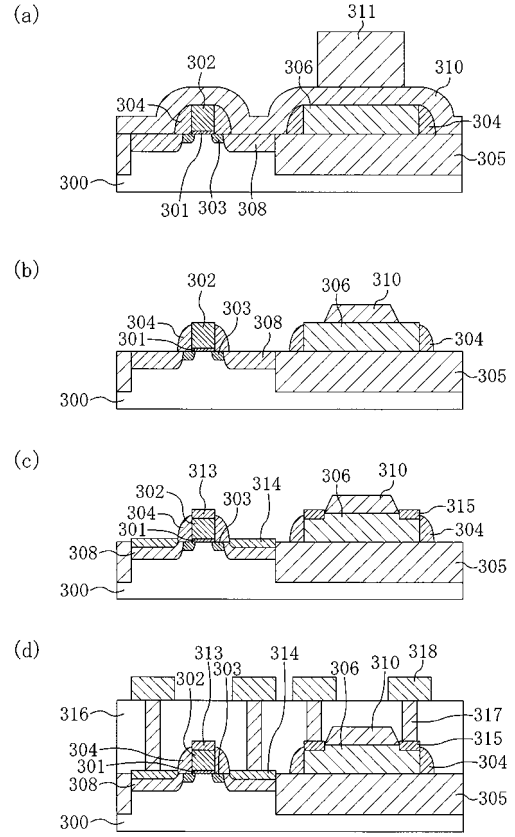
【図6】



【図7】



【図8】



フロントページの続き

- (72)発明者 山田 隆順
大阪府門真市大字門真1006番地 松下電器産業株式会社内
- (72)発明者 宮永 績
大阪府門真市大字門真1006番地 松下電器産業株式会社内
- (72)発明者 中村 成志
大阪府門真市大字門真1006番地 松下電器産業株式会社内

審査官 宮部 裕一

- (56)参考文献 特開2003-158196(JP,A)
特開2002-176109(JP,A)
特開平10-004179(JP,A)
特開2002-134630(JP,A)
特開平11-340424(JP,A)
特開2003-332454(JP,A)
特開2004-200504(JP,A)
特開2003-152100(JP,A)
特開平10-070244(JP,A)
特開平09-082896(JP,A)
特開2001-007220(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/8234
H01L 21/822
H01L 27/04
H01L 27/06