(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3942206号

(P3942206)

(45)発行日　平成19年7月11日(2007.7.11)　(24)登録日　平成19年4月13日(2007.4.13)

(51)Int.Cl.		F I		
H01L 25/18	(2006.01)	H01L	25/08	Z
H01L 25/07	(2006.01)	H01L	23/12	501Z
H01L 25/065	(2006.01)			
H01L 23/12	(2006.01)			

請求項の数 9　(全 25 頁)

(21)出願番号　特願平7-336637
(22)出願日　平成7年12月25日(1995.12.25)
(65)公開番号　特開平9-181215
(43)公開日　平成9年7月11日(1997.7.11)
審査請求日　平成14年11月28日(2002.11.28)

(73)特許権者　500174247
エルピーダメモリ株式会社
東京都中央区八重洲２－２－１
(74)代理人　100123788
弁理士　宮崎　昭夫
(74)代理人　100106138
弁理士　石橋　政幸
(74)代理人　100127454
弁理士　緒方　雅昭
(72)発明者　高橋　敏幸
秋田県南秋田郡天王町天王字長沼６４　アキタ電子株式会社内

審査官　石野　忠志

最終頁に続く

(54)【発明の名称】半導体装置の製造方法

(57)【特許請求の範囲】

【請求項１】

（ａ）第１の面に設けられた第１の電子部品搭載領域と前記第１の面とは反対側の第２の面に複数列に配置された外部端子形成領域とを有する第１の領域と、第２の電子部品搭載領域を有する第２の領域と、前記第１および第２の領域を接続する折返部と、該折返部に設けられ前記第１領域と前記第２領域を電気的に接続する配線群と、を有し、前記外部端子形成領域は前記配線群の対応する配線と電気的に接続されるように形成されてなる可撓性配線基板を用意する工程、

（ｂ）前記第１の電子部品搭載領域および前記第２の電子部品搭載領域にそれぞれ半導体チップを含む電子部品を搭載し該電子部品の電極と対応する配線とを電気的に接続する工程、

（ｃ）前記半導体チップを含む電子部品を封止する工程、

（ｄ）前記複数列に配置された外部端子形成領域のそれぞれに前記第２の面から突出するバンプ電極からなる複数列に配置された外部端子群を形成する工程、

（ｅ）前記折返部で前記配線基板を折り返して前記２つの電子部品が重畳するように前記第１の領域と前記第２の領域とを積み重ね、前記外部端子群が前記積み重ねの下方に突出するように構成する工程、

を有する半導体装置の製造方法。

【請求項２】

前記（ａ）において、前記可撓性配線基板として、前記第１および第２の領域と、前記折

返部とを含む領域が複数設けられた可撓性配線基板が用意されることを特徴とする請求項１に記載の半導体装置の製造方法。
【請求項３】
前記外部端子は前記第２の面から突出して格子状に配置され前記２つの電子部品の重畳部下方に位置するように形成されることを特徴とする請求項１に記載の半導体装置の製造方法。
【請求項４】
前記（ｄ）において、前記バンプ電極は半田バンプで形成されることを特徴とする請求項１に記載の半導体装置の製造方法。
【請求項５】
前記（ｃ）において、前記電子部品は樹脂により封止されることを特徴とする請求項１に記載の半導体装置の製造方法。
【請求項６】
前記半導体チップは前記配線基板の配線とワイヤ接続又はフリップチップ接続されることを特徴とする請求項１に記載の半導体装置の製造方法。
【請求項７】
外部端子群を設けるための台座が一面に配置された領域と、複数の電子部品搭載領域と、前記複数の電子部品搭載領域と前記台座が設けられた領域とを連結する可撓性部材からなる少なくとも一つの折返部と、前記複数の電子部品搭載領域と対応する前記台座とを相互に電気的に接続する配線層群とを含む配線基板を用意する工程と、
前記電子部品搭載領域のそれぞれに少なくとも半導体チップを含む電子部品を搭載し該電子部品の電極と対応する配線とを電気的に接続する工程と、
前記台座のそれぞれにバンプ電極を形成し前記外部端子群を形成する工程と、
前記各工程を経て得られた前記配線基板の不要部分を切断除去する工程と、
前記配線基板を前記折返部で折り返して前記電子部品搭載領域を前記台座が配置された領域に重畳するように積み重ね、前記複数の電子部品と前記外部端子群とが重畳積層された重畳部を形成する工程とを有することを特徴とする半導体装置の製造方法。
【請求項８】
第１の領域と、第２の領域と、前記第１の領域の一方の面に設けられた第１の電子部品搭載領域と、前記第１の領域の他方の面に前記第１の電子部品搭載領域と重畳して複数列に配置された外部端子形成領域と、前記第２の領域に設けられた第２の電子部品搭載領域と、前記第１の領域と第２の領域を連結する可撓性部材からなる折返部と、前記第１および第２の電子部品搭載領域と前記外部端子形成領域を電気的に接続する配線層群とを含む配線基板を用意する工程と、
前記第１および第２の電子部品搭載領域のそれぞれに少なくとも半導体チップを含む電子部品を搭載し該電子部品の電極と対応する配線とを電気的に接続する工程と、
前記外部端子形成領域のそれぞれにバンプ電極を形成し前記他方の面から突出する複数列に配置されたバンプ電極群を形成する工程と、
前記配線基板を前記折返部で折り返して前記第１および第２の領域を互いに重畳するように積み重ね、前記第１の電子部品搭載領域に搭載された電子部品と前記第２の電子部品搭載領域に搭載された電子部品と前記パンプ電極群とが重畳配置された重畳部を形成する工程とを有することを特徴とする半導体装置の製造方法。
【請求項９】
前記電子部品搭載領域を封止体で被う工程をさらに有することを特徴とする請求項７または請求項８に記載の半導体装置の製造方法。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は表面実装型の半導体装置およびその製造方法ならびにその実装方法に関する。
【０００２】

【従来の技術】
ＩＣ，ＬＳＩ等半導体装置の封止（パッケージ）形態として、気密封止，非気密封止等がある。また、半導体装置の実装形態の違いにより、リード挿入型，表面実装型がある。
【０００３】
たとえば、ＳＩＰ（Single Inline Package)，ＺＩＰ（Zigzag Inline Package)，ＰＧＡ（Pin Grid Array）等は基板の挿入孔にリードを挿入するリード挿入型パッケージであり、ＳＯＰ（Small Outline L-Leaded Package)，ＳＯＪ（Small Outline J-Leaded Package)，ＱＦＰ（Quad Flat Package)，ＱＦＪ（Quad Flat J-Leaded Package)，ＢＧＡ（Ball Grid Array)，ＨＧＡ（Hall Grid Array)は表面実装型パッケージである。
【０００４】
前記ＳＯＰ，ＳＯＪは、ＩＣチップを封止したパッケージの２方向にリードピン（リード）を出す構造であり、前記ＱＦＰ，ＱＦＪはパッケージの４方向にリードピンを出す構造である。
【０００５】
また、ＰＧＡ，ＢＧＡはパッケージの下面に複数列のピングリッドやボールグリッドを出す構造であり、ＨＧＡは基板を貫通するスルーホール状のグリッドを有する構造である。
【０００６】
前記ＨＧＡについては、日経ＢＰ社発行「日経エレクトロニクス」1995年４月24日号(No.634)、Ｐ20に記載されている。また、前記他のパッケージ技術については、同社発行「ＶＬＳＩパッケージング技術（上）」1993年５月15日発行、Ｐ76～Ｐ84に記載されている。
【０００７】
【発明が解決しようとする課題】
従来のＳＯＰ，ＳＯＪ，ＱＦＰ，ＱＦＪ等ＱＦＰで代表される表面実装型半導体装置では、パッケージの周辺にリード（外部端子）が突出することから、実装基板に半導体装置を実装した際、半田による実装部（半田実装部）が容易に目視でき、実装の良否を容易に目視判断できる利点がある。
【０００８】
しかし、昨今では半導体装置の高密度・高集積・高機能化が図られる結果、信号ピン（リード）が増大し、ピンピッチ（リードピッチ）が狭くなる傾向にある。このため、配線基板のランドとリードとを接続する半田が隣同士で接続するいわゆる半田ブリッジが発生し、ショート不良を起こし易くなり、半田実装が難しくなる。
【０００９】
このような半田ブリッジ等の不良発生を防止するためには、リードピッチを大きくすればよいが、リードピッチを大きくするとパッケージが大型化する。
【００１０】
一方、ＢＧＡ型半導体装置は、配線基板の下面に信号ピン（リード）の変わりに外部端子としてバンプ電極（ボール電極）を複数列に配設した構造（ボールグリッド）となるため、外部端子ピッチを前記ＱＦＰ等の表面実装型半導体装置に比較して広くとれ、半田ブリッジが起き難くできるとともに、パッケージの小型化が図れる。
【００１１】
特に、半導体チップの真下の配線基板部分にボール電極を配置するものは、パッケージを略半導体チップと同程度に小型化できるため、半導体装置の小型化が図れ、実装面積を大幅に縮小できる（日経ＢＰ社発行「日経エレクトロニクス」1995年１月16日号、No.626、Ｐ76～Ｐ86)。
【００１２】
しかし、この構造は配線基板が邪魔をし、半田付け状態を目視検査することができないため、ボール電極の接続信頼性の面で不安があった。
【００１３】
そこで、配線基板を透明な材質で形成し、ボール電極の半田付け状態を基板を通して確認できるもの（日経ＢＰ社発行「日経マイクロデバイス」1994年10月号、Ｐ17）や基板を貫

通するスルーホールを信号ピンの替わりに使用することで半田の吸い上がり状態を目視検査できるＨＧＡが開発されている。

【００１４】

しかし、この２つの構造の半導体装置は、実装時の半田付け状態を目視する目的で開発された構造であるため、半導体チップの真下部分にはボール電極やスルーホールを設けることができず、パッケージが半導体チップよりも遥に大型となる。

【００１５】

本発明の目的は、小型の半導体装置およびその製造方法ならびにその実装方法を提供することにある。

【００１６】

本発明の他の目的は、集積度の高い小型の半導体装置およびその製造方法ならびにその実装方法を提供することにある。

【００１７】

本発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面からあきらかになるであろう。

【００１８】

【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記のとおりである。

【００１９】

（半導体装置）

（１）一面に外部端子を設けた配線板からなる少なくとも一つの実装本体部と、少なくとも半導体チップを含む電子部品を搭載した配線板からなる一つの重畳部と、前記実装本体部と前記重畳部のうち同種または異種のものを電気的かつ機械的に連結する可撓性の配線板からなる少なくとも一つの折返部とを有し、前記重畳部は前記折返部で折り返えされて所定の実装本体部や重畳部上に積み重ねられる構成となっている。一例では、前記実装本体部および折返部３ならびに重畳部５はそれぞれ一つとなっている。また、前記実装本体部および折返部ならびに重畳部の配線板は一体となりかつ透明となる可撓性体（樹脂フィルム）で構成されている。前記重畳部の電子部品搭載領域が重なる実装本体部領域内にも外部端子が設けられている。前記重畳部は前記実装本体部に接着剤や接着テープによる固定手段によって固定されている。前記半導体チップの搭載領域は封止体で被われている。

【００２０】

（２）前記手段（１）の構成において、実装本体部の上に複数の重畳部が前記実装本体部に連なる折返部の折り返しによって積み重ねられている。

【００２１】

（３）前記手段（２）の構成において、前記実装本体部および重畳部の配線板は非可撓性体で形成されている。

【００２２】

（４）前記手段（１）の構成において、前記外部端子は前記配線板を貫通するスルーホールの内壁とその縁に設けた導体層によって形成されている。

【００２３】

（５）前記手段（１）の構成において、前記折返部の折り返し時の曲率半径を規定する折り返し形状規定手段が設けられている。

【００２４】

（半導体装置の製造方法）

（６）一面に外部端子を設ける台座を有する配線板からなる少なくとも一つの実装本体部と、少なくとも半導体チップを含む電子部品を搭載する領域を有する配線板からなる一つの重畳部と、前記実装本体部と前記重畳部のうち同種または異種のものを電気的かつ機械的に連結する可撓性の配線板からなる少なくとも一つの折返部とを少なくとも有し、前記重畳部は前記折返部で折り返えされて所定の実装本体部や重畳部上に積み重ねられる構成

の配線基板を用意する工程と、前記重畳部に半導体チップを含む電子部品の搭載と電極と配線の電気的接続を行う工程と、前記電子部品搭載領域を封止体で被う工程と、前記実装本体部の台座に半田バンプ電極を形成する工程と、前記配線板の不要部分を切断除去する工程と、所定の折返部を折り返して所定の実装本体部上に重畳部を積み重ねる工程とを有する。一例では、前記実装本体部および折返部ならびに重畳部を形成する配線板は一枚の透明な樹脂フィルム（配線フレーム）からなり、前記実装本体部および折返部ならびに重畳部はそれぞれ一つとなっている。また、前記実装本体部上に重畳部を積み重ねる際、前記重畳部を接着剤や接着テープで仮固定する。

【００２５】

（７）前記手段（６）の構成において、実装本体部に設けられる外部端子は実装本体部を形成する配線板に設けられたスルーホールの内壁とその縁に設けた導体層（ＨＧＡ構造）とによって形成されている。

【００２６】

（半導体装置の実装方法）

（８）一面に外部端子を設けた透明な配線板からなる少なくとも一つの実装本体部と、少なくとも半導体チップを含む電子部品を搭載した配線板からなる一つの重畳部と、前記実装本体部と前記重畳部のうち同種または異種のものを電気的かつ機械的に連結する可撓性の配線板からなる少なくとも一つの折返部とを有し、前記重畳部は前記折返部で折り返えされて所定の実装本体部や重畳部上に積み重ねられる半導体装置を実装基板に実装する方法であって、前記実装基板のランド上に前記実装本体部の外部端子を重ねて加熱して外部端子を前記ランドに固定した後、前記実装本体部の透明な配線板を通して外部端子の接続状態を検査（目視検査）し、その後前記実装基板に固定した実装本体部上に前記重畳部を重ねる。前記実装本体部上に重畳部を積み重ねる際、前記重畳部を接着剤や接着テープで固定する。一例では、前記実装本体部および折返部ならびに重畳部を形成する配線板は一枚の透明な可撓性樹脂フィルムからなり、前記実装本体部および折返部ならびに重畳部はそれぞれ一つとなっている。

【００２７】

（９）配線板からなりかつ外部端子はスルーホールの内壁とその縁に設けた導体層で形成される少なくとも一つの実装本体部と、少なくとも半導体チップを含む電子部品を搭載した配線板からなる一つの重畳部と、前記実装本体部と前記重畳部のうち同種または異種のものを電気的かつ機械的に連結する可撓性の配線板からなる少なくとも一つの折返部とを有し、前記重畳部は前記折返部で折り返えされて所定の実装本体部や重畳部上に積み重ねられる半導体装置を実装基板に実装する方法であって、前記実装基板のランド上に前記実装本体部の外部端子を重ねた後、前記ランドまたは外部端子にあらかじめ設けられた接合材を溶かして前記外部端子を前記ランドに接続し、その後前記実装本体部のスルーホール内に吸い上げられた接合材の有無によって外部端子の接続状態を検査（目視検査）し、ついで前記実装基板に固定した実装本体部上に前記重畳部を重ねる。前記接合材を溶かして前記外部端子を前記ランドに接続した後、前記実装本体部のスルーホール内に吸い上げられた接合材にプローブ・ピンを当てて電気特性検査を行う。前記実装本体部上に重畳部を積み重ねる際、前記重畳部を接着剤や接着テープで固定する。一例では、前記実装本体部および折返部ならびに重畳部を形成する配線板は一枚の透明な可撓性樹脂フィルムからなり、前記実装本体部および折返部ならびに重畳部はそれぞれ一つとなっている。

【００２８】

（半導体装置）

前記（１）の手段によれば、（ａ）半導体装置は、折返部で自由に折り返しができ、必要に応じて実装本体部の上に重畳部を積み重ねる構造となっていることと、配線板（可撓性配線基板）が透明体であることから、重畳部を実装本体部に重ねない状態では配線板の裏面の外部端子を目視できる。

【００２９】

（ｂ）半導体装置は重畳部を開くことによっていつでも配線板を通して配線板の裏面の外

部端子を目視できるため、半導体装置を実装基板に実装した後でも外部端子の半田実装状態を目視検査できるため、実装本体部の配線板には、半導体チップ等が重なる部分にも外部端子を配置できることになり、半導体装置の小型化および多ピン化が図れる。

【００３０】

（ｃ）半導体装置は、折返部で自由に折り返しができ、必要に応じて実装本体部の上に重畳部を積み重ねる構造となっているが、必要に応じて重畳部を実装本体部に接着剤や接着テープによって仮固定を含めて固定できるため、半導体装置の取扱性が向上する。

【００３１】

（ｄ）半導体装置は、実装本体部４下面に半田によってバンプ電極を形成する際、バンプ電極形成後、実装本体部のみを薬品に浸け、半導体チップが搭載された重畳部を薬品に浸けないようにできるため、コストが高く付く無洗浄タイプの半田を用いることなく半田フラックスを使用する半田を用いてバンプ電極を形成することができるため、半導体装置の製造コストの低減が達成できる。

【００３２】

前記（２）の手段によれば、実装本体部に複数の重畳部を積み重ねることができるため、前記手段（１）の構成による効果に加えて更なる高集積化が達成できる。

【００３３】

前記（３）の手段によれば、実装本体部および重畳部の配線板は非可撓性体となっているが、実装本体部と重畳部を電気的かつ機械的に連結する折返部は可撓性の配線板で形成されていることから、前記手段（１）の構成による効果を得ることができる。

【００３４】

前記（４）の手段によれば、実装本体部に設けられる外部端子は、配線板を貫通するスルーホールの内壁とその縁に設けた導体層によって形成されていることから、実装時、スルーホール内に吸い上がる半田（接合材）の有無を観察できるため、外部端子を半導体チップ等が重ねられる実装本体部の領域にも配置でき、半導体装置の小型化，多ピン化が達成できる。

【００３５】

前記（５）の手段によれば、半導体装置の折返部には折り返し形状規定手段が設けられていて、折返部を折り返す際、折返部に大きなストレスが掛かるような小さな曲率半径で曲がることがないようにされていることから、折返部で繰り返して折り返し動作しても折返部が劣化しない。

【００３６】

（半導体装置の製造方法）

前記（６）の手段によれば、透明な樹脂フィルムを主体として形成された配線板（配線フレーム）を用い、従来確立されたリードフレームによる半導体装置製造技術と同様に製造が行えるため、高品質の折り返し重畳構造のＢＧＡ型の半導体装置を生産性良く製造することができる。

【００３７】

前記（７）の手段によれば、透明な樹脂フィルムを主体として形成された配線板（配線フレーム）を用い、従来確立されたリードフレームによる半導体装置製造技術と同様に製造が行えるため、高品質の折り返し重畳構造のＨＧＡ型の半導体装置を生産性良く製造することができる。

【００３８】

（半導体装置の実装方法）

前記（８）の手段によれば、（ａ）外部端子が設けられる実装本体部の配線板（可撓性配線板）が透明体となっていることから、外部端子を実装基板のランドに重ね合わせる際、ランドと外部端子の重なり具合を目視観察できるため、位置合わせが正確かつ容易となる。

【００３９】

（ｂ）外部端子が設けられる実装本体部の配線板（可撓性配線基板）が透明体となってい

ることから、外部端子とランドとの半田付け状態を目視検査できるため、実装の良否検査が容易となるとともに、実装の信頼性を高めることができる。

【００４０】

（ｃ）半導体装置の半導体チップを搭載した重畳部は、実装後外部端子が配置された実装本体部上に重ねれば良いことから、実装本体部には中央部分をも含めて全域に外部端子を配置できるため半導体装置は小型となり、実装面積の縮小化が達成できる。

【００４１】

前記（９）の手段によれば、（ａ）実装は実装本体部のスルーホール内に外部端子とランドを接続する接合材が吸い上げられているか否かを目視等で確認することによって行えるため、実装の良否検査が正確かつ容易となる。

【００４２】

（ｂ）実装後スルーホール内に吸い上げられた接合材にプローブ・ピンを当ててインサーキット・テスト等の電気特性検査を行うことができる。

【００４３】

（ｃ）半導体装置の半導体チップを搭載した重畳部は、実装後外部端子が配置された実装本体部上に重ねれば良いことから、実装本体部には中央部分をも含めて全域に外部端子を配置できるため半導体装置は小型となり、実装面積の縮小化が達成できる。

【００４４】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態を詳細に説明する。なお、発明の実施の形態を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【００４５】

（実施形態１）

図１乃至図６は本発明の一実施形態（実施形態１）の半導体装置を示す図であり、図１は半導体装置の外観を示す斜視図、図２は重畳部を半開き状態とした半導体装置の模式的斜視図、図３は半導体装置の正面図、図４は展開状態の半導体装置を示す模式的底面図、図５は展開状態の半導体装置において封止体の一部を除いた状態を示す模式的底面図、図６は展開状態の半導体装置の一部を示す拡大断面図である。

【００４６】

本実施形態１の半導体装置は、表面実装型の半導体装置となり、下面にバンプ状の外部端子を複数列格子状に配置したグリッドアレイ構造となり、従来のＢＧＡ型半導体装置と同様な構造となっている。

【００４７】

本実施形態１の半導体装置１は、外観的には図１および図２に示すように、可撓性（フレキシブル）の配線板（配線基板）２を中間の折返部３で折り返した構造となっている。積層されたもののうち、下部は実装本体部４を形成し、その下面には半田で形成された複数の外部端子６がグリッドアレイ状に設けられている。また、上部は重畳部５を形成し、上面には半導体チップ等を封止した封止体７が設けられている。

【００４８】

可撓性の配線板（可撓性配線基板）２は、図４～図６に示すように絶縁性の透明（光透過性）の樹脂フィルム８と、この樹脂フィルム８の裏面に形成された所望パターンの配線１０と、前記配線１０を部分的に被う絶縁性の保護膜１３とからなっている。前記樹脂フィルム８は、たとえばポリイミドフィルムで形成されている。また、配線１０は酸化錫と酸化アンチモンの化合物からなる透明な膜で形成されている。この配線１０はポリイミドフィルムの表面に酸化錫と酸化アンチモンの化合物を蒸着した後所望のパターンにエッチングすることによって形成される。また、前記保護膜１３はポリイミド樹脂によって形成されている。

【００４９】

配線１０は前記実装本体部４から折返部３を通って重畳部５に亘って延在している。重畳

部５では、配線１０の先端は可撓性配線基板２に接着剤１１を介して固定される半導体チップ１２の近傍に延在している。また、実装本体部４では、配線１０の先端部分には半田バンプ電極からなる外部端子６が固定されている。なお、図４および図５では、一部の外部端子６から配線１０を延在させ、他部の外部端子６からは配線１０を延在させてないが、実際は全ての外部端子６から配線１０が重畳部５に向かって延在している（以下、同様の図でも同じ）。

【００５０】

半導体チップ１２は、前述のように接着剤１１を介して可撓性配線基板２に固定されている。また、半導体チップ１２の電極と、この半導体チップ１２に近接する配線１０の先端部分は、導電性のワイヤ１４によって電気的に接続されている。

【００５１】

また、前記半導体チップ１２を取り囲むように絶縁性のプラスチックからなる矩形体の樹脂流れ止め枠１５が絶縁性の接着剤１６を介して可撓性配線基板２に固定されている。この樹脂流れ止め枠１５内には所定の厚さに絶縁性の樹脂１７が充填されて封止体７が形成されている。前記封止体７は前記半導体チップ１２やワイヤ１４を封止している。

【００５２】

本実施形態１において、前記実装本体部４に積み重ねられる重畳部５は、実装本体部４に重ねただけの状態でも良いが、その取扱時、重畳部５が動かないようにするため、接着テープや接着剤によって実装本体部４に仮固定させておく（固定手段）と良い。

【００５３】

また、本実施形態１の半導体装置１は、図３に示すように、重畳部５を開いて実装本体部４，折返部３，重畳部５を同一平面上に展開した状態で保管することもできる。

【００５４】

本実施形態１の半導体装置１においては、前記可撓性配線基板２は透明体で形成されている。このため、図２および図３に示すように、折返部３を中心に重畳部５を開いて重畳部５を実装本体部４上から外した状態では、可撓性配線基板２を通して可撓性配線基板２の裏面に設けられた外部端子６を目視することができる。図２では、可撓性配線基板２を通して目視できる外部端子６の状態をハッチングを施して示す（以下、平面図および底面図でハッチングを施した配線１０部分は外部端子６を指す）。

【００５５】

つぎに、本実施形態１の半導体装置１の製造方法について説明する。

【００５６】

図７乃至図１２は本実施形態１の半導体装置の製造方法に係わる図であって、図７は製造に使用する配線フレームの模式的平面図、図８は樹脂流れ止め枠を固定した配線フレームを示す模式的平面図、図９は配線フレームに半導体チップを固定した状態を示す模式的平面図、図１０はワイヤボンディングがなされた配線フレームを示す模式的平面図、図１１は封止体が形成された配線フレームを示す模式的平面図、図１２は外部端子が形成された配線フレームを示す模式的平面図である。

【００５７】

最初に配線フレーム２０を用意する。この配線フレーム２０は、可撓性の透明なポリイミドフィルムに配線を形成した配線板となり、単位パターンは図７に示すように、細長矩形状の可撓性配線基板部２１と、この可撓性配線基板部２１の外側に延在する矩形枠状のフレーム部２２と、前記フレーム部２２と配線フレーム２０とを接続する吊り部２３とからなっている。吊り部２３は、可撓性配線基板部２１の４隅と可撓性配線基板部２１の一対の長辺の中央にそれぞれ設けられている。配線フレーム２０のパターンは、ポリイミドフィルムをプレスによって打ち抜くことによって形成される。また、必要ならば、前記フレーム部２２の縁に沿って、ガイド孔や位置決め孔を設けておいても良い。また、製造においては、前記配線フレーム２０は多連フレーム状あるいはテープ状であっても良い。

【００５８】

前記可撓性配線基板部２１は、中央部分が折返部３、その左側の矩形部分が実装本体部４

、その右側の矩形部分が重畳部５となる。折返部３部分は前記吊り部２３で吊られている。

【００５９】

前記可撓性配線基板部２１には、図７に示すように、配線１０が設けられている。この配線１０は、絶縁性の樹脂フィルム８、たとえば、ポリイミドフィルム８の表面に、酸化錫と酸化アンチモンの化合物を蒸着した後所望のパターンにエッチングすることによって形成される。配線１０は実装本体部４から折返部３を通って重畳部５にまで到達している。

【００６０】

重畳部５の中央の矩形部分は半導体チップ搭載領域となるが、前記配線１０の先端は、この半導体チップ搭載領域に向かって先端を臨ませるパターンとなっている。また、実装本体部４においては、配線１０の先端は、円形のバンプ電極用の台座２４を形成するようになっている。これら台座２４はグリッドアレイ状に配置されている。

【００６１】

また、前記配線１０においては、半導体チップ搭載領域に臨む先端部分および台座２４を除く部分は、ポリイミド樹脂からなる絶縁性の保護膜１３で被われている（図６参照、図６および図２７以外では保護膜１３は省略）。

【００６２】

つぎに、図８に示すように、配線フレーム２０の可撓性配線基板部２１の重畳部５に樹脂流れ止め枠１５を接着剤１６を介して固定する（図６参照）。すなわち、半導体チップ搭載領域を囲むように樹脂フィルム８に絶縁性のプラスチックからなる樹脂流れ止め枠１５を固定する。前記樹脂流れ止め枠１５の内側には、配線１０の先端部分が延在する。前記樹脂流れ止め枠１５は、後に行う樹脂封止の際、溶けた樹脂の流出を防止する働きをする。

【００６３】

つぎに、図９に示すように、重畳部５の中央の半導体チップ搭載領域に半導体チップ１２を接着剤１１を介して固定する（図６参照）。この場合、半導体チップ１２を接着テープを用いて樹脂フィルム８に固定しても良い。

【００６４】

つぎに、図１０に示すように、ワイヤボンディングを行い、前記半導体チップ１２の図示しない電極と、半導体チップ１２に近接する配線１０の先端部分を導電性のワイヤ１４で接続する（図６参照）。

【００６５】

つぎに、図１１に示すように、前記樹脂流れ止め枠１５内の樹脂フィルム８上に樹脂１７を充填して硬化させて封止体７を形成する。これによって、半導体チップ１２，ワイヤ１４および樹脂流れ止め枠１５内の配線１０等は、封止体７で封止される（図６参照）。

【００６６】

つぎに、図１２に示すように、配線１０の実装本体部４側の先端の台座２４上に半田ボールを載せて溶融させ、バンプ電極となる外部端子６を形成する（図６参照）。

【００６７】

つぎに、前記配線フレーム２０において、吊り部２３を矩形状の可撓性配線基板部２１の縁に沿って切断し、図４に示すように可撓性配線基板２からなり、実装本体部４，折返部３，重畳部５とからなる半導体装置１を製造する。

【００６８】

本実施形態１の半導体装置１は、図３に示すように、重畳部５を開いて実装本体部４，折返部３，重畳部５を同一平面上に展開した状態で保管しても良く、また、図１に示すように、重畳部５を折返部３の部分で折り返して実装本体部４に重ねた状態で保管しても良い。なお、積み重ねた状態で半導体装置１を保管する場合、重畳部５が実装本体部４からずれるのを嫌う場合は、重畳部５を実装本体部４に対して接着テープ（弱粘着性テープ）や接着剤（弱粘着性接着剤）で仮固定させておくと良い。

【００６９】

つぎに、本実施形態１の半導体装置１の実装について説明する。図１３乃至図１５は本実施形態１の半導体装置の実装状態を示す図であり、図１３は半導体装置の実装開始状態を示す模式図、図１４は半田付け後重畳部を途中まで反転させた状態の半導体装置を示す正面図、図１５は半田付け後重畳部を実装本体部に重ね合わせた状態を示す半導体装置の正面図である。

【００７０】

本実施形態１の半導体装置１を実装基板３０に実装する際、図１３に示すように、半導体装置１を展開状態にして実装基板３０のランド（配線）３１上に実装本体部４の外部端子６を重ね、外部端子６を一時的に加熱して溶解（半田リフロー処理）することによって外部端子６をランド３１に固定できる。

【００７１】

外部端子６をランド３１上に正確に重ねる位置決め作業は、可撓性配線基板２が透明体となっていることから、可撓性配線基板２を通してランド３１および外部端子６を目視できるため、容易かつ正確に行える。また、半田リフロー処理後のランド３１と外部端子６との接続の良否検査も可撓性配線基板２を通して目視できるので、実装の良否の検査が容易かつ確実となる。

【００７２】

半田付け状態が悪い場合、あるいは半田ブリッジ等の不良現象が発生している場合は、実装した半導体装置１を取り外し、再度新たな半導体装置１の実装を行う。

【００７３】

透明な可撓性配線基板２を通して可撓性配線基板２の裏面の外部端子６を目視できる状態を図２に示す。同図には、透視像として外部端子６のみをハッチングを施して表示してある。

【００７４】

つぎに、図１４および図１５に示すように、重畳部５を矢印のように反転させ、重畳部５を実装本体部４上に重ねる。この際、接着剤や接着テープを使用して重畳部５を実装本体部４に固定する。この固定は必要に応じて重畳部５を実装本体部４から剥離できる固定でも良い。この場合、重畳部５が実装本体部４から剥離できるため、必要に応じてランド３１と外部端子６の半田付け状態を確認できることになる。

【００７５】

本実施形態１の半導体装置１は、下面に外部端子６を有する実装本体部４の上に重畳部５を折返部３で折り返して重ねる構造となっていることと、実装本体部４，折返部３，重畳部５と連なる部分は透明の可撓性配線基板２で形成されていることから、重畳部５を実装本体部４に重ねない状態では可撓性配線基板２の裏面の外部端子６を目視できる。

【００７６】

したがって、半導体装置１を実装基板に実装した状態でも、実装本体部４に重畳部５を重ねない状態で可撓性配線基板２を通して可撓性配線基板２の裏面の外部端子６の半田付け状態を目視で観察できるため、半田付けの良否を容易かつ正確に検査することができる。

【００７７】

また、半導体チップを搭載した重畳部５は、実装後外部端子６が配置された実装本体部４上に重ねれば良いことから、実装本体部４には中央部分をも含めて全域に外部端子６を配置でき、半導体装置１の小型化および実装面積の縮小化を図ることができる。

【００７８】

すなわち、従来の表面実装型導体装置で、外部端子の半田付け状態（実装状態）を目視できるようにするため基板を透明体としたものや、実装部分をスルーホールとして半田の吸い上がり状態から半田付け（実装）の良否を検査するものであっても、半導体チップを取り付ける基板部分には外部端子を設けることができないが、本実施形態１の半導体装置では、半導体チップの搭載部分に対応する実装本体部４にも外部端子６を設けることができるため、半導体装置１の小型化および多ピン化が達成できることになる。

【００７９】

本実施形態１の半導体装置１は、実装本体部４の下面に半田によってバンプ電極を形成する際、バンプ電極形成後、実装本体部４のみを薬品に浸け、半導体チップが搭載された重畳部５を薬品に浸けないようにできる構造となっていることから、半田フラックスを使用する半田を用いてバンプ電極を形成することができるため、半導体装置１の製造コストの低減が達成できる。

【００８０】

すなわち、配線基板の下面に外部端子を設けた従来のＢＧＡ型半導体装置の場合、配線基板の下面の外部端子（バンプ電極）を薬品で洗浄して半田フラックスを除去しようとすると、配線基板の上面のパッケージ部分にも薬品が付き易く薬品洗浄ができないため、バンプ電極形成コストが高くなる半田フラックスを使用しない無洗浄タイプの半田を使用せざるを得ない。しかし、本実施形態１の半導体装置１では、重畳部５をクランプし、外部端子６（バンプ電極）が形成された実装本体部４のみを薬品中に浸けて半田フラックスの洗浄除去処理を行うことができる。

【００８１】

本実施形態１による半導体装置の製造方法では、透明なポリイミドフィルム（樹脂フィルム）８を主体として形成された配線板（配線フレーム２０）を用い、従来確立されたリードフレームによる半導体装置製造技術と同様に製造が行えるため、高品質の折り返し重畳構造のＢＧＡ型半導体装置を生産性良く製造することができる。

【００８２】

また、製造された半導体装置１は、重畳部５が外部端子６に接着剤や接着テープで仮固定されるため、取扱性が優れた半導体装置となる。

【００８３】

本実施形態１の半導体装置１の実装方法においては、外部端子６が設けられる実装本体部４の配線板（可撓性配線基板）２が透明体となっていることから、外部端子６を実装基板３０のランド３１に重ね合わせる際、ランド３１と外部端子６の重なり具合を目視観察できるため、位置合わせが正確かつ容易となる。

【００８４】

本実施形態１の半導体装置１の実装方法においては、外部端子６が設けられる実装本体部４の配線板（可撓性配線基板）２が透明体となっていることから、外部端子６とランド３１との半田付け状態を目視検査できるため、実装の良否検査が容易となるとともに、実装の信頼性を高めることができる。

【００８５】

本実施形態１の半導体装置１の実装においては、半導体装置１の半導体チップを搭載した重畳部５は、実装後外部端子６が配置された実装本体部４上に重ねれば良いことから、実装本体部４には中央部分をも含めて全域に外部端子６を配置できるため半導体装置１は小型となり、実装面積の縮小化が達成できる。

【００８６】

なお、本実施形態１の半導体装置１は、実装時、必ずしも実装本体部４上に重畳部５を積み重ねる構造としなくとも良い。すなわち、図１４に示すように、重畳部５を上方に直立させるようにした状態としても良い。この場合、重畳部５は支持体（保持具）等によって支持する必要がある。このような実装構造では、可撓性配線基板２を通して常時外部端子６の半田付け状態を目視確認することができるとともに、重畳部５の表裏面が大気と接していることから、放熱効果が高くなる。

【００８７】

（実施形態２）

図１６および図１７は本発明の他の実施形態（実施形態２）である半導体装置に係わる図であり、図１６は半導体装置の斜視図、図１７は展開状態の半導体装置の模式的底面図である。

【００８８】

本実施形態２の半導体装置１は、重畳部５を実装本体部４に着脱自在に固定できる固定手

段を有するものである。すなわち、図１７に示すように、実装本体部４の両側に嵌合孔３５を有する嵌合雌部３６を張り出し形成しておくとともに、これら嵌合雌部３６に対応して重畳部５の両側に前記嵌合孔３５に挿入嵌合する突子３７を形成しておく。

【００８９】

そして、図１６に示すように、重畳部５を折返部３で折り返して実装本体部４上に重畳部５を重ね合わせた後、前記嵌合雌部３６を引っ張って曲げ、突子３７を嵌合孔３５に挿入嵌合させる。これによって、重畳部５は実装本体部４に固定されることになり、移動しても重畳部５が実装本体部４から外れることがなく取扱性が向上する。

【００９０】

（実施形態３）

図１８および図１９は本発明の他の実施形態（実施形態３）である半導体装置に係わる図であり、図１８は半導体装置の模式的正面図、図１９は展開状態の半導体装置の模式的正面図である。

【００９１】

本実施形態３の半導体装置１は、折返部３に加わるストレスの緩和のため、折り返し形状規定手段を設けて折返部３の曲率半径を大きくした構造となっている。

【００９２】

すなわち、前記実施形態１では、配線１０および外部端子６ならびに半導体チップ１２等を、可撓性配線基板２の同一面に形成したものであり、重畳部５を実装本体部４に折り返して積み重ねた場合、実装重畳部５の可撓性配線基板２の部分が実装本体部４の可撓性配線基板２の部分に直接接触する構造となり、折返部３の曲率半径が小さくなり、折返部３に大きな力が作用する。

【００９３】

そこで、本実施形態３の半導体装置１では、図１９に示すように、可撓性配線基板２の一面側に外部端子６を形成するとともに、可撓性配線基板２の他面側に半導体チップ１２や半導体チップ１２を被う封止体７や樹脂流れ止め枠１５を形成する構造となっている。そして、図示はしないが、配線１０は可撓性配線基板２の両面に設けられている。この表裏の配線１０は、可撓性配線基板２に設けられたスルーホールに充填される導体を介して電気的に接続されている。

【００９４】

本実施形態３の半導体装置１は、図１８に示すように、重畳部５を折返部３で折り返して実装本体部４に重ねた状態では、実装本体部４の可撓性配線基板２部分に封止体７（樹脂流れ止め枠１５）が載り、その上に重畳部５の可撓性配線基板２部分が位置するため、可撓性配線基板２で形成される折返部３の曲率半径は大きくなり、折返部３に大きな力が作用しなくなり、重畳部５は部分的に浮き上がることもなく実装本体部４に密着する。また、重畳部５を繰り返して折り返しても折返部３が劣化することがない。

【００９５】

本実施形態３の半導体装置１は、実施形態１の半導体装置１と同様に可撓性配線基板２を通して外部端子６を目視できるとともに、多ピン化，小型化が図れる。また、製造においては半田フラックスを使用する半田を用いてバンプ電極を形成することができるため製造コストの低減が達成できる。

【００９６】

（実施形態４）

図２０および図２１は本発明の他の実施形態（実施形態４）である半導体装置に係わる図であり、図２０は半導体装置の模式的正面図、図２１は展開状態の半導体装置の模式的正面図である。

【００９７】

本実施形態４の半導体装置１は、折り返し形状規定手段を設けて折返部３の折り返しによる曲率半径が常に一定にできる構造、換言するならば、折返部３の曲率半径を必要以上小さくせずに折返部３が繰り返しの折り返しで破損し難くするものである。

【００９８】
本実施形態４の半導体装置１は、図２１に示すように、折返部３に円柱状の曲げ保持心棒４０が接着剤を介して固定されている。
【００９９】
したがって、図２０に示すように、重畳部５を折返部３で折り返して実装本体部４に重ねた場合、折返部３は曲げ保持心棒４０の太さよりも小さい曲率半径で折り返えされることはなく、小さ過ぎる曲率半径となることによる折返部３部分への過大のストレスの発生はなくなる。したがって、繰り返して折返部３部分で重畳部５を折り返しても、折返部３部分が劣化することは防止できる。
【０１００】
また、重畳部５の折り返し時、曲げ保持心棒４０に沿うように折返部３を曲げることによって、半導体装置１の外観形状は常に一定となり、外観も安定し、商品性が高くなる。
【０１０１】
なお、前記実施形態３の半導体装置の場合をも含み、樹脂流れ止め枠１５の折返部３側の端を円弧状の形状とすれば、折返部３を樹脂流れ止め枠１５の折返部３側の端の形状に沿わせて折り返すことができる。
【０１０２】
本実施形態４の半導体装置１は、実施形態１の半導体装置１と同様に可撓性配線基板２を通して外部端子６を目視できるとともに、多ピン化，小型化が図れる。また、製造においては半田フラックスを使用する半田を用いてバンプ電極を形成することができるため製造コストの低減が達成できる。
【０１０３】
（実施形態５）
図２２乃至図２４は本発明の他の実施形態（実施形態５）である半導体装置に係わる図であり、図２２は半導体装置の外観を示す斜視図、図２３は半導体装置の模式的正面図、図２４は展開状態の半導体装置の模式的正面図である。
【０１０４】
本実施形態５の半導体装置１は、小型化・高集積化を図る構造であり、可撓性配線基板２の重畳部５に半導体チップを組み込んだ封止体７（樹脂流れ止め枠１５）を有するとともに、可撓性配線基板２の実装本体部４の外部端子６が設けられた面の反対面にも半導体チップを組み込んだ封止体７（樹脂流れ止め枠１５）を配置したものである。これによって、半導体装置１の高集積化，多ピン化，小型化が図れることになる。
【０１０５】
図２４に示す展開状態の半導体装置１において、重畳部５を折返部３で折り返して実装本体部４に積み重ねることによって、図２３および図２２に示すような半導体装置１を得る。本実施形態では実装本体部４および重畳部５において、可撓性配線基板２の同一面に封止体７を設け、重畳部５を折り返した際、実装本体部４の封止体７上に重畳部５の封止体７が重なる構成（折り返し形状規定手段）となっていることから、折返部３の曲率半径が大きくなる。
【０１０６】
本実施形態５の半導体装置１は、実施形態１の半導体装置１と同様に多ピン化，小型化が図れる。また、製造においては半田フラックスを使用する半田を用いてバンプ電極を形成することができるため製造コストの低減が達成できる。
【０１０７】
（実施形態６）
図２５乃至図２８は本発明の他の実施形態（実施形態６）である半導体装置に係わる図であり、図２５は重畳部を半開き状態とした半導体装置を示す斜視図、図２６は半導体装置の模式的正面図、図２７は展開状態の半導体装置の一部を示す拡大断面図、図２８は半導体装置の実装状態における半田付け状態を示す一部の拡大断面図である。
【０１０８】

本実施形態６の半導体装置１は、本実施形態１の半導体装置１において、半田付け実装部分（外部端子６）がＨＧＡ構造となるものである。

【０１０９】

すなわち、図２５および図２７に示すように、透明な可撓性配線基板２の実装本体部４には、グリッドアレイ状にスルーホール５０が設けられているとともに、これらのスルーホール５０の内周面およびその縁には導体層５１が設けられている。この導体層５１が外部端子６となる。したがって、各導体層５１は配線１０と電気的に接続されている。実施形態では導体層５１と配線１０は別々に形成されているが、同時に形成し一体構造としても良い。

【０１１０】

本実施形態６の半導体装置１を実装基板３０に実装する場合は、半導体装置１の実装本体部４の下面の外部端子６を、実装基板３０のランド３１に位置決めして重ねた後、前記ランド３１にあらかじめ設けられた半田バンプをリフローする。溶けた半田は導体層５１に濡れるとともに、表面張力によってスルーホール５０内に入り上昇し、スルーホール５０の上面側にまで到達する。なお、半田バンプは、前記導体層５１に設けずに実装基板３０のランド３１に設けておいても良い。

【０１１１】

この結果、前記実装基板３０のランド３１と、実装本体部４の外部端子６が半田５３で接続されたか否かは、スルーホール５０内に半田５３が吸い上げられているか否かを目視確認することによって正確に分かる。また、本実施形態６の半導体装置１の可撓性配線基板２は、透明体となっていることから、半田付け状態を可撓性配線基板２を通して目視検査することもできる。

【０１１２】

なお、半田バンプは導体層５１側に形成しておいても良い。

【０１１３】

本実施形態６の半導体装置１は、実装基板３０に実装された状態では、半田付け部分は可撓性配線基板２を突き抜けて露出している。すなわち、半田付け部分はスルーホール５０内に充填された半田５３として露出するため、この露出した半田５３にプローブ・ピンを当てることができる。したがって、従来のＢＧＡ型半導体装置では行えなかったインサーキット・テスト等の電気特性検査が行える。

【０１１４】

前記スルーホール５０は、実装本体部４に半導体チップが組み込まれた重畳部５を、実装後に積み重ねる構造となっていることから、実装本体部４には半導体チップの位置に関係なくスルーホール５０、すなわち、外部端子６を配置できるため、実装本体部４の中央部分にも外部端子６を配置できる。この結果、半導体装置１の小型化が達成できるとともに、実装面積の縮小化が達成できる。

【０１１５】

本実施形態６の半導体装置１は、実施形態１の半導体装置１と同様に可撓性配線基板２を通して外部端子６を目視できるとともに、多ピン化，小型化が図れる。

【０１１６】

本実施形態６の半導体装置１において、可撓性配線基板２は透明体でなくとも良い。すなわち、半導体装置１の外部端子６と、実装基板３０のランド３１との半田付け状態は、半導体装置１の実装本体部４に設けられたスルーホール５０内に半田５３が吸い上げられたか否かを目視で検査できることから、実装本体部４の可撓性配線基板２部分が不透明体であっても特に支障はない。すなわち、実装本体部４の全域にスルーホール５０を設けて外部端子６を形成できることから、半導体装置１の小型化が図れる。また、外部端子６をグリッドアレイ状に配置することから、多ピン化が達成できる。また、前記スルーホール５０内に吸い上げられた半田５３にプローブ・ピンを当てることによってインサーキット・テスト等の電気特性検査が可能となる。さらに、実装本体部４の導体層５１部分に半田バンプを形成する場合、前記実施形態１の場合と同様に、封止体７等を薬品に浸けることな

く外部端子６（半田バンプ）の洗浄が行えることから、半田フラックスを使用する半田によって半田バンプを形成することができ、半導体装置１の製造コストの低減が図れる。

【０１１７】

（実施形態７）

図２９乃至図３１は本発明の他の実施形態（実施形態７）である半導体装置に係わる図であり、図２９は半導体装置の外観を示す斜視図、図３０は半導体装置の模式的正面図、図３１は展開状態の半導体装置の模式的平面図である。

【０１１８】

本実施形態７の半導体装置１は、外部端子６部分がスルーホール５０と導体層５１で形成されるＨＧＡ構造の例であり、実装本体部４において周辺部分にスルーホール５０を配置した構造である。本実施形態７の半導体装置１は、実装本体部４の上面中央部分に封止体７（樹脂流れ止め枠１５）を配置した構造となっている。図示はしないが、前記封止体７の内部には半導体チップが配置され、かつ半導体チップの電極と配線とはワイヤを介して電気的に接続されている。半導体チップは、実装本体部４と重畳部５にそれぞれ搭載され、高集積化が図られている。

【０１１９】

樹脂流れ止め枠１５および封止体７が配置される領域には、スルーホール５０を設けることはできないため、スルーホール５０は樹脂流れ止め枠１５の外側の実装本体部４の領域に設けられている。したがって、本実施形態７の半導体装置１においては、図２９乃至図３１に示すように、実装本体部４は重畳部５よりも大きなものとなる。

【０１２０】

本実施形態７において、可撓性配線基板２は透明体であっても不透明体であっても良い。透明体の場合は、可撓性配線基板２を通して外部端子６を目視できるので、実装において半田付け状態を目視できる利点がある。

【０１２１】

本実施形態７の半導体装置１は、実施形態１の半導体装置１や実施形態６の半導体装置１と同様に小型化，多ピン化が図れる。さらに、スルーホール５０内の吸い上げられた半田５３にプローブ・ピンを当てることによってインサーキット・テスト等の電気特性検査を行うこともできる。

【０１２２】

（実施形態８）

図３２および図３３は本発明の他の実施形態（実施形態８）である半導体装置に係わる図であり、図３２は半導体装置の外観を示す斜視図、図３３は展開状態の半導体装置において各重畳部の封止体を部分的に取り除いた状態を示す底面図である。

【０１２３】

本実施形態８の半導体装置１は、実装本体部４に積み重ねる重畳部５を複数とした例を示すものであり、さらに多数の半導体チップを組み込んで高集積化，メモリ容量の増大や多機能化を図ったものである。

【０１２４】

本実施形態８の半導体装置１では、透明体からなる可撓性配線基板２（ポリイミドフィルム等の樹脂フィルム８）は十文字状のパターンとなっている。そして、十文字状の左側矩形部５５を実装本体部４とし、右側矩形部５６，上側矩形部５７，下側矩形部５８および十文字の中心部分の中央矩形部５９の４つを重畳部５としている。中央矩形部５９とその周囲の左側矩形部５５，右側矩形部５６，上側矩形部５７，下側矩形部５８とは配線１０によって所定パターンに接続されている。

【０１２５】

中央矩形部５９と左側矩形部５５，右側矩形部５６，上側矩形部５７，下側矩形部５８との間には折返部３が設けられ、折返部３で順次折り返すことによって、実装本体部４上に中央矩形部５９，右側矩形部５６，上側矩形部５７，下側矩形部５８を積み重ねることができるようになっている。

【０１２６】
左側矩形部５５には半田バンプ電極からなる外部端子６がグリッドアレイ状に配設されている。
【０１２７】
前記右側矩形部５６，上側矩形部５７，下側矩形部５８，中央矩形部５９の各重畳部５の可撓性配線基板２には、半導体チップ１２が固定されるとともに、これら半導体チップ１２の電極と配線１０とは導電性のワイヤ１４で電気的に接続されている。また、右側矩形部５６，上側矩形部５７，下側矩形部５８，中央矩形部５９の可撓性配線基板２には樹脂流れ止め枠１５が半導体チップ１２やワイヤ１４等を囲むように固定されている。各樹脂流れ止め枠１５内には半導体チップ１２やワイヤ１４等を被うように樹脂１７が充填され、封止体７が形成されている。
【０１２８】
図３３は本実施形態８の展開状態の半導体装置１を示すものである。このような展開状態の半導体装置１は、実装本体部４上に順次重畳部５を積み重ね、図３２に示すような外観の半導体装置１として使用される。
【０１２９】
本実施形態８の半導体装置１は、図３３に示すような展開状態でも保管できるし、図３２に示すように、組み立てられた状態でも保管できる。図３２のように組立状態の場合は、実装本体部４に積み重ねられる重畳部５が動かないようにしておくことが、破損等を考えた場合望ましい。すなわち、図３２の状態では、たとえば、実装本体部４上に直接積み重ねられる実装本体部４を接着剤や接着テープによって仮止めし、その後実装本体部４に仮固定された重畳部５上に積み重ねられる重畳部５を接着剤や接着テープによって順次仮固定するようにする。
【０１３０】
これによって半導体装置１の取扱時、重畳部５がずれたりして半導体装置１の組立状態の形状が崩れなくなる。
【０１３１】
本実施形態８の半導体装置１は、重畳部５が複数となるが、実施形態１の半導体装置１の場合と同様に、実装本体部４の可撓性配線基板２が透明体となることから、実装後可撓性配線基板２を通して外部端子６の半田付け状態を目視検査することができる。
【０１３２】
本実施形態８の半導体装置１は、実施形態１の半導体装置１と同様に小型化，多ピン化が図れるとともに、さらに高集積化が達成できる。
【０１３３】
本実施形態８の半導体装置１は、実施形態１の半導体装置１と同様に、製造においては半田フラックスを使用する半田を用いてバンプ電極を形成することができるため製造コストの低減が達成できる。
【０１３４】
本実施形態８では、配線１０は可撓性配線基板２の一面側にのみ設けた例としたが、可撓性配線基板２の両面に配線１０を設け、表裏面の配線１０をスルーホールに充填した導体で電気的に接続する構造としても良い。また、外部端子はスルーホールを利用したＨＧＡ構造としても良い。
【０１３５】
以上本発明者によってなされた発明を実施形態に基づき具体的に説明したが、本発明は上記実施形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない、たとえば、前記実施形態では、配線１０は透明な導電体よって形成したが、透明でない金属膜で形成しても良い。たとえば、配線はポリイミドフィルムに貼り付けた銅箔を所望のパターンにエッチングすることによって形成しても良い。この場合でも、透明な可撓性配線基板２を通して、かつ配線１０と配線１０との間から実装状態の外部端子６の半田付け性の良否を検査できる。

【０１３６】
また、半導体装置１は全体を可撓性の配線基板で形成したが、少なくとも折返部３だけが折り返し自在であれば良く、実装本体部４や重畳部５の部分は可撓体（非可撓体）でなくとも良い。たとえば、重畳部５を通常の可撓性でない配線基板で形成し、実装本体部４をガラスに導電性の透明な膜（酸化錫と酸化アンチモンの化合物からなる透明な膜）で配線を形成したものとしても良い。
【０１３７】
前記実施形態では、樹脂の流出を防止するための枠はプラスチックによる樹脂流れ止め枠を固定する手法を採用しているが、可撓性配線基板に直接絶縁性インキを印刷することによって形成しても良い。また、枠を使用せずに、トランスファモールドによって樹脂フィルム８に直接封止体７を形成形成しても良い。
【０１３８】
前記実施形態では半導体チップと配線との接続はワイヤによって接続していたが、半導体チップをフェイスダウンとしてフリップチップで接続したり、ビームリードを使用して接続するようにしても良い。
【０１３９】
前記実施形態では、重畳部は単一の半導体チップを搭載したものとしたが、複数の半導体チップの搭載やチップ抵抗やチップコンデンサ等の受動部品を搭載したもの、すなわち混成集積回路（ハイブリッドＩＣ）構成としても良い。
【０１４０】
前記実施形態では、外部端子は突出したバンプ電極としたが、リードを植え付けた構造としても良い。
【０１４１】
前記実施形態では、樹脂フィルムの裏面に所望パターンの配線を形成したが、配線は樹脂フィルムの両面に形成してもよく、また絶縁体で配線をカバーすることで多層の配線構造としてもよい。これらの場合、上下の各配線層はスルーホールで接続する。スルーホールの内周面およびその縁には導体層が設けられている。
【０１４２】
前記実施形態では、パッケージのみを取り上げているが、放熱フィンを上部に取り付けたり、放熱板を挟み込んで熱対策することもできる。
【０１４３】
本発明は少なくとも実装本体部の下面に外部端子を有し、前記実装本体部の上に順次重畳部を積み重ねる構造の半導体装置の製造技術および実装技術には適用できる。
【０１４４】
前記各実施形態では、外部端子を有する実装本体部４を１つとしたが、実装本体部４を複数としても良い。すなわち、可撓性配線基板２を多方向に延在して実装本体部４や重畳部５を複数有する半導体装置１において、実装本体部４や重畳部５の先に折返部３を設けて繰り返し実装本体部４や重畳部５を延在させる構造としても良い。この場合、複数の実装本体部４を平坦な実装基板に実装しても良く、また複数の異なる面を有する実装基板の各面に前記実装本体部４を実装し、それらの実装本体部４から延在する重畳部５を折返部３で折り返して各実装本体部４に積み重ねたり、または展開状態にさせ、もしくは直立状態として実装を行うようにしても良い。この場合、半導体装置１の小型化・多機能化が図れるばかりでなく、実装においては実装面積の狭小化，実装空間の有効利用化が図れる。また、半導体装置１は実装基板に搭載された部品上に実装することも可能である。また、重畳部は各々個別に製作し、折り返し部で接続して実施形態のような形態にしてもよい。その場合、各重畳部ごとにテスト後良品のみを使ってモジュール化できるため歩留りが向上する。
【０１４５】
【発明の効果】
本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれ

ば、下記のとおりである。

【０１４６】

（１）半導体装置は、折返部で自由に折り返しができ、必要に応じて実装本体部の上に重畳部を積み重ねる構造となっていることと、配線板（可撓性配線基板）が透明体であることから、重畳部を実装本体部に重ねない状態では配線板の裏面の外部端子を目視できる。したがって、半導体装置の外部端子を実装基板のランドに重ね合わせる際、ランドと外部端子の重なり具合を目視観察できるため、位置合わせが正確かつ容易となる。また、実装後、外部端子とランドとの半田付け状態を目視検査できるため、実装の良否検査が容易となるとともに、実装の信頼性を高めることができる。

【０１４７】

（２）半導体装置は重畳部を開くことによっていつでも配線板を通して配線板の裏面の外部端子を目視できるため、半導体装置を実装基板に実装した後でも外部端子の半田実装状態を目視検査できるため、実装本体部の配線板には、半導体チップ等が重なる部分にも外部端子を配置できることになり、半導体装置の小型化および多ピン化が図れる。したがって、半導体装置の小型化によって実装面積の縮小化を図ることができる。

【０１４８】

（３）実装本体部に複数の重畳部を順次積み重ねる構造では高集積化が達成できる。

【０１４９】

（４）半導体装置は、折返部で自由に折り返しができ、必要に応じて実装本体部の上に重畳部を積み重ねる構造となっているが、必要に応じて重畳部を実装本体部に接着剤や接着テープによって仮固定を含めて固定できるため、半導体装置の取扱性が向上する。

【０１５０】

（５）半導体装置は、実装本体部下面に半田によってバンプ電極を形成する際、バンプ電極形成後、実装本体部のみを薬品に浸け、半導体チップが搭載された重畳部を薬品に浸けないようにできるため、コストが高く付く無洗浄タイプの半田を用いることなく半田フラックスを使用する半田を用いてバンプ電極を形成することができるため、半導体装置の製造コストの低減が達成できる。

【０１５１】

（６）透明な樹脂フィルムを主体として形成された配線板を用い、従来確立されたリードフレームによる半導体装置製造技術と同様に製造が行えるため、高品質の折り返し重畳構造の半導体装置を生産性良く製造することができる。

【図面の簡単な説明】

【図１】本発明の一実施形態（実施形態１）である半導体装置の外観を示す斜視図である。

【図２】本実施形態１の半導体装置において重畳部を半開き状態とした模式的斜視図である。

【図３】本実施形態１の展開状態の半導体装置を示す正面図である。

【図４】本実施形態１の半導体装置の展開状態を示す模式的底面図である。

【図５】本実施形態１の展開状態の半導体装置において封止体の一部を除いた状態を示す模式的底面図である。

【図６】本実施形態１の展開状態の半導体装置の一部の拡大断面図である。

【図７】本実施形態１の半導体装置の製造に使用する配線フレームの模式的平面図である。

【図８】本実施形態１の半導体装置の製造において配線フレームに樹脂流れ止め枠を固定した状態を示す模式的平面図である。

【図９】本実施形態１の半導体装置の製造において配線フレームに半導体チップを固定した状態を示す模式的平面図である。

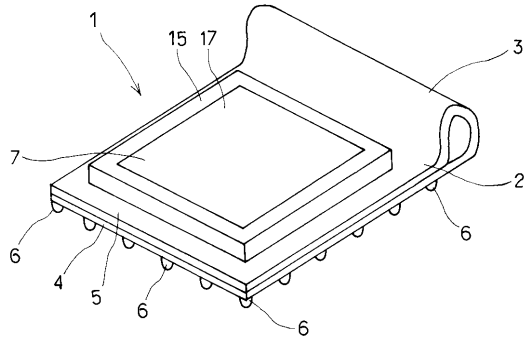
【図１０】本実施形態１の半導体装置の製造においてワイヤボンディングがなされた配線フレームを示す模式的平面図である。

【図１１】本実施形態１の半導体装置の製造において封止体が形成された配線フレームを

示す模式的平面図である。
【図１２】本実施形態１の半導体装置の製造において外部端子が形成された配線フレームを示す模式的平面図である。
【図１３】本実施形態１の半導体装置の実装開始状態を示す模式図である。
【図１４】本実施形態１の半導体装置の実装において、半田付け後重畳部を途中まで反転させた状態を示す正面図である。
【図１５】本実施形態１の半導体装置の実装において、半田付け後重畳部を実装本体部に重ね合わせた状態を示す正面図である。
【図１６】本発明の他の実施形態（実施形態２）である半導体装置の斜視図である。
【図１７】本実施形態２の展開状態の半導体装置の模式的底面図である。
【図１８】本発明の他の実施形態（実施形態３）である半導体装置の正面図である。
【図１９】本実施形態３の展開状態の半導体装置の正面図である。
【図２０】本発明の他の実施形態（実施形態４）である半導体装置の正面図である。
【図２１】本実施形態４の展開状態の半導体装置の正面図である。
【図２２】本発明の他の実施形態（実施形態５）である半導体装置の外観を示す斜視図である。
【図２３】本実施形態５の半導体装置を示す正面図である。
【図２４】本実施形態５の展開状態の半導体装置の正面図である。
【図２５】本発明の他の実施形態（実施形態６）である半導体装置において重畳部を半開き状態とした斜視図である。
【図２６】本実施形態６の半導体装置を示す正面図である。
【図２７】本実施形態６の展開状態の半導体装置の一部を示す拡大断面図である。
【図２８】本実施形態６の半導体装置の実装状態における半田付け状態を示す一部の拡大断面図である。
【図２９】本発明の他の実施形態（実施形態７）である半導体装置の外観を示す斜視図である。
【図３０】本実施形態７の半導体装置を示す正面図である。
【図３１】本実施形態７の展開状態の半導体装置を示す模式的平面図である。
【図３２】本発明の他の実施形態（実施形態８）である半導体装置の外観を示す斜視図である。
【図３３】本実施形態８の展開状態の半導体装置において各重畳部の封止体を部分的に取り除いた状態を示す模式的底面図である。
【符号の説明】
１…半導体装置、２…可撓性配線基板、３…折返部、４…実装本体部、５…重畳部、６…外部端子、７…封止体、８…樹脂フィルム（ポリイミドフィルム）、１０…配線、１１…接着剤、１２…半導体チップ、１３…保護膜、１４…ワイヤ、１５…樹脂流れ止め枠、１６…接着剤、１７…樹脂、２０…配線フレーム、２１…可撓性配線基板部、２２…フレーム部、２３…吊り部、２４…台座、３０…実装基板、３１…ランド、３５…嵌合孔、３６…嵌合雌部、３７…突子、４０…曲げ保持心棒、５０…スルーホール、５１…導体層、５３…半田、５５…左側矩形部、５６…右側矩形部、５７…上側矩形部、５８…下側矩形部、５９…中央矩形部。

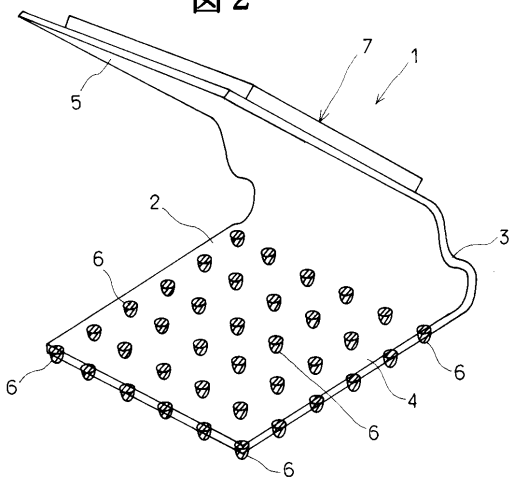
【図１】

図１



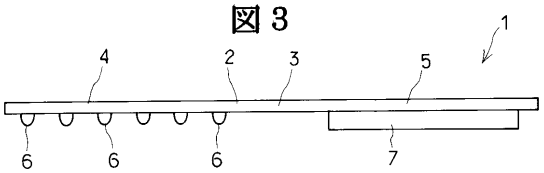
【図２】

図２



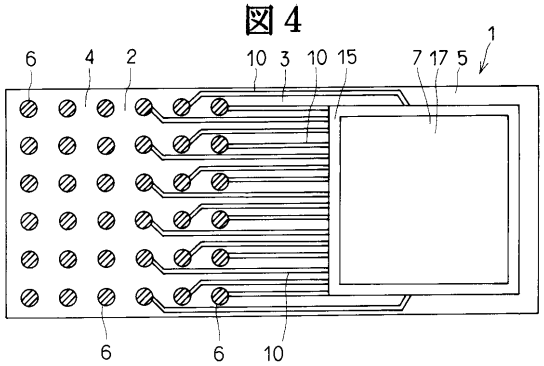
【図３】

図３



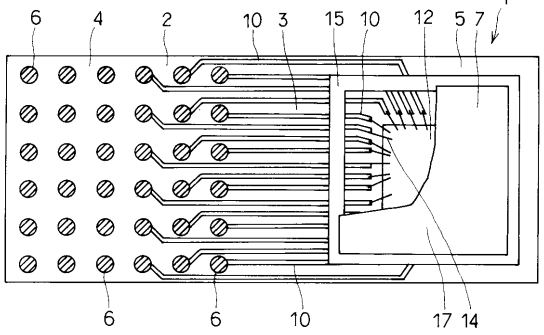
【図４】

図４



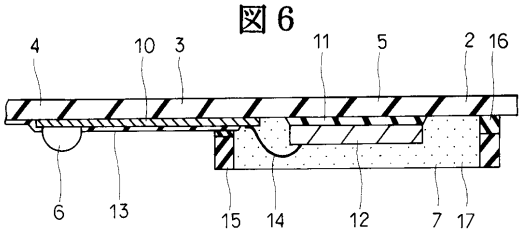
【図５】

図５



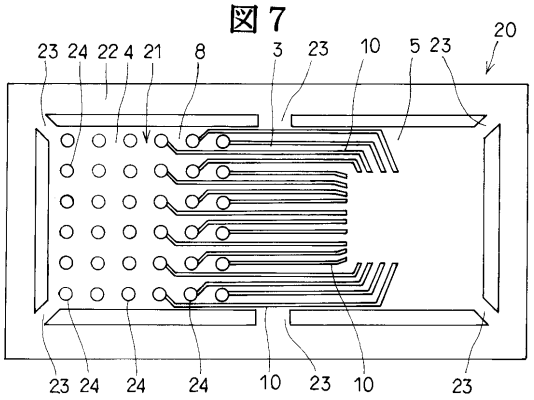
【図６】

図６



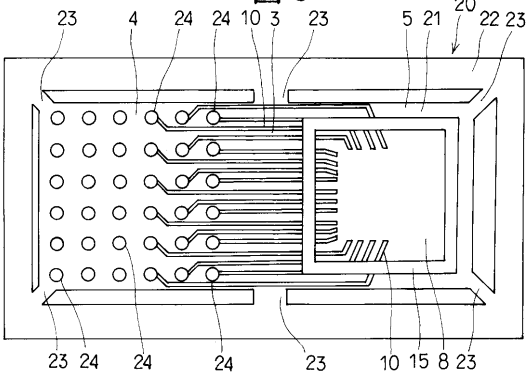
【図７】

図７



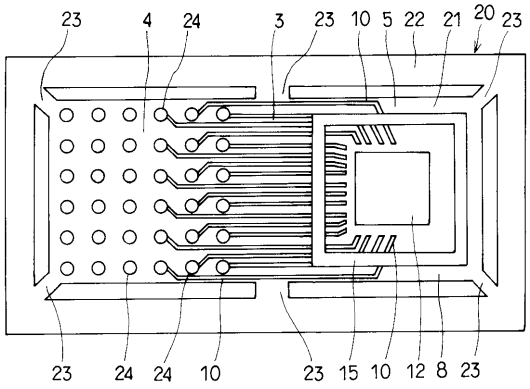
【図８】

図８



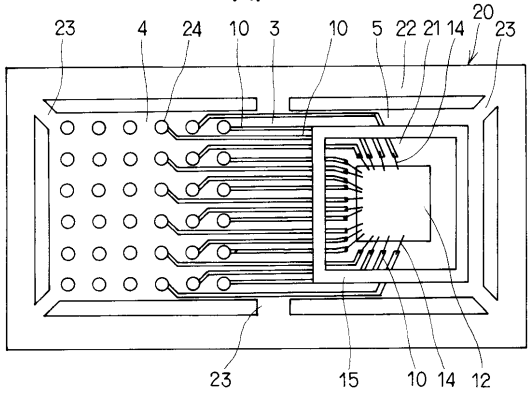
【図９】

図９



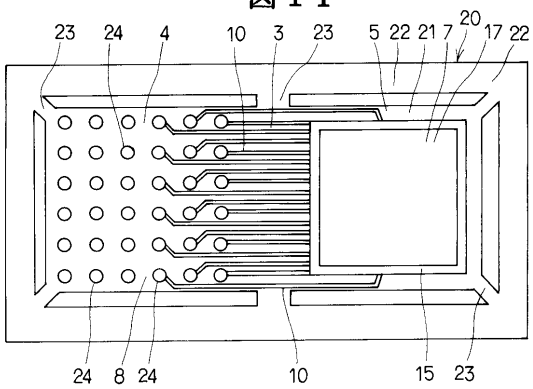
【図１０】

図１０



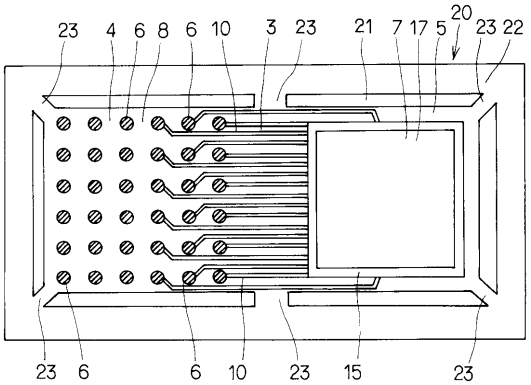
【図１１】

図１１



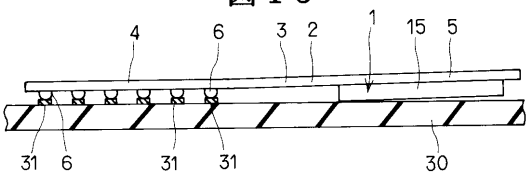
【図１２】

図１２



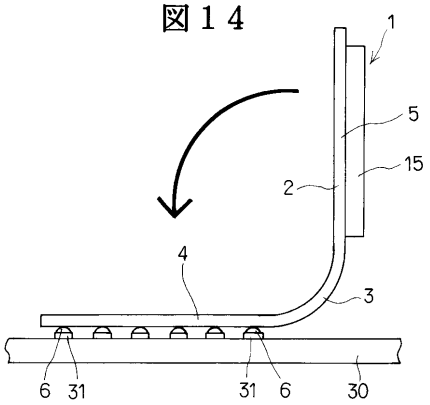
【図１３】

図１３



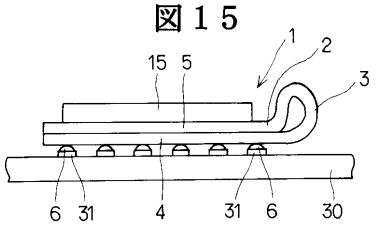
【図１４】

図１４



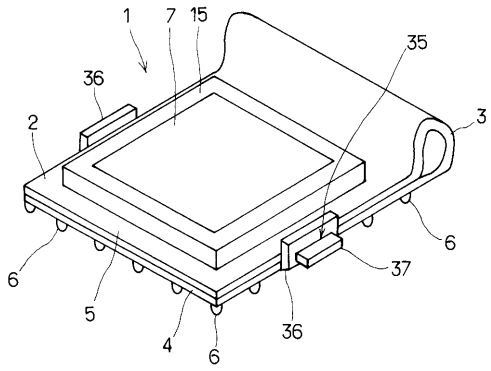
【図１５】

図１５



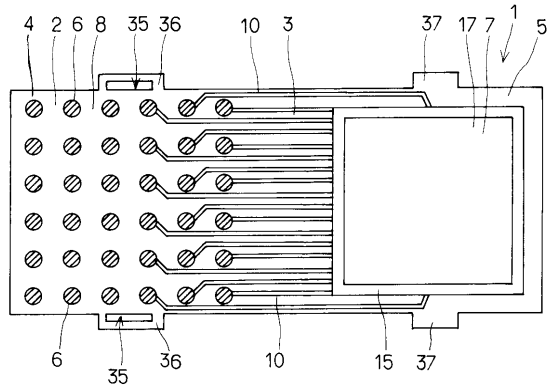
【図１６】

図１６



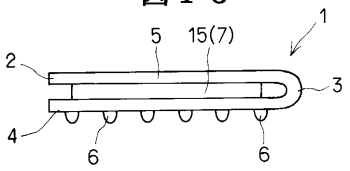
【図１７】

図１７



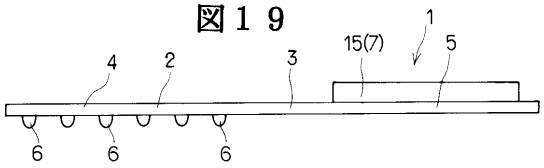
【図１８】

図１８



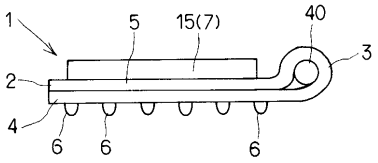
【図１９】

図１９



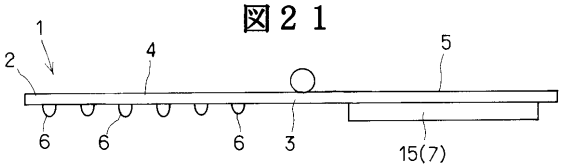
【図２０】

図２０



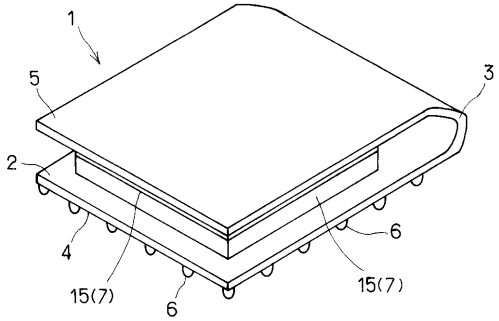
【図２１】

図２１



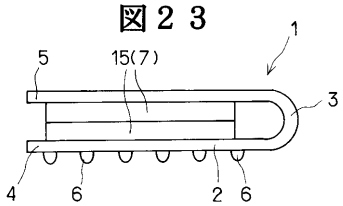
【図２２】

図２２



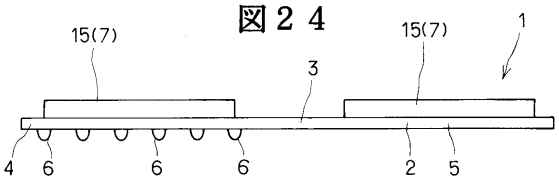
【図２３】

図２３



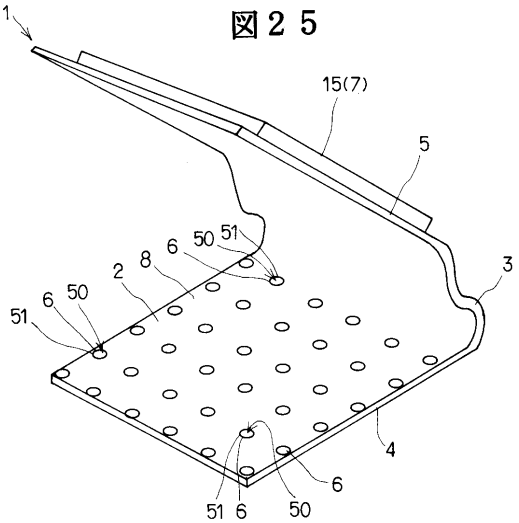
【図２４】

図２４



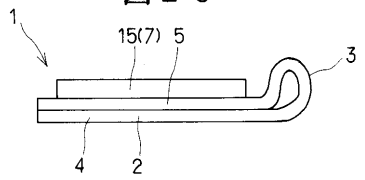
【図２５】

図２５



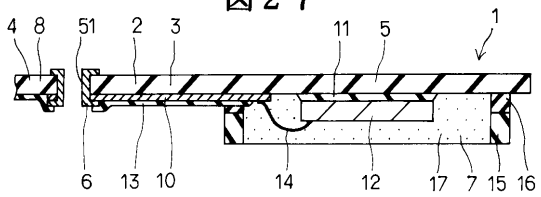
【図２６】

図２６



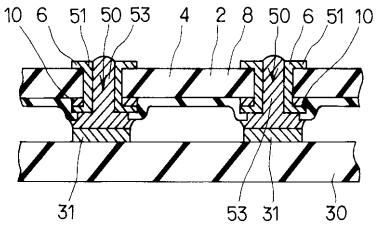
【図２７】

図２７



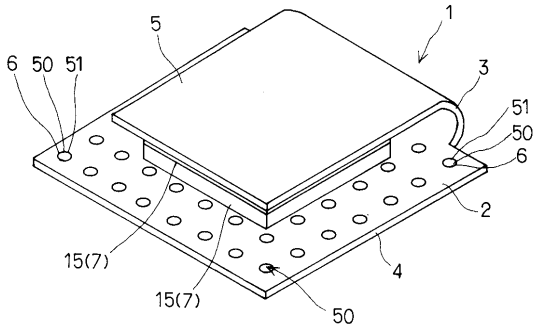
【図２８】

図２８



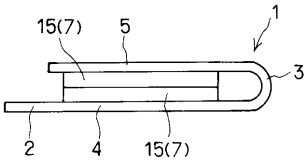
【図２９】

図２９



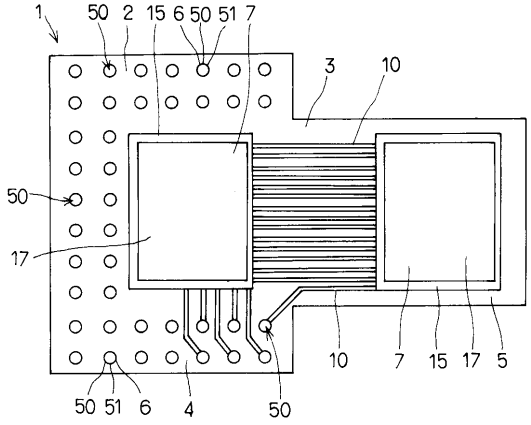
【図３０】

図３０



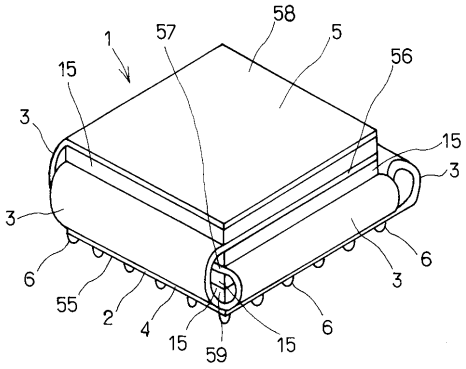
【図３１】

図３１



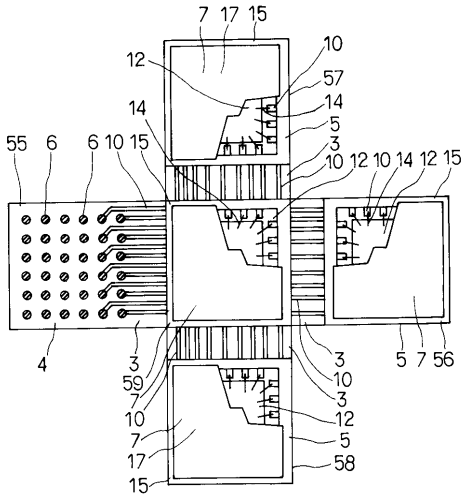
【図３２】

図３２



【図３３】

図３３


7 17 15
12
10
57
14
14
5
3
55 6 6 10 15
10 12 10 14 12 15
4
3
59
7
10
7
17
15
3
10
3
12
5
58
5 7 56

フロントページの続き

(56)参考文献 特開平０６－２９５９３５（ＪＰ，Ａ）
特開平０６－３３４０９８（ＪＰ，Ａ）
国際公開第８２／００４１６１（WO，Ａ１）
特開平０６－０６９２７９（ＪＰ，Ａ）
特開平０９－０６９５８８（ＪＰ，Ａ）
特開平０６－１２０２８５（ＪＰ，Ａ）
特開平０９－０２２９５６（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)

H01L 25/065
H01L 25/07
H01L 25/18
H01L 21/60
H01L 23/12
H01L 23/52