

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2006年4月13日 (13.04.2006)

PCT

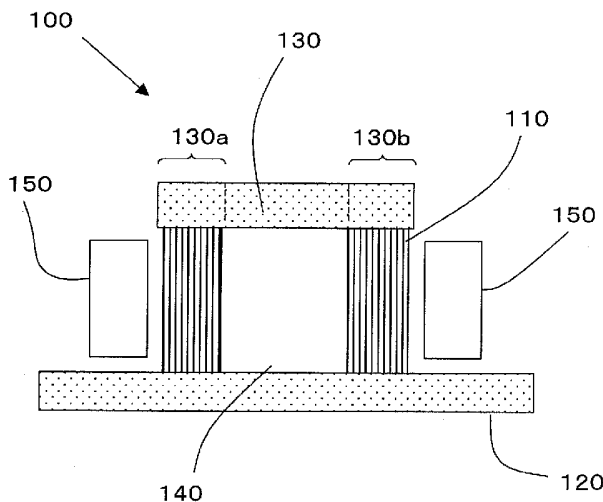
(10) 国際公開番号
WO 2006/038504 A1

- (51) 国際特許分類:
H01L 29/786 (2006.01) H01L 29/12 (2006.01)
H01L 29/06 (2006.01) H01L 29/78 (2006.01)
- (21) 国際出願番号: PCT/JP2005/017830
- (22) 国際出願日: 2005年9月28日 (28.09.2005)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2004-291170 2004年10月4日 (04.10.2004) JP
- (71) 出願人 (米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒5718501 大阪府門真市大字門真1006番地 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 川島 孝啓
- (54) 代理人: 奥田 誠司 (OKUDA, Seiji); 〒5410041 大阪府大阪市中央区北浜一丁目8番16号 大阪証券取引所ビル10階 奥田国際特許事務所 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD,

[続葉有]

(54) Title: VERTICAL FIELD EFFECT TRANSISTOR AND METHOD FOR MAKING THE SAME

(54) 発明の名称: 縦型電界効果トランジスタおよびその製造方法



(57) Abstract: A vertical field effect transistor comprises active regions (110) constituted by a plurality of nanowire bundles through which charge particles are caused to travel; a lower electrode (120) that is connected to the lower end of the active regions (110) and that functions as one of the source and drain regions; an upper electrode (130) that is connected to the upper end of the active regions (110) and that functions as the other of the source and drain regions; a gate electrode (150) that controls the conductivity of at least a portion of the active regions (110); and a gate insulating film that electrically insulates the gate electrode (150) from the nanowires. The upper electrode (130) has overhung parts (130a, 130b) that are laid over the lower electrode (120) with a dielectric part (140) therebetween and that horizontally protrude from the upper surface of the dielectric part (140). The active regions (110) constituted by the nanowire bundles are located just under the overhung parts (130a, 130b) of the upper electrode (130).

(57) 要約: 本発明の縦型電界効果トランジスタは、荷電粒子を走行させる複数のナノワイヤの束から構成された活性領域110と、活性領域110の下端に接続され、ソース領域およびドレイン領域の一方として機能する下部電極120と、活性領域110の上端に接続され、ソース領域およびドレイン領域の他方として機能する上部電極130と、活性領域110の少な

[続葉有]



WO 2006/038504 A1



SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

くとも一部における導電性を制御するゲート電極150と、ゲート電極150をナノワイヤから電氣的に絶縁するゲート絶縁膜とを備えている。上部電極130は、誘電体部140を介して下部電極120の上に位置し、誘電体部140の上面から横方向に突出したオーバーハング部分130a、130bを有している。ナノワイヤの束から構成された活性領域110は、上部電極130のオーバーハング部分130a、130bの真下に配置されている。

明 細 書

縦型電界効果トランジスタおよびその製造方法

技術分野

- [0001] 本発明は、チャンネル領域として機能するナノワイヤやカーボンナノチューブなどの線状構造物の束から形成した活性領域を備えた縦型電界効果トランジスタに関する。また本発明は、活性領域が形成されるべき領域上にナノワイヤを自己整合的に形成することができる縦型電界効果型トランジスタの製造方法に関する。

背景技術

- [0002] 大規模集積回路(LSI)におけるトランジスタや、フラットパネルディスプレイなどにおける薄膜トランジスタ(TFT)は、いずれも、電界効果トランジスタ(FET)であり、その高性能化は、素子を微細化することによって進められてきた。シリコン半導体プロセスでは、フォトリソグラフィ工程における露光用光源の波長を短くすることにより、最小寸法が $0.1\mu\text{m}$ 以下の微細加工を実現している。
- [0003] しかしながら、フォトリソグラフィ技術による微細化は限界が迫ってきており、露光装置やフォトマスクの価格も増大している。
- [0004] 近年、歪みシリコンやゲルマニウム(非特許文献1)のような新材料やFinFET(非特許文献2)のような新規構造を採用することにより、FETを高性能化する試みが活発化している。中でも、カーボンナノチューブ(CNT)や半導体ナノワイヤなどの線状構造物を用いてトランジスタを製造する技術が注目されている。CNTやナノワイヤは、直径が数nmの微細な柱状構造を有しているため、ナノメートルサイズのトランジスタを実現できる可能性を有している。常温でCNTを用いたトランジスタの常温での動作が非特許文献3に報告され、また、ナノワイヤを用いたトランジスタの常温での動作が非特許文献4に報告されている。しかし、非特許文献3や非特許文献4に開示されているトランジスタでは、そのチャンネル長がフォトリソグラフィ技術によって規定されるため、フォトリソグラフィ技術によらず、自己組織化によってナノメートルオーダーのFETを形成することが検討されている。
- [0005] CNTまたはナノワイヤを縦方向に成長させたトランジスタが特許文献1に開示され

ている。このトランジスタは、絶縁膜に設けたスルーホール内の各々に1本のCNTを成長させ、このCNTをチャネル領域として利用する縦型電界効果トランジスタである。

[0006] なお、CNTについては、グラフェンシートの巻き方によって導電性が変化することが知られている。現在のCNT成長法では、ランダムに導電性の異なるナノチューブが形成されるため、選択的に目的の導電性を示すナノチューブを形成することが困難である。

[0007] 一方、ナノワイヤでは、材料を適切に選択することによって目的の導電性を得ることができる。また、ナノワイヤに対する不純物のドーピングは、既存のイオン注入法や、成長中に行なうIn-situドーピング法によって行なうことが可能である。

[0008] このように、ナノワイヤは容易に導電性や不純物濃度を制御できるため、デバイスに導入し、自己組織化プロセスを確立することで高性能化のみならず、プロセスを複雑化することなく、低いコストで製造可能な将来の高性能デバイスとして期待されている。

特許文献1: 米国特許第6,740,910B2明細書

非特許文献1: K. Rim, et al., "Fabrication and mobility Characteristics of Ultra-thin Strained Si Directly on Insulator (SSDOI) MOSFETs," IEEE IEDM 2003, pp. 49

非特許文献2: Y. K. Choi, et al., "Reliability Study of CMOS FinFET," IEEE IEDM 2003, pp. 177

非特許文献3: R. Martel, et al., "Single- and multi-wall carbon nanotube field-effect transistors," Appl. Phys. Lett. 73 pp. 2447, 1998

非特許文献4: D. Wang, et al., "Germanium nanowire field-effect transistors with SiO₂ and high-k HfO₂ gate dielectrics," Appl. Phys. Lett. 83 pp. 2432, 2003

発明の開示

発明が解決しようとする課題

[0009] しかしながら、非特許文献1~4に記載する従来技術では、ナノワイヤの成長方向

や成長位置を制御することが困難であった。

[0010] なお、CNTについては、電場や磁場を利用することによって成長方向を制御することが報告されているが、これらの方法は、制御範囲が狭く、製造工程が複雑であり、LSIやTFTへの応用には適していない。一方、ナノワイヤの位置制御に関しては、STMやAFMを用いたマニピュレーションや、リソグラフィ技術を用いた触媒位置制御による報告がなされている。しかし、マニピュレーションによる位置制御は、各デバイス単位で移動させる必要があるため、大規模な回路や素子を複数個配置した回路への量産性が乏しい。リソグラフィ技術による位置制御は、露光限界以上の微細化が困難であるため、ナノメートルサイズのデバイス形成には向かない。

[0011] また、ナノワイヤをブランケット状に成長させた後、不要なナノワイヤを選択的に除去することは非常に困難である。この理由は、ナノワイヤの束からなる層の上にレジストパターンを形成しようとする、ナノワイヤの隙間にレジスト材料が侵入するためである。

[0012] 更に、特許文献1に開示されている製造方法では、チャンネル領域の形状および位置が、絶縁膜に設けたスルーホール形状および位置によって規定されるため、微細なチャンネル領域を形成するためには、これに対応した微細なスルーホールを絶縁膜に形成する必要があった。このため、フォトリソグラフィ工程における限界を超えてトランジスタのサイズを縮小させることができないという問題がある。

[0013] 本発明は、上記事情に鑑みてなされたものであり、その主たる目的は、高集積化に適した縦型電界効果トランジスタおよびその製造方法を提供することにある。

課題を解決するための手段

[0014] 本発明の縦型電界効果トランジスタは、荷電粒子を走行させるチャンネル領域として機能する複数の線状構造物の束を有する活性領域と、前記活性領域の下端に接続され、ソース領域およびドレイン領域の一方として機能する下部電極と、前記活性領域の上端に接続され、前記ソース領域およびドレイン領域の他方として機能する上部電極と、前記活性領域に含まれる線状構造物の束の少なくとも一部における導電性を制御するゲート電極と、前記活性領域と前記ゲート電極との間に配置され、前記ゲート電極を前記線状構造物の束から電氣的に絶縁するゲート絶縁膜とを備えた縦型

電界効果トランジスタであって、前記上部電極と前記下部電極との間に配置された誘電体部を更に備え、前記上部電極は、前記誘電体部を介して、前記下部電極の上に位置し、しかも、前記誘電体部の上面から横方向に突出したオーバーハング部分を有しており、前記活性領域は前記上部電極のオーバーハング部分の真下に配置されている。

[0015] 好ましい実施形態において、前記複数の線状構造物の束は、それぞれ、前記下部電極上に成長した柱状半導体から構成されている。

[0016] 好ましい実施形態において、前記柱状半導体は単結晶構造を有している。

[0017] 好ましい実施形態において、前記活性領域の外周側面の位置は、前記上部電極の側面の位置に整合している。

[0018] 好ましい実施形態において、前記誘電体部は、前記上部電極を支持する電気絶縁材料から形成されており、前記上部電極の下面は、前記誘電体部または前記活性領域と接触している。

[0019] 好ましい実施形態において、前記柱状半導体は、シリコン、ゲルマニウム、及び炭素からなる群から選択された少なくとも1つの元素を含有している。

[0020] 好ましい実施形態において、前記柱状半導体には、導電性を規定するドーパントが含有されている。

[0021] 好ましい実施形態において、前記基板は、半導体基板またはSOI基板である。

[0022] 本発明の電子装置は、基板と、前記基板上に形成された複数の電界効果トランジスタとを備える電子装置であって、前記複数の電界効果トランジスタの少なくとも1つは、荷電粒子を走行させるチャンネル領域として機能する複数の線状構造物の束を有する活性領域と、前記活性領域の下端に接続され、ソース領域およびドレイン領域の一方として機能する下部電極と、前記活性領域の上端に接続され、前記ソース領域およびドレイン領域の他方として機能する上部電極と、前記活性領域に含まれる線状構造物の束の少なくとも一部における導電性を制御するゲート電極と、前記活性領域と前記ゲート電極との間に配置され、前記ゲート電極を前記線状構造物の束から電氣的に絶縁するゲート絶縁膜とを備えた縦型電界効果トランジスタであって、前記上部電極と前記下部電極との間に配置された誘電体部を更に備え、前記上部電

極は、前記誘電体部を介して、前記下部電極の上に位置し、しかも、前記誘電体部の上面から横方向に突出したオーバーハング部分を有しており、前記活性領域は前記上部電極のオーバーハング部分の真下に配置されている。

- [0023] 好ましい実施形態において、前記複数の電界効果トランジスタはCMOS回路を形成している。
- [0024] 好ましい実施形態において、前記電子装置は大規模集積回路として動作する。
- [0025] 好ましい実施形態において、前記基板は、ガラス基板またはプラスチック基板である。
- [0026] 好ましい実施形態において、前記電界効果トランジスタは、前記基板上において画素ごとにマトリクス状に配置されており、前記電子装置は表示装置として動作する。
- [0027] 本発明による縦型電界効果トランジスタの製造方法は、荷電粒子を走行させるナノワイヤから構成された領域と、前記領域の下端に接続され、ソース領域およびドレイン領域の一方として機能する下部電極と、前記領域の上端に接続され、前記ソース領域およびドレイン領域の他方として機能する上部電極と、前記領域の少なくとも一部における導電性を制御するゲート電極と、前記ゲート電極を前記ナノワイヤから電気的に絶縁するゲート絶縁膜とを備えた縦型電界効果トランジスタの製造方法であって、荷電粒子を走行させるチャンネル領域として機能する複数の線状構造物の束を有する活性領域と、前記活性領域の下端に接続され、ソース領域およびドレイン領域の一方として機能する下部電極と、前記活性領域の上端に接続され、前記ソース領域およびドレイン領域の他方として機能する上部電極と、前記活性領域に含まれる線状構造物の束の少なくとも一部における導電性を制御するゲート電極と、前記活性領域と前記ゲート電極との間に配置され、前記ゲート電極を前記線状構造物の束から電気的に絶縁するゲート絶縁膜とを備えた縦型電界効果トランジスタの製造方法であって、前記上部電極と前記下部電極との間に誘電体部が挟まれ、前記上部電極が前記誘電体部の上面から横方向に突出したオーバーハング部分を有している構造を形成する工程(A)と、前記下部電極の上面において前記誘電体部が存在していない領域から前記上部電極におけるオーバーハング部分の下面に達するように複数の線状構造物の束を成長させる工程(B)とを含む。

- [0028] 好ましい実施形態において、前記工程(A)は、前記上部電極と前記下部電極との間に誘電体部が挟まれた構造を形成する工程(a1)と、前記誘電体部の側面の少なくとも一部をサイドエッチによってセットバックさせる工程(a2)とを含む。
- [0029] 好ましい実施形態において、前記工程(a2)は、ウェットエッチングによって前記誘電体部の側面をエッチングする工程を含む。
- [0030] 好ましい実施形態において、前記工程(a1)は、前記下部電極のための第1導電体膜を形成する工程と、絶縁膜を前記第1導電体膜上に形成する工程と、前記上部電極のための第2導電体膜を前記絶縁膜上に形成する工程と、前記上部電極の位置および形状を規定するマスク層を前記第2導電体膜上に形成する工程と、前記第2導電体膜のうち前記マスク層で覆われていない部分をエッチングすることにより、前記第2導電体膜から前記上部電極を形成する工程と、前記絶縁膜をエッチングすることにより、前記誘電体部を形成する工程と、前記第1導電体膜をパターンングすることにより、前記第1導電体膜から前記下部電極を形成する工程とを含む。
- [0031] 好ましい実施形態において、前記工程(a1)は、前記下部電極のための第1導電体膜を形成する工程と、絶縁膜を前記第1導電体膜上に形成する工程と、前記上部電極のための第2導電体膜を前記絶縁膜上に形成する工程と、前記上部電極の位置および形状を規定するマスク層を前記第2導電体膜上に形成する工程と、前記第2導電体膜のうち前記マスク層で覆われていない部分をエッチングすることにより、前記第2導電体膜から前記上部電極を形成する工程と、前記上部電極をマスクとして前記絶縁膜をエッチングすることにより、前記誘電体部を形成する工程とを含む。
- [0032] 好ましい実施形態において、前記絶縁膜は酸化シリコンまたは窒化シリコンから形成されている。
- [0033] 好ましい実施形態において、前記上部電極をマスクとする異方性エッチングを行なうことにより、前記複数の線状構造物のうち前記上部電極によって覆われていない部分を選択的に除去する工程(C)を更に含む。
- [0034] 好ましい実施形態において、前記工程(B)は、CVD法により、前記線状構造物を成長させる工程を含む。
- [0035] 好ましい実施形態において、前記工程(A)は、前記第1導電体膜の堆積後に、線

状構造物成長の触媒を付着させる工程を含む。

[0036] 好ましい実施形態において、前記工程(A)は、前記絶縁膜の堆積後に、線状構造物成長の触媒を付着させる工程を含む。

発明の効果

[0037] 本発明によれば、ナノワイヤやCNTなどの線状構造物の束からなる活性領域を上部電極に対して自己整合的に形成することで、所望の位置に選択的に線状構造物を形成することができ、更にフォトリソグラフィによらずチャンネル長を規定した縦型電界効果トランジスタを提供することができる。

図面の簡単な説明

[0038] [図1]本発明の縦型薄膜トランジスタの構成例を模式的に示す構造図である。

[図2](a)から(d)は、図1の縦型電界効果トランジスタの製造方法の一例を示す工程断面図である。

[図3](a)は、図2(a)に示される状態の上部電極130および誘電体部140の配置関係を模式的に示す平面図であり、(b)は、図2(d)に示される状態の活性領域110および誘電体部140の配置関係を模式的に示す平面図である。

[図4](a)は、図2(a)に示される状態の上部電極130および誘電体部140の他の配置関係を模式的に示す平面図であり、(b)は、図2(d)に示される状態の活性領域110および誘電体部140の配置関係を模式的に示す平面図である。

[図5](a)は、図2(a)に示される状態の上部電極130および誘電体部140の更に他の配置関係を模式的に示す平面図であり、(b)は、図2(d)に示される状態の活性領域110および誘電体部140の配置関係を模式的に示す平面図である。

[図6](a)は、本発明による縦型薄膜トランジスタの第1の実施形態を模式的に示す平面図であり、(b)は、そのB-B'線断面図である。

[図7]図6に示す縦型薄膜トランジスタが液晶表示装置のスイッチング素子として用いられた場合におけるアクティブマトリクス基板の部分平面図である。

[図8](a)および(b)は、図6の縦型薄膜トランジスタ(実施形態1)を製造する方法の実施形態を示す工程断面図である。

[図9](a)および(b)は、実施形態1における縦型薄膜トランジスタを製造する方法の

実施形態を示す工程断面図である。

[図10](a)および(b)は、実施形態1における縦型薄膜トランジスタを製造する方法の実施形態を示す工程断面図である。

[図11](a)および(b)は、実施形態1における縦型薄膜トランジスタを製造する方法の実施形態を示す工程断面図である。

[図12]は、本発明による縦型薄膜トランジスタによってCMOS回路を構成した装置の断面図である。

[図13]本発明による縦型薄膜トランジスタの第2の実施形態を模式的に示す断面図である。

[図14](a)および(b)は、図12の縦型薄膜トランジスタ(実施形態2)を製造する方法の実施形態を示す工程断面図である。

[図15](a)および(b)は、実施形態2における縦型薄膜トランジスタを製造する方法の実施形態を示す工程断面図である。

[図16](a)は、本発明の縦型薄膜トランジスタの第3の実施形態を模式的に示す断面図であり、(b)は、その上面図である。

[図17](a)から(c)は、図16の縦型薄膜トランジスタ(実施形態3)を製造する方法の実施形態を示す工程断面図である。

[図18](a)は、本発明の縦型薄膜トランジスタの第4の実施形態を模式的に示す断面図であり、(b)は、その上面図である。

[図19](a)から(c)は、図18の縦型薄膜トランジスタ(実施形態4)を製造する方法の実施形態を示す工程断面図である。

符号の説明

- [0039]
- 1 基板
 - 2 酸化シリコン膜
 - 3 透明導電膜
 - 4 下部電極
 - 4' 第1導電体膜
 - 5 ゲート電極

- 6 ゲート絶縁膜
- 7 上部電極
- 7' 第2導電体膜
- 7a 上部電極7のオーバーハング部分
- 7b 上部電極7のオーバーハング部分
- 8 活性領域
- 8' ナノワイヤ
- 9 誘電体部
- 9' 絶縁膜
- 13 n型チャネル領域
- 14 p型チャネル領域
- 15 レジストパターン
- 100 縦型電界効果トランジスタ
- 110 活性領域
- 120 下部電極
- 130 上部電極
- 140 誘電体部
- 130a オーバーハング部分
- 130b オーバーハング部分
- 150 ゲート電極
- 160 縦型電界効果トランジスタ

発明を実施するための最良の形態

[0040] まず、図1を参照しながら、本発明による縦型電界効果トランジスタの基本的な構成を説明する。

[0041] 図1に示す縦型電界効果トランジスタ100は、荷電粒子(電子または正孔)を走行させる複数の線状構造物の束から構成された活性領域110を有している。活性領域110を構成する複数の線状構造物の間には隙間が存在する。この隙間は、樹脂などの誘電体材料によって充填されていても良い。活性領域111に含まれる線状構造物

の束が全体として、チャンネル領域として機能する。線状構造物は、好ましくは、直径がナノメートルオーダーのサイズを有するナノワイヤやCNTである。

[0042] 活性領域110は、ソース領域およびドレイン領域として機能する一对の電極(下部電極120および上部電極130)を縦方向に接続している。ソース領域またはドレイン領域として機能する上部電極130は、誘電体部140を介して下部電極120の上に位置しており、誘電体部140の上面から横方向に突出したオーバーハング部分130a、130bを有している。活性領域110の側面部分には、不図示のゲート絶縁膜を介してゲート電極150が対向している。ゲート電極150は、不図示のゲート配線を介して駆動回路に接続されている。駆動回路を用いてゲート電極150の電位を上下させることにより、活性領域110の導電性を制御し、トランジスタ動作(スイッチングや増幅)を実行することができる。

[0043] 本発明による縦型電界効果トランジスタの主たる特徴点は、線状構造物の束から構成された活性領域110が、誘電体部140に支持された上部電極130のオーバーハング部分130a、130bの真下に配置されていることにある。各線状構造物は、好ましくは下部電極120上に成長した柱状半導体から構成されており、活性領域110の外周側面の位置は、上部電極130の側面の位置に整合している。

[0044] 本発明による縦型電界効果トランジスタの製造方法によれば、活性領域110の外周側面の位置が、上部電極130の側面の位置に対して自己整合的に規定される。

[0045] 次に、図2(a)から(d)を参照しながら、ナノワイヤの束から構成された活性領域110の自己整合的な形成方法の一例を説明する。

[0046] まず、図2(a)に示すように、上部電極130が誘電体部140によって下部電極120上に支持された構造を形成する。図2(a)に示される状態において、上部電極130は、誘電体部140の上面よりも横方向に突出したオーバーハング部分130a、130bを有している。誘電体部140は、好適には、パターニングされた絶縁膜から構成される。誘電体部140は、円柱形状、矩形形状、その他の任意の孤立したパターンを有し得るが、基板表面に沿って長く伸びた配線形状を有していてもよい。ここで、「孤立したパターン」とは、トランジスタ毎に分離された形状を意味するものとする。

[0047] 図2(a)に示す構造の形成は、種々の方法によって可能であるが、好ましい形成方

法の詳細は後に説明する。

- [0048] 次に、図2(b)に示すように、ナノワイヤ110'を下部電極120上に成長させる。ナノワイヤ110'の成長方法や成長条件の具体例は後に詳述する。ナノワイヤ110'の成長は、図2(c)に示すように、ナノワイヤ110'の上端部が上部電極130の下面に達するまで行なう。図2(b)および(c)に示す例では、ナノワイヤ110'が下部電極120上に選択的に成長している。
- [0049] 次に、図2(d)に示すように、ナノワイヤ110'のうち、上部電極120で覆われていない部分をエッチングによって除去し、ナノワイヤ110'の束から構成された活性領域110を形成する。このエッチングは、上部電極130をマスクとして行なう。このため、上部電極120は、ナノワイヤ110'に対するエッチャントによってエッチングされにくい材料から形成されていることが好ましい。例えば、上部電極120に白金を用いた時のエッチャントとしては、HBRや塩素ガスが好ましい。また、ナノワイヤ110'の下に位置する下部電極120をエッチングしないようにするためには、下部電極130も、上記のエッチャントに対してエッチングされにくい材料から形成されていることが好ましい。ナノワイヤ110'の不要部分は、異方性エッチングによって除去されることが好ましいが、等方的なエッチングが生じて、それによるエッチング量が少なければ問題は無い。完全な異方性エッチングを行なわなかった場合、活性領域110の外周側面の位置は、上部電極130のオーバーハング部130a、130bのエッジの位置よりも内側にシフトする。本明細書における「整合」は、このようなシフトが発生している状態をも含むものとする。
- [0050] 図2(a)から(d)に示す方法によれば、上部電極130および誘電体部140の形状および配置関係により、活性領域110の形状を規定することができる。図3から図5を参照しながら、このことを説明する。
- [0051] 図3(a)は、上部電極130および誘電体部140の配置関係を模式的に示す平面図である。この平面図は、図1に示す下部電極120の側から上部電極130および誘電体部140を見た図面であり、簡単のため、下部電極120の記載は省略している。上部電極130の下面のうち、誘電体部140の上面と接触している部分は図3(a)には現れておらず、上部電極130のうち、誘電体部140の背後に隠れていない部分(はみ

出し部分)が、上部電極130のオーバーハング部分である。

- [0052] 上部電極130および誘電体部140が図3(a)に示す配置関係を有している場合、活性領域110は、最終的に、図3(b)に示す平面形状を有することになる。すなわち、活性領域110は、上部電極130の真下のうち、誘電体部140が存在していない領域にのみ存在することになる。活性領域110が上部電極130の外側に位置していない理由は、図2(d)を参照して説明したように、上部電極130をマスクとするエッチングによって活性領域110を構成するナノワイヤをエッチングするからである。
- [0053] 本発明で用いる上部電極130および誘電体部140は、図3に示すものに限定されない。図4や図5に示す配置関係であってもよい。
- [0054] 図4(a)に示す配置関係によれば、図4(b)に示す活性領域110が形成される。また、図5(a)に示す配置関係によれば、図5(b)に示す活性領域110が形成される。このように、上部電極130および誘電体部140の形状と配置関係を調節することにより、所望の平面形状を有する活性領域110を形成することができる。
- [0055] 以下、本発明の好ましい実施形態を説明する。
- [0056] (実施形態1)
- 図6(a)および(b)を参照しながら、本発明による縦型電界効果トランジスタの第1の実施形態を説明する。図6(a)は、実施形態の縦型電界効果トランジスタの構成を模式的に示す上面図(上部電極7の記載を省略している)であり、図6(b)は、そのB-B'線断面図である。
- [0057] 本実施形態のトランジスタは、ガラス基板1上に形成された縦型薄膜電界効果型トランジスタ(以下縦型TFTと略す)であり、活性領域8のナノワイヤをキャリアがガラス基板1の主面に垂直な方向に走行する。
- [0058] 本実施形態における活性領域8は、p型不純物がドーピングされたGeナノワイヤの束から構成されており、この活性領域8は、ドレイン電極として機能する下部電極4と、ソース領域として機能する上部電極7とを縦方向に接続している。
- [0059] 下部電極4は、ガラス基板1上に積層された酸化シリコン膜2および透明導電膜3の上に設けられている。透明導電膜3は典型的にはITOから形成されている。なお、酸化シリコン膜2や透明導電膜3は本発明のトランジスタにとって不可欠の構成要素で

はない。

- [0060] 上部電極7は、誘電体部9を介して下部電極4の上に位置しており、誘電体部9の上面から横方向に突出したオーバーハング部分7a、7bを有している。活性領域8の外周側面には、ゲート絶縁膜6を介してゲート電極5が対向している。
- [0061] このTFTのゲート電極5および上部電極7は、それぞれ、図7に示すように、ゲート配線10およびデータ配線11に接続され、例えば、表示装置などのスイッチング素子として機能させることができる。本実施形態のTFTを、液晶表示装置におけるアクティブマトリクス基板上のTFTとして用いる場合は、図7に示すゲート配線10が走査線(ゲートバス)として機能し、ゲートバス・ドライバからの信号によってTFTのオン・オフを制御する。一方、データ配線11は、ソースバスとして機能し、ソースバス・ドライバからの信号によって透明導電膜3の電位を変化させる。透明導電膜3は、個々の画素を規定し、不図示の対向電極との間でキャパシタを形成する。このキャパシタに蓄えられる電荷の量によって透明導電膜3と対向電極との間に画素毎に異なる電界が形成され、液晶の配向状態が制御させることになる。液晶の配向状態を画素単位で調節することにより、液晶層を透過する光の偏光状態が変化するため、画素配列によって構成される2次元的な像を形成することが可能になる。
- [0062] 上記の説明では、透過型の液晶表示装置に本実施形態のTFTを用いているが、このTFTは、反射型液晶表示装置や有機ELのTFTとしても用いることができ、また、撮像装置や集積回路におけるTFTとしても用いることが可能である。なお、撮像装置や集積回路を形成する場合、図6(b)に示す透明導電膜3は不要である。
- [0063] 本実施形態では、TFTを支持する基板としてガラス基板1を用いているが、基板は、ガラス基板に限定されず、例えば、酸化シリコン、窒化シリコン、酸化アルミニウム、酸化チタン、アクリル樹脂、エポキシ樹脂、ポリイミド等などの絶縁物から形成された任意の基板を用いることが可能である。なお、基板の全体が絶縁物から形成されている必要はないため、基板は、シリコン基板、SOI基板、化合物半導体基板であってもよい。
- [0064] 再び、図6(b)を参照する。
- [0065] 上部電極7のうち、誘電体部9の上面から横方向に延びるオーバーハング部7a、7

bの各々の横方向サイズは、10nm以上であることが好ましく、50～100nm程度の範囲内にあることが更に好ましい。誘電体部9の高さは、活性領域8の高さ(基板主面に垂直方向のサイズ)を規定しており、必要なチャンネル長に応じて任意の大きさに設計され得る。本実施形態では、誘電体部9の高さを例えば50nm以上1 μ m以下の大きさに設定する。

- [0066] 活性領域8を構成するナノワイヤは、種々の半導体材料から形成され得るが、本実施形態では、Geから形成されたナノワイヤを用いて活性領域8を形成している。Geのナノワイヤは、VLS(Vapor-Liquid-Solid)成長メカニズムにより、CVD法によって触媒金属から好適に成長させられる。この方法によれば、直径が1nm～100nmの範囲内に制御されたナノワイヤを成長させることができる。
- [0067] Geナノワイヤの成長に適した触媒金属は、たとえば、金、鉄、コバルト、ニッケルのような遷移金属、または、それら遷移金属の合金である。触媒金属は、任意の方法で形成され得るが、たとえば、基板上に堆積した触媒金属薄膜に対して熱処理を施すことにより形成された触媒微粒子を用いても良い。本実施形態では、1つの活性領域を構成するナノワイヤの束は、10本から10万本程度のナノワイヤから構成される。
- [0068] 下部電極4および上部電極7は、種々の導電材料から形成され得る。下部電極4の上にGeナノワイヤを成長させるという観点からは、下部電極4を例えば金、銀、白金のような金属やコバルトやニッケルとのシリサイドから形成することが好ましい。触媒として機能しない導電性材料から下部電極4を形成する場合は、下部電極4の表面に触媒金属の微粒子を配置することが望ましい。
- [0069] 活性領域8とゲート電極5とを絶縁するゲート絶縁膜6の材料は、たとえば、酸化シリコン、窒化シリコン、酸化アルミニウム、酸化ゲルマニウム、酸化ハフニウムなどの絶縁材料から形成される。ゲート電極5は、例えば金、銀、白金、モリブデン、クロム、多結晶シリコンなどの導電性材料から形成される。
- [0070] 本実施形態では、上部電極7のオーバーハング部分7a、7bの真下に自己整合的に配置したGeナノワイヤを用いて縦型の活性領域8を形成しているため、上部電極7を支持する誘電体部9の高さを調節することにより、TFTのチャンネル長を制御することができる。誘電体部9は、堆積した絶縁膜をパターニングすることによって好適に作

製され得る。この方法によって誘電体部9を形成する場合、誘電体部9の高さは堆積する絶縁膜の厚さによって規定される。堆積する絶縁膜の厚さは、高精度で制御できるため、本実施形態におけるTFTのチャンネル長も高精度で制御され得る。このため、リソグラフィ技術の微細化可能限界に制約されることなく、トランジスタのチャンネル長を短縮し、集積度の向上をはかることが可能になる。さらに、縦型TFT構造によれば、従来の横型TFTに比べ、TFTの占有面積を縮小できるため、透過型液晶表に装置のスイッチング素子に用いた場合、開口率を向上させることができる。

[0071] [製造方法]

以下、図8～図10を参照しながら、本実施形態のTFTを製造する方法の好ましい実施形態を説明する。

[0072] まず、図8(a)に示すように、ガラス基板1上に酸化シリコン膜2、ITO膜3、下部電極(ドレイン電極)4となる第1導電体膜4'、誘電体部9となる絶縁膜9'、および上部電極(ソース電極)7となる第2導電体膜7'をこの順番で積層する。下部電極4および上部電極7は、金、銀、多結晶シリコンのような導電性材料をスパッタリング法やCVD法によって堆積することによって形成される。また、誘電体部8は、例えば酸化シリコンや窒化シリコンなどの絶縁材料をスパッタリング法やCVD法によって堆積することによって形成される。

[0073] 次に、フォトリソグラフィ技術により、第2導電体膜7'の上にレジストマスク(不図示)を形成した後、異方性エッチング技術により、第2導電体膜7'をパターンニングして、図8(b)に示す上部電極(ソース電極)7および誘電体部9を形成する。

[0074] レジストマスクを酸素系プラズマエッチングによって除去した後、ウェットエッチングにより、誘電体部9に対するサイドエッチを行ない、図9(a)に示す構造を得る。誘電体部9のサイドエッチは、下部電極4となる第1導電体膜4'および上部電極7をほとんどエッチングしないエッチング条件のもとで誘電体部9を優先的にエッチングすることが好ましい。誘電体部9のサイドエッチは等方的に進行するため、誘電体部9の側面を部分的にマスクしない限り、誘電体部9の側面は均一にエッチングされ、例えば図3に示すような構造が形成される。したがって、図4および図5に示すような構造を形成するためには、誘電体部9の側面の一部をマスクし、マスクされていない部分から

サイドエッチを進行させる必要がある。

- [0075] このようなサイドエッチは、ウェットエッチングによって行なうことが好ましい。誘電体部9が酸化シリコンから形成されている場合、エッチャントとしてはフッ酸溶液を用いることができる。誘電体部9が窒化シリコンから形成されている場合は、熱リン酸を用いることができる。エッチングレート及びエッチング時間を制御することにより、サイドエッチの深さ(横方向のエッチング深さ)を調節することができる。本実施形態では、このサイドエッチの深さを調節することにより、オーバーハング部分7a、7bのサイズを、10 nm以上、例えば50~100nm程度に設定する。
- [0076] 次に、図9(b)に示すように、CVD法によって下部電極4の表面上にナノワイヤ8'を成長させる。Geナノワイヤを成長させる場合は、ゲルマンガスを使用するが、Siナノワイヤを成長させる場合、シランやジシランガスを使用する。
- [0077] 下部電極4を触媒金属から形成しない場合は、CVD法によるナノワイヤの成長を開始する前、触媒として、例えばNi、Coなどの遷移金属微粒子、または、そのような遷移金属の合金の微粒子を下地表面上に堆積しておくことが好ましい。このような触媒の堆積法としては、例えば、ナノワイヤ成長前に、溶媒中にある金属微粒子を分散させる方法や、触媒となる金属薄膜に熱処理を行うことで凝集させ、微粒子化する方法を用いることができる。
- [0078] 次に、図10(a)に示すように、異方性のエッチングを行なうことにより、ナノワイヤ8'のうち、上部電極7によって覆われていない部分を選択的に除去する。上部電極7をエッチングマスクとして用いるため、残ったナノワイヤ8'によって構成される活性領域8の外側面は、上部電極7のエッジに自己整合する。活性領域8の横方向サイズは、上部電極7のオーバーハング部分7a、7bの横方向サイズによって規定されるため、フォトリソグラフィ技術による微細化の限界に制約されることなく、活性領域8を小さくすることが可能である。
- [0079] なお、ナノワイヤ8'のうち、活性領域8として機能させるべき部分以外の部分を選択的に除去するには、まず、基板全面に塩素系ガスを用いた異方性エッチ処理を行った後、洗浄等を行えばよい。
- [0080] 次に、ゲート絶縁膜6を堆積した後、図10(b)に示すように、ゲート電極形成領域を

規定する開口部を有するレジストパターン15を形成する。ゲート絶縁膜6は、例えば酸化シリコン、窒化シリコン、または酸化ハフニウムのような絶縁体から形成され得る。ゲート電極5を形成するための電極材料をレジストパターン15上に堆積すると、レジストパターン15の開口部内では、ゲート電極5が形成されるべき位置に電極材料が堆積する。この後、レジストパターン15を除去することにより、ゲート電極材料からなる膜の不要部分をリフトオフして、図11(a)に示すゲート電極5を形成することができる。次に、第1導電体膜4'および上部電極7の上に存在するゲート絶縁膜6の不要部分をウェットエッチングによって除去する。

[0081] なお、本実施形態では、リフトオフによってゲート電極5を形成しているが、ゲート絶縁膜6上にゲート電極材料からなる膜を堆積した後、この膜に対してエッチバックや研磨処理を行うことにより、ゲート電極5を形成してもよい。

[0082] 次に、図11(b)に示すように、第1導電体膜4'をパターニングすることにより、ドレイン電極として機能する下部電極4を形成する。その後、リソグラフィおよびエッチング技術により、透明導電膜3をパターニングして、例えば図7に示すように画素電極の形状に加工する。本実施形態では、上部電極7およびゲート電極5をマスクとして第1導電体膜4'をパターニングしているため、下部電極4のためのフォトマスクが不要である。ただし、下部電極4の形状を規定するフォトマスクを用意し、任意の形状を有するように下部電極4をパターニングしてもよい。

[0083] 以上説明してきたように、本実施形態による縦型TFTの製造法によれば、ナノワイヤ8'を成長させた後、リソグラフィ工程を行なうことなく、ナノワイヤ8'のうち不要な部分を上部電極7に対して「自己整合的」に除去することができる。このため、ナノワイヤ8'からなる活性領域8の位置および形状を高い精度で制御できる。また、マスクアライメント用のマージンを設ける必要がなくなるため、更なる微細化が可能になる。

[0084] なお、ナノワイヤ8'を成長させた後、その上に上部電極7となる第2導電体膜7'を堆積しようとする、多数のナノワイヤ8'の隙間に第2導電体膜を構成する導電材料が進入するため、半導体特性を示す活性領域8を形成できない。これに対し、本実施形態では、ナノワイヤ8'の成長に先立って上部電極7を形成しているため、このような問題を回避できる。

- [0085] このように本実施形態によれば、チャンネル長がフォトリソグラフィの精度に依存しないため、微細なチャンネルを高い制度で実現できる。その結果、チャンネル長のバラツキに起因するトランジスタ特性の変動を抑制することもできる。
- [0086] 図12は、本実施形態のTFTが複数配列された半導体集積回路装置の一部を模式的に示す断面図である。図12では、2種類のトランジスタが図示されているが、好ましい例では、多数のトランジスタが同一基板上に集積される。図12に示す装置では、透明導電膜3が設けられておらず、各トランジスタは、不図示の配線によって相互接続される。このような半導体集積回路装置は、例えば表示装置の駆動回路などに好適に用いられる。
- [0087] 図12に示す2つのトランジスタは、それぞれ、n型不純物がドーピングされた半導体ナノワイヤからなるn型活性領域13およびp型不純物がドーピングされた半導体ナノワイヤからなるp型活性領域14を有しており、不図示の配線を介してCMOS回路を形成するように相互接続されている。
- [0088] (実施形態2)
以下、図13から図15を参照しながら、本発明による縦型電界効果トランジスタの第2の実施形態を説明する。
- [0089] 図13に示す縦型電界効果トランジスタは、基本的には、実施形態1における縦型電界効果トランジスタの構成と同様の構成を有しており、異なる点は、下部電極4の形状およびそのパターニング方法の差異にある。
- [0090] 以下、図面を参照しながら、本実施形態の製造方法を説明する。
- [0091] まず、図14(a)に示すように、酸化シリコン膜2、透明導電膜3、下部電極4となる第1導電体膜4'、絶縁膜9'、および上部電極7となる第2導電体膜7'を、この順序で絶縁基板1上に堆積する。
- [0092] 次に、図14(b)に示すように、リソグラフィおよび異方性エッチング技術により、第2導電体膜7'、絶縁膜9'、および第1導電体膜4'をパターニングし、それによって上部電極7、誘電体部9、および下部電極4を形成する。このパターニングに際しては、上部電極7の形状および位置を規定するレジストパターン(不図示)を第2導電体膜7'上に形成するが、このレジストパターンは、パターニングが終了した後、酸素系プラ

ズマエッチングによって除去される。

- [0093] 次に、図15(a)に示すように、ウェットエッチングにより、誘電体部9に対するサイドエッチを行ない、上部電極7のオーバーハング部7a、7bを形成する。ウェットエッチングのための薬液や、絶縁膜9'の材料を適切に選択することにより、上記のパターンに際して透明導電膜3を殆んどエッチングしないようにすることができる。具体的には、透明導電膜3のエッチングレートは、下部電極4'のエッチングの1/10以下に抑えることが好ましい。
- [0094] 次に、図15(b)に示すように、実施形態1で行なったナノワイヤ8'の成長と同様の方法によってナノワイヤ8'を成長させる。ただし、本実施形態では、上部電極7と同様の形状を有するようにパターニングされた下部電極4の表面に対して、ナノワイヤを選択的に成長させている。このため、透明導電膜3上にはナノワイヤ8'がほとんど成長しない。図15(b)に示すように、下部電極4の側面から横方向に成長するナノワイヤ8'も存在するが、下部電極4の側面のサイズ(下部電極4の厚さ)は50~200nm程度であるため、下部電極4の側面上に成長するナノワイヤ8'の量は相対的に少ない。また、この不要なナノワイヤは、上部電極7によって覆われていない領域に存在するため、上部電極7をマスクとする異方性エッチングを行なうことにより、容易に除去することができる。こうして不要なナノワイヤをエッチングすることにより、図13に示す構造を形成ができる。この後、実施形態1における製造方法と同様の製造方法を実施すれば、最終的な縦型薄膜トランジスタを得ることができる。
- [0095] ナノワイヤ8'の成長に必要な触媒は、下部電極4となる第1導電体膜4'を堆積した後、第1導電体膜4'の上面に配置してもよい。このようにすると、図15(a)に示すようにパターニングされた下部電極4の上面に存在するが、その側面には、ほとんど存在しなくなる。このため、ナノワイヤ8'は下部電極4の上面に選択的に成長し、下部電極4の側面には殆んど成長しなくなり、図15(b)を参照しながら説明した特別のエッチングが不要になる。
- [0096] 本実施形態の製造方法によれば、下部電極4のパターニングを、上部電極7に対して自己整合的に行なうことができるため、下部電極4のためのフォトマスクを別途用意する必要がなくなり、また、そのようなフォトマスクのためのマスクアライメント工程も不

要になる。

[0097] (実施形態3)

次に、図16を参照しながら、本発明による縦型電界効果トランジスタの第3の実施形態を説明する。

[0098] 図16に示す縦型電界効果トランジスタ160が図1の縦型電界効果トランジスタ100と異なる点は、円柱状のゲート電極150が誘電体部140の中央部に位置している点にある。この点を除いて、トランジスタ160とトランジスタ100は同一の構成を有している。

[0099] 上部電極130が誘電体部140を介して下部電極120の上に位置しており、誘電体部140の上面から横方向に突出したオーバーハング部130aを有している点は、図1の上部電極130と同様である。しかし、図16に示す上部電極130の中央部には、ゲート電極150を不図示の配線に接続するための開口部が設けられている。この開口部は、活性領域110を構成するナノワイヤ110'の成長を行う前において、上部電極130のパターニングを行なうときに形成することが好ましい。

[0100] なお、1つの縦型電界効果トランジスタ160が、図16に示すゲート電極150に加えて、図1に示すゲート電極150を備えていても良い。

[0101] 以下に、図17(a)から(c)を参照しながら、本実施形態の製造方法の一例を説明する。

[0102] まず、前述の実施形態について説明した方法と同様の方法により、図17(a)に示すように上部電極130が誘電体部140によって下部電極120上に支持された構造を形成する。

[0103] 次に、図17(b)に示すように、上部電極130の中央部をエッチングすることにより、上部電極130の中央に円柱状の第1開口部を形成する。この開口部は、例えば公知のリソグラフィ技術および異方性エッチング技術によって形成できる。エッチングの前には、開口部の位置および形状を規定するレジストパターン(不図示)を上部電極130上に形成するが、このレジストパターンは、エッチングが終了した後、酸素系プラズマエッチングによって除去される。

[0104] 次に、図17(c)に示すように、誘電体部140の中央部にゲート電極を形成する。具

体的には、リソグラフィ技術およびエッチング技術により、誘電体部140の中央部を異方的にエッチングし、誘電体部140の中央に円柱状の第2開口部を形成する。第2開口部の直径は、上部電極130の中央部に形成した第1開口部の直径よりも、例えば200nmから400nm程度は小さく設定することが好ましい。

[0105] その後、例えばリフトオフ法などにより、上記第1および第2開口部に円柱状のゲート電極150を形成することができる。

[0106] 図17(c)に示す工程の後には、前述した実施形態で用いた方法と同様の方法により、ナノワイヤ110'を所望の領域に成長させることにより、図16のトランジスタ160を形成することができる。

[0107] (実施形態4)

次に、図18を参照しながら、本発明による縦型電界効果トランジスタの第4の実施形態を説明する。

[0108] 図18に示すトランジスタ170が図16のトランジスタ160と異なる点は、トランジスタ160では、誘電体部140がゲート絶縁膜として機能するのに対して、本実施形態のトランジスタ170では、誘電体部140とは別にゲート絶縁膜180を備えている点にある。この点を除けば、トランジスタ170およびトランジスタ160は、実質的に同一の構成を有している。

[0109] 図18(a)に示されるように、本実施形態における上部電極130も、誘電体部140を介して下部電極120の上に位置しており、誘電体部140の上面から横方向に突出したオーバーハング部130aを有している。また、図18(b)に示されるように、上部電極130は、活性領域110の外側に広がる誘電体部140の上面を覆っている。

[0110] 以下に、図19(a)から(c)を参照しながら、本実施形態の製造方法の一例を説明する。

[0111] まず、前述の実施形態について説明した方法と同様の方法により、図19(a)に示すように上部電極130が誘電体部140によって下部電極120上に支持された構造を形成する。ただし、複数の円柱状開口部が設けられた一枚の絶縁層パターンを有するように加工されている。

[0112] 次に、図19(b)に示すように、円柱状の開口部の内部を埋めるようにゲート絶縁膜

180およびゲート電極150の材料となる膜を、この順序で堆積する。これらの膜は、蒸着法、スパッタ法、またはCVD法などの各種の薄膜堆積方法で堆積され得る。

[0113] 次に、図19(c)に示すように、ゲート電極150およびゲート絶縁膜180のうち、上部電極130の上に存在する部分をエッチバック法または研磨法によって除去・平坦化し、ゲート電極150およびゲート絶縁膜180を最終的な形状に加工する。

[0114] 上記いずれの実施形態においても、VLS法によってナノワイヤを成長させるため、その成長温度を低温ポリシリコンの成長温度に比べて低下できる。このため、耐熱性の高い高価な基板を用いることなく、薄膜トランジスタを製造することが可能になる。また、ナノワイヤの成長温度を更に低下させることができれば、プラスチック基板のような低融点基板上にナノワイヤを形成することも可能となり、フレキシブルディスプレイや有機ELの駆動回路を実現できる可能性がある。

[0115] なお、VLS法によって成長させたナノワイヤは、単結晶構造を有しているため、高移動度の実現が期待でき、高速動作が求められる駆動回路の形成も可能となり、高性能なシステムオンディスプレイを実現することもできる。

[0116] 以上説明してきたように、本発明によれば、ナノワイヤからなる活性領域を必要な領域に自己整合的に形成することができる。また、チャネル長の制御がリソグラフィの精度に依存しないため、フォトリソグラフィでは実現が困難な微細チャネル長を実現することができる。また、トランジスタとして縦型構造を採用しているため、個々のトランジスタ素子のサイズを縮小し、集積度を向上させやすい。

[0117] 以上の各実施形態では、線状構造物としてナノワイヤを用いたトランジスタを説明してきたが、ナノワイヤに代えてCNTを用いても良い。

産業上の利用可能性

[0118] 本発明による縦型電界効果トランジスタは、高移動度チャネルを実現でき、システムLSI等のロジックICとして有用である。さらにナノワイヤの成長は低温成長可能なため、ガラスやプラスチック基板上に成長し、システムオンディスプレイやシートディスプレイ等として有用である。

請求の範囲

- [1] 荷電粒子を走行させるチャネル領域として機能する複数の線状構造物の束を有する活性領域と、
前記活性領域の下端に接続され、ソース領域およびドレイン領域の一方として機能する下部電極と、
前記活性領域の上端に接続され、前記ソース領域およびドレイン領域の他方として機能する上部電極と、
前記活性領域に含まれる線状構造物の束の少なくとも一部における導電性を制御するゲート電極と、
前記活性領域と前記ゲート電極との間に配置され、前記ゲート電極を前記線状構造物の束から電氣的に絶縁するゲート絶縁膜と、
を備えた縦型電界効果トランジスタであって、
前記上部電極と前記下部電極との間に配置された誘電体部を更に備え、
前記上部電極は、前記誘電体部を介して、前記下部電極の上に位置し、しかも、前記誘電体部の上面から横方向に突出したオーバーハング部分を有しており、
前記活性領域は前記上部電極のオーバーハング部分の真下に配置されている、
縦型電界効果トランジスタ。
- [2] 前記複数の線状構造物の束は、それぞれ、前記下部電極上に成長した柱状半導体から構成されている、請求項1に記載の縦型電界効果トランジスタ。
- [3] 前記柱状半導体は単結晶構造を有している、請求項2に記載の縦型電界効果トランジスタ。
- [4] 前記活性領域の外周側面の位置は、前記上部電極の側面の位置に整合している、請求項1から3の何れかに記載の縦型電界効果トランジスタ。
- [5] 前記誘電体部は、前記上部電極を支持する電気絶縁材料から形成されており、前記上部電極の下面は、前記誘電体部または前記活性領域と接触している、請求項1から4の何れかに記載の縦型電界効果トランジスタ。
- [6] 前記柱状半導体は、シリコン、ゲルマニウム、及び炭素からなる群から選択された少なくとも1つの元素を含有している請求項2に記載の縦型電界効果トランジスタ。

- [7] 前記柱状半導体には、導電型を規定するドーパントが含有されている請求項2に記載の縦型電界効果トランジスタ。
- [8] 前記基板は、半導体基板またはSOI基板である請求項1に記載の縦型電解効果トランジスタ。
- [9] 基板と、前記基板上に形成された複数の電界効果トランジスタとを備える電子装置であって、
前記複数の電界効果トランジスタの少なくとも1つは、
荷電粒子を走行させるチャンネル領域として機能する複数の線状構造物の束を有する活性領域と、
前記活性領域の下端に接続され、ソース領域およびドレイン領域の一方として機能する下部電極と、
前記活性領域の上端に接続され、前記ソース領域およびドレイン領域の他方として機能する上部電極と、
前記活性領域に含まれる線状構造物の束の少なくとも一部における導電性を制御するゲート電極と、
前記活性領域と前記ゲート電極との間に配置され、前記ゲート電極を前記線状構造物の束から電氣的に絶縁するゲート絶縁膜と、
を備えた縦型電界効果トランジスタであって、
前記上部電極と前記下部電極との間に配置された誘電体部を更に備え、
前記上部電極は、前記誘電体部を介して、前記下部電極の上に位置し、しかも、前記誘電体部の上面から横方向に突出したオーバーハング部分を有しており、
前記活性領域は前記上部電極のオーバーハング部分の真下に配置されている、
電子装置。
- [10] 前記複数の電界効果トランジスタはCMOS回路を形成している請求項9に記載の電子装置。
- [11] 大規模集積回路として動作する請求項9に記載の電子装置。
- [12] 前記基板は、ガラス基板またはプラスチック基板である請求項9に記載の電子装置。
- 。

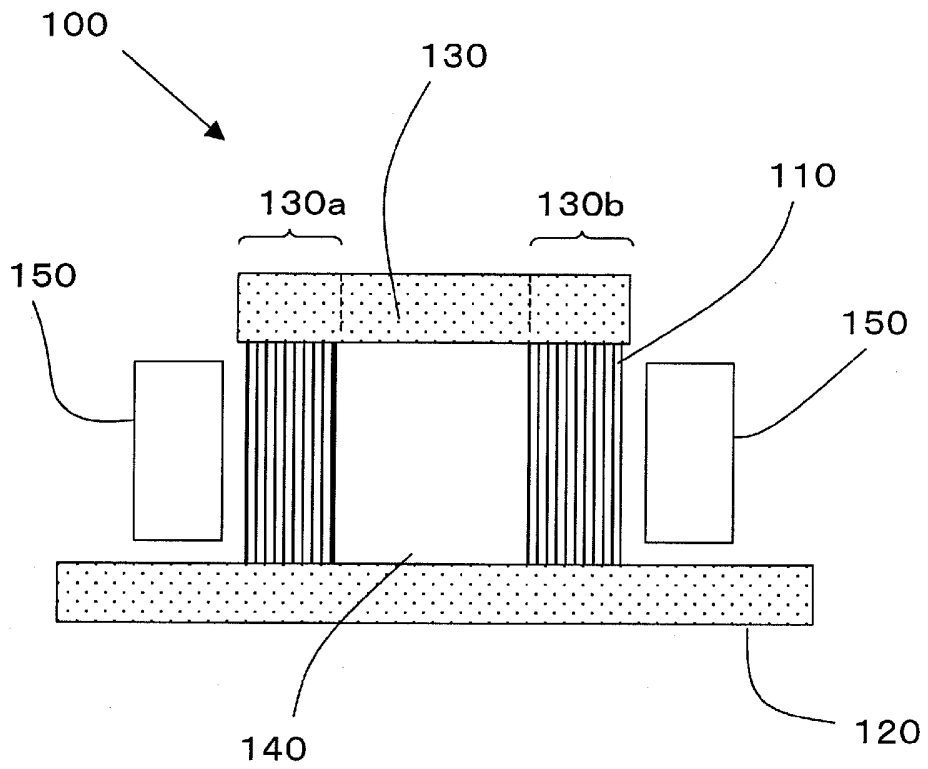
- [13] 前記電界効果トランジスタは、前記基板上において画素ごとにマトリクス状に配置されており、
表示装置として動作する請求項9に記載の電子装置。
- [14] 荷電粒子を走行させるチャンネル領域として機能する複数の線状構造物の束を有する活性領域と、前記活性領域の下端に接続され、ソース領域およびドレイン領域の一方として機能する下部電極と、前記活性領域の上端に接続され、前記ソース領域およびドレイン領域の他方として機能する上部電極と、前記活性領域に含まれる線状構造物の束の少なくとも一部における導電性を制御するゲート電極と、前記活性領域と前記ゲート電極との間に配置され、前記ゲート電極を前記線状構造物の束から電氣的に絶縁するゲート絶縁膜とを備えた縦型電界効果トランジスタの製造方法であって、
前記上部電極と前記下部電極との間に誘電体部が挟まれ、前記上部電極が前記誘電体部の上面から横方向に突出したオーバーハング部分を有している構造を形成する工程(A)と、
前記下部電極の上面において前記誘電体部が存在していない領域から前記上部電極におけるオーバーハング部分の下面に達するように複数の線状構造物の束を成長させる工程(B)と、
を含む、製造方法。
- [15] 前記工程(A)は、
前記上部電極と前記下部電極との間に誘電体部が挟まれた構造を形成する工程(a1)と、
前記誘電体部の側面の少なくとも一部をサイドエッチによってセットバックさせる工程(a2)と、
を含む、請求項14に記載の製造方法。
- [16] 前記工程(a2)は、ウェットエッチングによって前記誘電体部の側面をエッチングする工程を含む、請求項15に記載の製造方法。
- [17] 前記工程(a1)は、
前記下部電極のための第1導電体膜を形成する工程と、

絶縁膜を前記第1導電体膜上に形成する工程と、
前記上部電極のための第2導電体膜を前記絶縁膜上に形成する工程と、
前記上部電極の位置および形状を規定するマスク層を前記第2導電体膜上に形成する工程と、
前記第2導電体膜のうち前記マスク層で覆われてない部分をエッチングすることにより、前記第2導電体膜から前記上部電極を形成する工程と、
前記絶縁膜をエッチングすることにより、前記誘電体部を形成する工程と、
前記第1導電体膜をパターンニングすることにより、前記第1導電体膜から前記下部電極を形成する工程と、
を含む、請求項14に記載の製造方法。

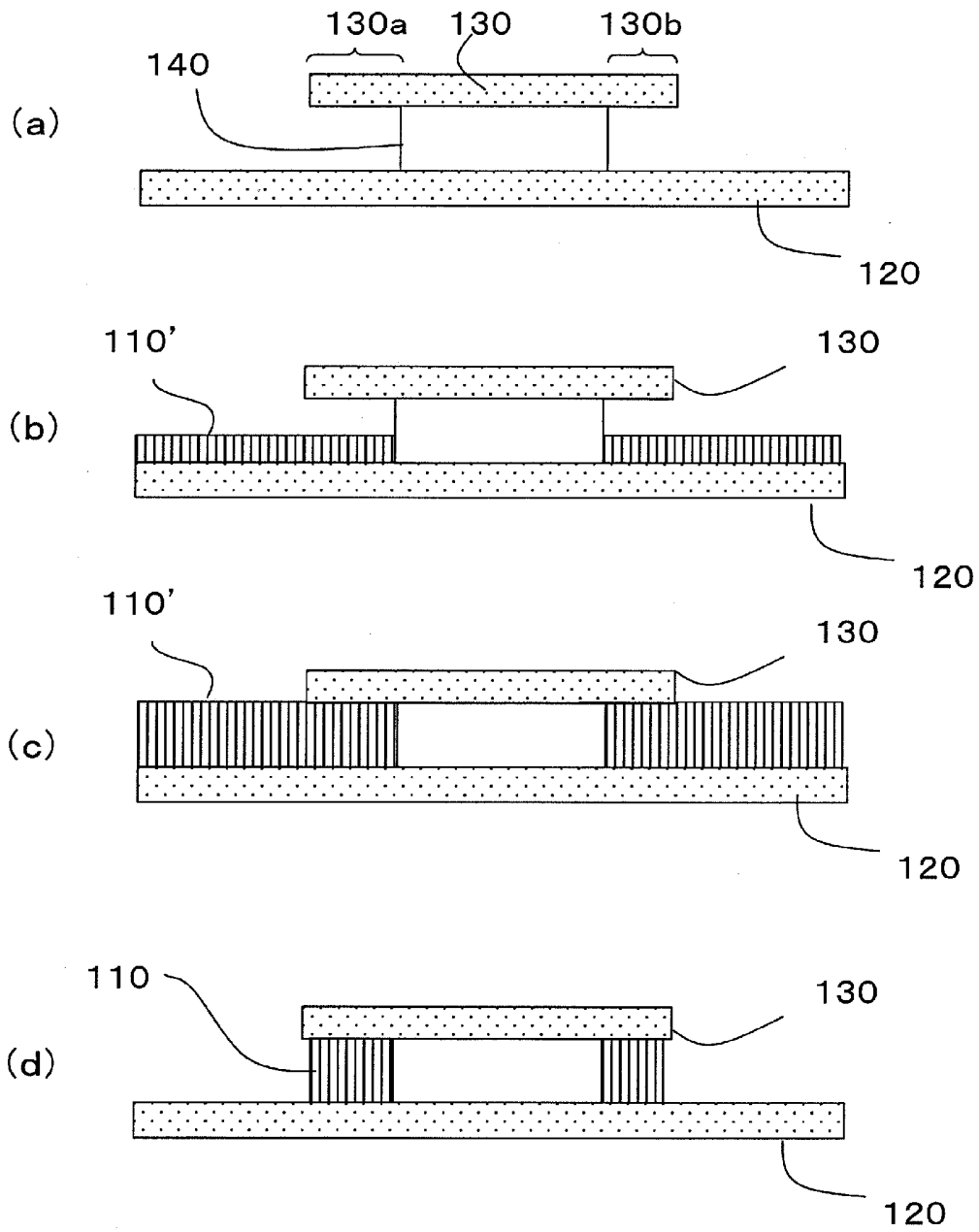
- [18] 前記工程(a1)は、
前記下部電極のための第1導電体膜を形成する工程と、
絶縁膜を前記第1導電体膜上に形成する工程と、
前記上部電極のための第2導電体膜を前記絶縁膜上に形成する工程と、
前記上部電極の位置および形状を規定するマスク層を前記第2導電体膜上に形成する工程と、
前記第2導電体膜のうち前記マスク層で覆われていない部分をエッチングすることにより、前記第2導電体膜から前記上部電極を形成する工程と、
前記上部電極をマスクとして前記絶縁膜をエッチングすることにより、前記誘電体部を形成する工程と、
を含む、請求項14に記載の製造方法。
- [19] 前記絶縁膜は酸化シリコンまたは窒化シリコンから形成されている請求項17または18に記載の製造方法。
- [20] 前記上部電極をマスクとする異方性エッチングを行なうことにより、前記複数の線状構造物のうち前記上部電極によって覆われていない部分を選択的に除去する工程(C)を更に含む請求項14から19のいずれかに記載の製造方法。
- [21] 前記工程(B)は、CVD法により、前記線状構造物を成長させる工程を含む請求項14から20の何れかに記載の製造方法。

- [22] 前記工程(A)は、前記第1導電体膜の堆積後に、線状構造物成長の触媒を付着させる工程を含む請求項21に記載の製造方法。
- [23] 前記工程(A)は、前記絶縁膜の堆積後に、線状構造物成長の触媒を付着させる工程を含む請求項21または22に記載の製造方法。

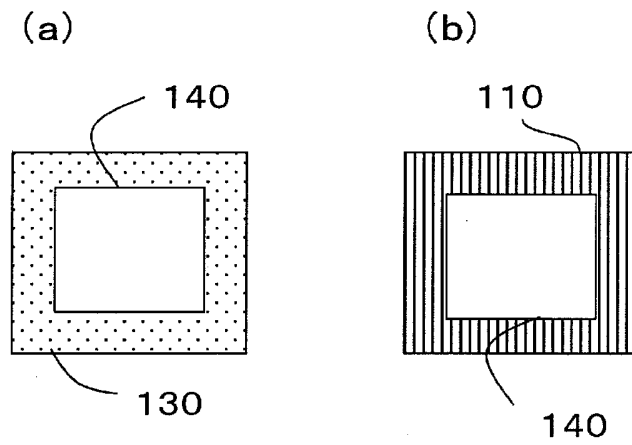
[図1]



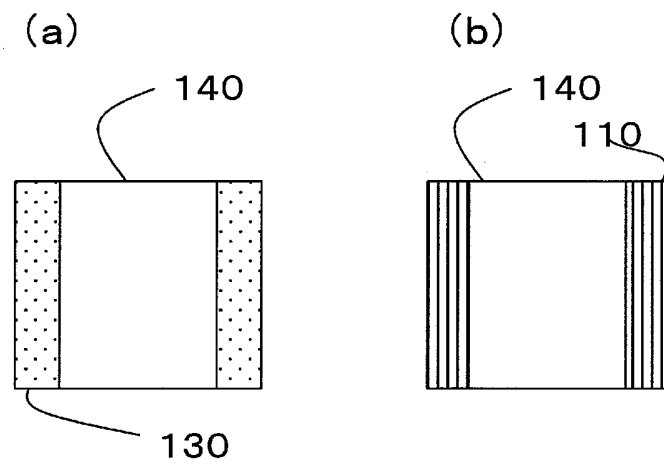
[図2]



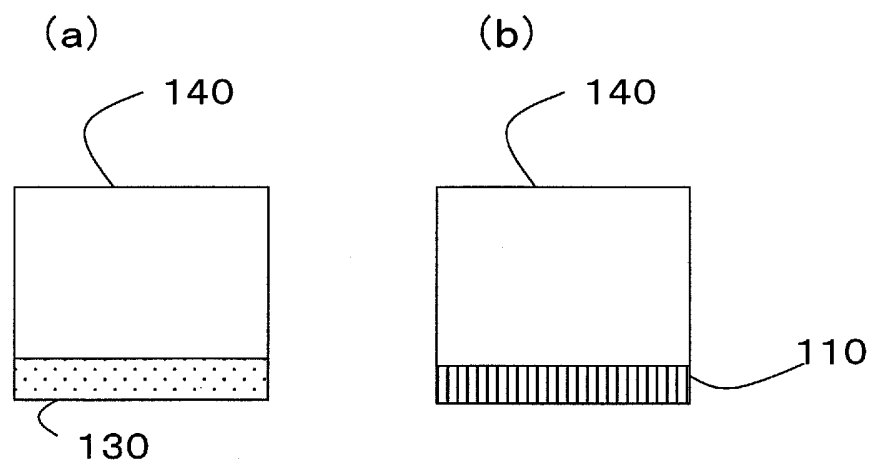
[図3]



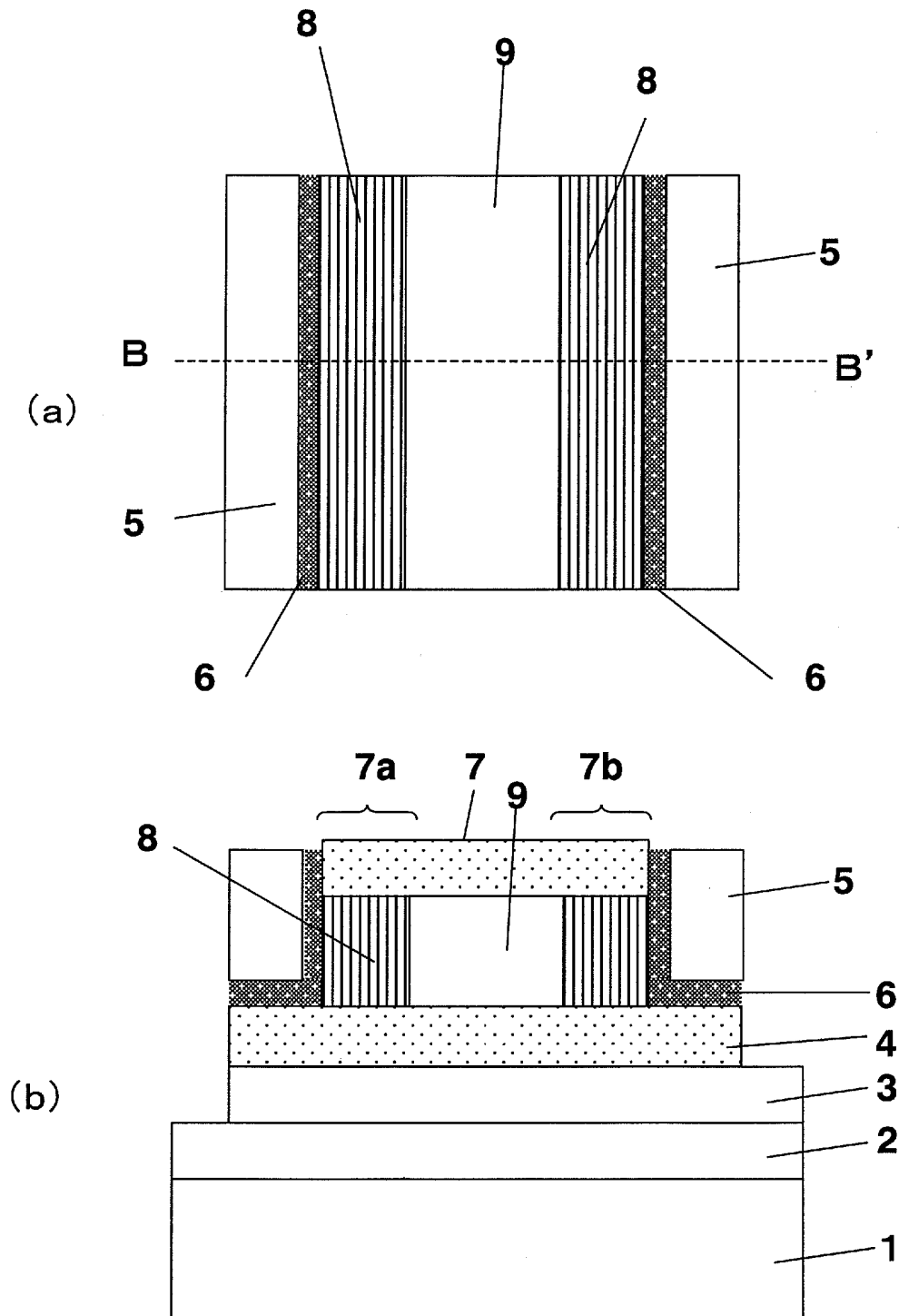
[図4]



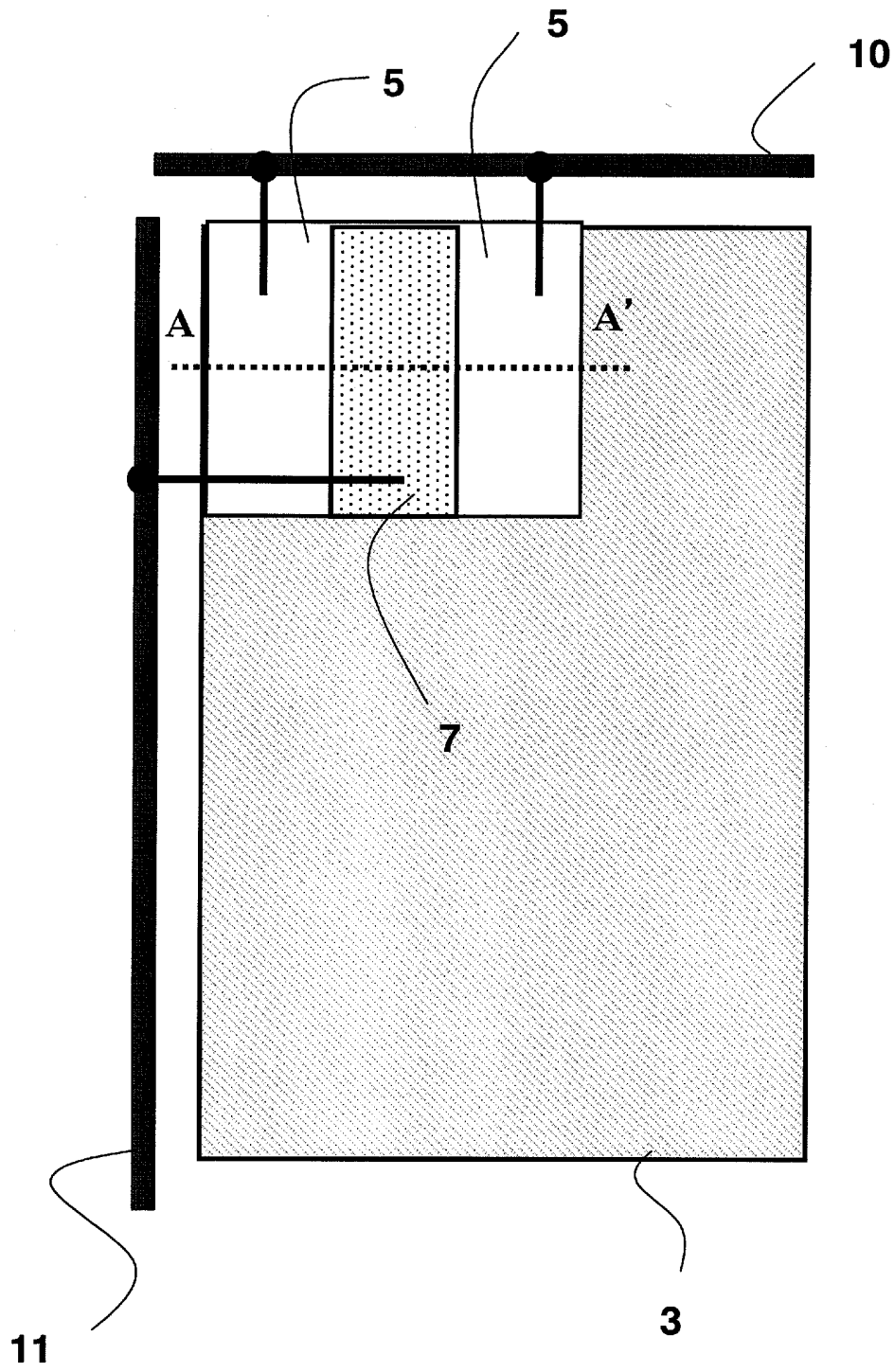
[図5]



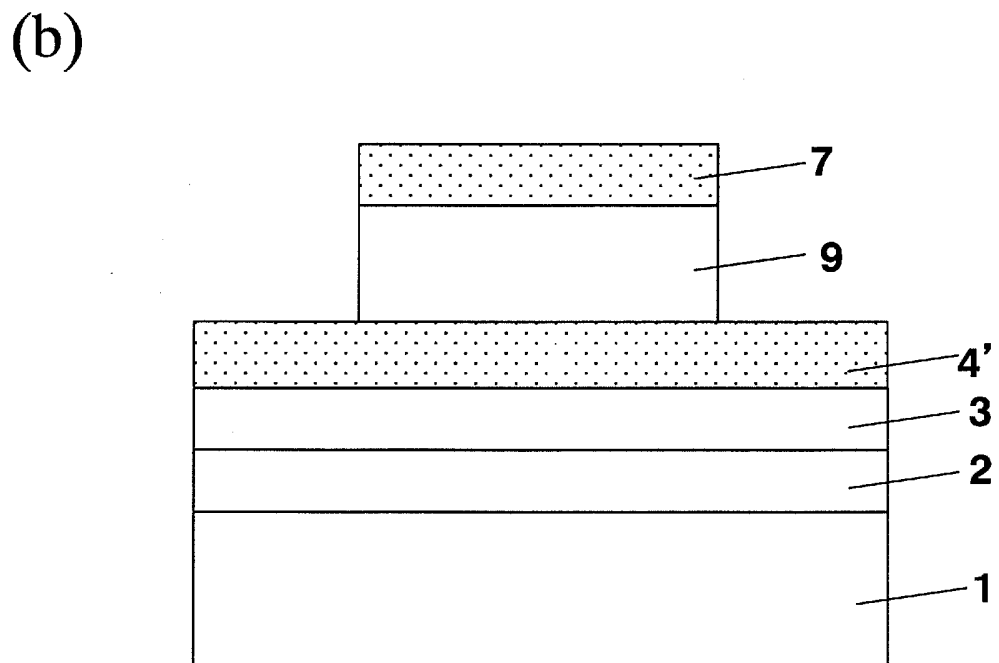
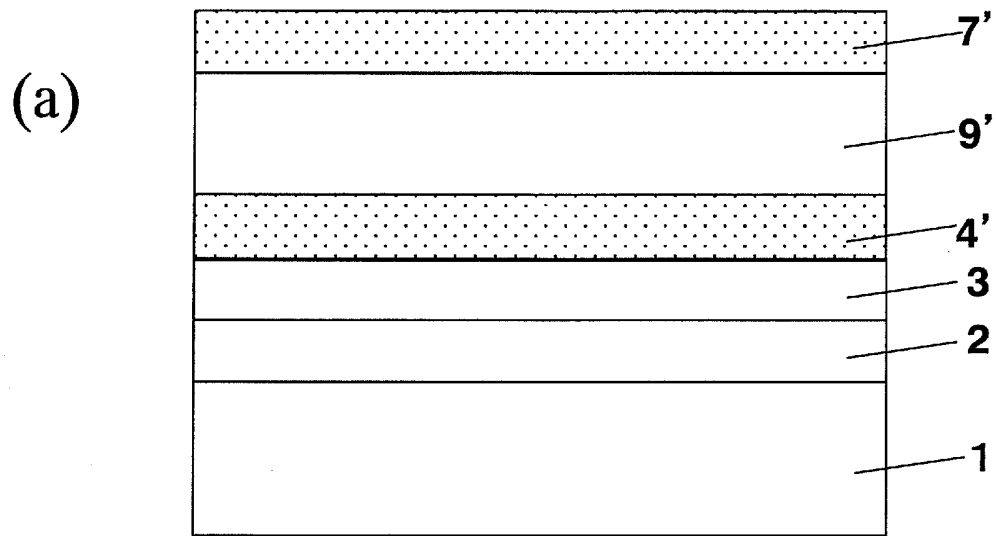
[図6]



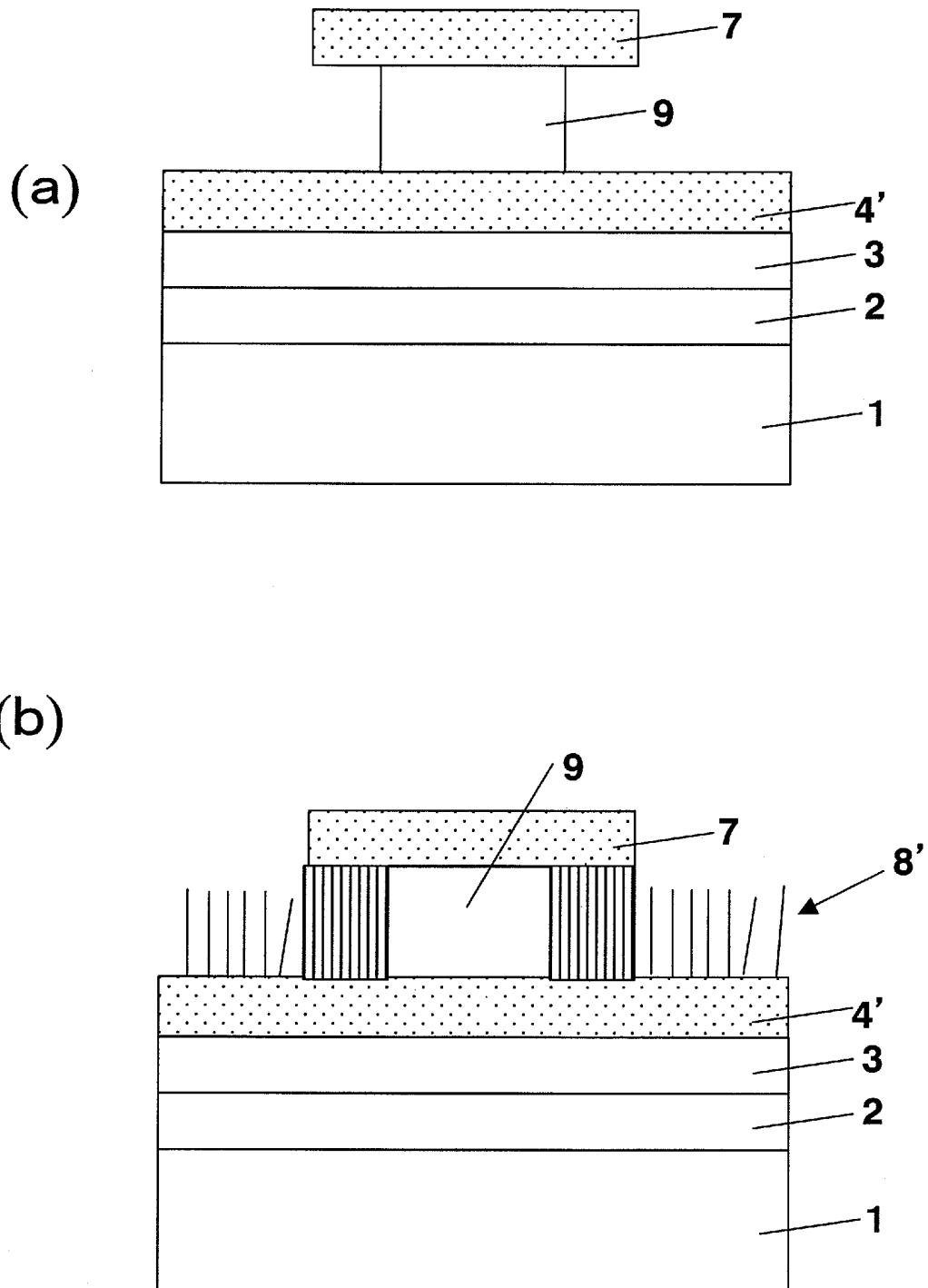
[図7]



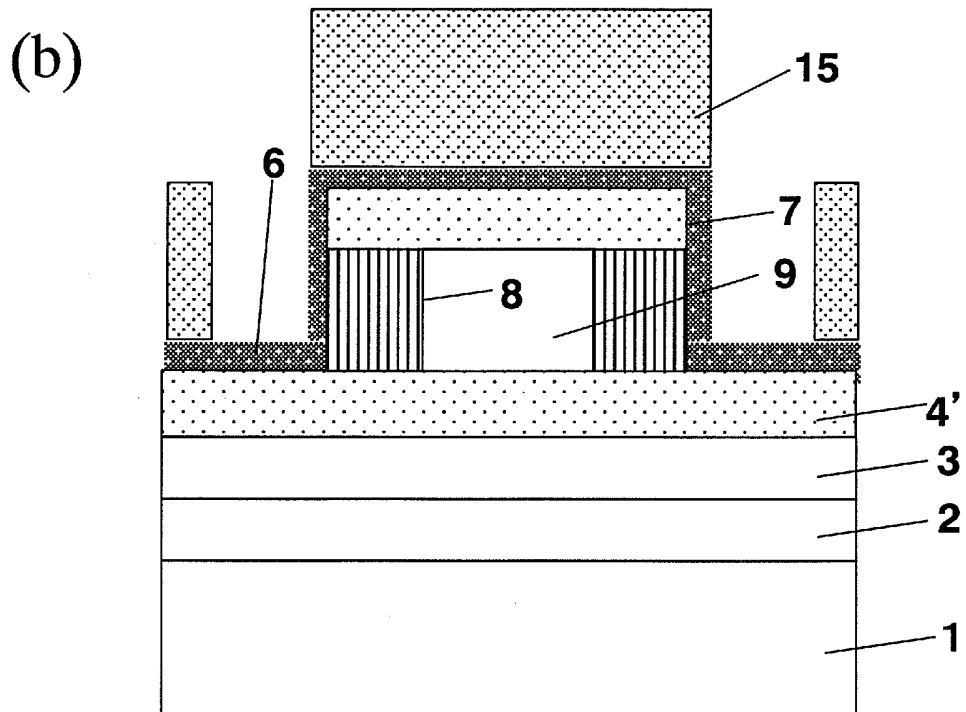
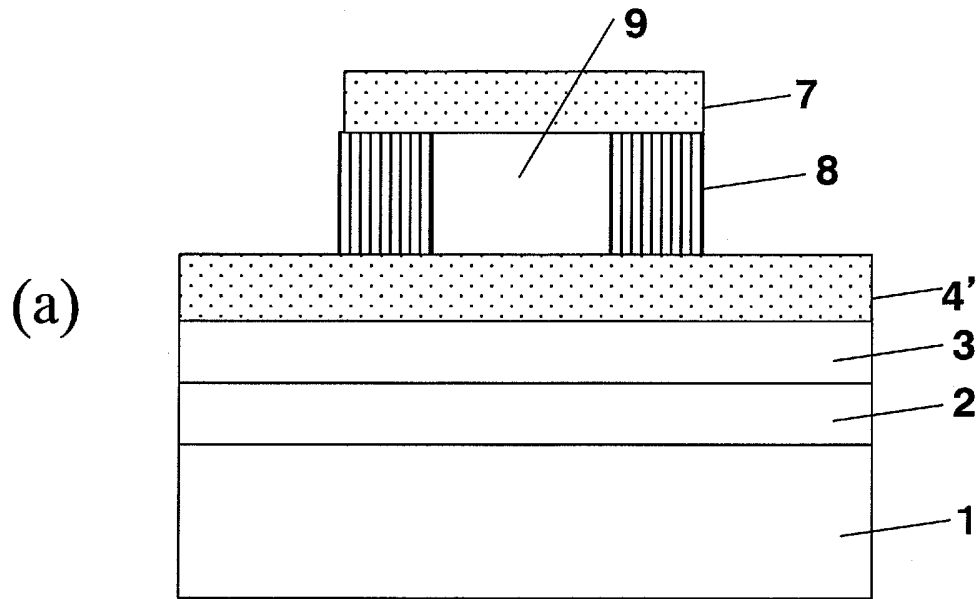
[図8]



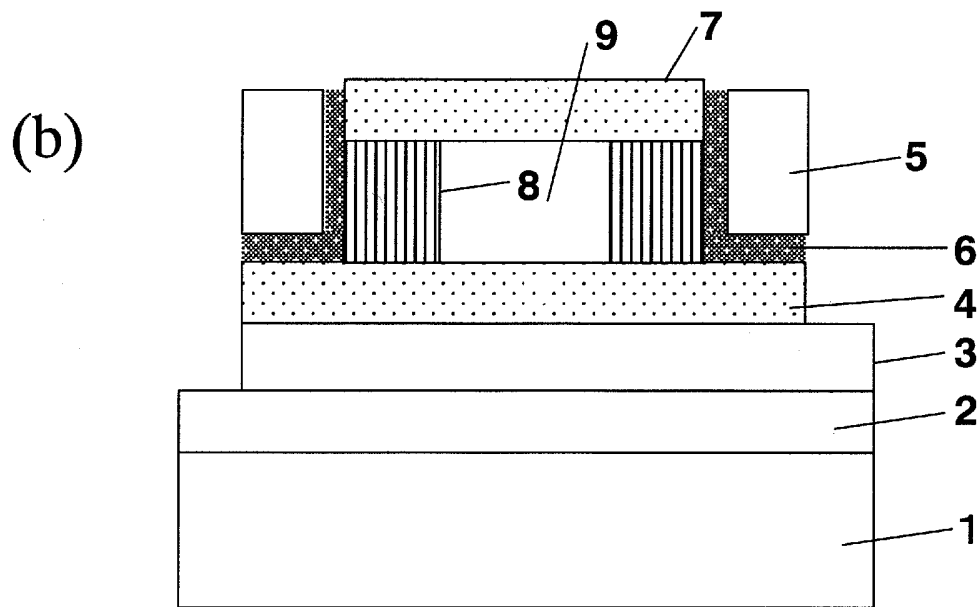
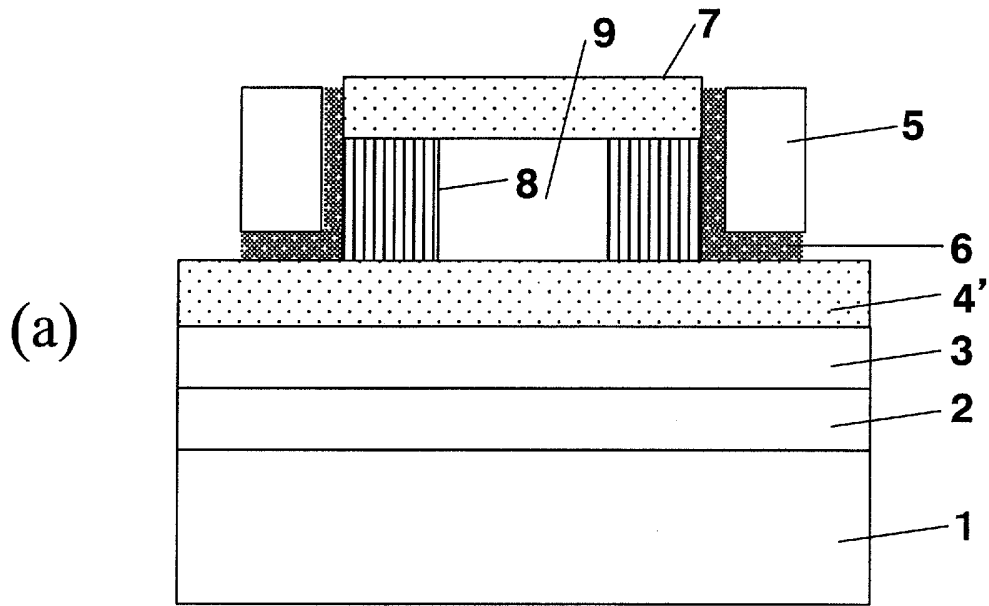
[図9]



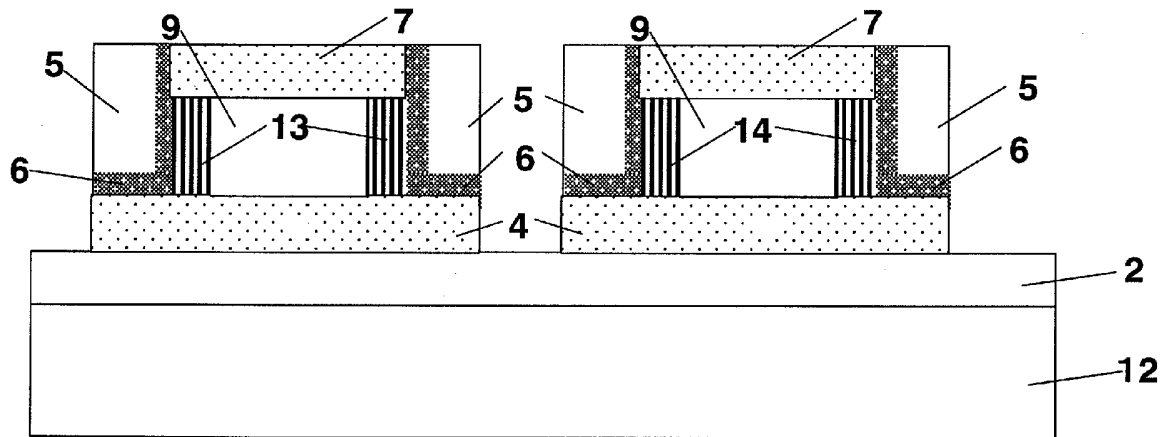
[図10]



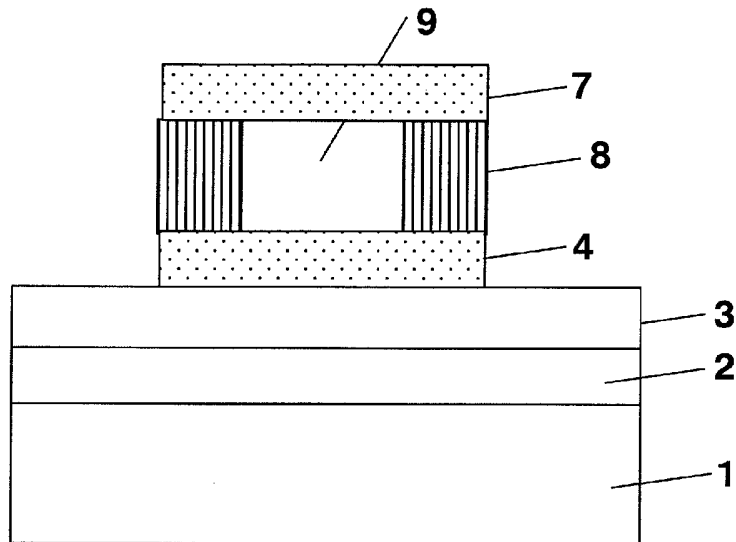
[図11]



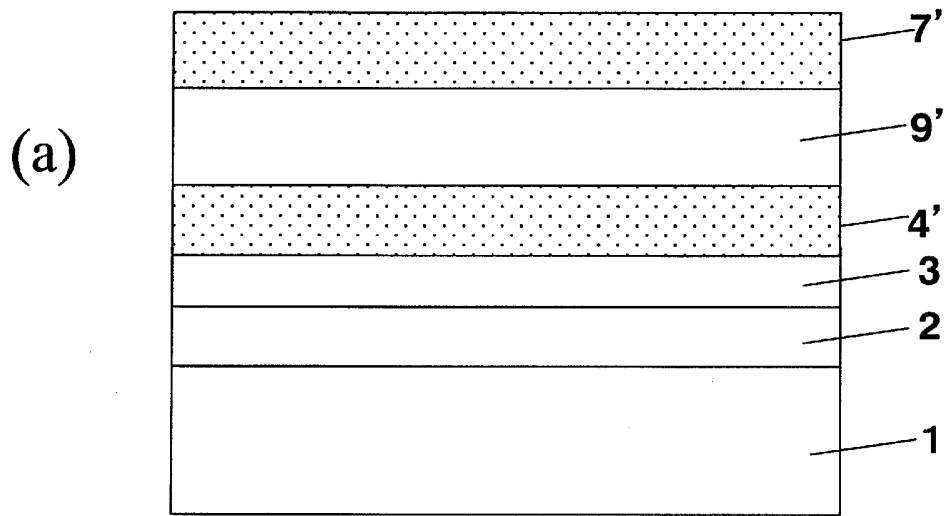
[図12]



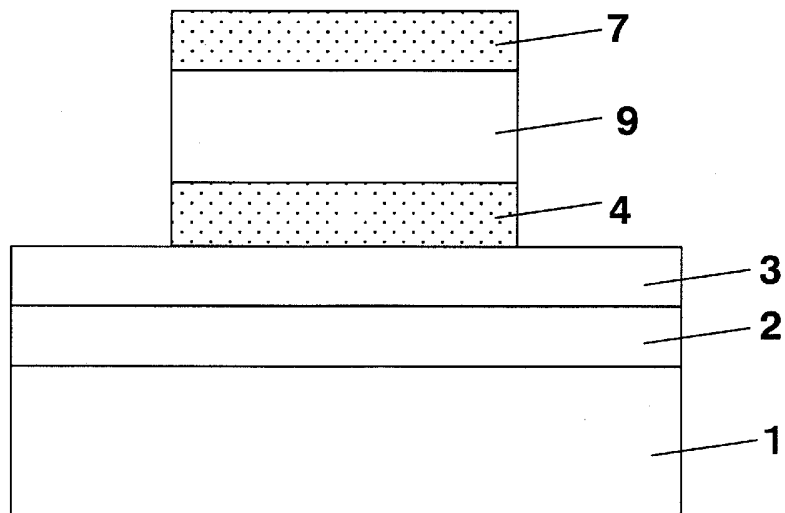
[図13]



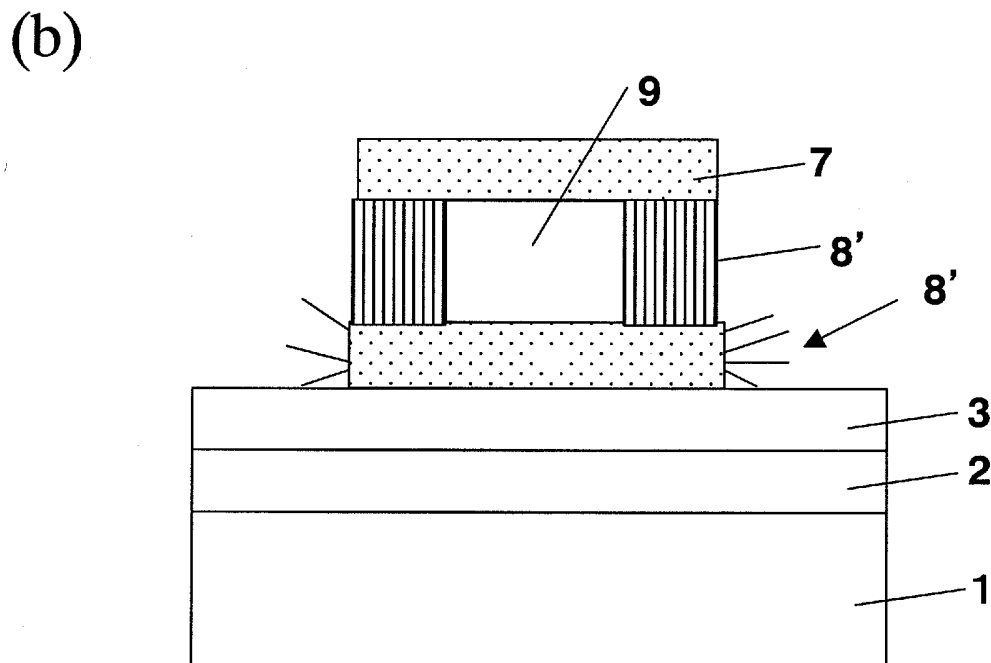
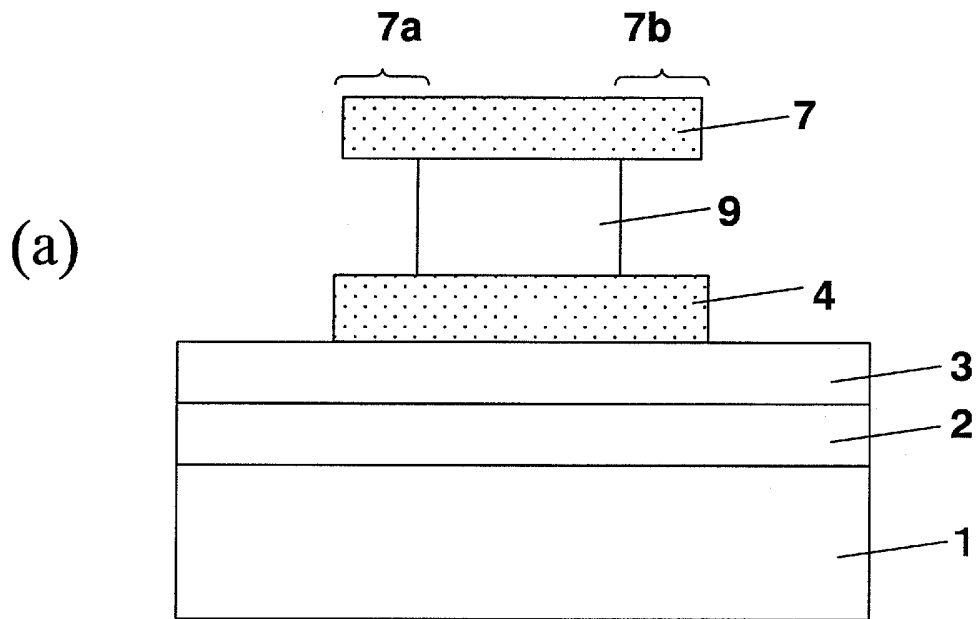
[図14]



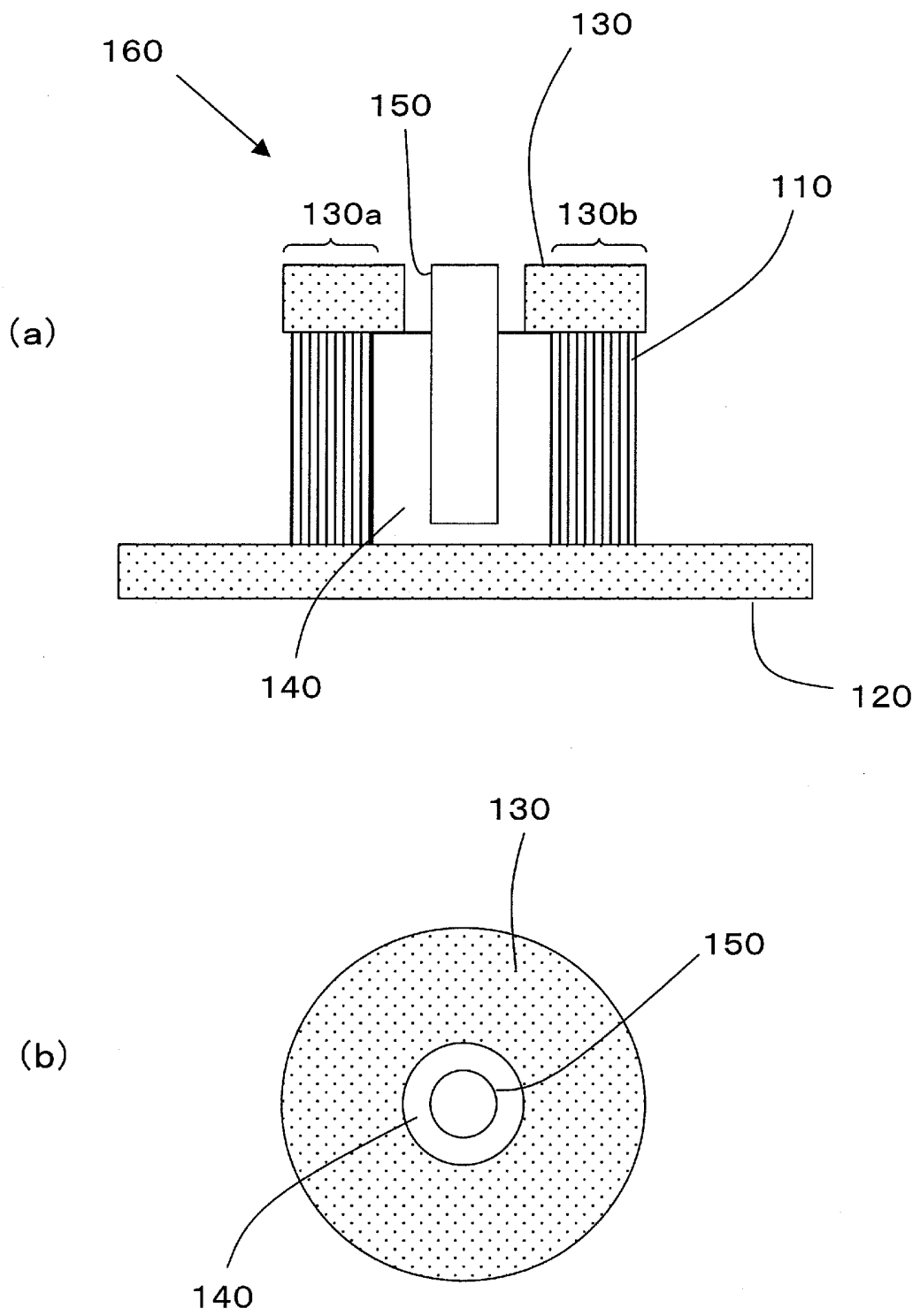
(b)



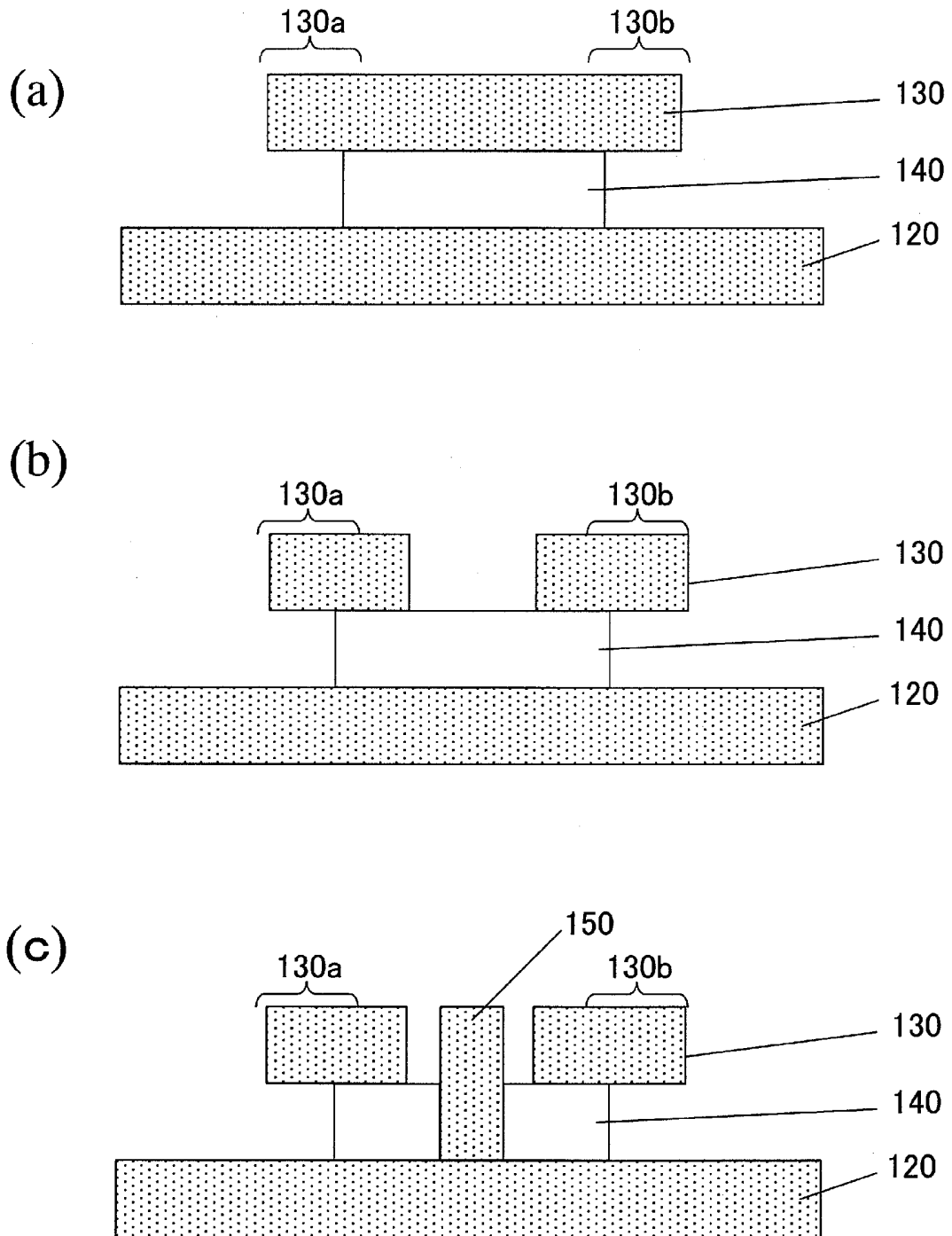
[図15]



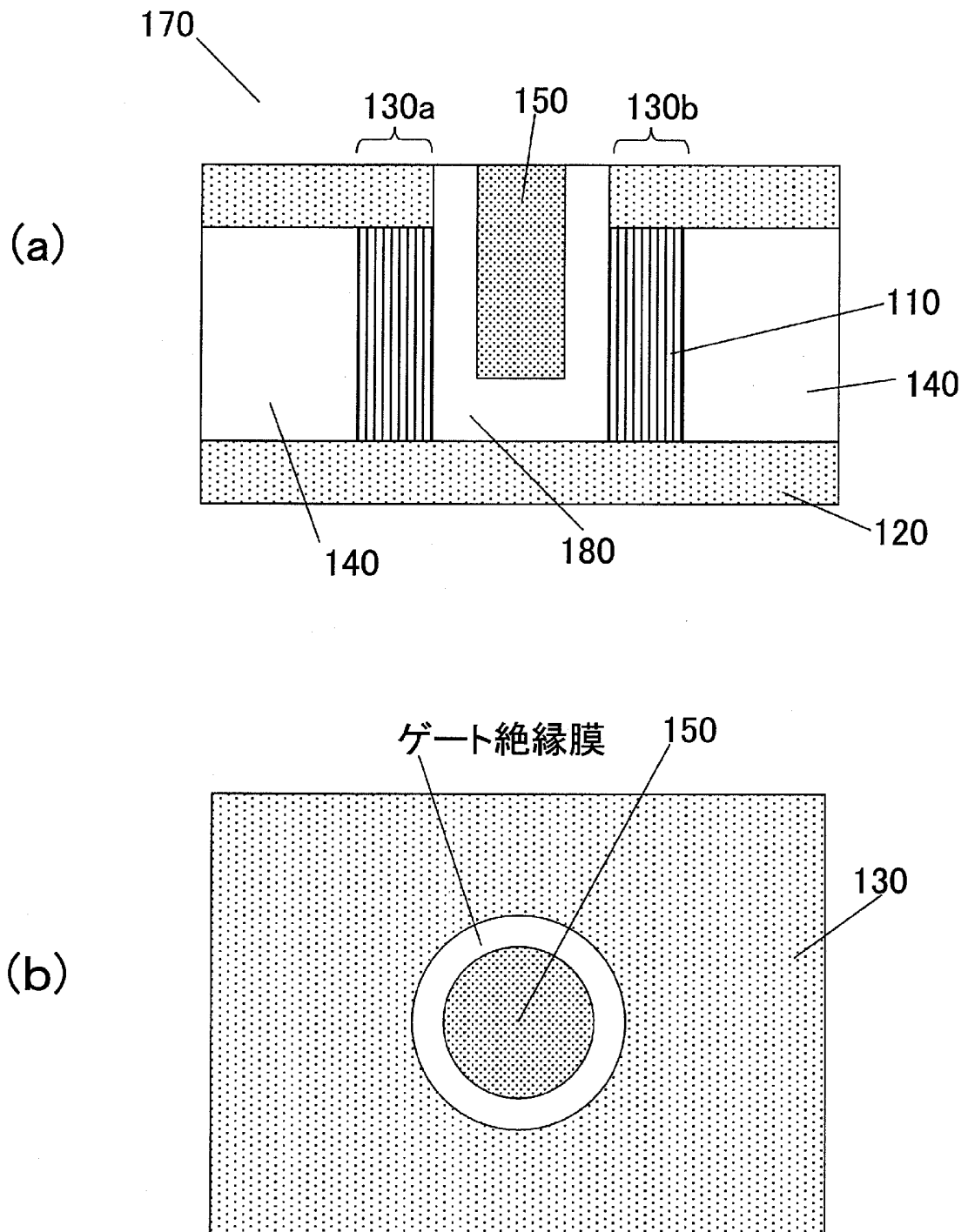
[図16]



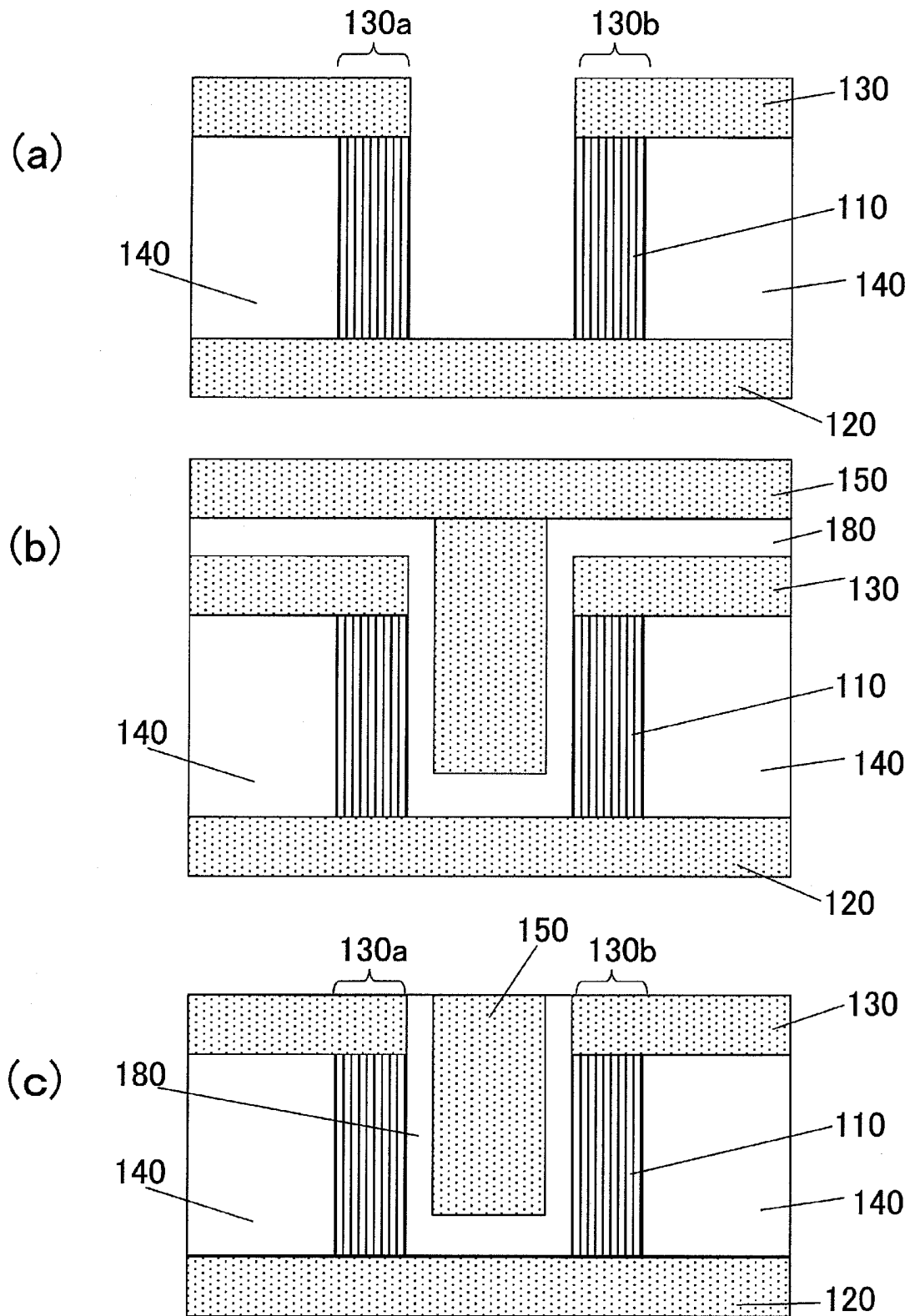
[図17]



[図18]



[図19]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/017830

A. CLASSIFICATION OF SUBJECT MATTER H01L29/786 (2006.01), H01L29/06 (2006.01), H01L29/12 (2006.01), H01L29/78 (2006.01)		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H01L29/786 (2006.01), H01L29/06 (2006.01), H01L29/12 (2006.01), H01L29/78 (2006.01)		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2005 Kokai Jitsuyo Shinan Koho 1971-2005 Toroku Jitsuyo Shinan Koho 1994-2005		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2004-165297 A (Fujitsu Ltd.), 10 June, 2004 (10.06.04), Full text; all drawings	1-3, 5-13 4, 14-23
A	JP 2003-86796 A (Fujitsu Ltd.), 20 March, 2003 (20.03.03), Full text; all drawings & US 2002/0163079 A1	1-23
P,X P,A	JP 2005-159332 A (Semiconductor Energy Laboratory Co., Ltd.), 16 June, 2005 (16.06.05), Full text; all drawings	1-3, 5-13 4, 14-23
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 21 December, 2005 (21.12.05)		Date of mailing of the international search report 10 January, 2006 (10.01.06)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

<p>A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H01L29/786 (2006.01), H01L29/06 (2006.01), H01L29/12 (2006.01), H01L29/78 (2006.01)</p>														
<p>B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H01L29/786 (2006.01), H01L29/06 (2006.01), H01L29/12 (2006.01), H01L29/78 (2006.01)</p>														
<p>最小限資料以外の資料で調査を行った分野に含まれるもの</p> <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2005年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2005年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2005年</td> </tr> </table>			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2005年	日本国実用新案登録公報	1996-2005年	日本国登録実用新案公報	1994-2005年				
日本国実用新案公報	1922-1996年													
日本国公開実用新案公報	1971-2005年													
日本国実用新案登録公報	1996-2005年													
日本国登録実用新案公報	1994-2005年													
<p>国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)</p>														
<p>C. 関連すると認められる文献</p> <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求の範囲の番号</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>JP 2004-165297 A (富士通株式会社) 2004.06.10, 全文、全図</td> <td>1-3, 5-13</td> </tr> <tr> <td>A</td> <td>全文、全図 (ファミリーなし)</td> <td>4, 14-23</td> </tr> <tr> <td>A</td> <td>JP 2003-86796 A (富士通株式会社) 2003.03.20, 全文、全図 & US 2002/0163079 A1</td> <td>1-23</td> </tr> </tbody> </table>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号	X	JP 2004-165297 A (富士通株式会社) 2004.06.10, 全文、全図	1-3, 5-13	A	全文、全図 (ファミリーなし)	4, 14-23	A	JP 2003-86796 A (富士通株式会社) 2003.03.20, 全文、全図 & US 2002/0163079 A1	1-23
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号												
X	JP 2004-165297 A (富士通株式会社) 2004.06.10, 全文、全図	1-3, 5-13												
A	全文、全図 (ファミリーなし)	4, 14-23												
A	JP 2003-86796 A (富士通株式会社) 2003.03.20, 全文、全図 & US 2002/0163079 A1	1-23												
<p><input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。</p>														
<p>* 引用文献のカテゴリー</p> <table border="0"> <tr> <td>「A」 特に関連のある文献ではなく、一般的技術水準を示すもの</td> <td>「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)</td> <td>「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>「O」 口頭による開示、使用、展示等に言及する文献</td> <td>「&」 同一パテントファミリー文献</td> </tr> <tr> <td>「P」 国際出願日前で、かつ優先権の主張の基礎となる出願</td> <td></td> </tr> </table>			「A」 特に関連のある文献ではなく、一般的技術水準を示すもの	「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの	「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)	「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	「O」 口頭による開示、使用、展示等に言及する文献	「&」 同一パテントファミリー文献	「P」 国際出願日前で、かつ優先権の主張の基礎となる出願			
「A」 特に関連のある文献ではなく、一般的技術水準を示すもの	「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの													
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの													
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)	「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの													
「O」 口頭による開示、使用、展示等に言及する文献	「&」 同一パテントファミリー文献													
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願														
<p>国際調査を完了した日 21.12.2005</p>	<p>国際調査報告の発送日 10.01.2006</p>													
<p>国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号</p>	<p>特許庁審査官 (権限のある職員) 綿引 隆 電話番号 03-3581-1101 内線 3462</p>	<p>4M 2934</p>												

C (続き) . 関連すると認められる文献		
引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
P, X P, A	JP 2005-159332 A (株式会社半導体エネルギー研究所) 2005.06.16, 全文、全図 全文、全図 (ファミリーなし)	1-3, 5-13 4, 14-23