



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H01L 27/115 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년03월14일 10-0695164 2007년03월08일
--	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-2005-0107029 2005년11월09일 2005년11월09일	(65) 공개번호 (43) 공개일자
----------------------------------	---	------------------------

(73) 특허권자 삼성전자주식회사
 경기도 수원시 영통구 매탄동 416

(72) 발명자 김원주
 경기 수원시 영통구 영통동 벽적골8단지아파트 840-1903

 변성재
 경기 성남시 분당구 금곡동 트리폴리스 B-2111

 박운동
 경기 용인시 기흥읍 농서리 산14-1 삼성종합기술원

 이은홍
 경기 안양시 동안구 호계동 무궁화아파트 108-401

 김석필
 경기 용인시 기흥읍 삼성종합기술원 기숙사

 현재웅
 경기 의정부시 가능동 751

(74) 대리인 리엔목특허법인

(56) 선행기술조사문헌
 KR1020050079367 A
 * 심사관에 의하여 인용된 문헌

심사관 : 박근오

전체 청구항 수 : 총 20 항

(54) 스위칭 소자로서 트랜지스터 및 다이오드를 포함하는하이브리드 타입의 비휘발성 메모리 소자

(57) 요약

단위 비트의 데이터를 처리하기 위한 셀 면적을 감소시킨 고용량의 데이터를 처리하기 위한 하이브리드 타입의 비휘발성 메모리 소자가 제공된다. 본 발명에 따른 비휘발성 메모리 소자는, 소오스, 드레인 및 제어 게이트를 포함하는 트랜지스터

를 포함한다. 제 1 스토리지 노드는 트랜지스터에 커플링되고 전하를 저장할 수 있다. 제 1 워드 라인은 트랜지스터의 제어 게이트에 연결된다. 제 1 비트 라인은 트랜지스터의 드레인에 연결된다. 다이오드의 일단은 트랜지스터의 소오스에 연결된다. 제 2 스토리지 노드는 다이오드의 다른 단에 연결되고 저항 변화를 저장할 수 있다. 제 2 비트 라인은 제 2 스토리지 노드에 연결된다. 그리고, 제 2 워드 라인은 트랜지스터의 소오스에 연결된다.

대표도

도 3

특허청구의 범위

청구항 1.

소오스, 드레인 및 제어 게이트를 포함하는 트랜지스터;

상기 트랜지스터의 제어 게이트의 동작에 따라서 전하를 저장할 수 있도록 상기 트랜지스터에 커플링된 제 1 스토리지 노드;

상기 트랜지스터의 제어 게이트에 연결되는 제 1 워드 라인;

상기 트랜지스터의 드레인에 연결되는 제 1 비트 라인;

상기 트랜지스터의 소오스로부터의 전기 신호의 흐름을 정류하기 위해 상기 트랜지스터의 소오스에 일단이 연결된 다이오드;

상기 다이오드의 다른 단에 연결되고 저항 변화를 저장할 수 있는 제 2 스토리지 노드;

상기 제 2 스토리지 노드에 연결되는 제 2 비트 라인; 및

상기 트랜지스터의 소오스에 연결되는 제 2 워드 라인을 포함하는 것을 특징으로 하는 하이브리드 타입의 비휘발성 메모리 소자.

청구항 2.

제 1 항에 있어서, 상기 제 1 스토리지 노드는 플로팅 게이트 또는 전하 트랩 노드를 포함하는 것을 특징으로 하는 하이브리드 타입의 비휘발성 메모리 소자.

청구항 3.

제 1 항에 있어서, 상기 제 2 스토리지 노드는 상태 변화에 따라 저항이 변하는 가변 저항체를 포함하는 것을 특징으로 하는 하이브리드 타입의 비휘발성 메모리 소자.

청구항 4.

제 1 항에 있어서, 상기 제 1 비트 라인 및 상기 제 1 워드 라인은 서로 다른 방향으로 배치되고, 상기 제 2 비트 라인 및 상기 제 2 워드 라인은 서로 다른 방향으로 배치된 것을 특징으로 하는 하이브리드 타입의 비휘발성 메모리 소자.

청구항 5.

제 4 항에 있어서, 상기 제 1 비트 라인 및 상기 제 2 비트 라인은 서로 같은 방향으로 배치되고, 상기 제 1 워드 라인 및 상기 제 2 워드 라인은 서로 같은 방향으로 배치된 것을 특징으로 하는 하이브리드 타입의 비휘발성 메모리 소자.

청구항 6.

소오스, 드레인 및 제어 게이트를 각각 포함하고 각각의 드레인이 서로 연결된 한 쌍의 트랜지스터들;

상기 한 쌍의 트랜지스터들 각각의 제어 게이트의 동작에 따라서 전하를 저장할 수 있도록 상기 한 쌍의 트랜지스터들에 각각 커플링된 한 쌍의 제 1 스토리지 노드들;

상기 한 쌍의 트랜지스터들의 제어 게이트들에 각각 연결되는 한 쌍의 제 1 워드 라인들;

상기 한 쌍의 트랜지스터들의 서로 연결된 드레인들에 공통으로 연결되는 제 1 비트 라인;

상기 한 쌍의 트랜지스터들의 소오스들로부터의 전기 신호의 흐름을 정류하기 위해 상기 한 쌍의 트랜지스터들의 소오스들 각각에 일단이 연결된 한 쌍의 다이오드들;

상기 한 쌍의 다이오드들의 다른 단에 각각 연결되고 저항 변화를 저장할 수 있는 한 쌍의 제 2 스토리지 노드들;

상기 한 쌍의 제 2 스토리지 노드에 공통으로 연결되는 제 2 비트 라인; 및

상기 한 쌍의 트랜지스터들의 소오스들에 각각 연결되는 한 쌍의 제 2 워드 라인들을 포함하는 것을 특징으로 하는 하이브리드 타입의 비휘발성 메모리 소자.

청구항 7.

제 6 항에 있어서, 상기 제 1 스토리지 노드는 플로팅 게이트 또는 전하 트랩 노드를 포함하는 것을 특징으로 하는 하이브리드 타입의 비휘발성 메모리 소자.

청구항 8.

제 6 항에 있어서, 상기 제 2 스토리지 노드는 상태 변화에 따라 저항이 변하는 가변 저항체를 포함하는 것을 특징으로 하는 하이브리드 타입의 비휘발성 메모리 소자.

청구항 9.

제 6 항에 있어서, 상기 한 쌍의 제 1 워드 라인들은 서로 같은 방향으로 배치되고, 상기 한 쌍의 제 2 워드 라인들은 서로 같은 방향으로 배치된 것을 특징으로 하는 하이브리드 타입의 비휘발성 메모리 소자.

청구항 10.

제 9 항에 있어서, 상기 한 쌍의 제 1 워드 라인들 및 상기 제 1 비트 라인은 서로 다른 방향으로 배치되고, 상기 한 쌍의 제 2 워드 라인들 및 상기 제 2 비트 라인은 서로 다른 방향으로 배치된 것을 특징으로 하는 하이브리드 타입의 비휘발성 메모리 소자.

청구항 11.

소자분리막에 의해 한정되는 활성영역을 포함하는 제 1 도전형의 반도체 기관;

상기 활성영역에 제 2 도전형의 불순물이 도핑되어 각각 형성되고, 서로 이격되어 배치된 소오스 영역 및 드레인 영역;

상기 소오스 영역 및 드레인 영역 사이의 상기 활성영역 상을 가로질러 신장하고, 상기 활성영역과 절연된 제 1 워드 라인용 제어 게이트 전극;

상기 활성영역 및 상기 제어 게이트 전극 사이에 개재되고 전하 저장을 위한 제 1 스토리지 노드막;

상기 소오스 영역 상에 형성되고 저항 변화를 저장하기 위한 제 2 스토리지 노드막;

상기 소오스 영역 및 상기 제 2 스토리지 노드막 사이에 개재되고, 상기 소오스 영역으로의 전기 신호의 흐름을 정류하기 위한 다이오드;

상기 드레인 영역과 연결되고, 상기 활성영역 방향을 따라서 신장하는 제 1 비트 라인;

상기 제 2 스토리지 노드막 상에 형성되고, 상기 활성영역을 따라 신장하는 제 2 비트 라인; 및

상기 활성영역을 가로질러 신장하고, 상기 소오스 영역 및 상기 소오스 영역과 접하는 상기 소자분리막을 둘러싸는 상기 반도체 기관 부분을 포함하는 제 2 워드 라인을 포함하는 것을 특징으로 하는 하이브리드 타입의 비휘발성 메모리 소자.

청구항 12.

제 11 항에 있어서, 상기 제 1 스토리지 노드막은 폴리실리콘막, 실리콘 질화막, 나노 크리스탈, 금속 도트를 포함하는 것을 특징으로 하는 하이브리드 타입의 비휘발성 메모리 소자.

청구항 13.

제 11 항에 있어서, 상기 제 2 스토리지 노드막은 Nb_2O_5 막, Cr 도핑된 $SrTiO_3$ 막, ZrO_x 막, $GST(GeSb_xTe_y)$ 막, NiO막, TiO_2 막 또는 HfO막을 포함하는 것을 특징으로 하는 하이브리드 타입의 비휘발성 메모리 소자.

청구항 14.

제 11 항에 있어서, 상기 다이오드는 서로 다른 극성의 불순물층들이 적층 접합되어 형성된 것을 특징으로 하는 하이브리드 타입의 비휘발성 메모리 소자.

청구항 15.

제 14 항에 있어서, 상기 서로 다른 극성의 불순물층들은 상기 제 1 도전형의 불순물층 및 상기 제 2 도전형의 불순물층을 포함하는 것을 특징으로 하는 하이브리드 타입의 비휘발성 메모리 소자.

청구항 16.

제 15 항에 있어서, 상기 제 1 도전형은 p형이고, 상기 제 2 도전형은 n형인 것을 특징으로 하는 하이브리드 타입의 비휘발성 메모리 소자.

청구항 17.

제 11 항에 있어서, 상기 다이오드 및 상기 제 2 스토리지 노드막 사이에 도전성 하부 전극을 더 포함하는 것을 특징으로 하는 하이브리드 타입의 비휘발성 메모리 소자.

청구항 18.

제 11 항에 있어서, 상기 제 2 워드 라인을 구성하는 상기 반도체 부분은 상기 제 2 도전형의 불순물로 도핑된 것을 특징으로 하는 하이브리드 타입의 비휘발성 메모리 소자.

청구항 19.

제 11 항에 있어서, 상기 제 1 비트 라인은 상기 소자분리막 상에서 상기 활성영역을 따라서 신장하도록 배치되고 비트 라인 콘택플러그를 통해서 상기 드레인 영역과 연결된 것을 특징으로 하는 하이브리드 타입의 비휘발성 메모리 소자.

청구항 20.

제 11 항에 있어서, 상기 제 1 및 제 2 비트 라인들은 도전성 금속막을 각각 포함하는 것을 특징으로 하는 하이브리드 타입의 비휘발성 메모리 소자.

명세서**발명의 상세한 설명****발명의 목적****발명이 속하는 기술 및 그 분야의 종래기술**

본 발명은 비휘발성 메모리 소자에 관한 것으로서, 특히 적어도 두 개 이상의 서로 다른 형태의 비휘발성 메모리 소자들이 결합된 하이브리드(hybrid) 타입의 비휘발성 메모리 소자에 관한 것이다.

최근에는 대용량 휴대용 전자 장치가 주목을 받고 있다. 즉, 이러한 전자 장치는 더욱 소형화되면서도 더불어 더욱 고용량화될 것이 요구되고 있다. 이러한, 전자 장치의 소형화 및 고용량화는 이들 전자 장치에 이용되는 비휘발성 메모리 소자의 고집적화 및 고용량화를 요구하고 있다. 하지만, 고집적 패턴 형성을 통한 비휘발성 메모리 소자의 고집적화는 포토리소그래피(photo-lithography) 기술의 한계로 인해 빠르게 그 한계에 도달하고 있다.

예를 들어, 삼성전자에 양도된 미국특허번호 US 6,635,532호를 참조하면, 노어 타입의 플래시 메모리 소자가 개시된다. 하지만, 삼성전자에 의한 플래시 소자의 경우, 2 비트의 자료 처리를 위해서는 적어도 $2 \times 3 F^2$, 즉 $6 F^2$ 의 셀 면적을 필요로 한다. 1 F는 워드 라인의 폭에 대응된다. 따라서, 단위 비트의 데이터 처리를 위한 셀 면적이 다소 크다는 문제가 있다.

다른 예로, 가변 저항체를 스토리지 노드로 이용하고 스택형 다이오드(stack-type diode)를 스위치 소자로 이용한 비휘발성 메모리 소자가 도 1 및 도 2를 참조하여 설명된다.

도 1을 참조하면, 다이오드(JD) 및 가변 저항체(R)가 비트 라인(BL) 및 워드 라인(WL) 사이에 연결된 회로 배치가 도시된다. 도 2를 참조하면, 이러한 회로 배치는 반도체 기판 상에 구현될 수 있다. 반도체 기판의 활성영역(52) 상에 가변 저항체(55)가 형성되고, 활성영역(52)을 가로질러 가변 저항체(55) 상에 금속 라인(60)이 배치될 수 있다. 워드 라인(50)은 활성영역(52)과 연결될 수 있고, 금속 라인(60)은 비트 라인(BL)으로 기능할 수 있다.

이와 같은 비휘발성 메모리 소자는 예컨대 PRAM은, 단위셀(C)을 기준으로 볼 때 2 비트의 데이터를 처리하기 위해서 적어도 $2 \times 2 F^2$, 즉 $4 F^2$ 의 셀 면적을 필요로 한다. 따라서, 다이오드를 이용한 PRAM을 이용하면 단위 비트의 데이터 처리를 위한 셀 면적을 트랜지스터를 이용하는 비휘발성 메모리 소자보다 줄일 수 있다. 하지만, 다이오드를 이용한 PRAM은 멀티 레벨로 동작하기 어렵다는 문제가 있다. 다이오드를 스위칭 소자로 이용하는 비휘발성 메모리 소자에 대해서는 마이크로 테크놀로지(Micron technology)에게 양도된 국제출원공개번호 WO 1996/041381호를 더 참조할 수 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명이 이루고자 하는 기술적 과제는, 전술한 문제점을 극복하기 위한 것으로서, 단위 비트의 데이터를 처리하기 위한 셀 면적을 감소시킨 고용량의 데이터를 처리하기 위한 하이브리드 타입의 비휘발성 메모리 소자를 제공하는 데 있다.

발명의 구성

상기 기술적 과제를 달성하기 위한 본 발명의 일 태양에 따르면, 하이브리드 타입의 비휘발성 메모리 소자는 소오스, 드레인 및 제어 게이트를 포함하는 트랜지스터를 포함한다. 제 1 스토리지 노드는 상기 트랜지스터의 제어 게이트의 동작에 따라서 전하를 저장할 수 있도록 상기 트랜지스터에 커플링된다. 제 1 워드 라인은 상기 트랜지스터의 제어 게이트에 연결된다. 제 1 비트 라인은 상기 트랜지스터의 드레인에 연결된다. 다이오드의 일단은 상기 트랜지스터의 소오스로부터의 전기 신호의 흐름을 정류하기 위해 상기 트랜지스터의 소오스에 연결된다. 제 2 스토리지 노드는 상기 다이오드의 다른 단에 연결되고 저항 변화를 저장할 수 있다. 제 2 비트 라인은 상기 제 2 스토리지 노드에 연결된다. 그리고, 제 2 워드 라인은 상기 트랜지스터의 소오스에 연결된다.

상기 제 1 스토리지 노드는 플로팅 게이트 또는 전하 트랩 노드를 포함할 수 있다. 나아가, 상기 제 2 스토리지 노드는 상태 변화에 따라 저항이 변하는 가변 저항체를 포함할 수 있다.

상기 기술적 과제를 달성하기 위한 본 발명의 다른 태양에 따르면, 소오스, 드레인 및 제어 게이트를 각각 포함하고 각각의 드레인이 서로 연결된 한 쌍의 트랜지스터들; 상기 한 쌍의 트랜지스터들 각각의 제어 게이트의 동작에 따라서 전하를 저장할 수 있도록 상기 한 쌍의 트랜지스터들에 각각 커플링된 한 쌍의 제 1 스토리지 노드들; 상기 한 쌍의 트랜지스터들의 제어 게이트들에 각각 연결되는 한 쌍의 제 1 워드 라인들; 상기 한 쌍의 트랜지스터들의 서로 연결된 드레인들에 공통으로 연결되는 제 1 비트 라인; 상기 한 쌍의 트랜지스터들의 소오스들로부터의 전기 신호의 흐름을 정류하기 위해 상기 한 쌍의 트랜지스터들의 소오스들 각각에 일단이 연결된 한 쌍의 다이오드들; 상기 한 쌍의 다이오드들의 다른 단에 각각 연결되고 저항 변화를 저장할 수 있는 한 쌍의 제 2 스토리지 노드들; 상기 한 쌍의 제 2 스토리지 노드에 공통으로 연결되는 제 2 비트 라인; 및 상기 한 쌍의 트랜지스터들의 소오스들에 각각 연결되는 한 쌍의 제 2 워드 라인들을 포함하는 하이브리드 타입의 비휘발성 메모리 소자가 제공된다.

상기 기술적 과제를 달성하기 위한 본 발명의 또 다른 태양에 따르면, 소자분리막에 의해 한정되는 활성영역을 포함하는 제 1 도전형의 반도체 기판; 상기 활성영역에 제 2 도전형의 불순물이 도핑되어 각각 형성되고, 서로 이격되어 배치된 소오스 영역 및 드레인 영역; 상기 소오스 영역 및 드레인 영역 사이의 상기 활성영역 상을 가로질러 신장하고, 상기 활성영역과 절연된 제 1 워드 라인용 제어 게이트 전극; 상기 활성영역 및 상기 제어 게이트 전극 사이에 개재되고 전하 저장을 위한 제 1 스토리지 노드막; 상기 소오스 영역 상에 형성되고 저항 변화를 저장하기 위한 제 2 스토리지 노드막; 상기 소오스 영역 및 상기 제 2 스토리지 노드막 사이에 개재되고, 상기 소오스 영역으로의 전기 신호의 흐름을 정류하기 위한 다이오드; 상기 드레인 영역과 연결되고, 상기 활성영역 방향을 따라서 신장하는 제 1 비트 라인; 상기 제 2 스토리지 노드막 상에 형성되고, 상기 활성영역을 따라 신장하는 제 2 비트 라인; 및 상기 활성영역을 가로질러 신장하고, 상기 소오스 영역 및 상기 소오스 영역과 접하는 상기 소자분리막을 둘러싸는 상기 반도체 기판 부분을 포함하는 제 2 워드 라인을 포함하는 하이브리드 타입의 비휘발성 메모리 소자가 제공된다.

상기 다이오드는 서로 다른 극성의 불순물층들이 적층 접합되어 형성될 수 있다. 나아가, 상기 서로 다른 극성의 불순물층들은 상기 제 1 도전형의 불순물층 및 상기 제 2 도전형의 불순물층을 포함할 수 있다.

상기 비휘발성 메모리 소자는 상기 다이오드 및 상기 제 2 스토리지 노드막 사이에 도전성 하부 전극을 더 포함할 수 있다.

상기 제 2 워드 라인을 구성하는 상기 반도체 부분은 상기 제 2 도전형의 불순물로 도핑되어 형성될 수 있다.

이하, 첨부한 도면을 참조하여 본 발명에 따른 바람직한 실시예를 설명함으로써 본 발명을 상세하게 설명한다. 그러나 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예는 본 발명의 개시가 완전하도록 하며, 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다. 도면에서 구성 요소들은 설명의 편의를 위하여 그 크기가 과장될 수 있다.

본 발명의 실시예들에 따른 비휘발성 메모리 소자는 서로 다른 방식으로 동작하고 서로 다른 스위칭 소자를 사용하는 메모리부가 서로 결합된 형태를 갖는다. 이러한 의미에서, 본 발명의 실시예들에 따른 비휘발성 메모리 소자는 하이브리드 타입으로 불릴 수 있다.

예를 들어, 본 발명의 실시예들에 따른 비휘발성 메모리 소자는 트랜지스터를 스위칭 소자로 이용하는 제 1 메모리부와, 다이오드를 스위칭 소자로 이용하는 제 2 메모리부가 결합된 형태를 가질 수 있다. 나아가, 상기 제 1 메모리부는 전하 저장 방식의 스토리지 노드를 이용할 수 있고, 상기 제 2 메모리부는 저항 변화 저장 방식의 스토리지 노드를 이용할 수 있다.

도 3은 본 발명의 일 실시예에 따른 비휘발성 메모리 소자의 회로도이다.

도 3을 참조하면, 비휘발성 메모리 소자는 한 쌍의 스토리지 노드들(N1, N2)을 포함한다. 제 1 스토리지 노드(N1)는 전하 저장을 이용한 것이고 트랜지스터(T)에 커플링된다. 제 2 스토리지 노드(N2)는 저항 변화를 저장하기 위한 것이고 다이오드(JD)의 일단에 연결된다. 즉, 제 1 스토리지 노드(N1) 및 트랜지스터(T)가 제 1 메모리부(미도시)를 형성하고, 제 2 스토리지 노드(N2) 및 다이오드(JD)가 제 2 메모리부(미도시)를 형성할 수 있다.

예를 들어, 제 1 스토리지 노드(N1)는 플로팅 게이트(floating gate) 또는 전하 트랩 노드(charge trapping node)를 포함할 수 있다. 이 경우, 제 1 스토리지 노드(N1)를 포함하는 제 1 메모리부는 플래시(flash) 메모리 소자 또는 소노스(SONOS) 메모리 소자의 일 부분을 구성할 수 있다. 제 2 스토리지 노드(N2)는 상태 변화에 따라 저항이 변하는 가변 저항체를 포함할 수 있다. 이 경우, 제 2 스토리지 노드(N2)를 포함하는 제 2 메모리부는 상전이 메모리(PRAM) 또는 저항 메모리(RRAM)의 일 부분을 구성할 수 있다.

보다 구체적으로 보면, 트랜지스터(T)는 소오스(S), 드레인(D) 및 제어 게이트(G)를 포함할 수 있다. 예를 들어, 트랜지스터(T)는 모스 전계효과 트랜지스터(MOSFET)일 수 있다. MOSFET의 구조는 해당 기술분야에서 통상의 지식을 가진 자에게 알려진 하나의 구조일 수 있다.

제 1 스토리지 노드(N1)는 제어 게이트(G)의 동작에 따라 전하를 저장할 수 있도록 트랜지스터(T)에 커플링될 수 있다. 예를 들어, 제 1 스토리지 노드(N1)는 소오스(S) 및 드레인(D)의 위 및 제어 게이트(G) 하단에 부유되어 또는 절연되어 배치될 수 있다. 이러한 제 1 스토리지 노드(N1) 및 트랜지스터(T)의 커플링 구조는 통상의 플래시 메모리 소자 또는 소노스 메모리 소자의 구조와 유사할 수 있다. 트랜지스터(T)는 제 1 스토리지 노드(N1)의 전하 저장 동작을 제어하고, 또한 제 1 스토리지 노드(N1)의 전하 저장 상태를 읽어낼 수 있다. 즉, 트랜지스터(T)는 제 1 스토리지 노드(N1)에 대해 스위칭 소자로서 역할을 수행할 수 있다.

제 1 비트 라인(BL1)은 드레인(D)에 연결되고, 제 1 워드 라인(WL1)은 제어 게이트(G)에 연결된다. 즉, 제 1 비트 라인(BL1) 및 제 1 워드 라인(WL1)을 제어함으로써, 트랜지스터(T)가 제어될 수 있다. 제 1 비트 라인(BL1) 및 제 1 워드 라인(WL1)은 서로 다른 방향으로, 예컨대 매트릭스로 배치될 수 있다.

다이오드(JD)는 한 방향으로의 전기 신호의 흐름, 예컨대 전류의 흐름을 정류하기 위한 것일 수 있다. 다이오드(JD)의 일단은 제 2 스토리지 노드(N2)에 연결되고, 다른 단은 소오스(S)에 연결된다. 도 3에서 제 2 스토리지 노드(N2)에서 소오스(S) 방향으로의 전류의 흐름은 다이오드(JD)의 순방향에 해당하나, 소오스(S)로부터의 제 2 스토리지 노드(N2)의 전류의 흐름은 다이오드(JD)의 역방향에 해당한다. 다이오드(JD)는 순방향의 전류의 흐름을 허용하나, 역방향의 전류의 흐름은 억제할 수 있다. 즉, 다이오드(JD)는 제 2 스토리지 노드(N2)에 대한 스위치 소자의 역할을 수행할 수 있다.

제 2 비트 라인(BL2)은 다이오드(JD)의 맞은편의 제 2 스토리지 노드(N2)에 연결되고, 제 2 워드 라인(WL2)은 소오스(S)에 연결될 수 있다. 즉, 제 2 비트 라인(BL2) 및 제 2 워드 라인(WL2)은 직렬 연결된 제 2 스토리지 노드(N2) 및 다이오드(JD)의 양단을 제어할 수 있다. 제 2 비트 라인(BL2) 및 제 2 워드 라인(WL2)은 서로 다른 방향, 예컨대 매트릭스로 배치될 수 있다. 예를 들어, 제 1 비트 라인(BL1) 및 제 2 비트 라인(BL2)은 행으로 배치되고, 제 1 워드 라인(WL1) 및 제 2 워드 라인(WL2)은 열로 배치될 수 있다.

전술한 본 발명의 일 실시예에 따른 비휘발성 메모리 소자는 제 1 비트 라인(BL1) 및 제 1 워드 라인(WL1)을 제어함으로써 적어도 2 비트의 데이터를 처리할 수 있고, 제 2 비트 라인(BL2) 및 제 2 워드 라인(WL2)을 제어함으로써 2 비트의 데이터를 처리할 수 있다. 즉, 비휘발성 메모리 소자는 적어도 4 비트의 데이터를 처리할 수 있다. 나아가, 제 1 스토리지 노드(N1)는 멀티 레벨로 동작할 수 있고, 이 경우 비휘발성 메모리 소자는 적어도 6 비트의 데이터를 처리할 수 있다.

비록 도 3에서, 비휘발성 메모리 소자는 하나의 제 1 메모리부와 하나의 제 2 메모리부가 결합된 구조로 도시되었으나, 비휘발성 메모리 소자는 도 3의 구조를 단위셀로 하고, 이들 단위셀들이 어레이로 배치된 구조도 포함할 수 있음은 자명하다.

도 4는 본 발명의 다른 실시예에 따른 비휘발성 메모리 소자의 회로도이다. 다른 실시예에 따른 비휘발성 메모리 소자는 일 실시예에 따른 비휘발성 메모리 소자의 어레이(array) 배치의 일 예일 수 있다. 따라서, 다른 실시예에 따른 비휘발성 메모리 소자는 도 3의 설명을 참조할 수 있다. 두 실시예들에서 같은 참조 부호는 동일 또는 유사한 구조를 나타낸다.

도 4를 참조하면, 하나의 행으로 배치된 한 쌍의 제 1 스토리지 노드(N1)들 및 한 쌍의 제 2 스토리지 노드(N2)들이 하나의 단위셀을 형성할 수 있다. 하나의 행으로 배치된 한 쌍의 제 1 스토리지 노드(N1)들은 한 쌍의 트랜지스터(T)들에 각각 커플링된다. 하나의 행으로 배치된 한 쌍의 제 2 스토리지 노드(N2)들은 한 쌍의 다이오드(JD)들의 일단에 각각 연결된다. 하나의 행으로 배치된 트랜지스터(T)들의 드레인(D)들은 서로 연결된다. 각 트랜지스터(T)의 소오스(S) 및 다이오드(JD)는 서로 연결된다. 예를 들어, 다이오드(JD)와 각 트랜지스터(T)의 소오스(S)는 역방향으로 연결될 수 있다.

예를 들어, 한 쌍의 제 1 워드 라인들(WL1a, WL1b)은 제 1 행에 배치된 한 쌍의 트랜지스터(T)들의 게이트(G)에 각각 연결된다. 제 1 비트 라인(BL1a)은 서로 연결된 드레인(D)들에 공통으로 연결된다. 제 2 비트 라인(BL2a)은 제 1 행에 배열된 제 2 스토리지 노드(N2)들에 공통으로 연결된다. 한 쌍의 제 2 워드 라인들(WL2a, WL2b)은 제 1 행에 배치된 한 쌍의 트랜지스터(T)들의 소오스(S)들에 각각 연결된다.

이에 따라, 한 쌍의 제 1 워드 라인들(WL1a, WL1b) 및 하나의 제 1 비트 라인(BL1a)을 이용하여, 제 1 행에 배치된 한 쌍의 제 1 스토리지 노드(N1)들을 제어할 수 있다. 마찬가지로, 한 쌍의 제 2 워드 라인들(WL2a, WL2b) 및 하나의 제 2 비트 라인(BL2a)을 이용하여, 제 1 행에 배치된 한 쌍의 제 2 스토리지 노드(N2)들을 제어할 수 있다.

제 2 행에 배치된 한 쌍의 제 1 스토리지 노드(N1)들 및 제 2 행에 배치된 한 쌍의 제 2 스토리지 노드(N2)들도 제 1 행과 유사하게 제어될 수 있다. 이 경우, 한 쌍의 제 1 워드 라인들(WL1a, WL1b)은 같은 열에 배치된 트랜지스터(T)들의 게이트(G)에 공통으로 연결될 수 있다. 유사하게, 한 쌍의 제 2 워드 라인들(WL2a, WL2b)은 같은 열에 배치된 트랜지스터(T)들의 소오스(S)에 공통으로 연결될 수 있다.

제 2 행에 배치된 한 쌍의 트랜지스터(T)들의 게이트(G)들은 다른 제 1 비트 라인(BL1b)에 공통으로 연결되고, 한 쌍의 제 2 스토리지 노드(N2)들은 다른 제 2 비트 라인(BL2b)에 연결될 수 있다. 이에 따라, 한 쌍의 제 1 워드 라인들(WL1a, WL1b) 및 다른 제 1 비트 라인(BL1b)을 이용하여, 제 2 행에 배치된 한 쌍의 제 1 스토리지 노드(N1)들을 제어할 수 있다. 마찬가지로, 한 쌍의 제 2 워드 라인들(WL2a, WL2b) 및 다른 제 2 비트 라인(BL2b)을 이용하여, 제 2 행에 배치된 한 쌍의 제 2 스토리지 노드(N2)들을 제어할 수 있다.

비록 도 4에는 2 행으로 단위셀들이 배치된 구조에 대해서 도시하고 있으나, 본 발명의 다른 실시예에 따른 비휘발성 메모리 소자는 복수의 행으로 단위셀들이 배치된 구조를 포함할 수 있음은 자명하다. 나아가, 비록 도 4에는 하나의 행에 하나의 단위셀이 배치된 구조에 대해서 도시하고 있으나, 본 발명의 다른 실시예에 따른 비휘발성 메모리 소자는 하나의 행에 복수의 단위셀들이 배치된 구조를 포함할 수 있음은 자명하다.

본 발명의 실시예들에 따른 비휘발성 메모리 소자의 구조는 도 5 내지 도 7을 참조하여 보다 상세하게 설명될 수 있다. 예를 들어, 도 5 내지 도 7의 구조는 도 4의 비휘발성 메모리 소자의 회로 배치와 대응될 수 있다. 보다 구체적으로 예를 들면, 도 6의 구조는 도 4의 비휘발성 메모리 소자의 하나의 단위셀의 회로 배치와 대응될 수 있다.

도 5 내지 도 7을 참조하면, 반도체 기판(105)은 소자분리막(110)에 의해 한정된 활성영역(112)을 포함한다. 예를 들어, 반도체 기판(105)은 실리콘 웨이퍼 또는 실리콘-게르마늄 웨이퍼를 포함할 수 있다. 소자분리막(110)은 절연막, 예컨대 산화막을 포함할 수 있다. 소자분리막(110)은 반도체 기판(105) 내에 형성된 얇은 트렌치에 절연막이 매립되어 형성될 수 있다.

활성영역(112)은 라인 타입으로 형성될 수 있다. 이 경우, 라인의 길이 방향은 도 4의 행과 대응할 수 있다. 비록 도 5에는 두 라인들을 갖는 활성영역(112)이 도시되었지만, 본 발명의 실시예들에 따른 활성영역(112)은 도 5의 구조에 제한 받지 않는다. 예를 들어, 활성영역(112)은 복수의 라인들(미도시)을 포함할 수 있으며, 나아가, 복수의 라인들은 소정 부분에서 서로 연결될 수도 있다.

도 6에 도시된 바와 같이, 활성영역(112)은 서로 이격되어 배치된 소오스 영역(115) 및 드레인 영역(120)을 포함한다. 예를 들어, 반도체 기관(105)이 제 1 도전형의 불순물로 도핑된 경우, 소오스 영역(115) 및 드레인 영역(120)은 제 2 도전형의 불순물로 도핑될 수 있다. 예를 들어, 제 1 도전형이 p형인 경우, 제 2 도전형은 n형이 될 수 있다.

제어 게이트 전극(140)은 소오스 영역(115) 및 드레인 영역(120) 사이의 활성영역(112) 상에 형성되고 활성영역(112)과 절연된다. 제어 게이트 전극(140)은 활성영역(112) 상을 가로질러 형성될 수 있다. 제어 게이트 전극(140)은 도 4의 회로 도에서 제어 게이트(G) 및 제 1 워드 라인(WL1)의 역할을 동시에 수행할 수 있다. 하지만, 도 5와 달리, 제어 게이트 전극(140) 상에 별도의 제 1 워드 라인(미도시)이 더 형성될 수도 있다.

제어 게이트 전극(140) 및 활성영역(112) 사이에는 제 1 스토리지 노드막(130)이 개재될 수 있다. 제 1 스토리지 노드막(130) 및 활성영역(112) 사이에는 터널 절연막(125)이 더 개재되고, 제 1 스토리지 노드막(130) 및 제어 게이트 전극(140) 사이에는 블로킹 절연막(135)이 더 개재될 수 있다. 이에 따라, 제 1 스토리지 노드막(130)은 활성영역(112) 및 제어 게이트 전극(140)으로부터 부유될 수 있다. 예를 들어, 제 1 스토리지 노드막(130)은 폴리실리콘막, 실리콘 질화막, 나노 크리스탈, 금속 도트를 포함할 수 있다. 제 1 스토리지 노드막(130)은 전하 트랩막으로 이용될 수 있고, 제 1 스토리지 노드막(130)을 이용하면 멀티 레벨의 데이터 처리가 가능해진다.

제 2 스토리지 노드막(170)은 소오스 영역(115) 상에 형성될 수 있다. 제 2 스토리지 노드막(170)은 저항 변화를 저장하기 위한 것으로서, 상태 변화에 따라 저항이 변하는 가변 저항체를 포함할 수 있다. 예를 들어, 제 2 스토리지 노드막(170)은 Nb₂O₅막, Cr 도핑된 SrTiO₃막, ZrO_x막, GST(GeSb_xTe_y)막, NiO막, TiO₂막 또는 HfO막을 포함할 수 있다.

소오스 영역(115) 및 제 2 스토리지 노드막(170) 사이에는 다이오드(152)가 개재될 수 있다. 다이오드(152)는 스위칭 소자로서, 즉 소오스 영역(115)으로부터의 전기 신호, 예컨대 전류의 흐름을 정류하기 위해 사용될 수 있다. 다이오드(152)는 서로 다른 극성의 불순물층들이 접합되어 형성될 수 있다. 예를 들어, 다이오드(152)는 n형 불순물층(145) 및 p형 불순물층(150)이 적층 접합된 구조를 포함할 수 있다.

다이오드(152) 및 제 2 스토리지 노드막(170) 사이에는 도전성 하부 전극(155)이 더 개재될 수 있다. 하부 전극(155) 및 다이오드(152)의 오믹 콘택을 보장하기 위해, 다이오드(152)의 p형 불순물층(150) 상에는 고농도로 도핑된 p형 불순물층 또는 금속 실리사이드층이 더 형성될 수도 있다.

제 1 비트 라인(165)은 드레인 영역(120)과 연결되고 활성영역(112) 방향을 따라서 신장한다. 예를 들어, 제 1 비트 라인(165)은 도 5에 도시된 바와 같이, 비트 라인 콘택 플러그(160)를 통해서 드레인 영역(120)과 연결되고, 소자분리막(110) 상에서 활성영역(112)을 따라서 신장하도록 배치될 수 있다. 제 1 비트 라인(165)은 도전성 금속 라인을 포함할 수 있다.

제 2 비트 라인(175)은 제 2 스토리지 노드막(170) 상에 형성되고 활성영역(112)을 따라 신장할 수 있다. 제 2 비트 라인(175)은 도전성 금속 라인을 포함할 수 있다. 도 6에 도시된 바와 같이, 제 2 비트 라인(175)은 제 1 비트 라인(165)과는 다른 층에 형성될 수 있다. 하지만, 제 1 비트 라인(165) 및 제 2 비트 라인(175)이 같은 층에 형성될 수도 있다.

제 2 워드 라인(117)은 활성영역(112)을 가로질러 신장하고, 소오스 영역(115) 및 소오스 영역(115)과 접하는 소자분리막(110)을 둘러싸는 반도체 기관(105) 부분을 포함할 수 있다. 소오스 영역(115)과 접하는 소자분리막(110)을 둘러싸는 반도체 기관(105) 부분, 즉 소자분리막(110)의 바닥면 및 측면 부분과 접하는 반도체 기관(105) 부분은 제 2 도전형의 불순물, 예컨대 n형 불순물로 도핑되어 형성될 수 있다. 즉, 제 2 워드 라인(117)은 활성영역(112)을 가로질러 신장하는 불순물 층일 수 있다.

층간 절연막(180)은 반도체 기관(105) 상의 구조물들 사이에 개재될 수 있다. 비록 도 6 및 도 7에서 층간 절연막(180)은 하나의 절연막으로 표시되었으나, 복수의 절연막이 적층된 구조일 수도 있다.

본 발명의 실시예에 따른 비휘발성 메모리 소자는 평면상에서 종래의 플래시 메모리 소자 또는 소노스 메모리 소자와 동일한 셀 면적을 가질 수 있다. 예를 들어, 하나의 단위셀은 $9.5 F^2$ 의 셀 면적을 가질 수 있다. 본 발명의 실시예에 따른 비휘발성 메모리 소자는 멀티-레벨 셀(multi-level cell; MLC) 동작 방식을 이용한 경우, 한 쌍의 제 1 스토리지 노드막(130)을 이용하여 적어도 2 비트의 데이터를 처리할 수 있고, 한 쌍의 제 2 스토리지 노드막(170)을 이용하여 적어도 2 비트의 데이터를 처리할 수 있다.

따라서, 본 발명의 실시예에 따른 비휘발성 메모리 소자는 MLC 동작 방식을 이용한 경우, $9.5 F^2$ 의 셀 면적에 적어도 4 비트의 데이터를 처리할 수 있고, 그 결과 단위 비트의 데이터를 처리하기 위해 약 $2.4 F^2$ 의 셀 면적을 갖게 된다.

따라서, 본 발명의 실시예에 따른 비휘발성 메모리 소자의 단위 비트의 데이터를 처리하기 위한 셀 면적은 종래 트랜지스터를 스위칭 소자로 이용한 노어 플래시 메모리 소자의 MLC 동작 방식의 $4.8 F^2$ 보다 작다. 그러므로, 본 발명의 실시예에 따른 비휘발성 메모리 소자를 이용하면 종래 보다 데이터 처리량이 높아질 수 있다.

발명의 특정 실시예들에 대한 이상의 설명은 예시 및 설명을 목적으로 제공되었다. 본 발명은 상기 실시예들에 한정되지 않으며, 본 발명의 기술적 사상 내에서 해당 분야에서 통상의 지식을 가진 자에 의하여 상기 실시예들을 조합하여 실시하는 등 여러 가지 많은 수정 및 변경이 가능함은 명백하다.

발명의 효과

본 발명에 따른 하이브리드 타입의 비휘발성 메모리 소자는 종래의 트랜지스터를 이용한 비휘발성 메모리 소자 또는 다이오드를 이용한 비휘발성 메모리 소자보다 단위 비트의 데이터의 처리를 위한 셀 면적을 낮출 수 있다. 즉, 추가적인 평면적인 집적도의 증가 없이, 데이터 처리량이 높아질 수 있다.

또한, 본 발명에 따른 하이브리드 타입의 비휘발성 메모리 소자는 멀티 레벨 동작을 구현할 수 있다. 따라서, 단위 비트의 데이터 처리를 위한 셀 면적을 더욱 낮출 수 있다. 따라서, 본 발명에 따른 하이브리드 타입의 비휘발성 메모리 소자를 이용하면, 고용량의 데이터가 처리될 수 있다.

도면의 간단한 설명

도 1은 종래 다이오드를 스위칭 소자로 이용한 비휘발성 메모리 소자의 회로도이고;

도 2는 도 1의 비휘발성 메모리 소자의 구조를 보여주는 평면도이고;

도 3은 본 발명의 일 실시예에 따른 비휘발성 메모리 소자의 회로도이고;

도 4는 본 발명의 다른 실시예에 따른 비휘발성 메모리 소자의 회로도이고;

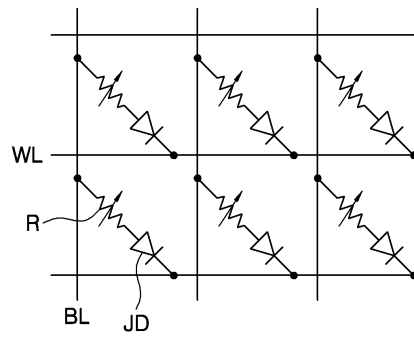
도 5는 도 4의 비휘발성 메모리 소자의 구조를 보여주는 평면도이고;

도 6은 도 5의 비휘발성 메모리 소자의 VI-VI'선에서 절취한 단면도이고; 그리고

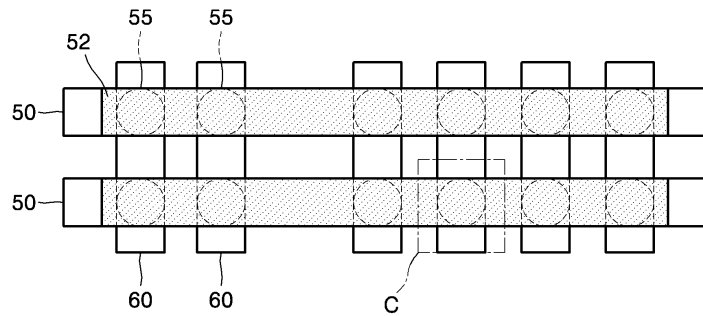
도 7은 도 5의 비휘발성 메모리 소자의 VII-VII'선에서 절취한 단면도이다.

도면

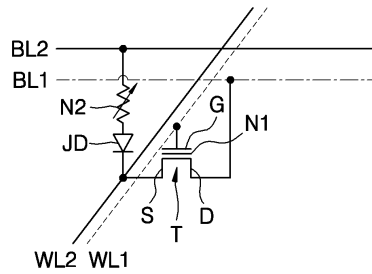
도면1



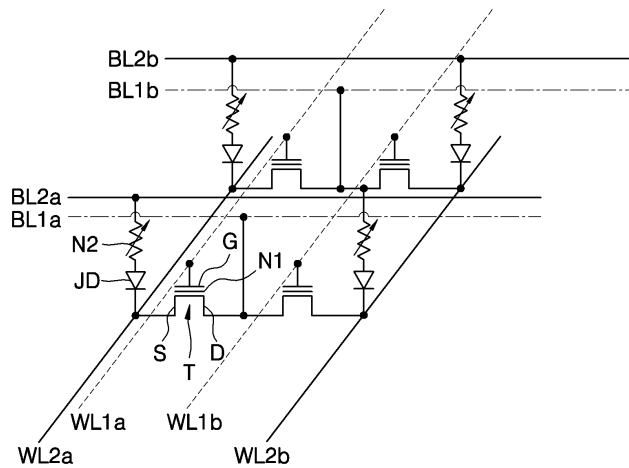
도면2



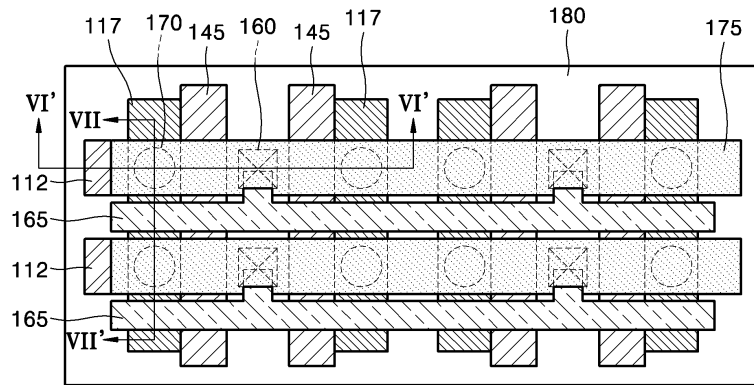
도면3



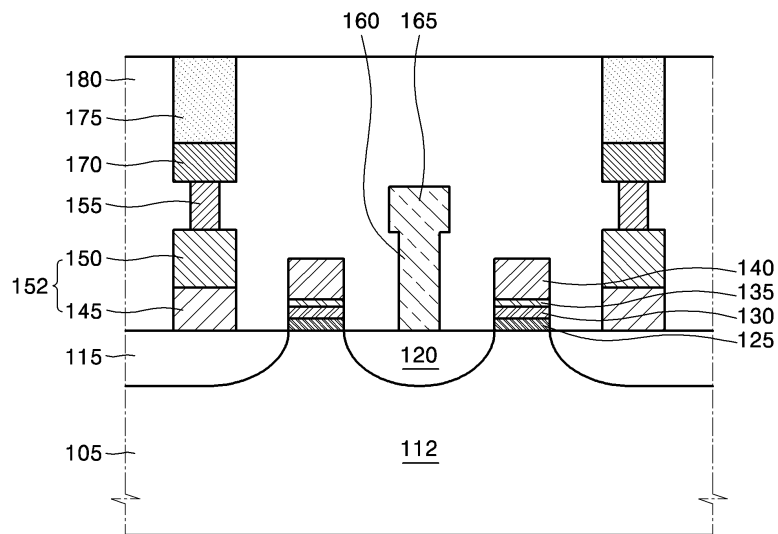
도면4



도면5



도면6



도면7

