

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5435763号
(P5435763)

(45) 発行日 平成26年3月5日 (2014.3.5)

(24) 登録日 平成25年12月20日 (2013.12.20)

(51) Int. Cl.

F I

GO 6 F 12/16 (2006.01)
 GO 6 F 12/00 (2006.01)
 GO 6 F 3/06 (2006.01)
 GO 6 F 13/10 (2006.01)

GO 6 F 12/16 3 4 O Q
 GO 6 F 12/16 3 4 O P
 GO 6 F 12/00 5 9 7 U
 GO 6 F 3/06 3 O 1 F
 GO 6 F 13/10 3 4 O

請求項の数 21 (全 55 頁)

(21) 出願番号 特願2012-502319 (P2012-502319)
 (86) (22) 出願日 平成22年3月27日 (2010.3.27)
 (65) 公表番号 特表2012-522292 (P2012-522292A)
 (43) 公表日 平成24年9月20日 (2012.9.20)
 (86) 国際出願番号 PCT/US2010/028981
 (87) 国際公開番号 W02010/111694
 (87) 国際公開日 平成22年9月30日 (2010.9.30)
 審査請求日 平成25年3月21日 (2013.3.21)
 (31) 優先権主張番号 12/413,307
 (32) 優先日 平成21年3月27日 (2009.3.27)
 (33) 優先権主張国 米国 (US)
 (31) 優先権主張番号 12/413,312
 (32) 優先日 平成21年3月27日 (2009.3.27)
 (33) 優先権主張国 米国 (US)

(73) 特許権者 508243639
 エルエスアイ コーポレーション
 アメリカ合衆国 9 5 1 3 1 カリフォル
 ニア, サン ホセ, リッター パーク ド
 ライヴ 1 3 2 0
 (74) 代理人 100104411
 弁理士 矢口 太郎
 (72) 発明者 ステンフォート、ロス
 アメリカ合衆国、9 4 0 2 4 カリフォル
 ニア州、ロス アルトス、7 2 2 プレン
 トウッド プレイス

審査官 桜井 茂行

最終頁に続く

(54) 【発明の名称】 記憶装置システムの論理ブロックアドレス割り当て解除管理およびデータハードニング

(57) 【特許請求の範囲】

【請求項 1】

方法であって、

第 1 のプロトコルに関連付けられた第 1 のフォーマット形式で論理ブロックアドレス割り当て解除情報を受信する工程と、

前記第 1 のフォーマット形式の前記論理ブロックアドレス割り当て解除情報を、第 2 のプロトコルに関連付けられた第 2 のフォーマット形式に変換する工程と、

前記論理ブロックアドレス割り当て解除情報に関連付けられたユーザーデータまたは保護データのうちの 1 つを独立して割り当て解除できるかどうかを決定する工程と

を有する方法。

【請求項 2】

請求項 1 記載の方法において、前記第 1 のプロトコルはスモール・コンピュータ・システム・インターフェース (S C S I) プロトコルを含み、前記第 2 のプロトコルは A T A タッチメント (A T A) プロトコルを含むものである方法。

【請求項 3】

請求項 1 記載の方法において、前記第 1 のプロトコルは A T A プロトコルを含み、前記第 2 のプロトコルは S C S I プロトコルを含むものである方法。

【請求項 4】

請求項 1 記載の方法において、前記論理ブロックアドレス割り当て解除情報は、割り当て解除コマンドを含むものである方法。

【請求項 5】

請求項 4 記載の方法において、前記割り当て解除コマンドは、ユーザーデータおよび保護情報のうちの少なくとも 1 つを解除するコマンドを含むものである方法。

【請求項 6】

請求項 1 記載の方法において、前記論理ブロックアドレス割り当て解除情報は、割り当て解除ステータスを含むものである方法。

【請求項 7】

請求項 1 記載の方法において、さらに、

前記論理ブロックアドレス割り当て解除情報に関連付けられた前記ユーザーデータまたは前記保護データのうちの 1 つを独立して割り当て解除できることが決定された場合、前記ユーザーデータまたは前記保護データのうちの 1 つの割り当てを独立して解除する工程を有するものである方法。

10

【請求項 8】

方法であって、

第 1 のプロトコルに関連付けられた第 1 のフォーマット形式で論理ブロックアドレス割り当て解除情報を受信する工程と、

前記第 1 のフォーマット形式の前記論理ブロックアドレス割り当て解除情報を、第 2 のプロトコルに関連付けられた第 2 のフォーマット形式に変換する工程と、

を有し、

前記第 1 のフォーマット形式の前記論理ブロックアドレス割り当て解除情報を前記第 2 のフォーマット形式に変換する工程は、SCSI UNMAP コマンドを ATA Data Set Management コマンドに変換する工程を含むものである

20

方法。

【請求項 9】

請求項 8 記載の方法において、さらに、

前記第 1 のプロトコルに関連付けられた前記第 1 のフォーマット形式で電源喪失情報を受信する工程を有するものである方法。

【請求項 10】

請求項 9 記載の方法において、さらに、

前記第 1 のフォーマット形式の前記電源喪失情報を、前記第 2 のプロトコルに関連付けられた前記第 2 のフォーマット形式に変換する工程を有するものである方法。

30

【請求項 11】

請求項 10 記載の方法において、前記第 1 のフォーマット形式の前記電源喪失情報を前記第 2 のフォーマット形式に変換する工程は、電源喪失プリミティブまたは電源喪失コマンドのうちの 1 つを、データをハードニングするプリミティブまたはコマンドのうちの 1 つに変換する工程を含むものである方法。

【請求項 12】

請求項 8 記載の方法において、さらに、

前記第 1 のプロトコルに関連付けられた前記第 1 のフォーマット形式で一定パターンのデータを書き込むコマンドを受信する工程を有するものである方法。

40

【請求項 13】

請求項 12 記載の方法において、さらに、

前記第 1 のフォーマット形式で一定パターンのデータを書き込むコマンドを、前記第 2 のプロトコルに関連付けられた前記第 2 のフォーマット形式で当該データを書き込むコマンドに変換する工程を有するものである方法。

【請求項 14】

方法であって、

第 1 のプロトコルに関連付けられた第 1 のフォーマット形式で論理ブロックアドレス割り当て解除情報を受信する工程と、

前記第 1 のフォーマット形式の前記論理ブロックアドレス割り当て解除情報を、第 2 の

50

プロトコルに関連付けられた第2のフォーマット形式に変換する工程と、

前記第1のプロトコルに関連付けられた前記第1のフォーマット形式で電源喪失情報を受信する工程と、

前記第1のフォーマット形式の前記電源喪失情報を、前記第2のプロトコルに関連付けられた前記第2のフォーマット形式に変換する工程と

を有し、

前記第1のフォーマット形式の前記電源喪失情報を前記第2のフォーマット形式に変換する工程は、SCSI電源喪失プリミティブをATA Flush Cacheコマンドに変換する工程を含むものである

方法。

10

【請求項15】

方法であって、

第1のプロトコルに関連付けられた第1のフォーマット形式で論理ブロックアドレス割り当て解除情報を受信する工程と、

前記第1のフォーマット形式の前記論理ブロックアドレス割り当て解除情報を、第2のプロトコルに関連付けられた第2のフォーマット形式に変換する工程と、

前記第1のプロトコルに関連付けられた前記第1のフォーマット形式で一定パターンのデータを書き込むコマンドを受信する工程と

前記第1のフォーマット形式で一定パターンのデータを書き込むコマンドを、前記第2のプロトコルに関連付けられた前記第2のフォーマット形式で当該データを書き込むコマンドに変換する工程と

20

を有し、

前記一定パターンのデータを書き込むコマンドは、WRITE SAMEコマンドまたはFORMATコマンドのうちの1つを含むものである

方法。

【請求項16】

請求項15記載の方法において、ユーザーデータまたは保護データの少なくとも1つは、前記変換された一定パターンのデータを書き込むコマンドに基づいて割り当て解除されるものである方法。

【請求項17】

30

方法であって、

第1のプロトコルに関連付けられた第1のフォーマット形式で論理ブロックアドレス割り当て解除情報を受信する工程と、

前記第1のフォーマット形式の前記論理ブロックアドレス割り当て解除情報を、第2のプロトコルに関連付けられた第2のフォーマット形式に変換する工程と

を有し、

前記第1のフォーマット形式の前記論理ブロックアドレス割り当て解除情報を前記第2のフォーマット形式に変換する工程は、SATA論理ブロックアドレス・ブロックアライメントをSCSI論理ブロックアドレス・ブロックアライメントに変換する工程を含むものである

40

方法。

【請求項18】

コンピュータシステムにより実行されるコンピュータソフトウェアプログラムであって、コンピュータ可読媒体に格納された以下の：

当該コンピュータシステムに第1のプロトコルに関連付けられた第1のフォーマット形式で論理ブロックアドレス割り当て解除情報を受信させるコンピュータコードと、

当該コンピュータシステムに前記第1のフォーマット形式の前記論理ブロックアドレス割り当て解除情報を第2のプロトコルに関連付けられた第2のフォーマット形式に変換させるコンピュータコードと

を有し、

50

前記第 1 のフォーマット形式の前記論理ブロックアドレス割り当て解除情報を前記第 2 のフォーマット形式に変換させるコードは、SCSI UNMAP コマンドを ATA Data Set Management コマンドに変換させるコードを含むものであるコンピュータソフトウェアプログラム。

【請求項 19】

請求項 18 記載のコンピュータソフトウェアプログラムにおいて、さらに、当該コンピュータシステムに第 1 のプロトコルに関連付けられた第 1 のフォーマット形式で電源喪失情報を受信させるコンピュータコードと、

当該コンピュータシステムに前記第 1 のフォーマット形式の前記電源喪失情報を第 2 のプロトコルに関連付けられた第 2 のフォーマット形式に変換させるコンピュータコードとを有し、

前記第 1 のフォーマット形式の前記電源喪失情報を前記第 2 のフォーマット形式に変換させるコードは、電源喪失プリミティブまたは電源喪失コマンドのうちの 1 つを、データをハードニングするプリミティブまたはコマンドのうちの 1 つに変換させるコードを含むものであるコンピュータソフトウェアプログラム。

【請求項 20】

装置であって、

第 1 のプロトコルに関連付けられた第 1 のフォーマット形式で論理ブロックアドレス割り当て解除情報を受信し、前記第 1 のフォーマット形式の前記論理ブロックアドレス割り当て解除情報を第 2 のプロトコルに関連付けられた第 2 のフォーマット形式に変換するブリッジ

を有し、

前記第 1 のフォーマット形式の前記論理ブロックアドレス割り当て解除情報を前記第 2 のフォーマット形式に変換する工程は、SCSI UNMAP コマンドを ATA Data Set Management コマンドに変換する工程を含むものである装置。

装置。

【請求項 21】

請求項 20 記載の装置において、

前記ブリッジは、さらに、第 1 のプロトコルに関連付けられた第 1 のフォーマット形式で電源喪失情報を受信し、前記第 1 のフォーマット形式の前記電源喪失情報を第 2 のプロトコルに関連付けられた第 2 のフォーマット形式に変換するものであり、

前記第 1 のフォーマット形式の前記電源喪失情報を前記第 2 のフォーマット形式に変換する工程は、前記ブリッジが、電源喪失プリミティブまたは電源喪失コマンドのうちの 1 つをデータをハードニングするプリミティブまたはコマンドのうちの 1 つに変換する工程を含むものである装置。

【発明の詳細な説明】

【技術分野】

【0001】

記憶装置（ストレージ）システムの使用においては、その性能、効率、および実用性を改善する進歩が必要とされている。

【背景技術】

【0002】

本明細書で説明する技術および概念は、公知または周知であるとの明示的な断りがない限り、その文脈、定義、または比較に関するものを含め、これまでに公知であり、または先行技術の一部であったと解釈すべきものではない。この明細書で文献を引用する場合、特許、特許出願、および出版物を含むそれら全ての引用文献は、全ての目的について具体的に組み込まれているかどうかにかかわらず、参照によりその全体が本明細書に組み込まれるものとする。

この出願の発明に関連する先行技術文献情報としては、以下のものがある（国際出願日以降国際段階で引用された文献及び他国に国内移行した際に引用された文献を含む）。

10

20

30

40

50

【先行技術文献】

【特許文献】

【発明の概要】

【課題を解決するための手段】

【0003】

【特許文献1】	米国特許第5386552号明細書	
【特許文献2】	米国特許第5485595号明細書	
【特許文献3】	米国特許第5519831号明細書	
【特許文献4】	米国特許第5544356号明細書	
【特許文献5】	米国特許第5568423号明細書	10
【特許文献6】	米国特許第5568626号明細書	
【特許文献7】	米国特許第5621687号明細書	
【特許文献8】	米国特許第5675816号明細書	
【特許文献9】	米国特許第5819307号明細書	
【特許文献10】	米国特許第5835935号明細書	
【特許文献11】	米国特許第5881229号明細書	
【特許文献12】	米国特許第5937434号明細書	
【特許文献13】	米国特許第5956473号明細書	
【特許文献14】	米国特許第5963970号明細書	
【特許文献15】	米国特許第6000006号明細書	20
【特許文献16】	米国特許第6154808号明細書	
【特許文献17】	米国特許第6173360号明細書	
【特許文献18】	米国特許第6230233号明細書	
【特許文献19】	米国特許第6405295号明細書	
【特許文献20】	米国特許第6446183号明細書	
【特許文献21】	米国特許第6539453号明細書	
【特許文献22】	米国特許第6694402号明細書	
【特許文献23】	米国特許第6732221号明細書	
【特許文献24】	米国特許第6831865号明細書	
【特許文献25】	米国特許第6914853号明細書	30
【特許文献26】	米国特許第6925523号明細書	
【特許文献27】	米国特許第6948026号明細書	
【特許文献28】	米国特許第6973531号明細書	
【特許文献29】	米国特許第6985992号明細書	
【特許文献30】	米国特許第7000063号明細書	
【特許文献31】	米国特許第7032087号明細書	
【特許文献32】	米国特許第7035967号明細書	
【特許文献33】	米国特許第7076605号明細書	
【特許文献34】	米国特許第7096313号明細書	
【特許文献35】	米国特許第7103732号明細書	40
【特許文献36】	米国特許第7120729号明細書	
【特許文献37】	米国特許第7395384号明細書	
【特許文献38】	米国特許第7552306号明細書	
【特許文献39】	米国特許第7681008号明細書	
【特許文献40】	米国特許第7689762号明細書	
【特許文献41】	米国特許第7711897号明細書	
【特許文献42】	米国特許第7752412号明細書	
【特許文献43】	米国特許出願公開第2004/0081179号明細書	
【特許文献44】	米国特許出願公開第2005/0102323号明細書	
【特許文献45】	米国特許出願公開第2006/0004935号明細書	50

【特許文献 4 6】	米国特許出願公開第 2 0 0 6 / 0 0 2 0 7 4 4 号明細書	
【特許文献 4 7】	米国特許出願公開第 2 0 0 6 / 0 0 2 0 7 4 5 号明細書	
【特許文献 4 8】	米国特許出願公開第 2 0 0 7 / 0 0 0 5 8 1 5 号明細書	
【特許文献 4 9】	米国特許出願公開第 2 0 0 7 / 0 0 3 0 7 3 4 号明細書	
【特許文献 5 0】	米国特許出願公開第 2 0 0 7 / 0 2 3 4 1 1 7 号明細書	
【特許文献 5 1】	米国特許出願公開第 2 0 0 8 / 0 0 8 2 7 4 1 号明細書	
【特許文献 5 2】	米国特許出願公開第 2 0 0 8 / 0 0 8 2 7 7 3 号明細書	
【特許文献 5 3】	米国特許出願公開第 2 0 0 8 / 0 0 8 2 7 7 4 号明細書	
【特許文献 5 4】	米国特許出願公開第 2 0 0 8 / 0 0 9 1 8 9 8 号明細書	
【特許文献 5 5】	米国特許出願公開第 2 0 0 8 / 0 1 5 5 1 4 5 号明細書	10
【特許文献 5 6】	米国特許出願公開第 2 0 0 8 / 0 1 5 5 1 6 2 号明細書	
【特許文献 5 7】	米国特許出願公開第 2 0 0 8 / 0 1 5 5 1 6 3 号明細書	
【特許文献 5 8】	米国特許出願公開第 2 0 0 8 / 0 1 5 5 5 6 2 号明細書	
【特許文献 5 9】	米国特許出願公開第 2 0 0 8 / 0 2 1 5 9 2 6 号明細書	
【特許文献 6 0】	米国特許出願公開第 2 0 0 8 / 0 2 2 9 0 4 5 号明細書	
【特許文献 6 1】	米国特許出願公開第 2 0 0 8 / 0 3 0 7 1 5 5 号明細書	
【特許文献 6 2】	米国特許出願公開第 2 0 0 9 / 0 0 7 7 3 1 5 号明細書	
【特許文献 6 3】	米国特許出願公開第 2 0 0 9 / 0 3 1 3 4 1 1 号明細書	
【特許文献 6 4】	米国特許出願公開第 2 0 0 9 / 0 3 1 3 4 4 3 号明細書	
【特許文献 6 5】	米国特許出願公開第 2 0 0 9 / 0 3 1 3 5 2 7 号明細書	20
【特許文献 6 6】	米国特許出願公開第 2 0 1 0 / 0 0 5 8 0 2 1 号明細書	
【特許文献 6 7】	米国特許出願公開第 2 0 1 0 / 0 2 5 0 8 2 9 号明細書	
【特許文献 6 8】	米国特許出願公開第 2 0 1 0 / 0 2 5 0 8 3 0 号明細書	
【特許文献 6 9】	米国特許出願公開第 2 0 1 1 / 0 0 0 4 7 1 0 号明細書	
【特許文献 7 0】	米国特許出願公開第 2 0 1 1 / 0 0 0 4 7 1 8 号明細書	
【特許文献 7 1】	国際公開第 2 0 1 0 / 1 1 1 6 9 4	
【特許文献 7 2】	国際公開第 2 0 1 1 / 0 0 3 0 5 0	

【発明の概要】

【課題を解決するための手段】

【図面の簡単な説明】

30

【0 0 0 4】

本発明は、多数の方法で実施でき、工程、製造品、機器、システム、組成物、その他コンピュータ可読記憶媒体などのコンピュータ可読媒体（例えば、ディスクなどの光および/または磁気による大容量記憶装置における媒体、あるいはフラッシュ記憶装置などの不揮発性記憶装置を有する集積回路）、あるいは光通信リンクまたは電子通信リンク経由でプログラム命令が送信されるコンピュータネットワークなどとして実施可能である。本明細書では、これらの実施態様、または本発明が取りうる他のいかなる形態も、技術と呼ぶことができる。以降の詳細な説明では、上記で特定した分野において性能、効率、および実用性の改善を可能にする本発明の 1 若しくはそれ以上の実施形態について解説している。本発明の詳細な説明の項には、この項の他の部分に関する理解を促すため、序論を含め

40

【図面の簡単な説明】

【発明を実施するための形態】

【0 0 0 5】

【図 1】

図 1 は、記憶装置システム論理ブロックアドレス割り当て解除管理およびデータハードニングを提供するシステムの一実施形態の詳細を一部選んで例示した図である。

50

【図 2】

図 2 は、記憶装置システム論理ブロックアドレス割り当て解除管理およびデータハードニングを提供する別のシステムの一実施形態について詳細を一部選んで例示した図である。

【図 3 A】

図 3 A は、第 1 のフォーマット形式による論理ブロックアドレス (L B A) 割り当て解除情報を、第 2 のフォーマット形式に変換する実施形態の詳細を一部選んで例示した図である。

【図 3 B】

図 3 B は、スモール・コンピュータ・システム・インターフェース (S C S I) フォーマット形式による L B A 割り当て解除情報を、アドバンスド・テクノロジー・アタッチメント (A T A) フォーマット形式に変換する実施形態の詳細を一部選んで例示した図である。

10

【図 4 A】

図 4 A は、L B A 割り当て解除ステータス情報を送信する実施形態の詳細を一部選んで例示した図である。

【図 4 B】

図 4 B は、L B A 割り当て解除ステータス情報を送信する別の実施形態の詳細を一部選んで例示した図である。

【図 5 A】

図 5 A は、ソリッドステートディスク (S S D) に格納されたデータをハードニングする実施形態の詳細を一部選んで例示した図である。

20

【図 5 B】

図 5 B は、S S D に格納されたデータをハードニングする別の実施形態の詳細を一部選んで例示した図である。

【図 5 C】

図 5 C は、S S D のスーパーキャパシタまたは電池をテストする実施形態の詳細を一部選んで例示した図である。

【図 6】

図 6 は、ユーザーデータおよび保護データを格納する L B A セクターの全部または任意部分の実施形態の詳細を一部選んで例示した図である。

30

【図 7】

図 7 は、別の実施形態に基づいて L B A 割り当て解除ステータス情報を送信する実施形態の詳細を一部選んで例示したものである。

【図 8 A】

図 8 A は、マッピングを使って不揮発性メモリにアクセスしこれを制御する S S D コントローラを含んだ S S D の実施形態の詳細を一部選んで例示した図である。

【図 8 B】

図 8 B は、図 8 A の S S D を含むシステムの一実施形態の詳細を一部選んで例示した図である。

40

【図 8 C】

図 8 C は、図 8 A の S S D を含むシステムの一実施形態の詳細を一部選んで例示した図である。

【図 9】

図 9 は例示的なシステムを例示した図で、このシステムには、上記の各種実施形態の各種アーキテクチャおよび / または機能性が実装されている。

【発明を実施するための形態】**【 0 0 0 6 】**

以下では、本発明の 1 若しくはそれ以上の実施形態について、本発明の詳細を一部選んで例示した添付の図面とともに詳細に説明している。本発明については、実施形態に関連

50

付けて説明する。それらの実施形態は本明細書において単に例示的なものと理解され、本発明は、本明細書の実施形態のいずれか若しくはすべてに明示的に限定されず、多くの代替形態、変更形態、および均等物を包含するものである。説明が単調になるのを避けるため、種々の表現ラベル (word label) (第1の、最後の、特定の (certain)、種々の、さらに別の、他の、特定の (particular)、選択された、一部の、および特筆すべき、を含み、かつこれらに限定されない) を別個の実施形態セットに適用する場合がある。本明細書において、このようなラベルは、明示的に、特質、または嗜好若しくは偏見の何らかの形態を伝えることを目的としたものではなく、単に別個のセットを便宜的に区別するためのものである。開示した工程の操作・動作のいくつかは、本発明の範囲内で順序を変えることができる。工程、方法、および/またはプログラム命令の特徴の変形形態を複数の実施形態で説明している場合は、所定の、または動的に決定される基準に基づいて、それぞれ複数の実施形態に対応した複数の操作・動作モードから静的および/または動的に選択される1つを実施する他の実施形態も考えられる。以下の説明では、本発明が完全に理解されるよう具体的な詳細事項を多数記載する。これらの詳細事項は例示目的で提供するものであり、本発明は、これら具体的な詳細事項の一部または全部がなくとも、添付の請求項に従って実施可能である。明瞭性のため、本発明を不要に曖昧にしないよう、本発明に関する技術分野で公知の技術的事項は詳述していない。

10

序論

本序論は、以降の詳細な説明をより短時間で理解できるよう含めたものである。いかなる序論も必然的に当該主題全体を概説するものであり、完全または限定的な説明を意図したものではないため、本発明は本序論に示す概念 (明示的な例がある場合はそれを含む) に限定されるものではない。例えば、以下では、本明細書の紙面および構成の制限上、特定の実施形態だけに関する概要を提供している。本明細書の残りの部分では、最終的に請求項と整合するものも含め、他の実施形態を多数説明している。

20

【0007】

頭字語

本明細書の他の部分では、特定の要素を指す種々の略称または頭字語が使用されている。これら頭字語の少なくとも一部を以下に説明する。

【0008】

【表 1】

頭字語	説明
ASCII	情報交換用米国標準コード (American Standard Code for Information Interchange)
ATA	アドバンスド・テクノロジー・アタッチメント (Advanced Technology Attachment)
CD	コンパクトディスク (Compact Disk)
CF	コンパクトフラッシュ (Compact Flash)
CMOS	相補型金属酸化膜半導体 (Complementary Metal Oxide Semiconductor)
CPU	中央処理装置 (Central Processing Unit)
DDR	ダブルデータレート (Double-Data-Rate)
DMA	直接メモリアクセス (Direct Memory Access)
DVD	デジタル多用途ディスク (Digital Versatile/Video Disk)
ESD	エネルギー貯蔵装置 (Energy Storage Device)
ECC	誤り訂正符号 (Error-Correcting Code)
eSATA	外部シリアルATA (external Serial Advanced Technology Attachment)
HDD	ハードディスクドライブ (Hard Disk Drive)
IC	集積回路 (Integrated Circuit)
IDE	統合ドライブエレクトロニクス (Integrated Drive Electronics)
LBA	論理ブロックアドレス (Logical Block Address)
LPN	論理ページ番号 (Logical Page Number)
MLC	マルチレベルセル (Multi-Level Cell)
MMC	マルチメディアカード (MultiMediaCard)
NCQ	ネイティブ・コマンド・キューイング (Native Command Queuing)
ONFI	NAND型フラッシュメモリのインターフェース規格 (Open NAND Flash Interface)
PC	パーソナルコンピュータ (Personal Computer)
PCIe	周辺機器相互接続エクスプレス (PCI Express Peripheral Component Interconnect express)
PDA	携帯情報端末 (Personal Digital Assistant)
RAID	小型ディスク冗長アレイ (Redundant Array of Inexpensive/Independent Disks)
SAS	シリアル・アタッチド・スモール・コンピュータ・システム・インターフェース (シリアルSCSI, Serial Attached Small Computer System Interface)
SAT	SCSI-ATA変換。SCSI ATA Translationの略。
SATA	シリアル・アドバンスド・テクノロジー・アタッチメント (シリアルATA, Serial Advanced Technology Attachment)
SBC-3	SCSIブロックコマンド-3 (SCSI Block Commands - 3)
SCSI	スモール・コンピュータ・システム・インターフェース (Small Computer System Interface)
SD	セキュアデジタル (Secure Digital)
SLC	シングルレベルセル (Single-Level Cell)
SMART	自己監視、分析、およびレポート技術 (Self-Monitoring Analysis and Reporting Technology)
SSD	ソリッドステートディスクまたはソリッドステートドライブ (Solid-State Disk/Drive)
USB	ユニバーサルシリアルバス (Universal Serial Bus)
VPD	重要プロダクトデータ (Vital Product Data)

【 0 0 0 9 】

一部のSSDは、一部のHDDと異なる態様でデータを格納する。例えば、一部のHDDでは各LBAスペースに物理的セクターが割り当てられ、その（割り当てられた）物理的セクターとLBAとの間のマッピングは固定されたままとなる。概念的に、HDDにおけるLBAの物理的位置は移動しない。ただし、一部のSSDでは、各LBA用に物理的スペースが（事前に）割り当てられない。また、一部のSSDでは、データ損失を避けるため、格納されたデータを1つの位置から別の位置へ定期的に移動させる操作が行われる。このデータ移動の結果、性能が低下し、SSDに付加的な損耗が生じる場合もある。この問題を軽減および/または回避するため、オペレーティングシステムは、これらのLBAに含まれるデータがもはや有効ではなくなったときに、SSD上のLBAを「解放」することが望ましい。さらに、一部のSSDはスーパーキャパシタまたは電池を有しており、電力が予期せず失われた場合のデータ損失を防ぐため、SSD内の全揮発性データを不揮発性フラッシュメモリに吐き出せる電力を提供している。一部のスーパーキャパシタおよび電池は比較的成本高で、比較的障害が生じやすい。

【 0 0 1 0 】

10

20

30

40

50

記憶装置システムのＬＢＡ割り当て解除管理およびデータハードニングを行うと、当該システムの使用に関する性能、効率、および実用性が改善される。選択的に、（例えば、第１のプロトコルに関連付けられた）第１のフォーマット形式のＬＢＡ割り当て解除情報は、（例えば、第２のプロトコルに関連付けられた）第２のフォーマット形式に変換される。前記第１のプロトコルの一例はＳＣＳＩプロトコルであり、前記第２のプロトコルの一例はＡＴＡプロトコルである。選択的にＬＢＡ割り当て解除ステータス情報はＳＳＤなどの記憶装置により決定され、イニシエータ、エクスパンダ、またはブリッジなど別の装置に通信される。選択的にＳＳＤに格納されたデータは、例えばＳＳＤの電源がオフになるという決定にตอบสนองしてハードニングされる。このハードニングは、スーパーキャパシタまたは電池などのエネルギー貯蔵要素から供給される電力により行われる。

10

【００１１】

一部のＳＳＤタイプでは、フラッシュメモリを使って不揮発性記憶装置を提供する（例えば、フラッシュメモリが電力なしで情報を保持する）。一部のＳＳＤは、ＨＤＤ、ＣＤドライブ、およびＤＶＤ駆動など磁気および／または光による不揮発性記憶装置に使用されるフォームファクタ、電氣的インターフェース、および／またはプロトコルと互換性がある。一部のＳＳＤは、内蔵ＳＳＤコントローラのホストインターフェースにより、コンピューティングホストへの連結に対応している。一部のＳＳＤコントローラは、１若しくはそれ以上の内蔵フラッシュメモリインターフェースにより、フラッシュメモリへの連結に対応している。

【００１２】

20

種々の実施形態によれば、前記ホストインターフェースは、ＵＳＢインターフェース規格、ＣＦインターフェース規格、ＭＭＣインターフェース規格、ＳＤインターフェース規格、メモリスティック・インターフェース規格、ｘＤピクチャーカードインターフェース規格、ＩＤＥインターフェース規格、ＳＡＴＡインターフェース規格、ＳＣＳＩインターフェース規格、ＳＡＳインターフェース規格、およびＰＣＩｅインターフェース規格のうち１若しくはそれ以上と互換性がある。種々の実施形態によれば、前記コンピューティングホストは、コンピュータ、ワークステーション・コンピュータ、サーバー・コンピュータ、ストレージ・サーバー、ＰＣ、ラップトップ・コンピュータ、ノートブック・コンピュータ、ネットブック・コンピュータ、ＰＤＡ、メディアプレーヤー、メディアレコーダー、デジタルカメラ、携帯電話ハンドセット、コードレスホン・ハンドセット、および電子ゲームの全部または任意部分である。一部の実施形態では、インターフェースを実装したホスト（例えば、ＳＡＳ／ＳＡＴＡブリッジまたはＳＣＳＩエクスパンダ）がコンピューティングホストとして動作する。

30

【００１３】

実施形態の例

詳細な説明の序論の結びとして、以下では、少なくとも「ＥＣ」（Ｅｘ ａ ｍ ｐ ｌ ｅ Ｃ ｏ ｍ ｂ ｉ ｎ ａ ｔ ｉ ｏ ｎ。組み合わせ例）として明示的に列挙されたいくつかを含む実施形態例集を示し、本明細書で説明する概念に係る種々の実施形態タイプについてさらに説明する。これらの例は、相互に排他的、完全、または限定的であることを意図したものではなく、本発明は、これらの実施形態例に限定されず、特許請求の範囲内で考えられる変更（修正）形態および変形形態をすべて包含するものである。

40

【００１４】

ＥＣ１）システムであって、

第１のストレージプロトコルコマンドを受信する第１のＩ／Ｏインターフェースと、
第２のストレージプロトコルコマンドを出力する第２のＩ／Ｏインターフェースと、
前記受信された第１のストレージプロトコルコマンドの少なくとも一部を前記第２のストレージプロトコルコマンドに変換する変換ユニットと
を有し、

前記第１のストレージプロトコルコマンドの第１のストレージプロトコル割り当て解除コマンドは、前記第１のインターフェースにより第１のフォーマット形式で受信され、且

50

つ変換されて、前記第2のストレージプロトコルコマンドの第2のストレージプロトコル割り当て解除コマンドとして、前記第2のフォーマット形式で出力されるものであるシステム。

【0015】

EC2) EC1記載のシステムにおいて、前記割り当て解除コマンドは、少なくとも1つの論理ブロックアドレスを有する論理ブロック割り当て解除コマンドであるシステム。

【0016】

EC3) EC1記載のシステムにおいて、さらに、

前記第2のストレージプロトコルコマンドに応答する大容量記憶装置を有するものであるシステム。

10

【0017】

EC4) EC3記載のシステムにおいて、前記割り当て解除コマンドは、ユーザーデータおよび保護データのうちの1つから選択された少なくとも1つの論理ブロックアドレスについて割り当て解除を要求し、前記大容量記憶装置は、前記ユーザーデータおよび前記保護データを独立的に割り当て解除できる場合、前記要求を条件付きで実行するものであるシステム。

【0018】

EC5) EC3記載のシステムにおいて、さらに、

前記第1のストレージプロトコルコマンドのイニシエータを有するものであるシステム

20

【0019】

EC6) EC5記載のシステムにおいて、さらに、

エクспанダを有するものであるシステム。

【0020】

EC7) EC1記載のシステムにおいて、前記第1のI/Oインターフェース、前記第2のI/Oインターフェース、および前記変換ユニットは、一体化されたアセンブリとして実装されるものであるシステム。

【0021】

EC8) EC7記載のシステムにおいて、前記一体化されたアセンブリは、前記第1のストレージプロトコルコマンドを生成するイニシエータユニットに連結されるブリッジユニットであり、当該ブリッジユニットは、さらに、前記第2のストレージプロトコルコマンドに応答する大容量記憶装置ユニットに連結されるものであるシステム。

30

【0022】

EC9) EC8記載のシステムにおいて、前記ブリッジユニットの前記第1のI/Oインターフェースで受信された電力に関する情報の少なくとも1つのインスタンスに応答して、前記ブリッジユニットの前記第2のI/Oインターフェースは電力に関するコマンドを出力し、当該電力に関するコマンドに対する前記大容量記憶装置ユニットの応答は、データのハードニングを有するものであるシステム。

【0023】

EC10) EC9記載のシステムにおいて、前記大容量記憶装置ユニットは、フラッシュメモリを使って実装されるものであるシステム。

40

【0024】

EC11) EC9記載のシステムにおいて、前記大容量記憶装置ユニットは、ソリッドステートドライブであるシステム。

【0025】

EC12) EC1記載のシステムにおいて、前記第1のストレージプロトコルはSCSIプロトコルと互換性があり、前記第2のストレージプロトコルはATAプロトコルと互換性があるものであるシステム。

【0026】

EC13) EC12記載のシステムにおいて、前記第1のストレージプロトコル割り当

50

て解除コマンドは S C S I U N M A P コマンドであり、前記第 2 のストレージプロトコル割り当て解除コマンドは A T A D a t a S e t M a n a g e m e n t コマンドであるシステム。

【 0 0 2 7 】

E C 1 4) E C 1 2 記載のシステムにおいて、前記第 1 のストレージプロトコル割り当て解除コマンドは、一定パターンのデータを書き込むコマンドであるシステム。

【 0 0 2 8 】

E C 1 5) E C 1 4 記載のシステムにおいて、前記一定パターンのデータを書き込むコマンドは、W R I T E S A M E コマンドおよび F O R M A T コマンドから選択される 1 つであるシステム。

【 0 0 2 9 】

E C 1 6) E C 1 4 記載のシステムにおいて、前記一定パターンのデータは、所定の基準に基づくものであるシステム。

【 0 0 3 0 】

E C 1 7) E C 1 記載のシステムにおいて、前記第 1 のストレージプロトコルは S A S プロトコルと互換性があり、前記第 2 のストレージプロトコルは S A T A プロトコルと互換性があるものであるシステム。

【 0 0 3 1 】

E C 1 8) E C 3 記載のシステムにおいて、前記大容量記憶装置は、フラッシュメモリを使って実装されるものであるシステム。

【 0 0 3 2 】

E C 1 9) E C 3 記載のシステムにおいて、前記大容量記憶装置は、ソリッドステートドライブであるシステム。

【 0 0 3 3 】

E C 2 0) E C 3 記載のシステムにおいて、前記第 1 の I / O インターフェース、前記第 2 の I / O インターフェース、前記変換ユニット、および前記大容量記憶装置は、一体化されたアセンブリとして実装されるものであるシステム。

【 0 0 3 4 】

E C 2 1) E C 2 0 記載のシステムにおいて、前記一体化されたアセンブリは、前記第 1 のストレージプロトコルコマンドを生成するイニシエータユニットに連結されるドライ
ブユニットであるシステム。

【 0 0 3 5 】

E C 2 2) E C 2 1 記載のシステムにおいて、前記大容量記憶装置は、フラッシュメモリを使って実装されるものであるシステム。

【 0 0 3 6 】

E C 2 3) E C 1 記載のシステムにおいて、前記変換ユニットは、少なくとも部分的に専用論理を伴って実装されるものであるシステム。

【 0 0 3 7 】

E C 2 4) E C 1 記載のシステムにおいて、前記変換ユニットは、少なくとも 1 つの専用メモリバッファを有するものであるシステム。

【 0 0 3 8 】

E C 2 5) E C 1 記載のシステムにおいて、前記変換ユニットは、ハードウェア状態機械を有するものであるシステム。

【 0 0 3 9 】

E C 2 6) E C 1 記載のシステムにおいて、前記変換ユニットは、マイクロコード化された状態機械を有するものであるシステム。

【 0 0 4 0 】

E C 2 7) E C 1 記載のシステムにおいて、前記変換ユニットは、埋め込みプロセッサで動作するソフトウェアエージェントを有するものであるシステム。

【 0 0 4 1 】

10

20

30

40

50

ＥＣ２８）方法であって、

第１のＩ／Ｏインターフェースを介して第１のストレージプロトコルコマンドを受信する工程と、

第２のＩ／Ｏインターフェースを介して第２のストレージプロトコルコマンドを出力する工程と、

前記受信された第１のストレージプロトコルコマンドの少なくとも一部を、変換ユニットを介して前記第２のストレージプロトコルコマンドに変換する工程と

を有し、

前記第１のストレージプロトコルコマンドの第１のストレージプロトコル割り当て解除コマンドは、前記第１のインターフェースにより第１のフォーマット形式で受信され、且つ変換されて、前記第２のストレージプロトコルコマンドの第２のストレージプロトコル割り当て解除コマンドとして、前記第２のフォーマット形式で出力される

方法。

【００４２】

ＥＣ２９）ＥＣ２８記載の方法において、前記割り当て解除コマンドは、少なくとも１つの論理ブロックアドレスを有する論理ブロック割り当て解除コマンドである方法。

【００４３】

ＥＣ３０）ＥＣ２８記載の方法において、さらに、

大容量記憶装置が、前記第２のストレージプロトコルコマンドを受信し、当該コマンドに回答する工程を有するものである方法。

【００４４】

ＥＣ３１）ＥＣ３０記載の方法において、さらに、

イニシエータが、前記第１のストレージプロトコルコマンドを生成する工程を有するものである方法。

【００４５】

ＥＣ３２）ＥＣ３１記載の方法において、さらに、

エクспанダが、前記第１のストレージプロトコルコマンドを受信し、前記第１のストレージプロトコルコマンドを前記第１のＩ／Ｏインターフェースに転送する工程を有するものである方法。

【００４６】

ＥＣ３３）ＥＣ２８記載の方法において、前記第１のＩ／Ｏインターフェース、前記第２のＩ／Ｏインターフェース、および前記変換ユニットは、一体化されたアセンブリとして実装されるものである方法。

【００４７】

ＥＣ３４）ＥＣ３３記載の方法において、前記一体化されたアセンブリはブリッジユニットであり、

当該方法は、さらに、

イニシエータユニットにおいて、前記第１のストレージプロトコルコマンドを生成する工程と、

大容量記憶装置ユニットが、前記第２のストレージプロトコルコマンドを受信し、当該コマンドに回答する工程を有するものである方法。

【００４８】

ＥＣ３５）ＥＣ２８記載の方法において、前記第１のストレージプロトコルはＳＣＳＩプロトコルと互換性があり、前記第２のストレージプロトコルはＡＴＡプロトコルと互換性があるものである方法。

【００４９】

ＥＣ３６）ＥＣ３５記載の方法において、前記第１のストレージプロトコル割り当て解除コマンドはＳＣＳＩ　　ＵＮＭＡＰコマンドであり、前記第２のストレージプロトコル割り当て解除コマンドはＡＴＡ　　Ｄａｔａ　　Ｓｅｔ　　Ｍａｎａｇｅｍｅｎｔコマンドである方法。

10

20

30

40

50

【 0 0 5 0 】

EC 37) EC 35 記載の方法において、前記第 1 のストレージプロトコル割り当て解除コマンドは、一定パターンのデータを書き込むコマンドである方法。

【 0 0 5 1 】

EC 38) EC 37 記載の方法において、前記一定パターンのデータを書き込むコマンドは、WRITE SAME コマンドおよび FORMAT コマンドのうちの 1 つから選択されるものである方法。

【 0 0 5 2 】

EC 39) EC 37 記載の方法において、前記一定パターンのデータは、所定の基準に基づくものである方法。

10

【 0 0 5 3 】

EC 40) EC 28 記載の方法において、前記第 1 のストレージプロトコルは SAS プロトコルと互換性があり、前記第 2 のストレージプロトコルは SATA プロトコルと互換性があるものである方法。

【 0 0 5 4 】

EC 41) EC 30 記載の方法において、前記大容量記憶装置は、フラッシュメモリを使って実装されるものである方法。

【 0 0 5 5 】

EC 42) EC 30 記載の方法において、前記大容量記憶装置は、ソリッドステートドライブである方法。

20

【 0 0 5 6 】

EC 43) EC 30 記載の方法において、前記第 1 の I/O インターフェース、前記第 2 の I/O インターフェース、前記変換ユニット、および前記大容量記憶装置は、一体化されたアセンブリとして実装されるものである方法。

【 0 0 5 7 】

EC 44) EC 43 記載の方法において、前記一体化されたアセンブリはドライブユニットであり、

当該方法は、さらに、イニシエータユニットが、前記第 1 のストレージプロトコルコマンドを生成する工程を有するものである方法。

【 0 0 5 8 】

30

EC 45) EC 44 記載の方法において、前記大容量記憶装置は、フラッシュメモリを使って実装されるものである方法。

【 0 0 5 9 】

EC 46) EC 28 記載の方法において、前記変換する工程は、少なくとも部分的に専用論理により実施されるものである方法。

【 0 0 6 0 】

EC 47) EC 28 記載の方法において、前記変換する工程は、少なくとも 1 つの専用メモリバッファを介して実施されるものである方法。

【 0 0 6 1 】

EC 48) EC 28 記載の方法において、前記変換する工程は、ハードウェア状態機械により定義された状態遷移を実行する工程を有するものである方法。

40

【 0 0 6 2 】

EC 49) EC 28 記載の方法において、前記変換する工程は、マイクロコードにより定義された状態遷移を実行する工程を有するものである方法。

【 0 0 6 3 】

EC 50) EC 28 記載の方法において、前記変換する工程は、埋め込みプロセッサでソフトウェアエージェントを実行する工程を有するものである方法。

【 0 0 6 4 】

EC 51) 装置であって、

第 1 のストレージプロトコルコマンドを受信する第 1 の I/O インターフェース手段と

50

、
第2のストレージプロトコルコマンドを出力する第2のI/Oインターフェース手段と

、
前記受信された第1のストレージプロトコルコマンドの少なくとも一部を前記第2のストレージプロトコルコマンドに変換する変換手段と

を有し、

前記変換する工程は、前記第1のストレージプロトコルコマンドの、第1のフォーマット形式による第1のストレージプロトコル割り当て解除コマンドを、前記第2のストレージプロトコルコマンドの、第2のフォーマット形式による第2のストレージプロトコル割り当て解除コマンドに変換する工程を有する

10

装置。

【0065】

EC52) EC51記載の装置において、前記割り当て解除コマンドは、少なくとも1つの論理ブロックアドレスを有する論理ブロック割り当て解除コマンドである装置。

【0066】

EC53) EC51記載の装置において、さらに、

前記第2のストレージプロトコルコマンドを受信し、当該コマンドに応答する大容量記憶手段を有するものである装置。

【0067】

EC54) EC53記載の装置において、さらに、

前記第1のストレージプロトコルコマンドを生成するイニシエータ手段を有するものである装置。

20

【0068】

EC55) EC54記載の装置において、さらに、

前記第1のストレージプロトコルコマンドを受信し、当該第1のストレージプロトコルコマンドを前記第1のI/Oインターフェース手段に転送するエクスパンダ手段を有するものである装置。

【0069】

EC56) EC51記載の装置において、前記第1のI/Oインターフェース手段、前記第2のI/Oインターフェース手段、および前記変換手段は、一体化されたアセンブリとして実装されるものである装置。

30

【0070】

EC57) EC56記載の装置において、前記一体化されたアセンブリはブリッジユニットであり、

当該装置は、さらに、

前記第1のストレージプロトコルコマンドを生成するイニシエータ手段と、

前記第2のストレージプロトコルコマンドを受信し、当該コマンドに応答する大容量記憶手段を有するものである装置。

【0071】

EC58) EC51記載の装置において、前記第1のストレージプロトコルはSCSIプロトコルと互換性があり、前記第2のストレージプロトコルはATAプロトコルと互換性があるものである装置。

40

【0072】

EC59) EC58記載の装置において、前記第1のストレージプロトコル割り当て解除コマンドはSCSI UNMAPコマンドであり、前記第2のストレージプロトコル割り当て解除コマンドはATA Data Set Managementコマンドである装置。

【0073】

EC60) EC58記載の装置において、前記第1のストレージプロトコル割り当て解除コマンドは、一定パターンのデータを書き込むコマンドである装置。

50

【 0 0 7 4 】

EC 6 1) EC 6 0 記載の装置において、前記一定パターンのデータを書き込むコマンドは、WRITE SAME コマンドおよび FORMAT コマンドのうちの 1 つから選択されるものである装置。

【 0 0 7 5 】

EC 6 2) EC 6 0 記載の装置において、前記一定パターンのデータは、所定の基準に基づくものである装置。

【 0 0 7 6 】

EC 6 3) EC 5 1 記載の装置において、前記第 1 のストレージプロトコルは SAS プロトコルと互換性があり、前記第 2 のストレージプロトコルは SATA プロトコルと互換性があるものである装置。

10

【 0 0 7 7 】

EC 6 4) EC 5 3 記載の装置において、前記大容量記憶装置は、フラッシュメモリを使って実装されるものである装置。

【 0 0 7 8 】

EC 6 5) EC 5 3 記載の装置において、前記大容量記憶装置は、ソリッドステートドライブである装置。

【 0 0 7 9 】

EC 6 6) EC 5 3 記載の装置において、前記第 1 の I / O インターフェース手段、前記第 2 の I / O インターフェース手段、前記変換手段、および前記大容量記憶手段は、一

20

【 0 0 8 0 】

EC 6 7) EC 6 6 記載の装置において、前記一体化されたアセンブリはドライブユニットであり、

当該装置は、さらに、前記第 1 のストレージプロトコルコマンドを生成するイニシエータ手段を有するものである装置。

【 0 0 8 1 】

EC 6 8) EC 6 7 記載の装置において、前記大容量記憶装置は、フラッシュメモリを使って実装されるものである装置。

【 0 0 8 2 】

30

EC 6 9) EC 5 1 記載の装置において、前記変換手段は、専用論理を有するものである装置。

【 0 0 8 3 】

EC 7 0) EC 5 1 記載の装置において、前記変換手段は、少なくとも 1 つの専用メモリバッファを有するものである装置。

【 0 0 8 4 】

EC 7 1) EC 5 1 記載の装置において、前記変換手段は、ハードウェア状態機械を有するものである装置。

【 0 0 8 5 】

EC 7 2) EC 5 1 記載の装置において、前記変換手段は、マイクロコード化された状態機械を有するものである装置。

40

【 0 0 8 6 】

EC 7 3) EC 5 1 記載の装置において、前記変換手段は、埋め込みプロセッサで動作するソフトウェアエージェントを有するものである装置。

【 0 0 8 7 】

EC 7 4) 方法であって、

第 1 のプロトコルに関連付けられた第 1 のフォーマット形式で論理ブロックアドレス割り当て解除情報を受信する工程と、

前記第 1 のフォーマット形式の前記論理ブロックアドレス割り当て解除情報を、第 2 のプロトコルに関連付けられた第 2 のフォーマット形式に変換する工程と

50

を有する方法。

【0088】

EC75) EC74 記載の方法において、前記第1のプロトコルはスモール・コンピュータ・システム・インターフェース(SCSI)プロトコルを含み、前記第2のプロトコルはATAタッチメント(ATA)プロトコルを含むものである方法。

【0089】

EC76) EC74 記載の方法において、前記第1のプロトコルはATAプロトコルを含み、前記第2のプロトコルはSCSIプロトコルを含むものである方法。

【0090】

EC77) EC74 記載の方法において、前記論理ブロックアドレス割り当て解除情報は、割り当て解除コマンドを含むものである方法。

10

【0091】

EC78) EC77 記載の方法において、前記割り当て解除コマンドは、ユーザーデータおよび保護情報のうちの少なくとも1つを含むものである方法。

【0092】

EC79) EC74 記載の方法において、前記論理ブロックアドレス割り当て解除情報は、割り当て解除ステータスを含むものである方法。

【0093】

EC80) EC74 記載の方法において、前記第1のフォーマット形式の前記論理ブロックアドレス割り当て解除情報を前記第2のフォーマット形式に変換する工程は、SCSI UNMAPコマンドをATA Data Set Managementコマンドに変換する工程を含むものである方法。

20

【0094】

EC81) EC74 記載の方法において、さらに、
前記論理ブロックアドレス割り当て解除情報に関連付けられたユーザーデータまたは保護データのうちの1つを独立して割り当て解除できるかどうか決定する工程を有するものである方法。

【0095】

EC82) EC81 記載の方法において、さらに、
前記論理ブロックアドレス割り当て解除情報に関連付けられた前記ユーザーデータまたは前記保護データのうちの1つを独立して割り当て解除できることが決定された場合、前記ユーザーデータまたは前記保護データのうちの1つの割り当てを独立して解除する工程を有するものである方法。

30

【0096】

EC83) EC74 記載の方法において、さらに、
前記第1のプロトコルに関連付けられた前記第1のフォーマット形式で電源喪失情報を受信する工程を有するものである方法。

【0097】

EC84) EC83 記載の方法において、この方法は、さらに、
前記第1のフォーマット形式による前記電源喪失情報を、前記第2のプロトコルに関連付けられた前記第2のフォーマット形式に変換する工程を有するものである方法。

40

【0098】

EC85) EC84 記載の方法において、前記第1のフォーマット形式による前記電源喪失情報を前記第2のフォーマット形式に変換する工程は、電源喪失プリミティブまたは電源喪失コマンドのうちの1つを、データをハードニングするプリミティブまたはコマンドのうちの1つに変換する工程を含むものである方法。

【0099】

EC86) EC84 記載の方法において、前記第1のフォーマット形式の前記電源喪失情報を前記第2のフォーマット形式に変換する工程は、SCSI 電源喪失プリミティブをATA Flush Cacheコマンドに変換する工程を含むものである方法。

50

【 0 1 0 0 】

EC 87) EC 74 記載の方法において、さらに、
前記第 1 のプロトコルに関連付けられた前記第 1 のフォーマット形式で一定パターンのデータを書き込むコマンドを受信する工程をさらに有するものである方法。

【 0 1 0 1 】

EC 88) EC 87 記載の方法において、さらに、
前記第 1 のフォーマット形式で一定パターンのデータを書き込むコマンドを、前記第 2 のプロトコルに関連付けられた前記第 2 のフォーマット形式で当該データを書き込むコマンドに変換する工程をさらに有するものである方法。

【 0 1 0 2 】

EC 89) EC 88 記載の方法において、前記一定パターンのデータを書き込むコマンドは、WRITE SAME コマンドまたは FORMAT コマンドのうちの 1 つを含むものである方法。

【 0 1 0 3 】

EC 90) EC 89 記載の方法において、ユーザーデータまたは保護データの少なくとも 1 つは、前記変換されたコマンドに基づいて割り当て解除されるものである方法。

【 0 1 0 4 】

EC 91) EC 74 記載の方法において、前記第 1 のフォーマット形式の前記論理ブロックアドレス割り当て解除情報を前記第 2 のフォーマット形式に変換する工程は、SATA 論理ブロックアドレス・ブロックアライメントを SCSI 論理ブロックアドレス・ブロックアライメントに変換する工程を含むものである方法。

【 0 1 0 5 】

EC 92) コンピュータ可読媒体上で実行されるコンピュータプログラム製品であって、
第 1 のプロトコルに関連付けられた第 1 のフォーマット形式で論理ブロックアドレス割り当て解除情報を受信するコンピュータコードと、
前記第 1 のフォーマット形式の前記論理ブロックアドレス割り当て解除情報を第 2 のプロトコルに関連付けられた第 2 のフォーマット形式に変換するコンピュータコードと
を有するコンピュータプログラム製品。

【 0 1 0 6 】

EC 93) 装置であって、
第 1 のプロトコルに関連付けられた第 1 のフォーマット形式で論理ブロックアドレス割り当て解除情報を受信し、且つ前記第 1 のフォーマット形式の前記論理ブロックアドレス割り当て解除情報を第 2 のプロトコルに関連付けられた第 2 のフォーマット形式に変換するブリッジ
を有する装置。

【 0 1 0 7 】

EC 94) 方法であって、
第 1 のプロトコルに関連付けられた第 1 のフォーマット形式で電源喪失情報を受信する工程と、
前記第 1 のフォーマット形式の前記電源喪失情報を第 2 のプロトコルに関連付けられた第 2 のフォーマット形式に変換する工程と
を有し、
前記第 1 のフォーマット形式の電源喪失情報を前記第 2 のフォーマット形式に変換する工程は、電源喪失プリミティブまたは電源喪失コマンドのうちの 1 つを、データをハードニングするプリミティブまたはコマンドのうちの 1 つに変換する工程を含むものである方法。

【 0 1 0 8 】

EC 95) コンピュータ可読媒体上で実行されるコンピュータプログラム製品であって、

第 1 のプロトコルに関連付けられた第 1 のフォーマット形式で電源喪失情報を受信するコンピュータコードと、

前記第 1 のフォーマット形式の前記電源喪失情報を第 2 のプロトコルに関連付けられた第 2 のフォーマット形式に変換するコンピュータコードと

を有し、

前記第 1 のフォーマット形式の前記電源喪失情報を前記第 2 のフォーマット形式に変換する工程は、電源喪失プリミティブまたは電源喪失コマンドのうちの 1 つを、データをハードニングするプリミティブまたはコマンドのうちの 1 つに変換する工程を含む

コンピュータプログラム製品。

【 0 1 0 9 】

10

ＥＣ 9 6) 装置であって、

第 1 のプロトコルに関連付けられた第 1 のフォーマット形式で電源喪失情報を受信し、且つ前記第 1 のフォーマット形式の前記電源喪失情報を第 2 のプロトコルに関連付けられた第 2 のフォーマット形式に変換するブリッジ

を有し、

前記第 1 のフォーマット形式の前記電源喪失情報を前記第 2 のフォーマット形式に変換する工程は、前記ブリッジが、電源喪失プリミティブまたは電源喪失コマンドのうちの 1 つをデータをハードニングするプリミティブまたはコマンドのうちの 1 つに変換する工程を含む

装置。

20

【 0 1 1 0 】

ＥＣ 9 7) 方法であって、

論理ブロックアドレスに関連付けられたメモリの少なくとも一部の割り当て解除ステータスを決定する工程と、

前記決定に基づいて割り当て解除ステータス情報を生成する工程と、

前記割り当て解除ステータス情報を装置に送信する工程と

を有する方法。

【 0 1 1 1 】

ＥＣ 9 8) ＥＣ 9 7 記載の方法において、前記割り当て解除ステータス情報は、前記論理ブロックアドレスに関連付けられた前記メモリの少なくとも一部が割り当て解除されるかどうかを示す指標を含むものである方法。

30

【 0 1 1 2 】

ＥＣ 9 9) ＥＣ 9 8 記載の方法において、前記指標は、前記論理ブロックアドレスに関連付けられた前記メモリの少なくとも一部が割り当てられている場合、マップ済みステータスを示すものである方法。

【 0 1 1 3 】

ＥＣ 1 0 0) ＥＣ 9 8 記載の方法において、前記指標は、前記論理ブロックアドレスに関連付けられた前記メモリの少なくとも一部が割り当て解除されている場合、アンマップ済みステータスを示すものである方法。

【 0 1 1 4 】

40

ＥＣ 1 0 1) ＥＣ 9 7 記載の方法において、さらに、

前記論理ブロックアドレスに関連付けられた前記メモリの少なくとも一部の割り当て解除ステータスについてクエリーを実行する工程を有するものである方法。

【 0 1 1 5 】

ＥＣ 1 0 2) ＥＣ 1 0 1 記載の方法において、前記割り当て解除ステータスを決定する工程は、前記クエリーを実行する工程により開始されるものである方法。

【 0 1 1 6 】

ＥＣ 1 0 3) ＥＣ 1 0 2 記載の方法において、前記クエリーを実行する工程は、割り当て解除ステータスクエリーコマンドおよび割り当て解除コマンドのうちの少なくとも 1 つを送信する工程を含むものである方法。

50

【 0 1 1 7 】

EC 104) EC 97 記載の方法において、さらに、
前記論理ブロックアドレスに関連付けられた前記メモリの少なくとも一部から割り当て解除されるデータを指定する工程を有するものである方法。

【 0 1 1 8 】

EC 105) EC 104 記載の方法において、コマンドまたはモードページのうちの1つを利用して、前記割り当て解除されるデータ、または割り当て解除されるデータについて戻されるデータのフォーマットのうちの1つが指定されるものである方法。

【 0 1 1 9 】

EC 106) EC 104 記載の方法において、前記割り当て解除されるデータは、ユーザーデータまたは保護データのうちの少なくとも1つの少なくとも一部を含むものである方法。

10

【 0 1 2 0 】

EC 107) EC 97 記載の方法において、前記論理ブロックアドレスに関連付けられた前記メモリの少なくとも一部は、複数の論理ブロックアドレスセクター、1つの論理ブロックアドレスセクター、または論理ブロックアドレスセクターの一部のうちの1つを含むものである方法。

【 0 1 2 1 】

EC 108) EC 97 記載の方法において、前記割り当て解除ステータス情報を前記装置に送信する工程は、アンマップされたメモリブロックが読み取られた場合に不良ステータスを送信する工程を含むものである方法。

20

【 0 1 2 2 】

EC 109) EC 97 記載の方法において、さらに、
一定パターンのデータを書き込むコマンドを検出する工程を有するものである方法。

【 0 1 2 3 】

EC 110) EC 109 記載の方法において、前記一定パターンのデータを書き込むコマンドは、WRITE SAME コマンドまたは FORMAT コマンドのうちの1つを含むものである。

【 0 1 2 4 】

EC 111) EC 109 記載の方法において、ユーザーデータまたは保護データのうちの少なくとも1つは、前記一定パターンのデータを書き込むコマンドに基づいて割り当て解除されるものである方法。

30

【 0 1 2 5 】

EC 112) EC 97 記載の方法において、さらに、
前記論理ブロックアドレスに関連付けられた前記メモリの少なくとも一部に、保護データとは独立してユーザーデータを格納する工程を有するものである方法。

【 0 1 2 6 】

EC 113) EC 97 記載の方法において、フラッシュコントローラは、前記割り当て解除ステータス情報を前記装置に送信するものである方法。

【 0 1 2 7 】

EC 114) EC 97 記載の方法において、前記装置は、プロトコルチップまたはプロトコルベースのバッファのうちの少なくとも1つを含むものである。

40

【 0 1 2 8 】

EC 115) コンピュータ可読媒体上で実行されるコンピュータプログラム製品であって、

論理ブロックアドレスに関連付けられたメモリの少なくとも一部の割り当て解除ステータスを決定するコンピュータコードと、

前記決定に基づいて、割り当て解除ステータス情報を生成するコンピュータコードと、
前記割り当て解除ステータス情報を装置に送信するコンピュータコードと
を有するコンピュータプログラム製品。

50

【0129】

EC116) 装置であって、

論理ブロックアドレスに関連付けられたメモリの少なくとも一部の割り当て解除ステータスを決定し、前記決定に基づいて割り当て解除ステータス情報を生成し、且つ前記割り当て解除ステータス情報を装置に送信するメモリコントローラを有する装置。

【0130】

EC117) 方法であって、

ソリッドステートディスクの電源がオフにされるかどうかを決定する工程と、前記ソリッドステートディスクの電源がオフにされることが決定された場合、当該ソリッドステートディスクに格納されたデータをハードニングする工程とを有する方法。

10

【0131】

EC118) EC117記載の方法において、前記ソリッドステートディスクに格納された前記データをハードニングする工程は、前記データをハードニングするコマンドを発行する工程を含むものである方法。

【0132】

EC119) EC118記載の方法において、前記データをハードニングするコマンドは、Flush Cacheコマンドを含むものである方法。

20

【0133】

EC120) EC118記載の方法において、前記データをハードニングするコマンドは、

SATA Sleepコマンドと、
SATA Standbyコマンドと、
SATA Standby Immediateコマンドと、
SATA Flush Cacheコマンドと、
SATA Flush Cache Extコマンドと、
SATA Idleコマンドと、
SATA Idle Immediateコマンドと
のうち1若しくはそれ以上を含むものである方法。

30

【0134】

EC121) EC118記載の方法において、前記データをハードニングするコマンドは、Flush Cache Extコマンドを含むものである方法。

【0135】

EC122) EC118記載の方法において、前記データをハードニングするコマンドは、Sleepコマンドを含むものである方法。

【0136】

EC123) EC118記載の方法において、前記データをハードニングするコマンドは、Standbyコマンドを含むものである方法。

40

【0137】

EC124) EC118記載の方法において、前記データをハードニングするコマンドは、Standby Immediateコマンドを含むものである方法。

【0138】

EC125) EC118記載の方法において、前記データをハードニングするコマンドは、Idleコマンドを含むものである方法。

【0139】

EC126) EC118記載の方法において、前記データをハードニングするコマンドは、Idle Immediateコマンドを含むものである方法。

【0140】

EC127) EC118記載の方法において、前記ソリッドステートディスクの電源が

50

オフにされる旨は、パワーサイクリング（電源を一度切り再投入する操作）の一環として決定されるものである方法。

【0141】

EC128) EC127記載の方法において、前記パワーサイクリングは、エラー回復の結果である方法。

【0142】

EC129) EC118記載の方法において、前記ブリッジは、前記データをハードニングするコマンドを発行するものである方法。

【0143】

EC130) EC129記載の方法において、さらに、
前記データをハードニングするコマンドを前記ブリッジが発行した後、前記パワーサイクリングを実行する工程を有するものである方法。

10

【0144】

EC131) EC117記載の方法において、さらに、
前記ソリッドステートディスクに関連付けられたスーパーキャパシタまたは電池のうちの1つをテストするコマンドを前記ソリッドステートディスクに送信する工程を有するものである方法。

【0145】

EC132) EC131記載の方法において、前記ソリッドステートディスクに関連付けられた前記スーパーキャパシタまたは電池のうちの1つをテストする前記コマンドは、
イニシエータにより送信されるものである方法。

20

【0146】

EC133) EC132記載の方法において、前記ソリッドステートディスクに関連付けられた前記スーパーキャパシタまたは電池のうちの1つをテストする前記コマンドは、
ブリッジにより送信されるものである方法。

【0147】

EC134) EC117記載の方法において、さらに、
前記ソリッドステートディスクから情報を受信する工程を有するものである方法。

【0148】

EC135) EC134記載の方法において、前記情報は、前記ソリッドステートディスクに関連付けられたスーパーキャパシタまたは電池のうちの1つが最後にテストされた日時を示すステータスを含むものである方法。

30

【0149】

EC136) EC135記載の方法において、前記ソリッドステートディスクは、当該ソリッドステートディスクに関連付けられた前記スーパーキャパシタまたは電池のうちの1つが最後にテストされた日時を示すステータスを送信するものである方法。

【0150】

EC137) EC134記載の方法において、前記情報は、前記ソリッドステートディスクに関連付けられたスーパーキャパシタまたは電池のうちの1つに関するテストの結果を含むものである方法。

40

【0151】

EC138) EC135記載の方法において、前記結果は、前記スーパーキャパシタの前記テストの成否を示すものである方法。

【0152】

EC139) コンピュータ可読媒体上で実行されるコンピュータプログラム製品であって、

ソリッドステートディスクの電源がオフにされるかどうかを決定するコンピュータコードと、

前記ソリッドステートディスクの電源がオフにされることが決定された場合、当該ソリッドステートディスクに格納されたデータをハードニングするコンピュータコードと

50

を有するコンピュータプログラム製品。

【0153】

EC140)装置であって、

ソリッドステートディスクの電源がオフにされるかどうかを決定し、当該ソリッドステートディスクの電源がオフにされることが決定された場合、当該ソリッドステートディスクに格納されたデータをハードニングする装置

を有する装置。

【0154】

EC141) EC140記載の装置において、前記装置はブリッジを含むものである装置。

10

【0155】

システム

図1は、記憶装置システム論理ブロックアドレス割り当て解除管理およびデータハードニングを提供するシステムの一実施形態の詳細を一部選んで例示したものである。一部の実施形態において、システム100は、第1のフォーマット形式による論理ブロックアドレス割り当て解除情報を第2のフォーマット形式に変換する。一部の実施形態において、システム100は、論理ブロックアドレス割り当て解除ステータス情報を送信する。一部の実施形態において、システム100は、SSDに格納されたデータをハードニングする。

【0156】

20

図示したように、前記システム100には、1若しくはそれ以上のイニシエータ102を含めることができる。これらのイニシエータ102は、1若しくはそれ以上のエクспанダ104に連結でき、それらと通信可能である。この場合、それらのエクспанダ104は、任意の適切なスイッチを表すものであってよい。また、1若しくはそれ以上のブリッジ106を配置して、前記イニシエータ102および/または前記エクспанダ104から送信される情報が、1若しくはそれ以上のメモリ装置108へ通信される前に、前記1若しくはそれ以上のブリッジ106で受信されるようにすることもできる。

【0157】

種々の実施形態では、前記1若しくはそれ以上のブリッジ106に、1若しくはそれ以上のシリアル・アタッチドSCSI(SAS)ブリッジを含めることができる。また種々の実施形態では、前記1若しくはそれ以上のメモリ装置108に、1若しくはそれ以上のシリアルATA(SATA)ドライブを含めることができる。この場合、前記システム100は、シリアルSCSIプロトコル(SSP)情報またはシリアル管理プロトコル(SMP)情報を、SATA情報およびATA情報に変換するSASブリッジを伴ったSASシステムとして動作する。

30

【0158】

さらに図示したように、前記メモリ装置108には、1若しくはそれ以上のスーパーキャパシタ110を含めることができる。なお、前記メモリ装置108については、前記スーパーキャパシタ110を含む文脈で説明しているが、これらのスーパーキャパシタ110は、1若しくはそれ以上の電池と同等なものとして表せることに注意すべきである。また別の実施形態では、前記スーパーキャパシタ110が前記メモリ装置108とともに含まれない場合があることに注意すべきである。例えば、一実施形態では、前記スーパーキャパシタ110または電池なしでも前記メモリ装置108は機能できる。

40

【0159】

特筆すべき点として、前記ブリッジ106は、前記イニシエータ102および前記メモリ装置108との間で種々の情報を受信および/または送信することができる。動作時、前記ブリッジ106のうち1若しくはそれ以上は、論理ブロックアドレス割り当て解除情報、例えば前記1若しくはそれ以上のメモリ装置108の少なくとも一部の割り当てを解除するコマンドを受信できる。本説明の文脈において、割り当て解除情報とは、メモリの割り当て解除に関連付けられた任意の情報をいう。例えば種々の実施形態において、前記

50

割り当て解除情報としては、割り当て解除コマンド（メモリの１若しくはそれ以上の部分を割り当て解除するコマンドなど）、割り当てまたは割り当て解除ステータス、および／または割り当て解除に関連付けられた他の任意の情報などがある。この割り当て解除コマンドは、第１のプロトコルに関連付けられた第１のフォーマット形式、例えばＳＳＰフォーマット形式またはＳＭＰフォーマット形式のものであってよい。

【０１６０】

前記ブリッジ１０６のうち１若しくはそれ以上は、次いで前記ＳＳＰフォーマット形式またはＳＭＰフォーマット形式による前記割り当て解除コマンドを、第２のプロトコルに関連付けられた第２のフォーマット形式、例えば前記１若しくはそれ以上のメモリ装置１０８（例えば、ＳＡＴＡドライブ）に関連付けられたＡＴＡフォーマット形式に変換することができる。一実施形態において、前記第１のフォーマット形式による前記論理ブロックアドレス割り当て解除情報を前記第２のフォーマット形式に変換する工程は、ＳＣＳＩ ＵＮＭＡＰコマンドをＡＴＡ Data Set Managementコマンド（例えば、ＴＲＩＭ設定および／またはビットなどを使用する）に変換する工程を含んでよい。これにより前記メモリ装置（例えば、ドライブ）１０８は、変換された前記割り当て解除コマンドに応答してデータの割り当てを解除できる。

10

【０１６１】

一の実施形態では、前記ブリッジのうち１若しくはそれ以上に、前記第１のプロトコルでコマンドを受信できる第１のＩ／Ｏインターフェースと、前記第１のプロトコルのコマンドを前記第２のプロトコルに変換できる変換ユニットと、前記変換されたコマンドを第２のプロトコルで出力できる第２のＩ／Ｏインターフェースユニットとが含まれる。種々の実施形態では、前記変換ユニットに、専用ハードウェア論理と、専用メモリバッファと、ハードウェア状態機械と、マイクロコード化された状態機械と、埋め込みプロセッサで動作するソフトウェアエージェントとのうち１若しくはそれ以上が含まれる。

20

【０１６２】

なお、前記割り当て解除コマンドとしては、前記メモリ装置１０８に格納されたユーザーデータ、保護データまたは情報、ならびにユーザーデータおよび保護データの双方を割り当て解除するコマンドを含めてよいことに注意すべきである。さらに、前記割り当て解除コマンドとしては、ＬＢＡ配列、ＬＢＡセクター、および／またはＬＢＡセクターの一部を割り当て解除するコマンドを含めることができる。

30

【０１６３】

本説明の文脈において、保護データとは、メモリに格納された任意のデータのうち、ユーザーデータの正確さおよび／または有効性を確実に実現するため使用されるものをいう。この場合、ユーザーデータとは、前記メモリに格納された任意のデータのうち、保護データでないものをいう。

【０１６４】

また、前記割り当て解除情報の変換は、割り当て解除コマンドに限定されないことに注意すべきである。例えば一実施形態では、前記ブリッジ１０６により、任意のＳＣＳＩコマンドをＡＴＡコマンドに変換できる。これらのコマンドとしては、データクエリー、電源通知（例えば、ＮＯＴＩＦＹプリミティブなどの電源喪失プリミティブ）、および他の種々の情報を含めることができる。

40

【０１６５】

また、前記ブリッジ１０６は、必ずしも１方向の変換だけに限定されない。前記ブリッジ１０６は、前記メモリ装置１０８から通信中の情報も変換できる。例えば、一実施形態では、前記メモリ装置１０８から割り当て解除ステータスを送信することができる。この場合は、前記論理ブロックアドレス割り当て解除情報に、前記割り当て解除ステータスを含めることができる。種々の実施形態において、このステータスは、前記メモリ装置１０８に送信されたクエリーその他のコマンドに対応したものであってよい。

【０１６６】

別の実施形態では、前記ブリッジ１０６を使って、ＳＡＴＡ論理ブロックアドレス・ブ

50

ロックアライメント情報を S C S I 論理ブロックアドレス・ブロックアライメント情報に変換できる。この場合、前記第 1 のフォーマット形式による前記論理ブロックアドレス割り当て解除情報を前記第 2 のフォーマット形式に変換する工程には、S A T A 論理ブロックアドレス・ブロックアライメントを、S C S I 論理ブロックアドレス・ブロックアライメントに変換する工程を含めることができる。前記ブロックアライメントは、奇数または偶数ベースであっても、他の何らかのアライメントを有してもよい。

【 0 1 6 7 】

一実施形態では、前記ブリッジ 1 0 6 のうち 1 若しくはそれ以上および / またはそれに関連付けられた論理が、第 1 のプロトコルに関連付けられた第 1 のフォーマット形式で論理ブロックアドレス・ブロックアライメント情報を受信できる。次に前記ブリッジ 1 0 6 および / またはそれに関連付けられた論理は、前記第 1 のフォーマット形式の前記論理ブロックアドレス・ブロックアライメント情報を、第 2 のプロトコルに関連付けられた第 2 のフォーマット形式に変換することができる。この場合、前記第 1 のフォーマット形式の前記論理ブロックアドレス・ブロックアライメント情報を前記第 2 のフォーマット形式に変換する工程には、S A T A 論理ブロックアドレス・ブロックアライメントを、S C S I 論理ブロックアドレス・ブロックアライメントに変換する工程を含めることができる。

10

【 0 1 6 8 】

場合により、前記メモリ装置 1 0 8 に格納されたユーザーデータおよび保護データは、独立に割り当て解除できる。一実施形態では、前記論理ブロックアドレス割り当て解除情報に関連付けられたユーザーデータまたは保護データのうちの 1 つを独立して割り当て解除できるかどうか決定することができる。選択肢の 1 つとして、前記ブリッジ 1 0 6 のうち 1 若しくはそれ以上がこの決定を行える。

20

【 0 1 6 9 】

前記論理ブロックアドレス割り当て解除情報に関連付けられた前記ユーザーデータまたは前記保護データのうちの 1 つを独立して割り当て解除できることが決定された場合は、前記ユーザーデータまたは前記保護データのうちの 1 つを独立して割り当て解除できる。一実施形態では、前記ユーザーデータまたは前記保護データのパターンに基づいてこの決定を行える。

【 0 1 7 0 】

例えば、前記ユーザーデータおよび / または前記保護データがメモリ中で一定のパターンを描くようにして、その完全なパターン 1 つ分以外の全データが割り当て解除されるようにできる。この場合、前記割り当て解除は、L B A 配列内、L B A セクター内、および / または L B A セクターの一部内で行われる。

30

【 0 1 7 1 】

動作時は、論理ブロックアドレスに関連付けられた前記メモリ装置 1 0 8 の少なくとも一部の割り当て解除ステータスが決定可能である。一実施形態では、1 若しくはそれ以上の前記メモリ装置 1 0 8 の 1 若しくはそれ以上の構成要素により、前記割り当て解除ステータスを決定できる。例えば、前記割り当て解除ステータスは、前記メモリ装置 1 0 8 のコントローラにより決定できる。別の実施形態では、前記メモリ装置 1 0 8 に関連付けられたチップおよび / または論理により、前記割り当て解除ステータスを決定できる。

40

【 0 1 7 2 】

前記割り当て解除ステータスが決定されたら、割り当て解除ステータス情報を生成することができる。この場合、前記割り当て解除ステータス情報は、前記メモリ装置 1 0 8 に関連付けられた任意の構成要素または論理により生成できる。一実施形態では、これらの構成要素から 1 若しくはそれ以上の装置へ割り当て解除ステータス情報を送信することもできる。

【 0 1 7 3 】

その場合、前記装置は、前記割り当て解除ステータス情報についてクエリーを実行した装置（例えば、メモリコントローラ）を含むものであってよい。一実施形態において、前記割り当て解除ステータス情報は、前記論理ブロックアドレスに関連付けられた前記メモ

50

りの少なくとも一部が割り当て解除されるかどうかを示す指標を含むことができる。選択肢の1つとして、前記指標は、前記論理ブロックアドレスに関連付けられた前記メモリの少なくとも一部が割り当てられている場合、マップ済みステータスを示すことができる。

【0174】

別の選択肢として、前記指標は、前記論理ブロックアドレスに関連付けられた前記メモリの少なくとも一部が割り当て解除されている場合、アンマップ済みステータスを示すことができる。別の実施形態において、前記割り当て解除ステータス情報を前記装置に送信する工程は、アンマップされたメモリブロックが読み取られた場合に不良ステータスを送信する工程を含んでよい。例えば、割り当て解除されたメモリまたはメモリの一部の読み取りが試行された場合は、不良ステータスを利用して、そのメモリ部分の割り当て解除ステータスを示すことができる。

10

【0175】

前記割り当て解除ステータスに関する決定は、種々の方法で開始できる。例えば、一実施形態では、割り当て解除ステータスに関するクエリーを実行できる。この場合、前記割り当て解除ステータス決定は、前記クエリーにより開始される。そのクエリーは種々の形態であってよい。例えば、そのクエリーには、割り当て解除ステータスクエリーコマンドおよび/または割り当て解除コマンドの送信などがある。

【0176】

メモリ装置108の少なくとも一部から割り当て解除されたデータは、当該割り当て解除されたデータをロギングまたは指定するコマンド、モードページ、または他の任意の技術を利用して指定可能である。また、コマンドまたはモードページを利用すると、割り当て解除されたデータについて返すべきデータのフォーマット形式を指定できる。この場合、そのフォーマット形式には、データ、フラグ、またはデータとフラグとの組み合わせを含めることができる。

20

【0177】

なお、前記割り当て解除されたデータは、ユーザーデータ、保護データ、またはユーザーデータおよび保護データの双方を含んでよい。また、割り当て解除され若しくは割り当て解除ステータス情報が提供された前記論理ブロックアドレスに関連付けられた前記メモリの一部は、複数の論理ブロックアドレスセクターのうちの1つ、1つの論理ブロックアドレスセクター、または論理ブロックアドレスセクターの一部を含んでよい。

30

【0178】

一実施形態では、一定パターンのデータに基づき、メモリまたはメモリの一部を割り当て解除することができる。例えば、格納されたデータ（例えば、ユーザーデータ、保護データ、またはユーザーデータおよび保護データの双方）があるパターンを呈する場合、当該データの少なくとも反復部分を割り当て解除することができる。選択肢の1つとして、割り当て解除すべきこのデータは、コマンド、モードページ、または他の技術で指定できる。

【0179】

一実施形態では、一定パターンのデータを書き込むコマンドを検出できる。例えば、前記一定パターンのデータを書き込むコマンドは、WRITE SAMEコマンド、FORMATコマンド、または一定パターンの書き込みを実行できる他の任意のコマンドのうちの1つを含んでよい。その場合、前記一定パターンのデータを書き込むコマンドに基づき、ユーザーデータまたは保護データのうちの少なくとも1つを割り当て解除できる。なお、ユーザーデータは、前記メモリ内で保護データと別個に格納できることに注意すべきである。

40

【0180】

動作時は、前記メモリ装置108のうち少なくとも1つの電源がオフにされるかどうか決定される。例えば一実施形態では、前記メモリ装置108の電源がオフにされるかを、前記インシエータ102の1つが判断できる。別の実施形態では、前記メモリ装置108の電源がオフにされるかを、前記メモリ装置108に関連付けられたメモリコントロー

50

ラまたはプロトコルチップが決定できる。さらに別の実施形態では、前記メモリ装置 108 のうち少なくとも 1 つの電源がオフにされるかを、前記ブリッジ 106 のうち 1 若しくはそれ以上が決定できる。種々の実施形態において、前記メモリ装置 108 の電源がオフにされるかどうかは、電源オフコマンド、Sleep コマンド、および Standby Immediate コマンドのうち 1 若しくはそれ以上の（例えば前記ブリッジ 106 による）受信および／または発行に基づいて決定できる。

【0181】

さらに別の実施形態において、電源喪失情報は、前記第 1 のプロトコルに関連付けられた前記第 1 のフォーマット形式で（例えば、前記ブリッジ 106、前記メモリ装置のコントローラにより）受信可能である。その場合、前記第 1 のフォーマット形式の前記電源喪失情報は、前記第 2 のプロトコルに関連付けられた前記第 2 のフォーマット形式に変換することができる。例えば、前記電源喪失情報には、SCSI 電源喪失プリミティブ（例えば、NOTIFY プリミティブ）を含めることができる。そのため、前記第 1 のフォーマット形式の前記電源喪失情報を前記第 2 のフォーマット形式に変換する工程には、SCSI 電源喪失プリミティブを ATA Flush Cache コマンドに変換する工程を含めることができる。一実施形態では、前記変換工程に、前記電源喪失プリミティブを Sleep コマンドまたは Standby Immediate コマンドに変換する工程を含めることもできる。

【0182】

また、前記第 1 のフォーマット形式の前記電源喪失情報を前記第 2 のフォーマット形式に変換する工程には、電源喪失プリミティブまたは電源喪失コマンドを、データをハードニングするプリミティブまたはコマンドに変換する工程を含めることができる。本説明の文脈において、データのハードニングとは、揮発性メモリ（例えば、キャッシュ）内のデータを不揮発性メモリ（例えば、フラッシュメモリ）に書き込み、あるいはキャッシュ内のデータをフラッシュメモリなどのメモリに書き込む任意の技術をいう。そのため、電源喪失プリミティブまたは電源喪失コマンドは、前記ブリッジ 106 で受信でき、格納されているデータをハードニングする任意のコマンドまたはプリミティブに変換できる。

【0183】

前記メモリ装置 108 の電源がオフにされることが決定された場合、当該メモリ装置 108 に格納されたいかなるデータもハードニングされる。前記メモリ装置 108 に格納されたいかなるデータも、または全データがハードニングされることに注意すべきである。例えば、ハードニングされるデータは、ユーザーデータ、保護データ、またはユーザーデータおよび保護データの双方を含む可能性がある。

【0184】

種々の実施形態において、前記メモリ装置 108 は、任意の前記ブリッジ 106 または任意の前記イニシエータ 102 のうち、いずれか 1 つ若しくはそれ以上に情報を送信できる。その情報には、例えば前記スーパーキャパシタ 110 が最後にテストされた日時を示すステータスを含めることができる。また、その情報には、前記スーパーキャパシタ 110 のテスト結果を含めることもできる。その場合、前記結果は、前記スーパーキャパシタ 110 のテストの成否を示すものであってよい。

【0185】

前記ブリッジ 106 は、必ずしも情報の受信に限定されるものではない。一実施形態において、前記ブリッジ 106 は、前記メモリ装置 108 から通信中の情報を変換することもできる。例えば一実施形態において、割り当て解除ステータスは、前記メモリ装置 108 から送信されることもある。種々の実施形態において、このステータスは、前記メモリ装置 108 に送信されたクエリーまたは別のコマンドに対応したものであってよい。

【0186】

図 2 は、記憶装置システム論理ブロックアドレス割り当て解除管理およびデータハードニングを提供する別のシステムの一実施形態について詳細の一部を選んで例示したものである。システム 200 は（図 1 の）システム 100 と同様なものであるが、概念的に、個々

10

20

30

40

50

のSASドライブがSASブリッジとSATAドライブとの各組み合わせの代わりに使用されている。より具体的にいうと、図示したように、このシステム200には、1若しくはそれ以上のイニシエータ202を含めることができる。これらのイニシエータ202は、1若しくはそれ以上のエクспанダ204に連結でき、それらと通信可能である。また、これらのイニシエータ202およびエクспанダ204は、1若しくはそれ以上のメモリ装置208に連結でき、それらと通信可能である。

【0187】

種々の実施形態では、前記1若しくはそれ以上のメモリ装置208に、1若しくはそれ以上のシリアル・アタッチドSCSI(SAS)ドライブを含めることができる。その場合、当該システム200は、SASドライブを伴ったシリアル・アタッチドSCSI(SAS)システムとして動作可能である。他の種々の実施形態では、前記1若しくはそれ以上のメモリ装置208に、任意タイプのソリッドステートディスクを含めることができる。

10

【0188】

さらに図示したように、前記メモリ装置208には、1若しくはそれ以上のスーパーキャパシタ210を含めることができる。なお、前記メモリ装置208については、前記スーパーキャパシタ210を含む文脈で説明しているが、これらのスーパーキャパシタ210は、1若しくはそれ以上の電池と同等なものとして表せることに注意すべきである。また別の実施形態では、前記スーパーキャパシタ210が前記メモリ装置208とともに含まれない場合があることに注意すべきである。例えば、一実施形態では、前記スーパーキャパシタ210または電池なしでも前記メモリ装置208は機能できる。

20

【0189】

構造および動作について、システム200は(図1の)システム100と同様なものである。より具体的にいうと、図2の前記イニシエータ、前記エクспанダ、および前記スーパーキャパシタは図1の各要素と同様なものであり、(図2の)前記1若しくはそれ以上のメモリ装置208は、(図1の)前記1若しくはそれ以上のメモリ装置108に連結された前記1若しくはそれ以上のブリッジ106の組み合わせと同様なものである。そのため、このような要素および各々の動作について図1に関連付けて行った上記の説明は、図2にも同等に適用可能であり、その場合、図1の前記ブリッジに関連付けられた機能はそれに代えて図2の前記メモリ装置206(例えば、SASドライブ)に関連付けられるものと理解される(また、図1の前記エクспанダに関連付けられた機能は、図2の前記エクспанダに関連付けられる)。

30

【0190】

他の実施形態としては図1の変形形態などがあり、その場合、前記イニシエータはSASブリッジとより直接的に、例えばエクспанダの介在なしで連結される。関連した実施形態としては図2の変形形態などがあり、その場合、前記イニシエータは1若しくはそれ以上のメモリ(例えば、SASドライブ)とより直接的に、例えばエクспанダの介在なしで連結される。他の実施形態としては図1の変形形態などがあり、その場合、前記イニシエータは1若しくはそれ以上のメモリ装置(例えば、SATAドライブ)とより直接的に、例えばエクспанダおよびSASブリッジの介在なしで連結される。他の実施形態としては図1の変形形態などがあり、その場合、1若しくはそれ以上の前記SASブリッジが、それぞれ複数の前記メモリ装置(例えば、一対のSATAドライブにそれぞれ連結された2つのSASブリッジ)に連結される。図1および図2に関する上記の説明は、前述の変形形態に適用可能である。

40

【0191】

動作

図3Aは、第1のフォーマット形式の論理ブロックアドレス(LBA)割り当て解除情報を、第2のフォーマット形式に変換する実施形態300Aの詳細を一部選んで例示したものである。図示したように、論理ブロックアドレス割り当て解除情報は、第1のプロトコルに関連付けられた第1のフォーマット形式で受信される。動作301を参照。

50

【 0 1 9 2 】

本説明の文脈において、論理ブロックアドレスとは、メモリ装置に格納されたデータブロックの位置を示す任意のアイテムをいう。例えば、一実施形態では、論理ブロックアドレスに、メモリ中のデータブロックのアドレスを含めることができる。別の実施形態では、論理ブロックアドレスに、メモリの一部のアドレス（例えば、1つのLBAセクター、1つのLBAセクターの一部）を含めることができる。

【 0 1 9 3 】

前記メモリには、任意タイプのメモリを含めてよい。例えば、前記メモリには、1若しくはそれ以上のソリッドステートディスク（SSD）を含めることができる。この場合、前記SSDはRAM（例えば、SRAM、DRAM）を含んでよい。

10

【 0 1 9 4 】

別の実施形態では、前記SSDに、フラッシュメモリを含めることができる。この場合、前記フラッシュメモリには、不揮発性フラッシュメモリを含めることができる。種々の実施形態において、前記フラッシュメモリには、シングルレベルセル（SLC）フラッシュメモリおよび/またはマルチレベルセル（MLC）マルチレベルセルを含めてよい。

【 0 1 9 5 】

さらに、本説明の文脈において、割り当て解除情報とは、メモリの割り当て解除に関連付けられた任意の情報という。例えば種々の実施形態において、前記割り当て解除情報としては、割り当て解除コマンド（メモリの1若しくはそれ以上の部分を割り当て解除するコマンドなど）、割り当てステータスまたは割り当て解除ステータス、および/または割り当て解除に関連付けられた他の任意の情報などがある。その場合、割り当て解除とは、メモリ中の論理ブロックアドレス、またはその部分を解放できる任意の技術という。

20

【 0 1 9 6 】

前記論理ブロックアドレス割り当て解除情報は、第1のプロトコルに関連付けられた第1のフォーマット形式で受信されるほか、第2のプロトコルに関連付けられた第2のフォーマット形式に変換される。動作303を参照。前記第1および第2のプロトコルには、装置（例えば、コンピュータ装置、周辺機器）間を物理的に接続し、および/または当該装置間でデータを転送する任意のプロトコルまたは規格セットを含めることができる。

【 0 1 9 7 】

一実施形態では、前記第1および第2のプロトコルには、スモール・コンピュータ・システム・インターフェース（SCSI）プロトコルおよびATAアタッチメント（ATA）プロトコルのうちの1つを含めることができる。例えば、前記第1のプロトコルはSCSIプロトコルを含んでよく、前記第2のプロトコルはATAプロトコルを含んでよい。別の例として、前記第1のプロトコルはATAプロトコルを含んでよく、前記第2のプロトコルはSCSIプロトコルを含んでよい。

30

【 0 1 9 8 】

これらの場合、前記プロトコルに関連付けられたフォーマット形式には、そのプロトコルの任意の標準的フォーマット形式を含めることができる。例えば、SCSIプロトコルに関連付けられたフォーマット形式としては、電源または割り当て解除に関する情報を含む割り当て解除コマンド、タスク、またはプリミティブ用の、および情報を通信する他の任意技術用の標準的なSCSIフォーマット形式を含めることができる。同様に、ATAプロトコルに関連付けられたフォーマット形式としては、割り当て解除コマンド、電源関連コマンド、プリミティブ、および他の任意情報用の標準的なATAフォーマット形式を含めることができる。

40

【 0 1 9 9 】

そのため、一実施形態では、SCSIフォーマット形式による論理ブロックアドレス割り当て解除情報を、ATAプロトコルに関連付けられたATAフォーマット形式に変換することができる。別の実施形態では、ATAフォーマット形式による論理ブロックアドレス割り当て解除情報を、SCSIプロトコルに関連付けられたSCSIフォーマット形式に変換できる。言うまでもなく、これらのフォーマット形式は単なる例であり、一定のブ

50

ロトコルに関連付けられたいかなるフォーマット形式の割り当て解除情報も、別のプロトコルに関連付けられた他の任意のフォーマット形式に変換可能である。

【0200】

図3Bは、SCSIフォーマット形式によるLBA割り当て解除情報を、ATAフォーマット形式に変換する実施形態300Bの詳細を一部選んで例示したものである。

【0201】

図示したように、まずブリッジ（例えば、SASブリッジ）において情報が受信されたか決定される。動作302を参照。一実施形態では、この決定が前記ブリッジで行われる。この場合、前記ブリッジには、前記決定その他任意の決定、および/または他の機能を実行する論理および/またはハードウェアを含めることができる。

10

【0202】

前記ブリッジで情報が受信されると、その情報にSCSI割り当て解除コマンドが含まれるかどうか決定される。動作304を参照。前記情報にSCSI割り当て解除コマンドが含まれる場合、そのSCSI割り当て解除コマンドは、ATA割り当て解除コマンドに変換される。動作306を参照。

【0203】

一実施形態では、この変換に、SCSI UNMAPコマンドをATA Data Set Managementコマンドに変換する工程を含めることができる。前記SCSI割り当て解除コマンドがATA割り当て解除コマンドに変換されると、そのコマンドが送信されて当該データの割り当てが解除される。動作308を参照。前記割り当て解除には、ユーザーデータ、保護データ、またはその双方の割り当て解除を含めることができる。

20

【0204】

本説明の文脈において、保護データとは、メモリに格納された任意のデータのうち、ユーザーデータの正確さおよび/または有効性を確実に実現するため利用されるものをいう。この場合、ユーザーデータとは、前記メモリに格納された任意のデータのうち、保護データでないものをいう。

【0205】

さらに図示するように、前記情報に、SCSI割り当て解除ステータスクエリーが含まれるかどうか決定される。動作310を参照。なお、一実施形態では、割り当て解除ステータス情報を受信するために割り当て解除クエリーを送信する必要はない。例えば、メモリ装置は、割り当て解除ステータス情報を自動的に送信できる（例えば、割り当て解除時、一定の時間間隔で）。

30

【0206】

前記情報にSCSI割り当て解除ステータスクエリーが含まれる場合、そのSCSI割り当て解除ステータスクエリーは、ATA割り当て解除ステータスクエリーに変換される。動作312を参照。前記SCSI割り当て解除ステータスクエリーがATA割り当て解除ステータスクエリーに変換されると、その割り当て解除ステータスクエリーがメモリ装置（例えば、SATAドライブ）に送信される。動作314を参照。

【0207】

次いでATAステータス応答が受信されたかどうか決定される。動作316を参照。この場合、ATAステータス応答とは、ATAフォーマット形式で割り当て解除ステータスを示す任意の応答をいう。このステータスとしては、ユーザーデータ割り当て解除ステータスおよび/または保護データ割り当て解除ステータスなどがある。

40

【0208】

ATAステータス応答が受信された場合、そのATAステータス応答は、SCSIプロトコルに関連付けられたフォーマット形式に変換される。動作318を参照。続けて前記割り当て解除ステータス応答が、前記クエリーを開始した装置（例えば、メモリコントローラ）に送信される。動作320を参照。

【0209】

50

前記ブリッジで受信された情報に割り当て解除ステータス情報が含まれるかどうかは決定されるほか、前記受信された情報にWRITE SAMEコマンド、または他のパターン開始コマンド（例えば、FORMATコマンド）が含まれるかどうかも決定される。動作322を参照。前記受信された情報にWRITE SAMEコマンド、または他のパターン開始コマンドが含まれる場合は、そのコマンドに基づき、前記メモリ装置に格納されたデータが割り当て解除される。動作324を参照。

【0210】

この場合、WRITE SAMEコマンド、FORMATコマンド、およびパターン書き込みを含む他のコマンドを使うと、複製データ（例えば、初期データに続く任意パターンのデータ）を格納するメモリ位置、または複製データを格納するよう指示されたメモリ位置が割り当て解除可能が決定することができる。このデータとしては、ユーザーデータおよび/または保護データが含まれる。さらに、一実施形態では前記ブリッジを利用してこの検出を行えるが、他の実施形態では、種々の装置（例えば、メモリコントローラ、プロトコルチップ）を利用してこの検出を行えることに注意すべきである。そのため、当該技術はブリッジなしでもシステムに導入可能である。

10

【0211】

このように、ユーザーデータおよび/または保護データが独立に割り当て解除可能かどうかは、WRITE SAMEまたは他の類似書き込みコマンドを使って、ATAおよびSCSIで自動的に決定できる。例えば、第1のプロトコルに関連付けられた第1のフォーマット形式で一定パターンのデータを書き込むコマンド（例えば、WRITE SAMEコマンド、FORMATコマンド）が受信された場合、当該第1のフォーマット形式で一定パターンのデータを書き込むコマンドは、第2のプロトコルに関連付けられた第2のフォーマット形式に変換可能である。ユーザーデータおよび/または保護データは、一定パターンを書き込む前記変換済みコマンドに基づいて割り当て解除される。

20

【0212】

前記ブリッジで前記受信された情報に電源喪失通知が含まれるかも決定される。動作326を参照。電源喪失通知が検出された場合は、前記メモリに格納されたデータがハードニングされる。動作328を参照。

【0213】

例えば、前記ブリッジは、NOTIFY (POWER LOSS) プリミティブを受信すると、この情報をSSDに渡して、当該SSDがデータをハードニングできるようにする。種々の実施形態において、これはアウトオブバンド(OOB)コマンドを介し、または別のコマンドを送信して、通信リンクを停止させることにより変換される。一実施形態では、前記ブリッジがNOTIFY (POWER LOSS) プリミティブを受信した場合に、Flush Cache ATAコマンドを送信できる。別の実施形態では、前記電源喪失プリミティブをSleepコマンドまたはStandby Immediateコマンドに変換することもできる。

30

【0214】

このように、イニシエータからブリッジへ、そしてそのブリッジからSSDへと通信された割り当て解除情報を使用すると、LBAの割り当てを解除することができる。一実施形態では、Maximum UNMAP LBA CountおよびMaximum Block Descriptor Countをサポートするようブリッジを構成できる。これらは、前記ブリッジに関連付けられたファームウェアに基づく可能性がある。

40

【0215】

なお、ATAプロトコルもSCSIプロトコルもメモリブロックを割り当て解除するコマンドを有する。例えば、ATAプロトコルでは、Data Set Managementコマンドを利用して、ブロックの割り当てを解除する。このコマンドのフォーマット形式は、表1のとおりである。

【0216】

【表 2】

表 1

Data Set Managementコマンド	
関連フィールド	説明
特徴	ビット0を「1」に設定するとTRIM機能になる。
カウント	ホストから装置に転送すべき512バイトデータ構造の数。値「0」は65,536ブロックを意味する。
コマンド	06h

10

【0217】

次に、ホストが「PINデータ」としてデータを前記装置に送信する。このデータのフォーマット形式は、表2のとおりである。

【0218】

【表 3】

表 2

PINデータフォーマット	
バイト	エン트리番号
0～7	エン트리0
8～15	エン트리1
...	
496～511	エン트리64

20

【0219】

前記カウントフィールドでは、何個の512バイトデータ構造を送信するか決定できる。前記PINデータのエントリは、表3のとおりである。

30

【0220】

【表 4】

表 3

PINデータエン트리0
63:48範囲長
47:0 LBA値

40

【0221】

なお、前記範囲に値「0」を設定すると、そのエントリは無効になる。また、データはLBAの昇順でソートされ、重複は許されない。

【0222】

さらに、IDENTIFYデータには、前記ホストが前記装置に関する情報を決定できるようにする情報が含まれる。このデータを表4に示す。ただし、サポートを変更するコマンドはDEVICE CONFIGURATION IDENTIFYコマンドである。

50

【 0 2 2 3 】

【 表 5 】

表 4

IDENTIFYデータ		
ワード	ビット	説明
21	10	Data Set Management用レポート作成サポートは変更可能。
69	14	DETERMINISTIC READ AFTER TRIMがサポートされる。値「1」は、読み取られるデータが決定論的であることを意味する。
169	0	DATA SET MANAGEMENTでトリムビットがサポートされる。

10

【 0 2 2 4 】

S C S I プロトコルでも、ブロックの割り当て解除を行える（例えば、L B A）。例えば、S B C - 3 にはシンプロビジョニングが可能なコマンドとその関連フィールドがいくつかある（例えば、ストレージスペースなどの資源を、必要十分なだけ遅滞なく柔軟にサーバーに割り当てられるようにする）。B L O C K L I M I T S V P D P A G E には、関連するフィールドがいくつかある。例えば、M a x i m u m U N M A P L B A C o u n t フィールドは、単一のコマンドでアンマップできる最大の L B A 数である。このアンマップ可能な最大 L B A 数は、U N M A P パラメータリストに含まれるデータ量だけに制約され、このフィールドは F F F F _ F F F F h に設定できる。値 0 は、このフィールドがサポートされないことを示す。

20

【 0 2 2 5 】

M a x i m u m U N M A P B l o c k D e s c r i p t o r C o u n t は、U N M A P コマンドのパラメータデータに含めることのできる U N M A P ブロック記述子の最大数である。制限がない場合、このフィールドは F F F F _ F F F F h に設定される。このフィールドがサポートされない場合、このフィールドは 0 に設定される。

【 0 2 2 6 】

F O R M A T U N I T も関連性が高い。シンプロビジョニングされた装置をフォーマットする際、保護が有効にされている場合、P r o t e c t i o n フィールドは 6 4 ' h F F F F _ F F F F _ F F F F _ F F F F になっているはずである。保護が有効にされていない場合、当該装置は、初期化パターン記述子 (I n i t i a l i z a t i o n p a t t e r n d e s c r i p t o r) に基づく初期化パターンでフォーマットされる。なお、I n i t i a l i z a t i o n P a t t e r n T y p e フィールドは「00」に設定でき（例えば、装置がデフォルトパターンを使用する）、初期化パターン長 (i n i t i a l i z a t i o n p a t t e r n l e n g t h) は「0」に設定できる。I n i t i a l i z a t i o n P a t t e r n T y p e に他の値を設定すると、前記装置に送信されたデータに基づいてパターンが生成される。これにより、前記装置は、データの格納態様に基づき、パターン「X、Y、Z」、すべて F F の保護バイト、または全 L B A のアンマップでフォーマットを行い、あるいは L B A をアンマップしないよう指示される。

30

40

【 0 2 2 7 】

R e a d C a p a c i t y コマンドも、シンプロビジョニングに関連するパラメータフィールドをいくつか有する。それらのフィールドは表 5 のとおりである。

【 0 2 2 8 】

【表 6】

表 5

Read Capacityフィールド	
フィールド	説明
TPE	「1」に設定された場合、これがシンプロビジョニングされた装置であることを示す。
LOWEST ALIGNED LOGICAL BLOCK ADDRESS	このフィールドは、LBAアライメントされた最下位のブロックを示す。
LOGICAL BLOCKS PER PHYSICAL BLOCK EXPONENT	このフィールドは、論理ブロックあたりの物理ブロック数を記述する。
TPRZ	シンプロビジョニングされた装置でこれを「1」に設定すると、当該装置からはユーザーデータについて「0」が返される。このビットを「0」に設定すると、当該装置からランダム値を伴ったユーザーデータが返される。保護データは、このビットでは指定されない。

10

【 0 2 2 9 】

表 6 には、Protection Decode フィールドを示している。この場合、保護が有効にされ、かつ P_I_EXPONENT フィールドが非ゼロであると、LBA

20

【 0 2 3 0 】

【表 7】

表 6

Protection Decodeフィールド	
フィールド	説明
PROT_ENおよびP_TYPE	保護モード (0-3) を記述する。
P_I_EXPONENT	各論理ブロック内に配置される保護情報の間隔を決定する。

30

【 0 2 3 1 】

Verify コマンドは、アンマップされたブロックに発行された場合、特殊な取り扱いを伴う場合がある。BYTECHK が「0」の場合、当該装置は、アンマップされるブロックについて LBA が確認済みであると推定できる。BYTECHK が「1」の場合、当該装置は、Check Condition ステータスでこのコマンドを終了する。

【 0 2 3 2 】

UNMAP コマンドを使用すると、シンプロビジョニングされた装置で LBA の割り当てを解除することができる。UNMAP 関数が実行されると、アンマップされた LBA のデータを他の任意の LBA から読み取ることはできなくなる。また、アンマップされた LBA のデータは、不確定 (indeterminate) となる場合もならない場合もある。さらに、UNMAP 操作でアンマップされた LBA のデータは、変化しないはずである (例えば、アンマップされた LBA を複数回読み取ると、常に同じデータが返されなければならない)。また、保護が有効にされている場合、保護データはアンマップされても 64'h FFFF_FFFF_FFFF_FFFF に設定されない。

40

【 0 2 3 3 】

UNMAP コマンドにおける関連フィールドを表 7 に示す。

【 0 2 3 4 】

【表 8】

表 7

UNMAPコマンドの関連フィールド	
フィールド	説明
Op Code	コマンドコード。これは (42h) である。
Parameter List Length	装置に送信されるパラメータリストの長さ (バイト単位)。

【 0 2 3 5 】

10

前記パラメータリストにより、構築予定の構造が、UNMAPブロック記述子のリストを渡す。この記述子における関連フィールドを表 8 に示す。

【 0 2 3 6 】

【表 9】

表 8

UNMAP記述子フィールド	
フィールド	説明
UNMAP LBA	UNMAPする最初のLBA。
Number of Logical Blocks	UNMAPするLBAの数。

20

【 0 2 3 7 】

なお、複数の記述子が渡される場合、LBAはいかなる順序でも、また重複してもよいことに注意すべきである。LBAにブロック数を加算すると当該装置の容量を超えてしまう場合、Check Conditionステータスが返される。また論理ブロック数が0でも、通常、誤り状態ではない。UNMAPブロック記述子中の論理ブロック数がVPDで許可された設定を超える場合、またはUNMAPブロック記述子の数がVPD設定を超える場合、Check Conditionステータスが返される。

【 0 2 3 8 】

30

WRITE SAMEコマンドを使用すると、多数のLBAに同じデータを書き込むことができる。ただし、LB DATAビットおよびPB DATAビットに応じて、情報が異なる場合がある。UNMAPビットが設定されている場合、当該ブロックはアンマップされるべきであり、可能なら書き込みがなされるべきではない。UNMAP中、ユーザーデータは0、保護データは64'h F F F F _ F F F F _ F F F F _ F F F Fであってよい。WRITE SAME設定でこの条件が満たされない場合は、UNMAPビットが設定されていても書き込みが行われる場合がある。

【 0 2 3 9 】

なお、UNMAPビットが設定され若しくは設定されずに発行されたWRITE SAMEコマンドは、データが読み取られた場合に厳密に同じ結果を生じることが期待される。考えられるデータパターンの順列は、表 9 のとおりである。

40

【 0 2 4 0 】

【表 10】

表 9

LBADATA/PBADATAフィールド		
LBADATA	PBADATA	説明
0	0	媒体がタイプ1または2の保護でフォーマットされている場合。 1. 第1のブロックにLogical Block Reference Tagが配置され、その後もこれがブロックごとにインクリメントされる。 媒体がタイプ1、2、または3の保護でフォーマットされている場合。 1. Control Mode PageでATOビットが「1」に設定されていると、アプリケーションタグが各フレームに配置される。 2. Logical Block Guardフィールドが各ブロック内に配置される。
0	1	媒体がタイプ1、2、または3の保護でフォーマットされている場合、データは保護値64'hFFFF_FFFF_FFFF_FFFFでフォーマットされる。 媒体が保護なしでフォーマットされている場合、当該ブロックの最初の8バイトは、物理セクターアドレスでフォーマットされる。
1	0	媒体がタイプ1、2、または3の保護でフォーマットされている場合、データは保護値64'hFFFF_FFFF_FFFF_FFFFでフォーマットされる。 媒体が保護なしでフォーマットされている場合、当該ブロックの最初の4バイトは、LBAが特異に連結されてフォーマットされる—詳細はSBC-3に関する表94を参照。
1	1	これは不正な状態であり、Check Conditionが返されるべきである。

【0241】

資源不足のため書き込みが完了不能な場合は、Check Conditionが返され、前記書き込みは失敗したが、資源を解放中であり、当該書き込みを再試行すべきである旨を前記イニシエータに知らせることができる。このコマンド用のスペースがないと予測される場合は、その状態のステータスが前記イニシエータに返される。

【0242】

なお、現在FORMAT変換はSATで記述されている。ただし、最適化によりドライブの寿命を改善することができる。LBAのユーザーフィールドにすべて0が書き込まれ、保護が行われない場合、またはユーザーフィールドにすべて0が書き込まれ、保護フィールドに64'hFFFF_FFFF_FFFF_FFFFが書き込まれた場合には、DATA SET MANAGEMENTコマンドまたはTRIMコマンドを使用できる。これは、FORMATコマンドのIPビットに基づく。

【0243】

一部の実施形態において、SCSI UNMAPコマンドをATA DATA SET MANAGEMENTコマンドに変換する工程は、少なくとも一部次のように行われる。UNMAPコマンドは、8バイトのLBAを1つ含むUNMAPブロック記述子をいくつか有し、またそれらのLBAから何個のブロックを解放するか指定する4バイトの論理ブロックをいくつか有する。前記記述子に特に決まった順序はない（例えば、より小さい数が採番されたLBAを有する記述子は、より大きい数が採番されたLBAを有する記述子の後になっても、その逆でもよい）。さらに、前記記述子で指定される論理ブロックは、重複してもよい。前記記述子は、いかなる順序でも割り当て解除を指定できる。

【0244】

Data Set ManagementコマンドまたはTRIM操作は、Featureレジスタのビット0（TRIMビットと呼ばれる場合もある）を1に設定することで指定される。このコマンドにより提供されるデータは、記述子のリストで、その各々が6バイトLBA値および2バイトの長さを有する。このリストは、LBA値に基づいて昇順でソートされる。

【0245】

UNMAPからTRIMへの変換には、各前記記述子からLBAおよび論理ブロック数

に関する情報を抽出する工程が含まれる。最も重要な前記 2 バイトのどちらかに非ゼロビットを有する L B A があると、誤りが生じる。前記論理ブロック数のいずれかが、上位 2 バイトのうちの 1 つに何らかの非ゼロビットを有する場合、当該記述子は、元の記述子と同じ L B A をカバーする記述子集合として扱われ、その各記述子が前記論理ブロック数の値で前記上位 2 バイトのどちらにも非ゼロビットを伴わないものとして扱われる。結果的に前記記述子のすべてから得られる L B A は昇順にソートされ記述子としてソートされた順に（下位 6 バイトにトランケートされて）T R I M コマンドに供給される（下位 2 バイトにトランケートされた長さの、対応する論理ブロック数値とともに）。

【 0 2 4 6 】

S C S I U N M A P から、T R I M ビットセットを伴う S A T A I O S E N D F P D M A コマンドへの変換も同様で、下層にある伝送のみ異なるため、同じ記述子変換が行われる。

【 0 2 4 7 】

なお、本明細書で説明する A T A プロトコルおよび S C S I プロトコルのコマンドとそれに伴う記述は、上記の技術および機能を使って異なるフォーマット形式との間で変換できるコマンドおよびフィールドの例である。他の実施形態では、第 1 のプロトコルフォーマットによるいかなるコマンドまたは情報も、第 2 のプロトコルフォーマットに変換可能である。

【 0 2 4 8 】

図 4 A は、L B A 割り当て解除ステータス情報を送信する実施形態 4 0 0 A の詳細を一部選んで例示したものである。図示したように、まず論理ブロックアドレスに関連付けられたメモリの少なくとも一部の割り当て解除ステータスが決定される。動作 4 0 1 を参照。

【 0 2 4 9 】

前記メモリには、任意タイプのメモリを含めてよい。例えば、前記メモリには、ソリッドステートディスク（S S D）を含めることができる。この場合、前記 S S D は R A M（例えば、S R A M、D R A M）を含んでよい。

【 0 2 5 0 】

別の実施形態では、前記 S S D に、フラッシュメモリを含めることができる。この場合、前記フラッシュメモリには、不揮発性フラッシュメモリを含めることができる。種々の実施形態において、前記フラッシュメモリには、シングルレベルセル（S L C）フラッシュメモリおよび/またはマルチレベルセル（M L C）マルチレベルセルを含めてよい。

【 0 2 5 1 】

さらに、本説明の文脈において、割り当て解除ステータス情報とは、メモリの割り当て解除に関連付けられた任意の情報をいう。例えば、種々の実施形態において、前記割り当て解除ステータス情報は、前記論理ブロックアドレスに関連付けられたメモリの一部が割り当てられているか、または割り当て解除されているかを示す指標、前記論理ブロックアドレスに関連付けられたメモリ全体が割り当てられているか、または割り当て解除されているかを示す指標、および/または割り当て解除ステータスに関連付けられた他の任意の情報を含むことができる。その場合、割り当て解除とは、メモリ中の論理ブロックアドレス、またはその一部を解放できる任意の技術をいう。

【 0 2 5 2 】

論理ブロックアドレスに関連付けられたメモリの少なくとも一部の割り当て解除ステータスが決定されると、その決定に基づいて割り当て解除ステータス情報が生成される。動作 4 0 3 を参照。このように決定されたメモリステータスに基づき、前記割り当て解除ステータス情報が生成される。

【 0 2 5 3 】

次に、前記割り当て解除ステータス情報が装置に送信される。動作 4 0 5 を参照。前記装置には、割り当て解除ステータス情報を受信できる任意の装置を含めることができる。例えば、前記装置には、プロトコルチップ、プロトコルベースのパッファ、ブリッジ、メ

10

20

30

40

50

メモリコントローラ、および／または割り当て解除ステータス情報を受信できる他の任意の装置のうち少なくとも1つを含めることができる。一実施形態において、前記プロトコルチップおよび／またはプロトコルベースのバッファは、スモール・コンピュータ・システム・インターフェース（SCSI）プロトコルおよびATAタッチメント（ATA）プロトコルのうちの1つに関連付けることができる。

【0254】

同様に、前記割り当て解除ステータスの決定および生成は、種々の装置を使って行うことができる。例えば一実施形態では、メモリコントローラ（例えば、フラッシュコントローラ）により、前記割り当て解除ステータス情報を生成および／または送信できる。別の実施形態では、ブリッジにより前記割り当て解除ステータス情報を生成し、前記装置へ送信できる。さらに別の実施形態では、プロトコルチップにより前記割り当て解除ステータス情報を生成し、前記装置へ送信できる。

10

【0255】

図4Bは、LBA割り当て解除ステータス情報を送信する別の実施形態400Bの詳細を一部選んで例示したものである。図示したように、情報が受信されたかがまず決定される。選択肢402を参照。一実施形態において、この決定は、1若しくはそれ以上のフラッシュコントローラ、またはメモリ装置の他のコントローラで行われる。この場合、前記フラッシュコントローラには、前記決定その他任意の決定、および／または他の機能を実行する論理および／またはハードウェアを含めることができる。

【0256】

20

情報が受信されると、前記受信された情報にWRITE SAMEコマンドまたはパターンを開始する他のコマンド（例えば、FORMATコマンド）が含まれるかどうか決定される。動作404を参照。前記受信された情報にWRITE SAMEコマンド、または他のパターン開始コマンドが含まれる場合は、そのコマンドに基づき、前記メモリ装置に格納されたデータが割り当て解除される。動作406を参照。

【0257】

この場合、WRITE SAMEコマンド、FORMATコマンド、およびパターン書き込みを含む他のコマンドを使うと、複製データ（例えば、初期データに続く任意パターンのデータ）を格納するメモリ位置、または複製データを格納するよう指示されたメモリ位置が割り当て解除可能決定することができる。このデータとしては、ユーザーデータおよび／または保護データが含まれる。さらに、一実施形態ではフラッシュコントローラを利用してこの検出を行えるが、他の実施形態では、種々の装置（例えば、ブリッジ、プロトコルチップ）を利用してこの検出を行えることに注意すべきである。そのため、当該技術はブリッジを実装したシステムにも導入可能である。

30

【0258】

前記受信された情報にWRITE SAMEコマンドまたはパターンを開始する他のコマンドが含まれるかどうか決定されるほか、前記情報に割り当て解除コマンドが含まれるかどうか決定される。動作408を参照。前記情報に割り当て解除コマンド（例えば、SCSI割り当て解除コマンド、ATA割り当て解除コマンド）が含まれる場合は、そのコマンドに基づいて、前記メモリ装置に格納されたデータを割り当て解除できる。一実施形態では、この工程に、SCSI UNMAPコマンドをATA DATA SET MANAGEMENTコマンドに変換する工程を含めることができる。前記割り当て解除には、ユーザーデータ、保護データ、またはその双方の割り当て解除を含めることができる。

40

【0259】

さらに図示するように、前記受信された情報に、割り当て解除ステータスクエリーが含まれるかどうか決定される。動作410を参照。なお、一実施形態では、割り当て解除ステータス情報を受信するために割り当て解除クエリーを送信する必要はない。例えば、メモリ装置は、割り当て解除ステータス情報を自動的に送信できる（例えば、割り当て解除時、一定の時間間隔で）。

50

【0260】

前記情報に割り当て解除ステータスエリーが含まれる場合は、割り当て解除ステータス情報が生成される。動作412を参照。次に、前記割り当て解除ステータス情報は、当該割り当て解除ステータス情報を受信できる装置に送信される。動作414を参照。

【0261】

図5Aは、SSDに格納されたデータをハードニングする実施形態500Aの詳細を一部選んで例示したものである。動作時は、ソリッドステートディスクの電源がオフにされるかどうかはまず決定される。動作501を参照。前記ソリッドステートディスクの電源がオフにされるかどうかの決定は、種々の基準に基づいて行える。

【0262】

例えば、一実施形態では、前記ソリッドステートディスクの電源がオフにされるかどうかの決定を、電源オフコマンドに基づいて行うことができる。別の実施形態では、前記ソリッドステートディスクの電源がオフにされるかどうかの決定を、パワーサイクルコマンドに基づいて行うことができる。さらに別の実施形態では、前記ソリッドステートディスクの電源がオフにされるかどうかの決定を、エラー信号に基づいて行うことができる。

【0263】

前記ソリッドステートディスクの電源がオフにされることが決定された場合、当該ソリッドステートディスクに格納されたデータはハードニングされる。動作503を参照。本説明の文脈において、データのハードニングとは、キャッシュまたは揮発性メモリ内のデータを、フラッシュメモリなどの不揮発性メモリに書き込む任意の技術をいう。

【0264】

一実施形態において、前記ソリッドステートディスクに格納された前記データをハードニングする工程には、前記データをハードニングするコマンドを発行する工程を含めることができる。この場合、前記データをハードニングする前記コマンドは、前記ソリッドステートディスクまたはそれに関連付けられたメモリコントローラへと発行できる。前記データをハードニングするこのコマンドには、前記データをハードニングする任意のコマンドを含めることができる。

【0265】

例えば、別の実施形態において、前記データをハードニングする前記コマンドは、Flush Cacheコマンドを含んでよい。別の実施形態において、前記データをハードニングする前記コマンドは、Sleepコマンドを含んでよい。さらに別の実施形態において、前記データをハードニングする前記コマンドは、Standby Immediateコマンドを含んでよい。

【0266】

一実施形態では、前記ソリッドステートディスクの電源がオフにされるかどうかの決定を、パワーサイクリングの一環として行うことができる。その場合、前記パワーサイクリングはエラー回復の結果であってよい。このように、データをハードニングするコマンドは、装置（例えば、ブリッジ、メモリコントローラ）から発行できる。一実施形態では、前記データをハードニングする前記コマンドを前記装置が発行した後で、前記データがハードニングされ、前記ソリッドステートディスクがパワーサイクルされる。

【0267】

図5Bは、SSDに格納されたデータをハードニングする別の実施形態500Bの詳細を一部選んで例示したものである。図示したように、ソリッドステートディスクの電源をオフにするコマンドが受信されたかどうかはまず決定される。動作502を参照。一実施形態では、前記ソリッドステートディスクの電源がオフにされるかどうかの決定を、パワーサイクリングの一環として行うことができる。例えば、前記パワーサイクリングはエラー回復の結果であってよい。

【0268】

ソリッドステートディスクの電源をオフにするコマンドが受信された場合、Flush Cacheコマンドを発行するかどうかは決定される。動作504を参照。Flush

10

20

30

40

50

Cache コマンドを発行することが決定されると、Flush Cache コマンドが発行される。動作 506 を参照。一実施形態では、ブリッジが Flush Cache コマンドを発行できる。

【0269】

さらに、Sleep コマンドを発行するかどうか決定される。動作 508 を参照。Sleep コマンドを発行することが決定されると、Sleep コマンドが発行される。動作 510 を参照。一実施形態では、ブリッジが Sleep コマンドを発行できる。

【0270】

また、Standby Immediate コマンドを発行するかどうか決定される。動作 512 を参照。Standby Immediate コマンドを発行することが決定されると、Standby Immediate コマンドが発行される。動作 514 を参照。ここでも、一実施形態では、ブリッジが Standby Immediate コマンドを発行できる。

【0271】

Flush Cache コマンド、Sleep コマンド、および Standby Immediate コマンドが発行されないと決定された場合は、前記ソリッドステートディスクの電源をオフにする前に、別のデータハードニングコマンドが発行される。動作 516 を参照。前記データハードニングコマンドが発行されたら、電源オフコマンドまたはパワーサイクルコマンドが送信される。動作 518 を参照。

【0272】

なお、前記データをハードニングするコマンド（例えば、Flush Cache コマンド、Sleep コマンド、Standby Immediate コマンド、または他のいくつかのコマンド）を電源オフ前に発行することにより、前記ソリッドステートディスクは、スーパーキャパシタまたは電池なしで実装可能になる。この実装により、前記ソリッドステートディスクの信頼性を高めることができる。

【0273】

ただし、一実施形態では、前記ソリッドステートディスクにスーパーキャパシタまたは電池を含めてもよい。例えば、スーパーキャパシタまたは電池を有するソリッドステートディスクは、電力が失われたときデータを失うことなくデータをすべてフラッシュメモリに吐き出すことができる。その場合、インシエータまたはブリッジは、前記スーパーキャパシタまたは電池をテストするコマンドをソリッドステートディスクに送信できる。また、ソリッドステートディスクは、前記スーパーキャパシタまたは電池が最後にテストされた日時に関するステータスを返すことができる。

【0274】

このようにして、前記ソリッドステートディスクについて電源オフコマンドが受信されたかどうかを決定するほか、一実施形態では、前記ソリッドステートディスクに関連付けられたスーパーキャパシタまたは電池のうちの1つをテストするコマンドを送信すべきかどうかを決定することもできる。動作 520 を参照。スーパーキャパシタまたは電池をテストするコマンドを送信することが決定されると、前記ソリッドステートディスクに関連付けられたスーパーキャパシタまたは電池をテストするコマンドが送信される。動作 522 を参照。

【0275】

一実施形態において、前記ソリッドステートディスクに関連付けられたスーパーキャパシタまたは電池をテストするコマンドは、インシエータから送信できる。別の実施形態において、前記ソリッドステートディスクに関連付けられたスーパーキャパシタまたは電池をテストするコマンドは、ブリッジから送信できる。

【0276】

また、何らかの情報が前記ソリッドステートディスクから受信されたかどうか決定できる。その情報には、任意タイプの情報が含まれてよい。例えば一実施形態において、割り当て解除ステータスは、前記ソリッドステート装置から受信できる。

【0277】

また、前記ソリッドステートディスクに関連付けられた前記スーパーキャパシタまたは電池が最後にテストされた日時を示すステータスを含んだ情報が受信されたかも決定できる。動作524を参照。この場合、前記ソリッドステートディスクは、当該ソリッドステートディスクに関連付けられた前記スーパーキャパシタまたは電池が最後にテストされた前記日時を示すステータスを送信することができる。

【0278】

この情報を使うと、前記スーパーキャパシタまたは電池が最後にテストされた日時を識別できる。動作526を参照。さらに、この識別結果に基づき、前記スーパーキャパシタまたは電池のテストを開始すべきか決定することができる。

10

【0279】

前記スーパーキャパシタまたは電池のステータスが受信されたかを決定するほか、スーパーキャパシタまたは電池のテストの結果が受信されたかも決定できる。動作528を参照。前記テストの結果が受信された場合は、前記結果が識別される。動作530を参照。

【0280】

その場合、前記テストの結果は、前記スーパーキャパシタまたは電池のテストの成否を示すものであってよい。その結果に基づき、前記スーパーキャパシタまたは電池に関する別のテストを開始すべきかが決定可能になる。このように、スーパーキャパシタまたは電池のステータスを決定することができ、当該スーパーキャパシタまたは電池をテストすべきかどうか決定できる。

20

【0281】

図5Cは、SSDのスーパーキャパシタまたは電池をテストする実施形態500Cの詳細を一部選んで例示したものである。動作時、SSDは、当該SSDの電源がオフにされる旨の事前通知を選択的に受け取る。動作511を参照。次いで前記SSDの電源がオフにされる。動作513を参照。次に、前記SSDの電源がオンにされる。動作515を参照。続けて前記SSDは、データが正しくハードニングされたかどうかについてクエリーを受ける。動作517を参照。前記データが正しくハードニングされた場合は、前記SSDのスーパーキャパシタまたは電池が動作可能である旨のレポートが選択的に作成される。動作519を参照。

【0282】

30

種々の実施形態において、前記図の動作のうち1若しくはそれ以上は、ブリッジ（例えば、図1のブリッジ106のいずれか）、エクспанダ（例えば、図1のエクспанダ104または図2のエクспанダ204のいずれか）、および/またはイニシエータ（例えば、図1のイニシエータ102または図2のイニシエータ202のいずれか）により、またはその制御の下で、実行される。種々の実施形態において、前記SSDとは、前記図でSATAドライブまたはSASドライブに対応し、ESD（例えば、スーパーキャパシタ）が内蔵または連結されたものをいう。例えば、前記SSDは、図1の1若しくはそれ以上のメモリ装置108に含まれ、前記スーパーキャパシタは、1若しくはそれ以上のスーパーキャパシタ110に含まれる。別の例では、前記SSDは、図2の1若しくはそれ以上のメモリ装置208に含まれ、前記スーパーキャパシタは、1若しくはそれ以上のスーパーキャパシタ210に含まれる。

40

【0283】

種々の実施形態において、図3A、図3B、図4A、図4B、図5A、および/または図5Bを参照して説明した動作の全部または任意部分は、図1、図2、および/またはそれらについて説明した変形形態の要素の全部または任意部分のうち任意の1若しくはそれ以上により実施される。例えば、図3Aの動作301および303は、図1のブリッジ106により実施され、あるいは図2の1若しくはそれ以上のメモリ装置208により実施される。別の例として、図3Bの動作312は、図1のブリッジ106により実施され、あるいは図2の1若しくはそれ以上のメモリ装置208により実施される。さらに別の例では、図4Aの動作401および403は、図1の1若しくはそれ以上のメモリ装置10

50

8により実施され、あるいは図2の1若しくはそれ以上のメモリ装置208により実施される。さらに別の例では、図4Bの動作412および414は、図1の1若しくはそれ以上のメモリ装置108により実施され、あるいは図2の1若しくはそれ以上のメモリ装置208により実施される。さらに別の例では、図5Aの動作501および図5Bの動作522は、図1のブリッジ106により実施され、あるいは図2の1若しくはそれ以上のメモリ装置208により実施される。

【0284】

図6は、ユーザーデータおよび保護データを格納するLBAセクターの全部または任意部分の実施形態600の詳細を一部選んで例示したものである。図示したように、このLBAセクターは、ユーザーデータ602および保護データ604を別個に格納することができる。これは、前記ユーザーデータ602または前記保護データ604を別個に操作できるようにするとともに、その操作に含まれないデータに障害を及ぼさないよう実装される。一実施形態では、当該LBAセクターに、複数のユーザーデータおよび/または保護フィールドを含めることができる。

10

【0285】

図7は、別の実施形態700に基づいてLBA割り当て解除ステータス情報を送信する実施形態の詳細を一部選んで例示したものである。図示したように、このシステム700には、1若しくはそれ以上のブロックまたはチップ702~704が含まれる。ブロックが2つまたはチップが2つあり、その一方がチップ上のプロトコルエンジンまたはプロトコルバッファで、他方がフラッシュコントローラである構成の場合、前記割り当て解除工程およびデータ読み取りは、制御された態様で実施される。これは、種々の方法で達成される。

20

【0286】

例えば一実施形態では、前記フラッシュコントローラ702が、前記プロトコルチップ704に関連付けられたプロトコルバッファに、UNMAPされたLBAに関するデータを送信できる。ただし、その場合、前記LBAがトリム済みであるという知識を前記プロトコルバッファが有さないことがあるため、当該バッファは一定の特徴をシミュレートしなければならない可能性がある。またこの場合、BYTECHK=1のVERIFYコマンドは適切に実施されないおそれがある。選択肢の1つとして、前記フラッシュコントローラ702内の定数フィールドが利用できる。

30

【0287】

別の実施形態において、前記フラッシュコントローラ702は、前記LBAが割り当て解除済みであることを、前記プロトコルチップ702またはプロトコルバッファに報告できる。すると、前記プロトコルバッファは、読み取り時、前記データを生成しなければならない可能性がある。これにより、前記プロトコルバッファがこの情報を生成するフックを増やせるため、保護フィールドに関する柔軟性を高めることができる。また、これによりデータ完全性フィールド(data integrity field:DIF)保護以外の保護技術がより柔軟になる。保護フィールドにランダムデータがある場合は、BYTECHK=1のVERIFYコマンドでCheck Conditionが生成可能になるため、他の技術を実施できる。

40

【0288】

さらに別の実施形態において、前記フラッシュコントローラ702は、1ブロック中に2つの独立したデータ、例えばユーザーデータおよび保護データを有することができる。前記ユーザーデータおよび保護データが、独立に読み取られ、書き込まれ、および/または割り当て解除される場合は、何らかの保護スキームがサポートされる。また、FORMATコマンドおよびWRITE SAMEコマンド技術の大半もサポートされる。表10は、一実施形態に基づきサポート可能な選択肢を示したものである。

【0289】

【表 1 1】

表 1 0

機能	ユーザーデータ	保護データ
割り当て解除	×	
割り当て解除	×	×
割り当て解除		×
情報読み取り	×	×
情報読み取り	割り当て解除済みとして 報告される	×
情報読み取り	割り当て解除済みとして 報告される	割り当て解除済みとして 報告される
情報読み取り	×	保護サポートなし
情報書き込み	×	×
情報書き込み	×	保護サポートなし
情報書き込み	割り当て解除される	×
割り当て解除のステータス	×	×

10

【 0 2 9 0 】

このように、前記システム 7 0 0 を使うと、前記フラッシュコントローラ 7 0 2 は、前記プロトコルチップ 7 0 4、ブロック、またはプロトコルベースのバッファに、ブロックまたはブロックの部分がアンマップ済みであるという情報を返すことができる。また、前記フラッシュコントローラ 7 0 2 は、前記プロトコルチップ 7 0 4、ブロック、またはプロトコルベースのバッファに、ブロックまたはブロックの部分がアンマップ済みであるという情報をデータの代わりに返すことができる。さらに、前記フラッシュコントローラ 7 0 2 は、前記プロトコルチップ 7 0 4、ブロック、またはプロトコルベースのバッファに、ブロックのアンマップされた部分と、マップされた部分のデータとを返すことができる。

20

【 0 2 9 1 】

上記のように、一実施形態において、前記フラッシュコントローラは、ブロックのステータスについてクエリーを行い当該ブロックがマップされているか決定するコマンドまたは他のデータを受信できる。このコマンドまたは他のクエリーは、選択的にパラメータを含むことができ、ブロックに含まれるデータがクエリー実行装置に提供されることを要求しない場合もある。これは、当該ブロックに関するデータを提供するように前記イニシエータに要求する B Y T E C H K = 1 の読み取り確認とは異なる。さらに、ユーザーデータおよび保護データを別個に格納することにより、保護を使用しない読み取りコマンドが、保護データに障害を及ぼすことなく動作可能になる。

30

【 0 2 9 2 】

S S D コントローラ

図 8 A は、マッピングを使って不揮発性メモリにアクセスしこれを制御する S S D コントローラを含んだ S S D の実施形態の詳細を一部選んで例示した図である。S S D コントローラ 8 0 0 は、1 若しくはそれ以上の外部インターフェース 8 1 0 を介して、ホスト（図示せず）に通信可能に連結されている。種々の実施形態によれば、外部インターフェース 8 1 0 は、S A T A インターフェース、S A S インターフェース、P C I e インターフェース、ファイバーチャネルインターフェース、イーサネット（登録商標）インターフェース（例えば、1 0 ギガビットイーサネット（登録商標））、任意の先行インターフェースの非標準バージョン、カスタムインターフェース、または記憶装置および/または通信装置および/またはコンピュータ装置を相互接続するため使用される他の任意タイプインターフェースのうち 1 若しくはそれ以上である。例えば、一部の実施形態では、S S D コントローラ 8 0 0 に S A T A インターフェースおよび P C I e インターフェースが含まれる。

40

【 0 2 9 3 】

50

さらに、SSDコントローラ800は、1若しくはそれ以上の装置インターフェース890を介して、1若しくはそれ以上の記憶装置、例えばフラッシュ装置892を含む不揮発性メモリ899と通信可能に連結されている。種々の実施形態によれば、外部インターフェース890は、非同期インターフェース、同期インターフェース、DDR同期インターフェース、ONFI 2.2互換インターフェースなどのONFI互換インターフェース、トグルモード互換フラッシュインターフェース、任意の先行インターフェースの非標準バージョン、カスタムインターフェース、または記憶装置に接続するため使用される他の任意タイプインターフェースのうち1若しくはそれ以上である。

【0294】

フラッシュ装置892は、一部の実施形態において、1若しくはそれ以上の個々のフラッシュダイ894を有する。フラッシュ装置892の特定の1タイプによれば、特定のフラッシュ装置892内の複数のフラッシュダイ894は、選択的に、および/または選択的に、並列アクセス可能である。フラッシュ装置892は、SSDコントローラ800に通信可能に連結できる記憶装置の単なる1タイプを表したものである。種々の実施形態では、任意タイプの記憶装置、例えばSLC NAND型フラッシュメモリ、MLC NAND型フラッシュメモリ、NOR型フラッシュメモリ、読み出し専用メモリ、静的ランダムアクセスメモリ、動的ランダムアクセスメモリ、強磁性メモリ、相変化メモリ、レーストラックメモリ、あるいは他の任意タイプのメモリ装置または記憶媒体を使用できる。

【0295】

種々の実施形態によれば、装置インターフェース890は、バスごとに1若しくはそれ以上のフラッシュ装置892を伴った1若しくはそれ以上のバス、バスごとに1若しくはそれ以上のフラッシュ装置892を伴った1若しくはそれ以上のバスグループのうち1グループ内のバスが全般的に並列アクセスされるもの、または装置インターフェース890上の他の任意のフラッシュ装置892構成として構成される。

【0296】

引き続き図8Aにおいて、SSDコントローラ800は、1若しくはそれ以上のモジュール、例えばホストインターフェース811、データ処理821、バッファ831、マップ841、リサイクラ851、ECC 861、装置インターフェース論理891、およびCPU 871を有する。図8Aに例示したこれらの具体的なモジュールおよび相互接続は、単なる一実施形態を表したものであり、これらモジュールのほか図示していない追加モジュールの一部または全部の多数の構成および相互接続も考えられる。第1の例では、一部の実施形態において、2若しくはそれ以上のホストインターフェース811がデュアルポーティングを提供する。第2の例では、一部の実施形態において、データ処理821および/またはECC 861がバッファ831と組み合わせられる。第3の例では、一部の実施形態において、ホストインターフェース811がバッファ831に直結され、データ処理821が選択的に、および/または選択的に、バッファ831に格納されたデータを操作する。第4の例では、一部の実施形態において、装置インターフェース論理891がバッファ831に直結され、ECC 861が選択的に、および/または選択的に、バッファ831に格納されたデータを操作する。

【0297】

ホストインターフェース811は、外部インターフェース810経由でコマンドおよび/またはデータを送受信し、一部の実施形態では、タグ追跡813により個々のコマンドの進捗状況を追跡例えば、前記コマンドとしては、読み取るべきアドレス（例えば、LBA）およびデータ量（例えば、セクター数などのLBA数）を指定する読み取りコマンドなどがあり、それに応答してSSDが読み取りステータスおよび/または読み取りデータを提供する。別の例では、前記コマンドとして、書き込むべきアドレス（例えば、LBA）およびデータ量（例えば、セクター数などのLBA数）を指定する書き込みコマンドなどがあり、それに応答してSSDが書き込みステータスを提供し、および/または書き込みデータを要求したのち選択的に書き込みステータスを提供する。さらに別の例では、前記コマンドとして、もはや割り当てが不要なアドレス（例えば、LBA）を指定する割り

10

20

30

40

50

当て解除コマンドなどがあり、それに応答してSSDが適宜マップを修正し、選択的に割り当て解除ステータスを提供する。さらに別の例では、前記コマンドとして、スーパーキャパシタテストコマンドまたはデータハードニング成功クエリーなどがあり、それに応答してSSDが適切なステータスを提供する。一部の実施形態において、ホストインターフェース811はSATAプロトコルと互換性があり、NCQコマンドを使って最高32まで保留中コマンドを有することができ、その各々が0～31の数で表される一意のタグを伴う。一部の実施形態では、タグ追跡813が、外部インターフェース810経由で受信されたコマンドに外部タグを関連付けることができ、その関連付けは、SSDコントローラ800による処理中、前記コマンドの追跡に使用される内部タグにより行う。

【0298】

10

種々の実施形態によれば、データ処理821は、選択的に、および/または選択的に、バッファ831および外部インターフェース810間で送信されるデータの一部または全部を処理し、かつ、データ処理821は、選択的に、および/または選択的に、バッファ831に格納されたデータを処理し、あるいは、データ処理821は、これらデータ処理のいずれか一方を行う。一部の実施形態において、データ処理821は、1若しくはそれ以上のエンジン823を使って、フォーマット、リフォーマット、トランスコード、および他の任意のデータ処理および/または操作タスクのうち1若しくはそれ以上を実行する。

【0299】

バッファ831は、外部インターフェース810と装置インターフェース890との間で送信されるデータを格納する。また、一部の実施形態において、バッファ831は、フラッシュ装置892の管理用にSSDコントローラ800が使用するシステムデータ、例えばマップテーブルの一部または全部も格納する。種々の実施形態において、バッファ831は、データの一時的記憶に使用されるメモリ837、バッファ831に出入りするデータの移動を制御するため使用されるDMA 833、および他のデータ移動および/または操作機能のうち、1若しくはそれ以上を有する。

20

【0300】

種々の実施形態によれば、ECC 861は、選択的に、および/または選択的に、バッファ831および装置インターフェース890間で送信されるデータの一部または全部を処理し、かつ、ECC 861は、選択的に、および/または選択的に、バッファ831に格納されたデータを処理し、あるいは、ECC 861は、これらデータ処理のいずれか一方を行う。

30

【0301】

装置インターフェース論理891は、装置インターフェース890を介してフラッシュ装置892を制御する。装置インターフェース論理891は、フラッシュ装置892のプロトコルに基づき、フラッシュ装置892とデータを送受信できる。装置インターフェース論理891には、装置インターフェース890を介してフラッシュ装置892の制御を選択的に順序付けするスケジューリング893が含まれる。例えば一部の実施形態において、スケジューリング893は、フラッシュ装置892の操作をキューでき、利用可能な個々のフラッシュ装置892（またはフラッシュダイ894）の操作を選択的に送信することができる。

40

【0302】

マップ841は、テーブル843を使って、外部インターフェース810で使用されるデータアドレス指定と装置インターフェース890で使用されるデータアドレス指定との間の変換を行い、外部データアドレスを不揮発性メモリ899内の位置へとマップする。例えば、一部の実施形態において、マップ841は、テーブル843が提供するマッピングにより、外部インターフェース810で使用されるLBAを、1若しくはそれ以上のフラッシュダイ894のブロックおよび/またはページのアドレスに変換する。このマップは、ドライブの製造または割り当て解除以来まったく書き込まれたことのないLBAが読み取られた場合、デフォルト値を返す。例えば、割り当て解除コマンドを処理する際、こ

50

のマップは、前記割り当て解除された L B A に対応するエントリが前記デフォルト値の 1 つを指すよう修正される。種々の実施形態では、複数のデフォルト値があり、その各々がそれに対応したポインタを有する。前記複数のデフォルト値を使うと、いくつかの割り当て解除済み L B A (例えば、第 1 の範囲) の読み取り値が 1 つのデフォルト値になる一方、他の割り当て解除済み L B A (例えば、第 2 の範囲) の読み取り値が別のデフォルト値になるようにできる。それらのデフォルト値は、種々の実施形態において、フラッシュメモリ、ハードウェア、ファームウェア、コマンドまたはプリミティブ引数またはパラメータ、プログラム可能なレジスタ、あるいはこれらの種々の組み合わせにより定義される。

【0303】

一部の実施形態では、リサイクラ 851 がガベージコレクションを行う。例えば、一部の実施形態では、再び書き込み可能にするため消去しなければならないブロックがフラッシュ装置 892 に含まれる。リサイクラ 851 は、フラッシュ装置 892 のどの部分が活発に使用されている (例えば、割り当て解除されているのではなく、割り当てられている) かを、例えばマップ 841 の維持するマップをスキャンして決定し、フラッシュ装置 892 の未使用 (例えば、割り当て解除済み) 部分を消去して書き込み可能にすることができる。さらに別の実施形態において、リサイクラ 851 は、フラッシュ装置 892 内に格納されたデータを移動させ、書き込みのできるより大きな連続部分をフラッシュ装置 892 に生み出すことができる。

【0304】

CPU 871 は、SSD コントローラ 800 の種々の部分を制御する。CPU 871 には、CPU コア 881 が含まれる。CPU コア 881 は、種々の実施形態によれば、1 若しくはそれ以上のシングルコアまたはマルチコアのプロセッサである。CPU コア 881 内の個々のプロセッサコアは、一部の実施形態において、マルチスレッド式である。CPU コア 881 には、命令および / またはデータキャッシュおよび / またはメモリが含まれる。例えば、前記命令メモリには、CPU コア 881 がソフトウェア (場合により、ファームウェアと呼ばれる) を実行して SSD コントローラ 800 を制御できるようにする命令が含まれる。一部の実施形態では、CPU コア 881 により実行されるファームウェアの一部または全部が、フラッシュ装置 892 に格納される。

【0305】

種々の実施形態において、CPU コア 871 は、さらに、外部インターフェース 810 経由で受信されたコマンドを当該コマンドの進行中に追跡および制御するコマンド管理 873 と、緩衝液 831 の割り当ておよび使用を制御するバッファ管理 875 と、マップ 841 を制御する変換管理 877 と、データアドレス指定の一貫性を制御し外部データアクセスおよびリサイクルデータアクセス間などの競合を回避するコヒーレンシ管理 879 と、装置インターフェース論理 891 を制御する装置管理 881 と、選択的に他の管理ユニットとを含む。種々の実施形態によれば、CPU 871 により実行される前記管理機能は、その一部または全部が、ハードウェア、ソフトウェア (例えば CPU コア 881 で、または外部インターフェース 810 経由で接続されたホストで実行されるソフトウェア)、またはハードウェアとソフトウェアの任意の組み合わせにより制御および / または管理されるか、あるいは、CPU 871 により実行される前記管理機能でこれらに制御および / または管理されるものは、まったくない。

【0306】

一部の実施形態において、CPU コア 871 は、他の管理タスク、例えば性能統計量を収集および / または報告する工程と、SMART を実施する工程と、電源シーケンスを制御する工程と、電力消費量を制御および / または監視および / または調整する工程と、電源障害に対処する工程と、クロックレートを制御および / または監視および / または調整する工程と、他の管理タスクとのうち 1 若しくはそれ以上を実行することができる。

【0307】

種々の実施形態は、SSD コントローラ 800 と同様なコンピューティングホスト・フラッシュメモリ・コントローラを含み、そのコントローラは、ホストインターフェース 8

10

20

30

40

50

11 および / または外部インターフェース 810 の適合などにより種々のコンピューティングホストと動作互換性がある。前記種々のコンピューティングホストとしては、コンピュータ、ワークステーション・コンピュータ、サーバー・コンピュータ、ストレージ・サーバー、PC、ラップトップ・コンピュータ、ノートブック・コンピュータ、ネットブック・コンピュータ、PDA、メディアプレーヤー、メディアレコーダー、デジタルカメラ、携帯電話ハンドセット、コードレスホン・ハンドセット、および電子ゲームの1つ、または任意の組み合わせなどがある。

【0308】

一部の実施形態において、図7のシステム700は、SSDコントローラ800の全部または任意部分の実施態様に対応する。一部の実施形態において、図7のフラッシュコントローラ702および / またはプロトコルチップ704の全部または任意部分は、SSDコントローラ800と同様な要素により実装される。

10

【0309】

種々の実施形態において、SSDコントローラ（またはコンピューティングホスト・フラッシュメモリ・コントローラ）の全部または任意部分は、単一のIC上、複数ダイICのうちの単一のダイ上、複数ダイICのうちの複数のダイ上、または複数のIC上に実装される。例えば、バッファ831は、SSDコントローラ800の他の要素と同じダイ上に実装される。別の例では、バッファ831は、SSDコントローラ800の他の要素と異なるダイ上に実装される。

【0310】

20

図8Bは、図8AのSSDを含むシステムの一実施形態の詳細を一部選んで例示したものである。SSD 801には、装置インターフェース890を介して不揮発性メモリ899に連結されたSSDコントローラ800が含まれる。このSSDは、外部インターフェース810を介してホスト802に連結されている。一部の実施形態において、SSD 801（またはその変形形態）は、ホスト802として動作するイニシエータに連結されたSASドライブまたはSATAドライブに対応する。

【0311】

図8Cは、図8AのSSDを含むシステムの一実施形態の詳細を一部選んで例示したものである。図8Bのように、SSD 801には、装置インターフェース890を介して不揮発性メモリ899に連結されたSSDコントローラ800が含まれる。当該SSDは、外部インターフェース810経由でホスト802に連結されているが、この双方の間に中間コントローラ803が介在する。種々の実施形態において、SSDコントローラ800は、他のコントローラの1若しくはそれ以上の中間レベル、例えばRAIDコントローラを介して前記ホストに連結される。一部の実施形態において、SSD 801（またはその変形形態）は、SASドライブまたはSATAドライブに対応し、中間コントローラ803は、イニシエータに連結されたエクспанダに対応し、あるいは、中間コントローラ803は、エクспанダを通じてイニシエータに間接的に連結されたブリッジに対応する。

30

【0312】

種々の実施形態では、SSDコントローラおよび / またはコンピューティングホストコントローラを1若しくはそれ以上の不揮発性メモリと組み合わせたものが、不揮発性記憶構成要素、例えばUSB記憶構成要素、CF記憶構成要素、MMC記憶構成要素、SD記憶構成要素、メモリスティック記憶構成要素、およびxDピクチャーカード記憶構成要素として実装される。

40

【0313】

その他の情報

種々の実施形態では、電源喪失検出回路、電源喪失ステータス検出器、パワーダウンコマンドの受信機またはデコーダ、またはこれらの任意の組み合わせがSSDコントローラの任意の便宜的要素に含まれて、データをハードニングする要求を提供する。例えば、パワーダウンコマンドの受信機またはデコーダは、図8Aの1若しくはそれ以上の外部イン

50

ターフェース 810 に含まれ、当該外部インターフェースに連結されたコンピューティングホストおよび/またはインターフェース接続ホストからパワーダウンコマンドを受信しデコードすることができる。

【0314】

図9は例示的なシステム800を例示したもので、このシステムには、上記の各種実施形態の各種アーキテクチャおよび/または機能性が実装されている。図示したように、システム800は、通信バス802に接続された少なくとも1つのホストプロセッサ801を含んで提供される。このシステム800には、メインメモリ804も含まれる。ランダムアクセスメモリ(RAM)の形態をとるこのメインメモリ804には、制御論理(ソフトウェア)およびデータが格納される。

10

【0315】

当該システム800には、グラフィックプロセッサ806およびディスプレイ808、すなわちコンピュータモニターも含まれる。一実施形態では、前記グラフィックプロセッサ806に、複数のシェーダーモジュール、ラスタライゼーションモジュールを含めることができる。前記モジュールは、それぞれ場合により単一の半導体プラットフォーム上に位置してグラフィック処理ユニット(GPU)を形成してもよい。

【0316】

本説明において、単一の半導体プラットフォームとは、単独半導体ベースの集積回路またはチップをいう。用語「単一の半導体プラットフォーム」は、接続性を高めたマルチチップモジュールのうち、オンチップ動作をシミュレートして従来の中央処理装置(CPU)およびバス実施態様の利用を著しく改善するものも指す場合があるので注意すべきである。前記種々のモジュールは、利用者の必要に応じて、別個に位置してもよく、または半導体プラットフォームを種々に組み合わせて構成してもよいことは言うまでもない。

20

【0317】

このシステム800には、二次記憶装置810を含めることもできる。この二次記憶装置810としては、例えばハードディスクドライブ、および/またはフロッピー(登録商標)ディスクドライブ、磁気テープドライブ、コンパクトディスクドライブなどに代表される取り外し可能な記憶装置ドライブがある。前記取り外し可能な記憶装置ドライブは、取り外し可能な記憶装置ユニットに対し、公知の態様で読み取りおよび/または書き込みを行う。

30

【0318】

前記メインメモリ804および/または前記二次記憶装置810には、コンピュータプログラムまたはコンピュータ制御論理アルゴリズムを格納することができる。そのようなコンピュータプログラムを実行することにより、前記システム800は種々の機能を実行できる。メモリ804、記憶装置810、および/または他の任意の記憶装置は、コンピュータ可読媒体として可能な例である。

【0319】

一実施形態において、前記種々の図のアーキテクチャおよび/または機能性は、前記ホストプロセッサ801、前記グラフィックプロセッサ806、これらホストプロセッサ801およびグラフィックプロセッサ806の双方の能力の少なくとも一部が可能な集積回路(図示せず)、チップセット(すなわち、関連し合う機能を実行する動作するように設計されユニットとして販売される集積回路のグループ)、および/またはこれらに関する他の任意の集積回路の文脈で実装することができる。

40

【0320】

さらに、前記種々の図のアーキテクチャおよび/または機能性は、一般的なコンピュータシステム、回路基板システム、娯楽目的専用のゲームコンソールシステム、アプリケーション固有のシステム、および/または他の任意の所望のシステムの文脈で実装することができる。例えば、前記システム800は、デスクトップコンピュータ、ラップトップコンピュータ、および/または他の任意タイプの論理の形態をとることができる。また、前記システム800は、携帯情報端末(PDA)装置、携帯電話装置、テレビジョン受信機

50

を含み、かつこれらに限定されない他の種々の装置の形態をとることができる。

【0321】

さらに、図示していないが、前記システム800は、ネットワーク[例えば、遠隔通信ネットワーク、ローカルエリアネットワーク(LAN)、無線ネットワーク、インターネットなどの広域ネットワーク(WAN)、ピアツーピアネットワーク、ケーブルネットワーク]に通信目的で連結できる。

【0322】

実施技術例

一部の実施形態において、コンピューティングホスト・フラッシュメモリ・コントローラまたはSSDコントローラ(例えば、図8AのSSDコントローラ800)と、プロセッサ、マイクロプロセッサ、システムオンチップ、アプリケーション固有の集積回路、ハードウェアアクセラレータ、または上記動作の全部または一部を提供する他の回路の部分とにより実行される動作の全部または一部の種々の組み合わせは、コンピュータシステムによる処理と互換性のある仕様で指定される。その仕様は、種々の記述、例えばハードウェア記述言語、回路記述、ネットリスト記述、マスク記述、レイアウト記述による。記述例としては、Verilog、VHDL、SPICE、SPICE変形形態(例えば、IBIS、LEF、DEF、GDS-II、OASIS)、または他の記述がある。種々の実施形態では、前記処理として、1若しくはそれ以上の集積回路に含める上で適した論理および/または回路を生成、検証、または指定するための解釈、コンパイル、シミュレーション、および合成の任意の組み合わせが含まれる。各集積回路は、種々の実施形態によれば、種々の技術に基づいて設計可能および/または製造可能である。それらの技術としては、プログラマブル技術(例えば、フィールドプログラマブルまたはマスクプログラマブル・ゲートアレイ集積回路)、セミカスタム技術(例えば、全体的または部分的にセルベースの集積回路)、フルカスタム技術(例えば、実質的に特定用途向けの集積回路)、これらの任意の組み合わせ、または集積回路の設計および/または製造と互換性のある他の任意技術などがある。

【0323】

一部の実施形態において、命令セットを内部に格納したコンピュータ可読媒体による上記動作の全部または一部の各種組み合わせは、1若しくはそれ以上のプログラム命令の実行および/または解釈により、1若しくはそれ以上のソースおよび/またはスクリプト言語ステートメントの解釈および/またはコンパイルにより、あるいはプログラミングおよび/またはスクリプト言語ステートメントで表現された情報をコンパイル、変換、および/または解釈して生成されたバイナリ命令の実行により、実施される。前記ステートメントは、いかなる標準プログラミング言語またはスクリプト言語とも互換性がある(例えば、C、C++、Fortran、Pascal、Ada、Java(登録商標)、VBScript、およびShell)。前記プログラム命令、前記言語ステートメント、またはバイナリ命令のうち1若しくはそれ以上は、選択的に、1若しくはそれ以上のコンピュータ可読記憶媒体要素に格納される。種々の実施形態において、前記プログラム命令の一部、全部、または種々の部分は、1若しくはそれ以上の関数、ルーチン、サブルーチン、インラインルーチン、プロシージャ、マクロ、またはその部分として実現される。

【0324】

結論

上記説明では一定の選択を行っているが、これは単に文章と図面を作成する便宜上のもので、別段の断りがない限り、これらの選択自体が、上記実施形態の構造または動作に関する追加情報を包含すると解釈すべきではない。前記選択の例は、図の参照番号について使用される指定の具体的な構成または割り当て、ならびに前記実施形態の特徴および要素を識別および参照するため使用した前記要素識別子の具体的な構成または割り当て(各要素の囲み線または参照番号)などである。

【0325】

表現「を含む」または「が含まれる」は、特に非限定的な範囲の論理セットを記述する

10

20

30

40

50

抽象表現として解釈されるよう意図したものであり、明示的に「内に」という表現を伴わない限り、物理的収納を意味することを意図したものではない。

【 0 3 2 6 】

以上の実施形態については、説明および理解の明瞭化を目的として一部詳しく説明したが、本発明は上記で提供した詳細事項に限定されるものではない。本発明には多くの実施形態がある。開示した実施形態は、例示的なものであって限定的なものではない。

【 0 3 2 7 】

構造、構成、および使用については、前記説明と一貫し、また当該交付済み特許の請求範囲内で多数の変形形態が可能であることが理解されるであろう。例えば、相互接続および機能単位のビット幅、クロック速度、および使用する技術のタイプは、各構成要素ブロックにおける種々の実施形態に応じて異なる。相互接続および論理に与えた名称は単に例示的なものであり、説明された概念を限定するものと解釈されるべきではない。フローチャートの工程、アクション、および機能要素の順序および構成は、種々の実施形態に応じて異なる。また、具体的に別段の断りがない限り、指定した値範囲、使用した最大値および最小値、または他の特定の仕様（例えば、フラッシュメモリ技術のタイプ、ならびにレジスタおよびバッファのエントリまたはステージの数など）は、単に説明した実施形態のものであり、実施態様の技術は改善および変更されることが期待され、本発明を限定するものと解釈すべきではない。

【 0 3 2 8 】

種々の構成要素、サブシステム、動作・操作、機能、ルーチン、サブルーチン、インラインルーチン、プロシージャ、マクロ、またはその部分を実施するため説明した技術については、これらに代えて、当該技術分野で知られた機能的に等価の技術が使用できる。また言うまでもなく、実施形態の多くの機能的態様は、ハードウェア（一般に専用回路）またはソフトウェア（プログラムされたコントローラまたはプロセッサの何らかの態様による）で、実施形態に応じた設計上の制約と、処理高速化（それまでハードウェアに含まれていた機能のソフトウェアへの移行を促す）および集積密度の向上（それまでソフトウェアに含まれていた機能のハードウェアへの移行を促す）という技術トレンドとの関数として、選択的に実現できる。種々の実施形態における具体的な変形形態としては、パーティショニングの違い、フォームファクタおよびコンフィギュレーションの違い、使用するオペレーティングシステムおよび他のシステムソフトウェアの違い、使用するインターフェース規格、ネットワークプロトコル、または通信リンクの違いによる変形形態、ならびに本明細書で説明した概念の実施時、特定用途に関する独自の工学および業務上の制約に基づいて期待される他の変形形態などがあるが、これらに限定されるものではない。

【 0 3 2 9 】

以上の実施形態は、説明した実施形態の多くの態様について必要最低限の実施態様よりはるかに多くの詳細事項および環境的文脈を加えて説明したものである。当業者であれば、一部の実施形態では、本明細書に開示した構成要素または特徴を省略しても、残りの要素間の基本的な協動態様は変わらないことが理解できるであろう。したがって、開示した詳細事項の大部分については、説明した実施形態の種々の態様を実施（実装）しなくともよいことは言うまでもない。前記残りの要素が先行技術と区別可能である限り、省略された構成要素および特徴により本明細書で説明する概念が限定されることはない。

【 0 3 3 0 】

設計におけるそのようないかなる変形形態も、説明した実施形態で開示した内容に対する実質的な変更とはならない。また言うまでもなく、本明細書で説明した実施形態は他のコンピューティング用途およびネットワーキング用途に広い応用性を有し、説明した実施形態の特定の応用または産業に限定されない。このように、本発明は、当該交付済み特許の請求範囲内で、考えられるすべての変更（修正）形態および変形形態を含むものと解釈されるべきである。

【図 4 A】

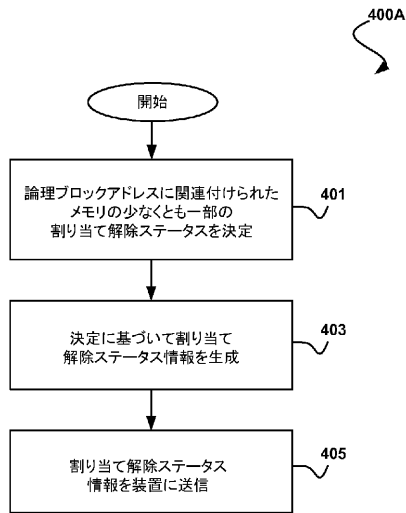


Fig. 4A

【図 4 B】

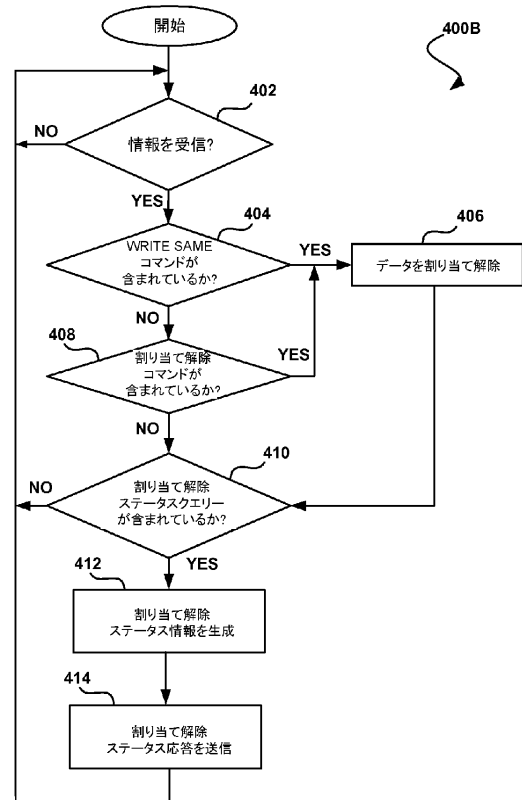


Fig. 4B

【図 5 A】

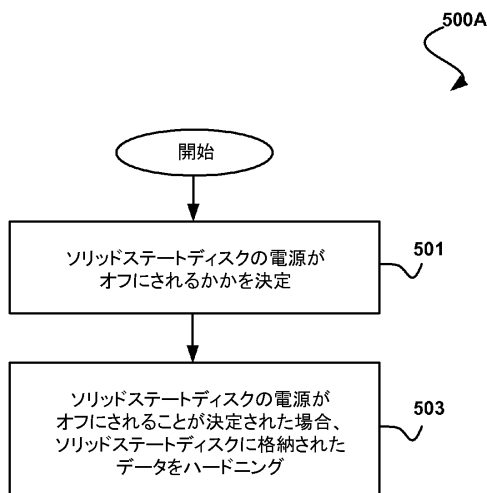


Fig. 5A

【図 5 B】

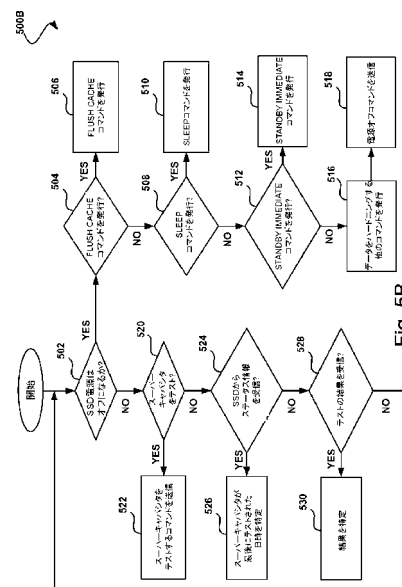


Fig. 5B

【 ㊦ 5 C 】

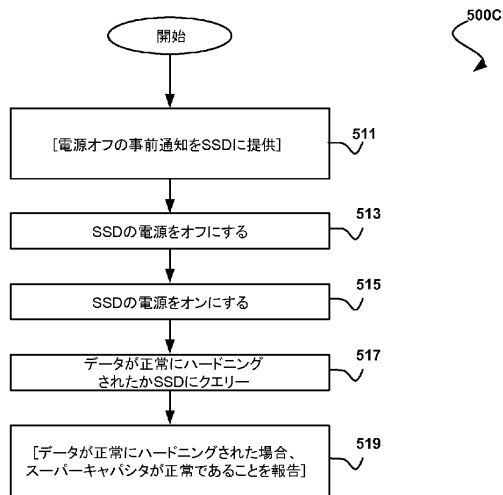


Fig. 5C

【 図 6 】

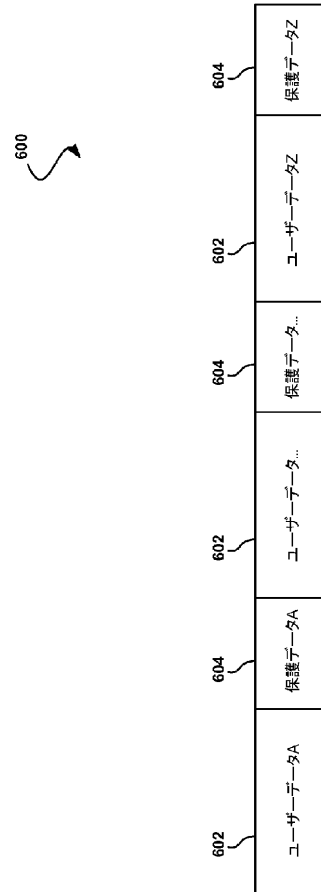


Fig. 6

【圖 7】

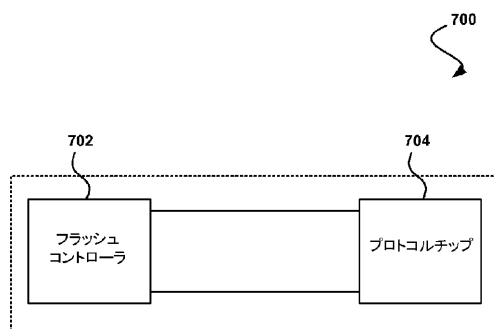


Fig. 7

【 図 8 A 】

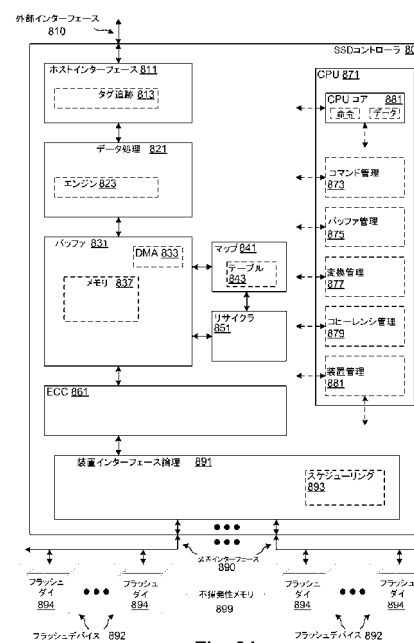


Fig. 8A

【図 8 B】

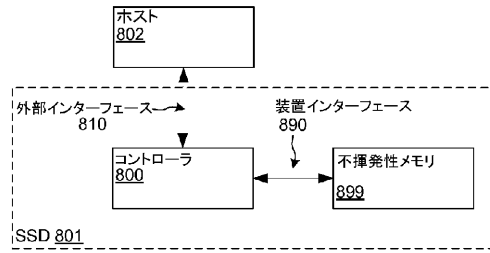


Fig. 8B

【図 8 C】

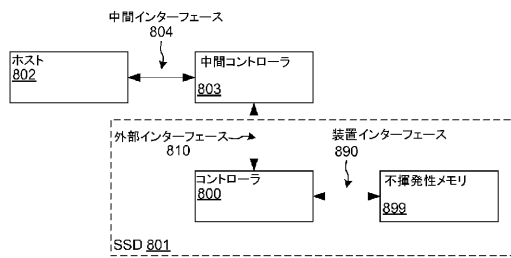


Fig. 8C

【図 9】

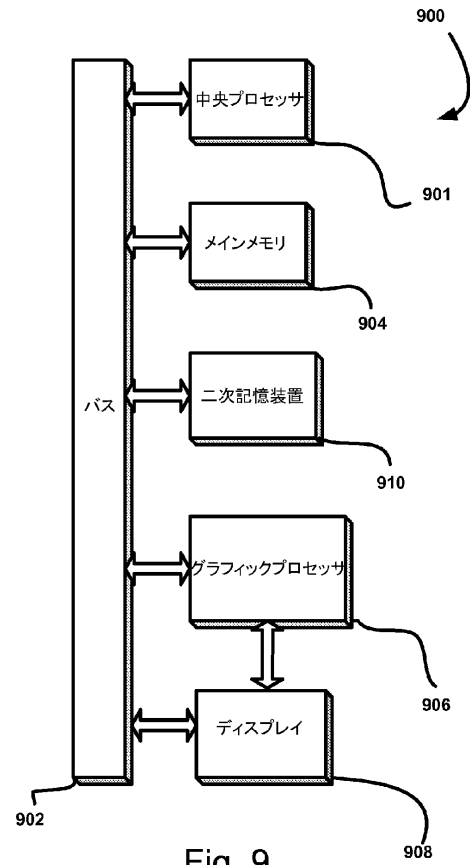


Fig. 9

フロントページの続き

- (31)優先権主張番号 12/413,329
(32)優先日 平成21年3月27日(2009.3.27)
(33)優先権主張国 米国(US)

早期審査対象出願

- (56)参考文献 特開2008-198208(JP,A)
米国特許出願公開第2009/0063895(US,A1)
特開2000-207137(JP,A)
特開2001-344076(JP,A)
特開2008-276793(JP,A)

(58)調査した分野(Int.Cl., DB名)

G06F 12/00 - 12/06
G06F 13/16 - 13/18
G06F 12/16
G06F 3/06
G06F 13/10