

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成30年2月15日(2018.2.15)

【公開番号】特開2015-133119(P2015-133119A)

【公開日】平成27年7月23日(2015.7.23)

【年通号数】公開・登録公報2015-046

【出願番号】特願2015-5870(P2015-5870)

【国際特許分類】

G 06 F 12/16 (2006.01)

G 06 F 12/00 (2006.01)

G 11 C 11/401 (2006.01)

【F I】

G 06 F 12/16 3 3 0 D

G 06 F 12/16 3 1 0 A

G 06 F 12/00 5 6 4 A

G 11 C 11/34 3 7 1 Z

【手続補正書】

【提出日】平成29年12月20日(2017.12.20)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

ページテーブルを有するメモリを制御するためのメモリコントローラであって、

前記ページテーブルは、第1エントリを含む第1テーブル及び第2エントリを含む第2テーブルを用いて格納するように構成され、

前記第1エントリは、

第1タイム区間の間に活性化されたメモリの第1メモリローを識別する第1識別子と、

前記第1タイム区間の間に残りの第1タイムを示すタイムアウトカウンターと、を含み、

前記第2エントリは、

少なくとも1つの第2タイム区間の間に活性化されたメモリの第2メモリローを識別する第2識別子と、

前記第2メモリローのアクティベーションの数量をカウントするアクティベーションカウンターと、

前記少なくとも1つの第2タイム区間の間に残りの第2タイムを示す第2タイムアウトカウンターと、を含むことを特徴とするメモリコントローラ。

【請求項2】

前記第2メモリローに隣接して位置するメモリの隣接メモリロー内に格納されたデータの劣化無しに前記第2メモリローの最大許容アクティベーション数が許容されるタイム区間である最大アクティベーションウインドーの間に、前記第2メモリローのアクティベーションの数量は、前記第2メモリローの最大許容アクティベーション数に寄与することを特徴とする請求項1に記載のメモリコントローラ。

【請求項3】

前記第2メモリローに隣接して位置するメモリの隣接メモリローのリフレッシュ無しに前記第2メモリローの最大許容アクティベーション数が許容されるタイム区間である最大

アクティベーションウインドーの間に、前記第2メモリローのアクティベーションの数量は、前記第2メモリローの最大許容アクティベーション数に寄与することを特徴とする請求項1に記載のメモリコントローラ。

#### 【請求項4】

前記少なくとも1つの第2タイム区間は、前記最大アクティベーションウインドー内で前記第2メモリローの最大許容アクティベーション数の各々の間の平均時間であることを特徴とする請求項3に記載のメモリコントローラ。

#### 【請求項5】

前記メモリコントローラは、

前記メモリのメモリローをアクティベーションするためのリクエストを受信し、

前記メモリローが前記第2エントリの第2識別子によって識別された第2メモリローにマッチするか否かを決定し、

前記メモリローが前記第2エントリの第2識別子によって識別された第2メモリローにマッチすることを決定した結果に応答して、前記アクティベーションカウンターが前記最大許容アクティベーション数を示すか否かを決定し、

前記アクティベーションカウンターが前記最大許容アクティベーション数を示すことを決定した結果に応答して、前記メモリのリフレッシュ動作及び前記リクエストのストーリング動作(stalling operation)の中の1つを実行することを特徴とする請求項4に記載のメモリコントローラ。

#### 【請求項6】

前記メモリコントローラは、前記アクティベーションカウンターが前記最大許容アクティベーション数を示さないことを決定した結果に応答して、前記アクティベーションカウンターを増加させ、前記第2メモリローをアクティベーションすることを特徴とする請求項5に記載のメモリコントローラ。

#### 【請求項7】

前記メモリコントローラは、

前記メモリのメモリローをアクティベーションするためのリクエストを受信し、

前記メモリローが前記第1エントリの第1識別子によって識別された第1メモリローにマッチすることを決定し、

前記第1エントリの割当てを取り消し、

前記第2テーブル内で前記メモリローの対応エントリを割当て、

前記メモリローをアクティベーションすることを特徴とする請求項4に記載のメモリコントローラ。

#### 【請求項8】

前記メモリコントローラは、

前記メモリのメモリローをアクティベーションするためのリクエストを受信し、

前記メモリローが前記第1エントリの第1識別子によって識別された第1メモリローにマッチしないことを決定し、

前記第1テーブル内で前記メモリローの対応エントリを割当てることを特徴とする請求項4に記載のメモリコントローラ。

#### 【請求項9】

前記メモリコントローラは、

前記メモリのメモリローをアクティベーションするためのリクエストを受信し、

前記メモリローが前記第1エントリの第1識別子によって識別された第1メモリローにマッチすることを決定し、

前記第2テーブルが前記第1メモリローに対応する追加エントリを割当てることが不可能であることを決定し、

前記第2テーブルが前記第1メモリローに対応する追加エントリを割当てることが不可能であるとの決定に応答して、前記メモリのリフレッシュ動作及び前記リクエストのストーリング動作(stalling operation)の中の1つを実行することを

特徴とする請求項 4 に記載のメモリコントローラ。

【請求項 1 0】

前記メモリコントローラは、

前記少なくとも 1 つの第 2 タイム区間が前記第 2 タイムアウトカウンターから経過したか否かを決定し、

前記少なくとも 1 つの第 2 タイム区間が前記第 2 タイムアウトカウンターから経過したことの結果に応答して、前記アクティベーションカウンターを減少させることを特徴とする請求項 4 に記載のメモリコントローラ。

【請求項 1 1】

メモリコントローラによりメモリのメモリローに対するアクティベーションをトラッキングする方法であって、

メモリ内にページテーブルを格納する段階と、

前記ページテーブルを用いて前記メモリのメモリローに対するアクティベーションをトラッキングする段階と、を有し、

前記ページテーブルは、第 1 エントリを含む第 1 テーブル及び第 2 エントリを含む第 2 テーブルを用いて格納するように構成され、

前記第 1 エントリは、

第 1 タイム区間の間に活性化されたメモリの第 1 メモリローを識別する第 1 識別子と、

前記第 1 タイム区間の間に残りの第 1 タイムを示すタイムアウトカウンターと、を含み、

前記第 2 エントリは、

少なくとも 1 つの第 2 タイム区間の間に活性化されたメモリの第 2 メモリローを識別する第 2 識別子と、

前記第 2 メモリローのアクティベーションの数量をカウントするアクティベーションカウンターと、

前記少なくとも 1 つの第 2 タイム区間の間に残りの第 2 タイムを示す第 2 タイムアウトカウンターと、を含むことを特徴とするトラッキング方法。

【請求項 1 2】

前記第 2 メモリローに隣接して位置するメモリの隣接メモリロー内に格納されたデータの劣化無しに前記第 2 メモリローの最大許容アクティベーション数が許容されるタイム区間である最大アクティベーションウインドーの間に、前記第 2 メモリローのアクティベーションの数量は、前記第 2 メモリローの最大許容アクティベーション数に寄与することを特徴とする請求項 1 1 に記載のトラッキング方法。

【請求項 1 3】

前記第 2 メモリローに隣接して位置するメモリの隣接メモリローのリフレッシュ無しに前記第 2 メモリローの最大許容アクティベーション数が許容されるタイム区間である最大アクティベーションウインドーの間に、前記第 2 メモリローのアクティベーションの数量は、前記第 2 メモリローの最大許容アクティベーション数に寄与することを特徴とする請求項 1 1 に記載のトラッキング方法。

【請求項 1 4】

前記少なくとも 1 つの第 2 タイム区間は、前記最大アクティベーションウインドー内で前記第 2 メモリローの最大許容アクティベーション数の各々の間の平均時間であることを特徴とする請求項 1 3 に記載のトラッキング方法。

【請求項 1 5】

前記メモリのメモリローに対するアクティベーションをトラッキングする段階は、

前記メモリのメモリローをアクティベーションするためのリクエストを受信する段階と、

前記メモリローが前記第 2 エントリの第 2 識別子によって識別された第 2 メモリローにマッチするか否かを決定する段階と、

前記メモリローが前記第 2 エントリの第 2 識別子によって識別された第 2 メモリローに

マッチすることを決定した場合、前記アクティベーションカウンターが前記最大許容アクティベーション数を示すか否かを決定する段階と、

前記アクティベーションカウンターが前記最大許容アクティベーション数を示すことを決定した場合、前記メモリのリフレッシュ動作及び前記リクエストのストーリング動作(stalling operation)の中の1つを実行する段階と、を含むことを特徴とする請求項14に記載のトラッキング方法。

#### 【請求項16】

前記メモリのメモリローに対するアクティベーションをトラッキングする段階は、

前記アクティベーションカウンターが前記最大許容アクティベーション数を示さないことを決定した場合、前記アクティベーションカウンターを増加させ、前記第2メモリローをアクティベーションする段階を更に含むことを特徴とする請求項15に記載のトラッキング方法。

#### 【請求項17】

前記メモリのメモリローに対するアクティベーションをトラッキングする段階は、

前記メモリのメモリローをアクティベーションするためのリクエストを受信する段階と、

前記メモリローが前記第1エントリの第1識別子によって識別された第1メモリローにマッチすることを決定する段階と、

前記第1エントリの割当てを取り消す段階と、

前記第2テーブル内で前記メモリローの対応エントリを割当てる段階と、

前記メモリローをアクティベーションする段階と、を含むことを特徴とする請求項14に記載のトラッキング方法。

#### 【請求項18】

前記メモリのメモリローに対するアクティベーションをトラッキングする段階は、

前記メモリのメモリローをアクティベーションするためのリクエストを受信する段階と、

前記メモリローが前記第1エントリの第1識別子によって識別された第1メモリローにマッチしないことを決定する段階と、

前記第1テーブル内で前記メモリローの対応エントリを割当てる段階と、を含むことを特徴とする請求項14に記載のトラッキング方法。

#### 【請求項19】

前記メモリのメモリローに対するアクティベーションをトラッキングする段階は、

前記メモリのメモリローをアクティベーションするためのリクエストを受信する段階と、

前記メモリローが前記第1エントリの第1識別子によって識別された第1メモリローにマッチすることを決定する段階と、

前記第2テーブルが前記第1メモリローに対応する追加エントリを割当てることが不可能であることを決定する段階と、

前記第2テーブルが前記第1メモリローに対応する追加エントリを割当てることが不可能であるとの決定に応答して、前記メモリのリフレッシュ動作及び前記リクエストのストーリング動作(stalling operation)の中の1つを実行する段階と、を含むことを特徴とする請求項14に記載のトラッキング方法。

#### 【請求項20】

前記メモリのメモリローに対するアクティベーションをトラッキングする段階は、

前記少なくとも1つの第2タイム区間が前記第2タイムアウトカウンターから経過したか否かを決定する段階と、

前記少なくとも1つの第2タイム区間が前記第2タイムアウトカウンターから経過したことを決定した場合、前記アクティベーションカウンターを減少させる段階と、を含むことを特徴とする請求項14に記載のトラッキング方法。

#### 【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0010

【補正方法】変更

【補正の内容】

【0010】

上記目的を達成するためになされた本発明の一態様によるページテーブルを有するメモリを制御するためのメモリコントローラにおいて、前記ページテーブルは、第1エントリを含む第1テーブル及び第2エントリを含む第2テーブルを用いて格納するように構成され、前記第1エントリは、第1タイム区間の間に活性化されたメモリの第1メモリローを識別する第1識別子と、前記第1タイム区間の間に残りの第1タイムを示すタイムアウトカウンターと、を含み、前記第2エントリは、少なくとも1つの第2タイム区間の間に活性化されたメモリの第2メモリローを識別する第2識別子と、前記第2メモリローのアクティベーションの数量をカウントするアクティベーションカウンターと、前記少なくとも1つの第2タイム区間の間に残りの第2タイムを示す第2タイムアウトカウンターと、を含む。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0011

【補正方法】変更

【補正の内容】

【0011】

上記目的を達成するためになされた本発明の一態様によるメモリコントローラによりメモリローに対するアクティベーションをトラッキングする方法は、メモリ内にページテーブルを格納する段階と、前記ページテーブルを用いて前記メモリのメモリローに対するアクティベーションをトラッキングする段階と、を有し、前記ページテーブルは、第1エントリを含む第1テーブル及び第2エントリを含む第2テーブルを用いて格納するように構成され、前記第1エントリは、第1タイム区間の間に活性化されたメモリの第1メモリローを識別する第1識別子と、前記第1タイム区間の間に残りの第1タイムを示すタイムアウトカウンターと、を含み、前記第2エントリは、少なくとも1つの第2タイム区間の間に活性化されたメモリの第2メモリローを識別する第2識別子と、前記第2メモリローのアクティベーションの数量をカウントするアクティベーションカウンターと、前記少なくとも1つの第2タイム区間の間に残りの第2タイムを示す第2タイムアウトカウンターと、を含む。