

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-68566

(P2010-68566A)

(43) 公開日 平成22年3月25日(2010.3.25)

(51) Int.Cl.

H02M 3/155 (2006.01)

F I

H02M 3/155

F

テーマコード (参考)

5H730

審査請求 未請求 請求項の数 7 O L (全 11 頁)

(21) 出願番号 特願2008-230307 (P2008-230307)  
 (22) 出願日 平成20年9月8日 (2008.9.8)

(71) 出願人 506334171  
 トレックス・セミコンダクター株式会社  
 東京都中央区日本橋茅場町一丁目13番1  
 2号  
 (74) 代理人 100101236  
 弁理士 栗原 浩之  
 (74) 代理人 100128532  
 弁理士 村中 克年  
 (72) 発明者 羽根 功真  
 東京都中央区日本橋茅場町一丁目13番1  
 2号 トレックス・セミコンダクター株式  
 会社内  
 Fターム(参考) 5H730 AA20 AS04 AS19 BB14 BB57  
 DD04 DD26 EE19 EE59 FD01  
 FF01 FG05 XC04 XX03 XX15  
 XX23 XX42

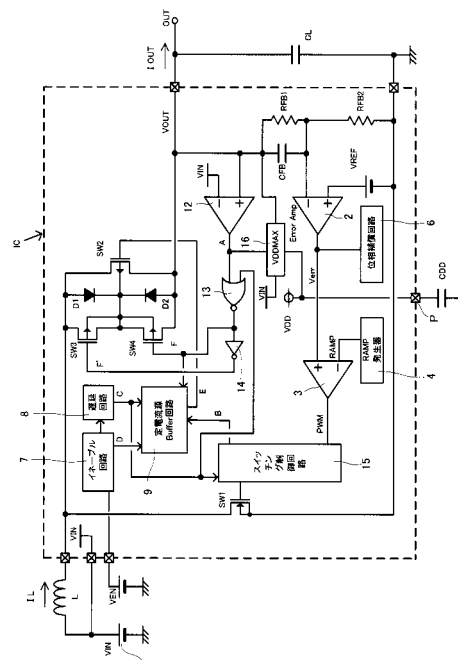
(54) 【発明の名称】昇圧形スイッチング電源回路

(57) 【要約】 (修正有)

【課題】昇圧動作停止時に入力電圧が出力に生じないよう負荷切断が可能で、始動時の突入電流を抑制し得る昇圧形スイッチング電源回路を提供する。

【解決手段】始動直後の遅延期間内においてスイッチング素子SW2を定電流源バッファ回路9のスイッチング制御信号Eにより定電流制御を行うとともに、昇圧動作のための制御の停止時、又は遅延期間内において、出力電圧 $V_{OUT} < V_{IN}$ のときにはスイッチング素子SW3がオン状態とされ、同時にスイッチング素子SW4がオフ状態とされ、また $V_{OUT} > V_{IN}$ のときには、逆にスイッチング素子SW3がオフ状態とされ、同時にスイッチング素子SW4がオン状態とされる一方、遅延期間の経過後にはコンパレータ12で比較する出力電圧 $V_{OUT}$ と入力電圧 $V_{IN}$ との大小関係の如何にかかわらずスイッチング素子SW3がオフ状態となり、スイッチング素子SW4がオン状態となるように制御される。

【選択図】図1



## 【特許請求の範囲】

## 【請求項 1】

出力電圧と基準値との偏差を検出するエラーアンプの出力信号に基づき第 1 のスイッチング素子を制御するとともに、コイルに蓄積したエネルギーに基づく電圧を入力電圧に重畳することにより昇圧した出力電圧を出力端子を介して得る昇圧形スイッチング電源回路であって、

前記コイルの出力側と前記出力端子との間に接続された P 形の MOSFET からなる第 2 のスイッチング素子と、

アノードが前記コイルの出力側にされた第 1 のダイオードと、

アノードが前記出力端子に接続され、そのカソードと前記第 1 のダイオードのカソードとが相互に接続されるとともに両者の接続点が前記第 2 のスイッチング素子のバックゲートに接続されている第 2 のダイオードと、

前記コイルの出力側と前記第 2 のスイッチング素子のバックゲートとの間に接続されるとともに、自身のバックゲートが前記第 2 のスイッチング素子のバックゲートに接続された P 形の MOSFET からなる第 3 のスイッチング素子と、

前記出力端子と前記第 2 のスイッチング素子のバックゲートとの間に接続されるとともに、自身のバックゲートが前記第 2 のスイッチング素子のバックゲートに接続された P 形の MOSFET からなる第 4 のスイッチング素子と、

昇圧動作のための制御の開始を一定時間遅延させる遅延手段と、

前記遅延手段による遅延期間内において前記第 2 のスイッチング素子を定電流駆動する定電流駆動手段と、

前記遅延期間の経過後に前記第 1 のスイッチング素子と前記第 2 のスイッチング素子とを交互にオン・オフ制御する第 1 のスイッチング制御手段と、

前記昇圧動作のための制御の停止時又は前記遅延期間内においてコンパレータで比較する前記入力電圧が前記出力電圧よりも大きいときは前記第 3 のスイッチング素子がオンするとともに前記第 4 のスイッチング素子がオフするように、また前記コンパレータで比較する前記入力電圧が前記出力電圧よりも小さいときは前記第 3 のスイッチング素子がオフするとともに前記第 4 のスイッチング素子がオンし、さらに前記遅延期間の経過後には前記コンパレータで比較する前記入力電圧と前記出力電圧との大小関係の如何にかかわらず前記第 3 のスイッチング素子がオフするとともに前記第 4 のスイッチング素子がオンするようにスイッチング制御を行う第 2 のスイッチング制御手段とを有することを特徴とする昇圧形スイッチング電源回路。

## 【請求項 2】

請求項 1 に記載する昇圧形スイッチング電源回路において、

前記コンパレータは前記入力電圧に所定の電圧を重畳した電圧と前記出力電圧とを比較するように構成したことを特徴とする昇圧形スイッチング電源回路。

## 【請求項 3】

請求項 1 又は請求項 2 に記載する昇圧形スイッチング電源回路において、

電源電圧は前記コンパレータの出力に基づき前記入力電圧乃至前記出力電圧のうち大きい方を選択して使用するよう構成したことを特徴とする昇圧形スイッチング電源回路。

## 【請求項 4】

請求項 1 乃至請求項 3 の何れか一つに記載する昇圧形スイッチング電源回路において、

前記第 1 のスイッチング制御手段と前記第 2 のスイッチング素子のゲートとの間にバッファ回路を設け、このバッファ回路は前記遅延期間内において停止され、前記遅延期間経過後に前記第 1 のスイッチング制御手段のスイッチング制御に基づき前記第 2 のスイッチング素子のオン・オフ制御を行うように構成したものであることを特徴とする昇圧形スイッチング電源回路。

## 【請求項 5】

請求項 1 乃至請求項 4 の何れか一つに記載する昇圧形スイッチング電源回路は集積回路で構成したことを特徴とする昇圧形スイッチング電源回路。

## 【請求項 6】

請求項 5 に記載する昇圧形スイッチング電源において、  
前記遅延手段はイネーブル回路が前記集積回路を駆動可能になった時点から前記昇圧動作のための制御の開始を一定時間遅延するように構成したことを特徴とする昇圧形スイッチング電源回路。

## 【請求項 7】

請求項 5 又は請求項 6 に記載する昇圧形スイッチング電源回路において、  
前記集積回路には、この集積回路の動作を安定させるための外付けコンデンサを接続可能なピンを有することを特徴とする昇圧形スイッチング電源回路。

10

20

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は昇圧形スイッチング電源回路に関し、特に当該スイッチング電源回路の昇圧動作の停止時に電源による入力電圧が出力端子に印加されるのを防止する構造を採用する場合に適用して有用なものである。

30

## 【背景技術】

## 【0002】

スイッチング電源回路の中には、電源電圧を昇圧して出力する、いわゆる昇圧形のものがある。図 6 は従来技術に係る代表的な昇圧形スイッチング電源回路を示す回路図である。同図に示すように、当該スイッチング電源回路では、N 形の MOSFET で形成したスイッチング素子 SW1 をオンさせると、電源 1 からコイル L 及びスイッチング素子 SW1 を介してコイル電流 IL が流れることによりコイル L にエネルギーが蓄積される。その後スイッチング素子 SW1 をオフさせるとスイッチング素子 SW1 のオン期間に蓄積されたエネルギーに基づく逆起電力が電源 1 の出力である入力電圧 VIN に重畳される。この結果、所定電圧に昇圧された出力電圧 VOUT をショットキーダイオード SBD を介して出力端子 OUT に得ることができる。ここで、コンデンサ CL は出力電流 IOUT の平滑用として、コンデンサ CFB は位相補償用として機能する。

40

## 【0003】

一方、出力端子 OUT における出力電圧 VOUT は抵抗 RFB1 及び抵抗 RFB2 で所定の割合に分圧されてエラーアンプ 2 の一方の入力端子に供給される。エラーアンプ 2 は出力電圧 VOUT を分圧した電圧と、他方の入力端子に供給されている予め定めた基準電圧 VREF との偏差を表す誤差信号 Verr を出力する。PWM コンパレータ 3 は誤差信号 Verr と、ランプ発生器 4 が発生するランプ信号 RAMP とを比較して形成した PWM 信号 PWM を出力する。スイッチング素子 SW1 はスイッチング制御回路 5 により PW

50

M信号PWMに基づきそのオン・オフが制御される。かくして、PWM信号PWMのデューティに基づきスイッチング素子SW1のオン期間を制御することにより出力電圧VOUTを所定値に調整する。なお、位相補償回路6はエラーアンプ2の高周波数帯域での位相補償を行うものである。

#### 【0004】

ところで、かかる昇圧形スイッチング電源回路では、当該昇圧形スイッチング電源回路の昇圧動作を停止するに際し、スイッチング素子SW1のスイッチング制御を停止しても入力電圧VINが出力端子OUTにそのまま出力されてしまう。

#### 【0005】

かかる問題はショットキーダイオードSBDの代わりにスイッチング素子を用いてこのスイッチング素子で電源側と負荷側とを遮断することにより一応解決する。ところが、この場合のスイッチング素子をMOSFETで形成した場合、MOSFETが本来的に有する寄生ダイオードにより電源側と負荷側とが接続されてしまうという問題が発生する。

#### 【0006】

かかる問題を解決する昇圧形スイッチング電源回路を開示する公知文献として特許文献1が存在する。特許文献1に開示する昇圧形スイッチング電源回路は、コイルの出力側と出力端子との間に接続されたP形のスイッチング素子である第1のMOSFETに対し、前記出力端子と前記第1のMOSFETのバックゲートとの間に接続されるとともにゲートが入力端子に接続されたP形のスイッチング素子である第2のMOSFETと、前記入力端子と前記第1のMOSFETのバックゲートとの間に接続されるとともにゲートが前記出力端子に接続されたP形のスイッチング素子である第3のMOSFETとを追加して構成したものである。

#### 【0007】

かかる構成により、昇圧動作の停止時には第1のMOSFETを介する電流経路は元より、これに付随する寄生ダイオードを介した電流経路をも第2のMOSFETにより遮断することができる。

【特許文献1】特開2006-304500号公報

#### 【発明の開示】

#### 【発明が解決しようとする課題】

#### 【0008】

一般に、MOSFETはそのバックゲートの電位がフローティング状態の場合には、ラッチアップによる素子破壊の虞がある。しかしながら、特許文献1に開示する昇圧形スイッチング回路ではその始動時には第1乃至第3のMOSFETが何れもオフ状態であるので、それぞれのバックゲートの電圧は不定である。

#### 【0009】

さらに、特許文献1に開示する昇圧形スイッチング回路の始動時には第1のMOSFETに大きな突入電流が流れるという問題もある。

#### 【0010】

本発明は、上記従来技術に鑑み、昇圧動作停止時に入力電圧が出力に生じないよう負荷切断が可能であるばかりでなく、MOSFETのバックゲートの電位を固定するとともに、始動時の突入電流を有効に抑制し得る昇圧形スイッチング電源回路を提供することを目的とする。

#### 【課題を解決するための手段】

#### 【0011】

上記目的を達成するための本発明の第1の態様は、出力電圧と基準値との偏差を検出するエラーアンプの出力信号に基づき第1のスイッチング素子を制御するとともに、コイルに蓄積したエネルギーに基づく電圧を入力電圧に重畳することにより昇圧した出力電圧を出力端子を介して得る昇圧形スイッチング電源回路であって、前記コイルの出力側と前記出力端子との間に接続されたP形のMOSFETからなる第2のスイッチング素子と、アノードが前記コイルの出力側にされた第1のダイオードと、アノードが前記出力端子に接続

10

20

30

40

50

され、そのカソードと前記第 1 のダイオードのカソードとが相互に接続されるとともに両者の接続点が前記第 2 のスイッチング素子のバックゲートに接続されている第 2 のダイオードと、前記コイルの出力側と前記第 2 のスイッチング素子のバックゲートとの間に接続されるとともに、自身のバックゲートが前記第 2 のスイッチング素子のバックゲートに接続された P 形の MOSFET からなる第 3 のスイッチング素子と、前記出力端子と前記第 2 のスイッチング素子のバックゲートとの間に接続されるとともに、自身のバックゲートが前記第 2 のスイッチング素子のバックゲートに接続された P 形の MOSFET からなる第 4 のスイッチング素子と、昇圧動作のための制御の開始を一定時間遅延させる遅延手段と、前記遅延手段による遅延期間内において前記第 2 のスイッチング素子を定電流駆動する定電流駆動手段と、前記遅延期間の経過後に前記第 1 のスイッチング素子と前記第 2 のスイッチング素子とを交互にオン・オフ制御する第 1 のスイッチング制御手段と、前記昇圧動作のための制御の停止時又は前記遅延期間内においてコンパレータで比較する前記入力電圧が前記出力電圧よりも大きいときは前記第 3 のスイッチング素子がオンするとともに前記第 4 のスイッチング素子がオフするように、また前記コンパレータで比較する前記入力電圧が前記出力電圧よりも小さいときは前記第 3 のスイッチング素子がオフするとともに前記第 4 のスイッチング素子がオンし、さらに前記遅延期間の経過後には前記コンパレータで比較する前記入力電圧と前記出力電圧との大小関係の如何にかかわらず前記第 3 のスイッチング素子がオフするとともに前記第 4 のスイッチング素子がオンするようにスイッチング制御を行う第 2 のスイッチング制御手段とを有することを特徴とする昇圧形スイッチング電源回路にある。

10

20

**【0012】**

本発明の第 2 の態様は、第 1 の態様に記載する昇圧形スイッチング電源回路において、前記コンパレータは前記入力電圧に所定の電圧を重畳した電圧と前記出力電圧とを比較するように構成したことを特徴とする昇圧形スイッチング電源回路にある。

**【0013】**

本発明の第 3 の態様は、第 1 又は第 2 の態様に記載する昇圧形スイッチング電源回路において、電源電圧は前記コンパレータの出力に基づき前記入力電圧乃至前記出力電圧のうち大きい方を選択して使用するように構成したことを特徴とする昇圧形スイッチング電源回路にある。

**【0014】**

本発明の第 4 の態様は、第 1 乃至第 3 の態様の何れか一つに記載する昇圧形スイッチング電源回路において、前記第 1 のスイッチング制御手段と前記第 2 のスイッチング素子のゲートとの間にバッファ回路を設け、このバッファ回路は前記遅延期間内において停止され、前記遅延期間経過後に前記第 1 のスイッチング制御手段のスイッチング制御に基づき前記第 2 のスイッチング素子のオン・オフ制御を行うように構成したものであることを特徴とする昇圧形スイッチング電源回路にある。

30

**【0015】**

本発明の第 5 の態様は、第 1 乃至第 4 の態様の何れか一つに記載する昇圧形スイッチング電源回路は集積回路で構成したことを特徴とする昇圧形スイッチング電源回路にある。

**【0016】**

本発明の第 6 の態様は、第 5 の態様に記載する昇圧形スイッチング電源において、前記遅延手段はイネーブル回路が前記集積回路を駆動可能になった時点から前記昇圧動作のための制御の開始を一定時間遅延するように構成したことを特徴とする昇圧形スイッチング電源回路にある。

40

**【0017】**

本発明の第 7 の態様は、第 5 又は第 6 の態様に記載する昇圧形スイッチング電源回路において、前記集積回路には、この集積回路の動作を安定させるための外付けコンデンサを接続可能なピンを有することを特徴とする昇圧形スイッチング電源回路にある。

**【発明の効果】****【0018】**

50

本発明によれば、昇圧動作の停止時に入力側から出力側に至る電流経路は第2のダイオードで遮断される結果、入力電圧が出力端子に表れることはない。その上、第2のスイッチング制御手段によるオン・オフ制御で当該昇圧形スイッチング回路の始動時においてもMOSFET素子で形成した第3乃至第4のスイッチング素子のオン・オフ状態が確定され、第3乃至第4のスイッチング素子が同時にオフ状態となることはない。この結果、バックゲート同士が接続されている第2乃至第4のバックゲートの電位が不定となることはなく、ラッチ電流等による前記スイッチング素子の動作の不安定乃至破壊を未然に防止し得る。

#### 【0019】

さらに、第2のスイッチング素子は、当該昇圧形スイッチング電源回路の始動時の一定期間、定電流駆動手段により定電流駆動されるので、第2のスイッチング素子に大きな始動電流が流れることもない。

#### 【発明を実施するための最良の形態】

#### 【0020】

以下本発明の実施の形態及び実施例を図面に基づき詳細に説明する。

#### 【0021】

##### <第1の実施の形態>

図1は本発明の第1の実施の形態に係るスイッチング電源回路の制御回路を示す回路図である。本形態は、図6に示す昇圧形スイッチング電源回路に所定の制御回路を追加したものである。そこで図6と同一部分には同一番号を付し、重複する説明は省略する。

#### 【0022】

図1に示すように、P形のMOSFETで形成した第2のスイッチング素子SW2は、コイルLの出力側と出力端子OUTとの間に接続されており、N形のMOSFETで形成した第1のスイッチング素子SW1と交互にオン・オフされる。第2のスイッチング素子SW2の一つの寄生ダイオードである第1のダイオードD1はそのアノードがコイルLの出力側に接続されており、他の寄生ダイオードである第2のダイオードD2はそのアノードが出力端子OUTに接続されている。また、第1のダイオードD1のカソードと第2のダイオードD2のカソードとは相互に接続されるとともに両者の接続点が第2のスイッチング素子SW2のバックゲートに接続されている。

#### 【0023】

P形のMOSFETで形成した第3のスイッチング素子SW3は、コイルLの出力側と第2のスイッチング素子SW2のバックゲートとの間にそのバックゲートとともに接続されている。P形のMOSFETで形成した第4のスイッチング素子SW4は、出力端子OUTと第2のスイッチング素子SW2のバックゲートとの間にそのバックゲートとともに接続されている。

#### 【0024】

イネーブル回路7は各回路素子の動作を許容するイネーブル信号Dを遅延回路8及び定電流源バッファ回路9に送出する。遅延回路8はイネーブル信号Dの立ち上がりを一定時間遅延させた遅延信号Cを定電流源バッファ回路9及びスイッチング制御回路15に送出する。

#### 【0025】

スイッチング制御回路15は遅延信号Cで規定される遅延期間の経過後、第1のスイッチング素子SW1と第2のスイッチング素子SW2とを交互にオン・オフ制御する。スイッチング制御回路15による第2のスイッチング素子SW2のスイッチング制御は、定電流源バッファ回路9にスイッチング制御信号Bを供給することにより形成されるスイッチング制御信号Eを介して行われる（この点については後に詳説する。）。

#### 【0026】

定電流源バッファ回路9は、この部分を抽出して図2に詳細に示すように、定電流回路10及びバッファ回路11を有している。かかる、定電流源バッファ回路9の動作は、後に詳説するが、イネーブル信号Dが立ち上がり、遅延回路8に設定された遅延期間が経過

10

20

30

40

50

するまで、すなわち遅延信号Cが立ち上がるまではバッファ回路11の動作が停止され、定電流回路10の基準電源VREF1に基づく定電圧の信号であるスイッチング制御信号Eが定電流回路10からスイッチング素子SW2のゲートに供給される。この結果、スイッチング素子SW2には所定の定電流が流れる。このとき、イネーブル信号D、スイッチング制御信号B及びスイッチング制御信号Fを論理回路の入力とするバッファ回路11の出力段のスイッチング素子SW5, SW6は何れもオフ状態となっている。一方、遅延期間の経過後には、定電流回路10の動作が停止され、バッファ回路11を介してスイッチング制御回路15によるスイッチング素子SW2のスイッチング制御が行われる。

#### 【0027】

スイッチング素子SW3, SW4は、コンパレータ12、ノア回路13、インバータ14からなる論理回路でスイッチング制御される。ここで、コンパレータ12は出力電圧VOUTと入力電圧VINとを比較し、 $VOUT > VIN$ のときその出力信号AがH状態となる。ノア回路13の一方の入力端子には出力信号Aが供給されるとともに他方の入力端子には遅延信号Cが供給され、その出力信号がスイッチング制御信号Fとなってスイッチング素子SW4のゲートに供給される。スイッチング素子SW3のゲートにはスイッチング制御信号Fをインバータ14で反転させたスイッチング制御信号F'が供給される。したがって、当該回路における昇圧動作のための制御の停止時、又は遅延信号Cによる遅延期間内において、 $VOUT < VIN$ のときには第3のスイッチング素子SW3がオン状態とされ、同時にスイッチング素子SW4がオフ状態とされる。また、 $VOUT > VIN$ のときには、逆に第3のスイッチング素子SW3がオフ状態とされ、同時にスイッチング素子SW4がオン状態とされる。一方、遅延信号Cによる遅延期間の経過後にはコンパレータ12で比較する出力電圧VOUTと入力電圧VINとの大小関係の如何にかかわらず第3のスイッチング素子SW3がオフ状態となり、第4のスイッチング素子SW4がオン状態となるように制御される。

#### 【0028】

電源電圧選択回路16は、コンパレータ12の出力信号Aに基づき入力電圧VINと出力電圧VOUTのうち大きい方を選択して電源電圧VDDとするためのものである。さらに詳言すると、この部分を抽出して図3に示すように、当該電源電圧選択回路16はスイッチング素子SW7、SW8を有しており、出力信号Aによりスイッチング素子SW7がオン状態にされた場合には、入力電圧VINが選択され、スイッチング素子SW8がオン状態にされた場合には、出力電圧VOUTが選択されてそれぞれ電源電圧VDDとなる。当該昇圧形スイッチング電源回路のうち、電源1、コイルL及び平滑用のコンデンサCLを除く各回路素子は集積回路ICとして集積されている。ここで、集積回路ICはその動作を安定させるための外付けコンデンサCDDを接続可能なピンPを有しており、このピンPを介してコンデンサCDDが接続してある。

#### 【0029】

かかる本形態の動作を図4の波形図を追加して説明する。まず、電源1の投入により入力電圧VINが立ち上がる(図4(a)参照)。これにより、電源電圧VDD(図4(d)参照)、スイッチング制御信号F, B, E(図4(h)、(i)、(j)参照)が立ち上がる。

#### 【0030】

次に、イネーブル電圧信号VEN(図4(b))の立ち上がりによりイネーブル信号D(図4(e))が立ち上がることにより集積回路ICの各部の動作が開始される。すなわち、遅延回路8における遅延動作が開始され、所定の遅延期間TDの経過後、遅延信号Cが立ち上がる(図4(f)参照)。また、遅延期間TDにおいて出力電圧VOUT(図4(c))と入力電圧VINとの関係は、 $VIN > VOUT$ となっているので、コンパレータ12の出力信号A(図4(g)参照)はL状態となっており、この結果スイッチング素子SW3がオン状態で、スイッチング素子SW4がオフ状態に制御される。すなわち、スイッチング素子SW2, SW3, SW4のバックゲートの電位がフローティング状態となることはない。

10

20

30

40

50

## 【0031】

遅延期間 T D においてはスイッチング制御信号 F が H 状態であり、この結果バッファ回路 1 1 (図 2 参照; 以下同じ。)のスイッチング素子 S W 5, S W 6 が何れもオフ状態に制御されているので、このバッファ回路 1 1 からスイッチング制御信号 E が送出されることはない。一方、遅延期間 T D においては遅延信号 C が L 状態であり、この結果定電流回路 1 0 (図 2 参照; 以下同じ。)からは基準電源 V R E F 1 に基づく定電圧の信号であるスイッチング制御信号 E がスイッチング素子 S W 2 のゲートに供給される。この結果、スイッチング素子 S W 2 は所定の定電流で動作を開始する。すなわち、遅延期間 T D を設けてこの遅延期間 T D には定電流を流すように制御することで始動時の突入電流を抑制することができる。

10

## 【0032】

また、昇圧動作のための制御の停止時又は遅延期間 T D 内においてコンパレータ 1 2 で比較する入力電圧 V I N が出力電圧 V O U T よりも大きいときはスイッチング素子 S W 3 がオンするとともにスイッチング素子 S W 4 がオフするように制御される。このことにより入力電圧 V I N に起因して出力側に向かって流れようとする電流はダイオード D 2 でブロックされる。この結果、入力電圧 V I N の影響が出力側に及ぶことはない。

## 【0033】

昇圧動作のための制御の停止時、コンパレータ 1 2 で比較する入力電圧 V I N が出力電圧 V O U T よりも小さいときはスイッチング素子 S W 3 がオフするとともにスイッチング素子 S W 4 がオンするように制御する。このことにより、出力電圧 V O U T に起因して入力側に向かって流れようとする電流はダイオード D 1 でブロックされる。この結果、出力電圧 V O U T の影響が出力側に及ぶことはない。

20

## 【0034】

遅延期間 T D の経過後、遅延信号 C の立ち上がりにより定電流回路 1 0 の動作が停止される。一方、遅延期間 T D の経過後、スイッチング制御信号 F が立ち下がることによりスイッチング制御信号 B, E による通常のスイッチング制御 (図 4 (i)、(j) 中に斜線で示す領域) が開始される。ちなみに、遅延期間 T D の経過後にはコンパレータ 1 2 で比較する入力電圧 V I N と出力電圧 V O U T との大小関係の如何にかかわらずスイッチング素子 S W 3 がオフするとともにスイッチング素子 S W 4 がオンするように制御される。

## 【0035】

ここで、出力電圧 V O U T はイネーブル信号 D の立ち上がりに伴い漸増し、一定値になった後、前記スイッチング制御の開始に伴い再度漸増する。この結果、前記スイッチング制御が開始された直後のあるタイミング T で入力電圧 V I N < 出力電圧 V O U T となる。この結果、図 3 に基づき説明したように、電源電圧 V D D はそれまでの入力電圧 V I N に代わって出力電圧 V O U T が選択される。これに伴い、イネーブル信号 D、遅延信号 C、出力信号 A も電源電圧 V D D に追従して漸増する。

30

## 【0036】

< 第 2 の実施の形態 >

図 5 は本発明の第 2 の実施の形態に係るスイッチング電源回路の制御回路を示す回路図である。本形態は、図 1 に示す昇圧形スイッチング電源回路のコンパレータ 1 2 の構成を変更したものであり、その他に構成は図 1 と全く同様である。そこで、図 1 と同一部分には同一番号を付し、重複する説明は省略する。

40

## 【0037】

本形態に係る昇圧形スイッチング電源回路におけるコンパレータ 2 2 は入力電圧 V I N に所定の電圧 V O を重畳した電圧 ( $V I N + V O$ ) と出力電圧 V O U T とを比較するように構成してある。電圧 V O は電源 2 1 により重畳する。

## 【0038】

この結果、( $V I N + V O$ ) > 出力電圧 V O U T となったときに出力信号 A が立ち下がる。すなわち、出力電圧 V O U T が入力電圧 V I N の上下近傍の電圧域でチャタリングを生起してもその影響をキャンセルして安定した比較動作を行うことができる

50



。

【産業上の利用可能性】

【0039】

本発明は、例えば携帯電話、パソコン等の電源回路を形成するスイッチング電源回路を製造、販売する電子機器産業分野で利用することができる。

【図面の簡単な説明】

【0040】

【図1】本発明の第1の実施の形態に係る昇圧形スイッチング電源回路を示す回路図である。

【図2】図1の定電流源バッファ回路の詳細を示す回路図である。

10

【図3】図1の電源電圧選択回路の詳細を示す回路図である。

【図4】図1の各部の波形を示す波形図である。

【図5】本発明の第2の実施の形態に係る昇圧形スイッチング電源回路を示す回路図である。

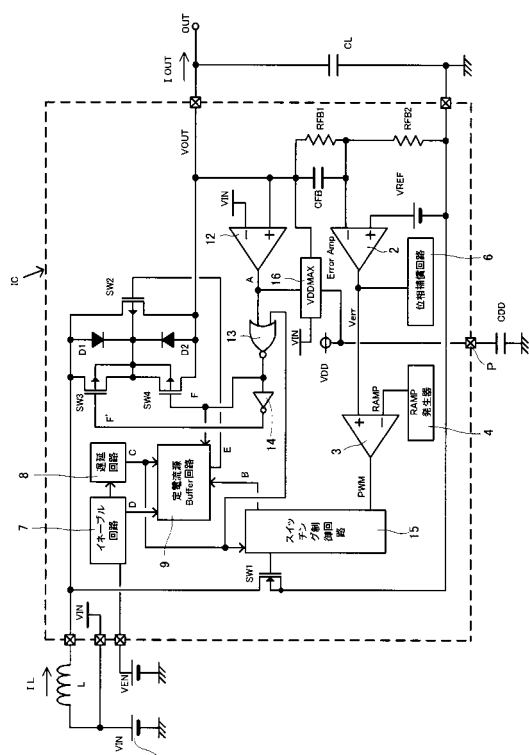
【図6】従来技術に係る昇圧形スイッチング電源回路を示す回路図である。

【符号の説明】

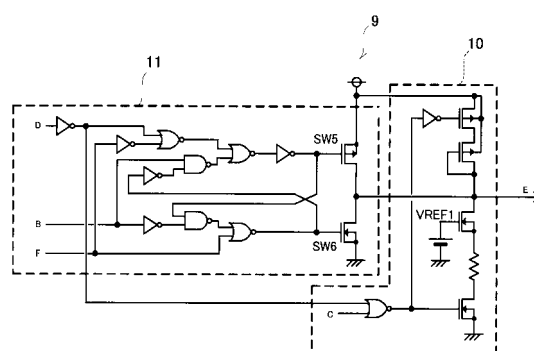
【0041】

|       |            |    |
|-------|------------|----|
| 7     | イネーブル回路    |    |
| 8     | 遅延回路       |    |
| 9     | 定電流源バッファ回路 | 20 |
| 10    | 定電流回路      |    |
| 11    | バッファ回路     |    |
| 12    | コンパレータ     |    |
| 13    | ノア回路       |    |
| 14    | インバータ      |    |
| 15    | スイッチング制御回路 |    |
| 16    | 電源電圧選択回路   |    |
| 21    | 電源         |    |
| 22    | コンパレータ     |    |
| D1    | ダイオード      | 30 |
| D2    | ダイオード      |    |
| IC    | 集積回路       |    |
| L     | コイル        |    |
| OUT   | 出力端子       |    |
| P     | ピン         |    |
| SW1   | スイッチング素子   |    |
| SW2   | スイッチング素子   |    |
| SW3   | スイッチング素子   |    |
| SW4   | スイッチング素子   |    |
| VIN   | 入力電圧       | 40 |
| VOU T | 出力電圧       |    |

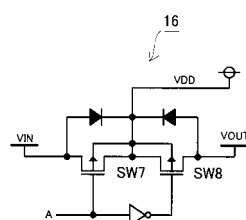
【図 1】



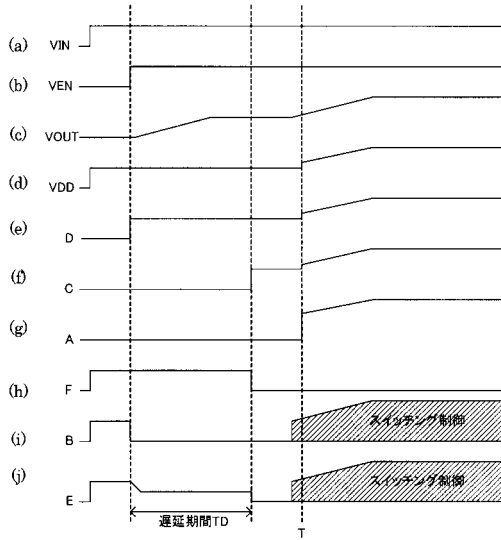
【图 2】



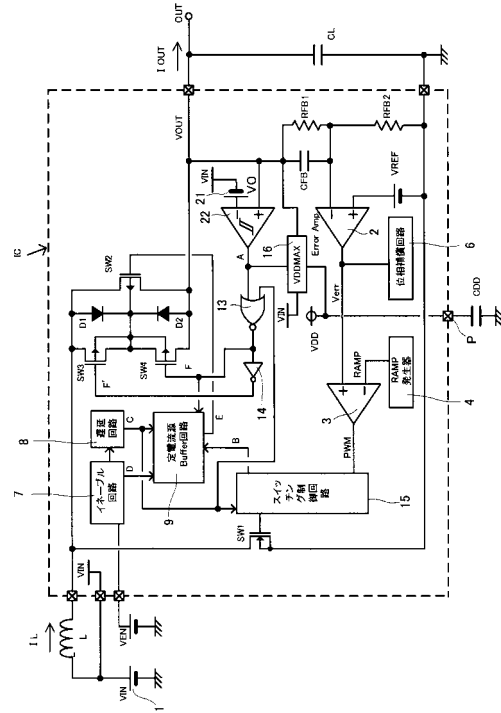
【図 3】



【図 4】



【図 5】



【図 6】

