

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7702201号
(P7702201)

(45)発行日 令和7年7月3日(2025.7.3)

(24)登録日 令和7年6月25日(2025.6.25)

(51)国際特許分類	F I
H 1 0 B 63/00 (2023.01)	H 1 0 B 63/00
H 1 0 B 63/10 (2023.01)	H 1 0 B 63/10
H 1 0 N 70/20 (2023.01)	H 1 0 N 70/20
G 1 1 C 13/00 (2006.01)	G 1 1 C 13/00 2 1 0
	G 1 1 C 13/00 2 3 0
請求項の数 24 (全17頁) 最終頁に続く	

(21)出願番号	特願2023-535931(P2023-535931)	(73)特許権者	390009531
(86)(22)出願日	令和3年11月9日(2021.11.9)		インターナショナル・ビジネス・マシ
(65)公表番号	特表2023-552880(P2023-552880		ンズ・コーポレーション
	A)		INTERNATIONAL BUSI
(43)公表日	令和5年12月19日(2023.12.19)		NESS MACHINES CORPO
(86)国際出願番号	PCT/CN2021/129585		RATION
(87)国際公開番号	WO2022/127446		アメリカ合衆国10504 ニューヨー
(87)国際公開日	令和4年6月23日(2022.6.23)		ク州 アーモンク ニュー オーチャード
審査請求日	令和6年4月11日(2024.4.11)		ロード
(31)優先権主張番号	17/121,379		New Orchard Road, A
(32)優先日	令和2年12月14日(2020.12.14)		rmonk, New York 105
(33)優先権主張国・地域又は機関	米国(US)		04, United States of
		(74)代理人	America
			100112690
			弁理士 太佐 種一
		最終頁に続く	

(54)【発明の名称】 不揮発性メモリスティブデバイスの加速書き込みのための混合導電型揮発性メモリ素子

(57)【特許請求の範囲】

【請求項1】

不揮発性メモリ素子と直列の揮発性メモリ素子を含み、
前記揮発性メモリ素子は、物質に電位を受けると一時的に抵抗が変化し、前記電位が取り除かれると緩和状態に戻るM I T M I E C物質を含む構造。

【請求項2】

前記不揮発性メモリ素子は、メモリスティブデバイスを含む請求項1に記載の構造。

【請求項3】

前記揮発性メモリ素子は、物質に電位が印加されると導電性が高くなる前記M I T M I E C物質を含む請求項1に記載の構造。

【請求項4】

前記揮発性メモリ素子は、第1の導電層と第2の導電層との間に位置する揮発性メモリ層を含む請求項1に記載の構造。

【請求項5】

前記揮発性メモリ素子は揮発性メモリ層を含み、前記揮発性メモリ層の物質は前記M I T M I E C物質を含む請求項1に記載の構造。

【請求項6】

前記揮発性メモリ素子は揮発性メモリ層を含み、前記揮発性メモリ層の物質は、X C o O₂、X N b O₂、X V O₂、X N b O₃、X_{4n}Ti₅O₁₂、もしくはX S m N i O₃ またはその組み合わせを含む群から選択され、Xはアルカリ金属である請求項1に記載の

構造。

【請求項 7】

前記不揮発性メモリ素子は 3 接点デバイスの一部であり、前記揮発性メモリ素子は前記 3 接点デバイスの書き込み経路に配置される請求項 1 に記載の構造。

【請求項 8】

前記不揮発性メモリ素子は、双方向性不揮発性メモリを含む請求項 2 に記載の構造。

【請求項 9】

前記不揮発性メモリ素子は、単方向性不揮発性メモリを含む請求項 2 に記載の構造。

【請求項 10】

前記不揮発性メモリ素子は、抵抗性ランダムアクセスメモリ (R R A M) を含む請求項 2 に記載の構造。

10

【請求項 11】

前記不揮発性メモリ素子は、導電性ブリッジングランダムアクセスメモリ (C B R A M) を含む請求項 2 に記載の構造。

【請求項 12】

前記不揮発性メモリ素子は、電気化学的ランダムアクセスメモリ (E C R A M) を含む請求項 2 に記載の構造。

【請求項 13】

前記不揮発性メモリ素子は、相変化メモリ (P C M) を含む請求項 2 に記載の構造。

【請求項 14】

不揮発性メモリスティブ素子と直列の揮発性メモリ層を含み、

20

前記揮発性メモリ層は、物質に電位を受けると一時的に抵抗が変化し、前記電位が取り除かれると緩和状態に戻る M I T M I E C 物質を含む構造。

【請求項 15】

前記揮発性メモリ層は、物質に電位が印加されると導電性が高くなる前記 M I T M I E C 物質を含む請求項 14 に記載の構造。

【請求項 16】

前記揮発性メモリ層は、第 1 の導電層と第 2 の導電層との間に位置する請求項 14 に記載の構造。

【請求項 17】

前記揮発性メモリ層の物質は、 $XCoO_2$ 、 $XNbO_2$ 、 XVO_2 、 $XNbO_3$ 、 $X_{4n}Ti_{5n}O_{12}$ 、もしくは $XSmNiO_3$ またはその組み合わせを含む群から選択され、X はアルカリ金属である請求項 14 に記載の構造。

30

【請求項 18】

不揮発性メモリ素子と直列に接続された揮発性メモリ素子を含む 3 接点アナログメモリ構造を備え、前記揮発性メモリ素子は、物質に電位を受けると一時的に抵抗が変化し、前記電位が取り除かれると緩和状態に戻る M I T M I E C 物質を含み、前記 3 接点アナログメモリ構造は、ドレイン接点、読み出し接点、および書き込み接点を備え、前記 3 接点アナログメモリ構造の書き込み経路に沿った電流の流れが、前記 3 接点アナログメモリ構造の読み出し経路に沿った電流の流れと異なる、構造。

40

【請求項 19】

アナログメモリ構造に第 1 のパルス印加することによって、前記アナログメモリ構造は、直列に配置された揮発性メモリ素子および不揮発性メモリスティブ素子を含み、前記揮発性メモリ素子は、物質に電位を受けると一時的に抵抗が変化し、前記電位が取り除かれると緩和状態に戻る M I T M I E C 物質を含む、印加することと、

前記アナログメモリ構造に第 2 のパルス印加することによって、前記第 1 のパルスと前記第 2 のパルスとの間の期間は、前記揮発性メモリ素子の緩和率より小さい、印加することと、を含むメモリ構造への書き込み方法。

【請求項 20】

前記アナログメモリ構造に第 3 のパルス印加することによって、前記第 2 のパルスと

50

前記第 3 のパルスとの間の期間は、前記第 1 のパルスと前記第 2 のパルスとの間の期間と実質的に同様である、印加すること、をさらに含む請求項 1 9 に記載の方法。

【請求項 2 1】

アナログメモリ構造に第 1 のパルスを印加することであって、前記アナログメモリ構造は、直列に配置された揮発性メモリ素子と不揮発性メモリ素子とを含み、前記揮発性メモリ素子は、物質に電位を受けると一時的に抵抗が変化し、前記電位が取り除かれると緩和状態に戻る M I T M I E C 物質を含む、印加することと、

前記アナログメモリ構造に第 2 のパルスを印加することであって、前記第 1 のパルスと前記第 2 のパルスとの間の第 1 の期間が、前記揮発性メモリ素子の緩和率より小さい、印加することと、

10

前記アナログメモリ構造に第 3 の負のパルスを印加することであって、前記第 2 のパルスと前記第 3 の負のパルスとの間の第 2 の期間は、前記揮発性メモリ素子の緩和率より小さく、前記第 1 の期間より大きい、印加することと、を含むメモリ構造への書き込み方法。

【請求項 2 2】

前記第 1 のパルスの前に、前記アナログメモリ構造に複数のパルスを印加することであって、各パルスが実質的に同様であり、パルスの間隔が実質的に同様である、印加すること、をさらに含む請求項 2 1 に記載の方法。

【請求項 2 3】

アナログメモリ構造に第 1 のパルスを印加することであって、前記アナログメモリ構造は、直列に配置された揮発性メモリ素子と不揮発性メモリ素子とを含み、前記揮発性メモリ素子は、物質に電位を受けると一時的に抵抗が変化し、前記電位が取り除かれると緩和状態に戻る M I T M I E C 物質を含む、印加することと、

20

前記アナログメモリ構造に第 2 のパルスを印加することであって、前記第 1 のパルスと前記第 2 のパルスとの間の第 1 の期間が、前記揮発性メモリ素子の緩和率よりも小さい、印加することと、

前記アナログメモリ構造に第 3 のパルスを印加することであって、前記第 2 のパルスと前記第 3 のパルスとの間の第 2 の期間は、前記揮発性メモリ素子の前記緩和率より小さく、前記第 1 の期間より大きい、印加することと、を含むアナログメモリ構造への書き込み方法。

【請求項 2 4】

30

前記第 1 のパルスの前に、前記アナログメモリ構造に複数のパルスを印加することであって、各パルスが実質的に同様であり、パルスの間隔が実質的に同様である、印加すること、をさらに含む、請求項 2 3 に記載の方法。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、メモリデバイスに関し、より具体的には、メモリデバイスに関する。

【背景技術】

【0 0 0 2】

「機械学習」は、人工知能の一形態として、データから学習する電子計算機システムの主要な機能を広く表すために使用される。機械学習や認知科学において、人工ニューラルネットワーク (ANN) は、動物の生物学的な神経ネットワーク (特に脳) から着想を得た統計学習モデルやアルゴリズムのファミリーである。ANN は、機械学習のための人工ニューロンを備えるアナログデバイスを備えることが多い。教師あり機械学習では、ANN の人工ニューロンを使って、多数の学習入力に依存するシステムや関数を推定または近似することができる。その後、訓練された ANN は、ANN のニューロンの初期のまたは継続的な入力訓練に基づいて、何らかの出力を算出するために推論の過程で使用される。ANN は、強化機械学習や教師なし学習の過程で自己学習するために使用されてもよい。ANN アーキテクチャ、ニューロモーフィックマイクロチップ、および超高密度不揮発性メモリは、クロスバーアレイなどの高密度、低コスト、低電力回路アーキテクチャから形成

40

50

することができる。基本的なクロスバーアレイ構成は、一組の導電性ロウワイヤと、一組の導電性ロウワイヤと交差するように形成された一組の導電性コラムワイヤを含む。二組のワイヤ間の交差点は、薄膜物質から形成することができる、いわゆるクロスポイントデバイスによって分離される。クロスポイントデバイスは、いわゆる抵抗性メモリ（俗に言う、メモリスティブ）デバイスとして実装することができる。メモリスティブデバイスの特徴としては、不揮発性、可変のアナログ抵抗値を記憶する能力、メモリスティブデバイスの状態を乱すことなくアナログ抵抗値を決定する能力、電流または電圧パルスを使用して抵抗をチューニングアップまたはチューニングダウンする能力などを挙げることができる。これらのメモリスティブデバイスは、ANNの人工ニューロンをシミュレートするためにハードウェアで使用することができる。

10

【発明の概要】**【0003】**

実施形態は、不揮発性メモリ素子と直列の揮発性メモリ素子を含むメモリ構造を含むことができる。これにより、アナログメモリ構造の書き込みを加速させることができる場合がある。

【0004】

実施形態は、不揮発性メモリ素子として、メモリスティブデバイスを含むことができる。これにより、アナログコンピューティングで使用するためのアナログメモリ構造の書き込みを加速させることができる場合がある。

【0005】

実施形態は、揮発性メモリ素子が、物質に電位を受けると一時的にその抵抗が変化する物質であることを含むことができる。これにより、アナログメモリ構造の書き込みを加速させることができる場合がある。

20

【0006】

実施形態は、揮発性メモリ素子が、物質に電位が印加されると導電性が高くなり、電位が取り除かれると緩和状態に戻る物質であることを含むことができる。これにより、アナログメモリ構造の書き込みを加速させることができる場合がある。

【0007】

実施形態は、第1の金属層と第2の金属層との間に位置する揮発性メモリ素子を含むことができる。これは、揮発性メモリからのイオンの移動を低減することによって、デバイスの安定性を向上させることができる。これにより、アナログメモリ構造の書き込みを加速させることができる場合がある。

30

【0008】

実施形態は、揮発性メモリ層内の局所的なイオン濃度に依存して金属-絶縁体遷移(MIT)を起こす混合イオン電子伝導(MIEC)物質を含む揮発性メモリ層を含むことができる。これにより、アナログメモリ構造の書き込みを加速させることができる場合がある。

【0009】

実施形態は、 $XCoO_2$ 、 $XNbO_2$ 、 XVO_2 、 $XNbO_3$ 、 $X_{4x}Ti_5O_{12}$ 、もしくは $XSmNiO_3$ またはその組み合わせを含む揮発性メモリ層を含むことができ、XはLi、Na、Kなどのアルカリ金属であり得る。これにより、アナログメモリ構造の書き込みを加速させることができる場合がある。

40

【0010】

実施形態は、3端子デバイスの書き込み経路にある揮発性メモリ層を含むことができる。これにより、3接点デバイスの書き込みを加速させることができる場合がある。

【0011】

実施形態は、双方向性不揮発性メモリを含んでもよい。これにより、双方向性メモリの書き込みを加速させることができる場合がある。

【0012】

実施形態は、単方向性不揮発性メモリを含んでもよい。これにより、単方向性メモリの

50

書き込みを加速させることができる場合がある。

【 0 0 1 3 】

実施形態は、抵抗性ランダムアクセスメモリ（ R R A M ）不揮発性メモリを含むことができる。これにより、 R R A M の書き込みを加速させることができる場合がある。

【 0 0 1 4 】

実施形態は、導電性ブリッジングランダムアクセスメモリ（ C B R A M ）不揮発性メモリを含むことができる。これにより、 C B R A M の書き込みを加速させることができる場合がある。

【 0 0 1 5 】

実施形態は、電気化学的ランダムアクセスメモリ（ E C R A M ）不揮発性メモリを含むことができる。これにより、 E C R A M の書き込みを加速させることができる場合がある。

10

【 0 0 1 6 】

実施形態は、相変化メモリ（ P C M ）不揮発性メモリを含むことができる。これにより、 P C M の書き込みを加速させることができる場合がある。

【 0 0 1 7 】

実施形態は、不揮発性メモリ素子と直列に配置された揮発性メモリ素子を含むメモリ構造への書き込みを含むことができる。アナログメモリ構造への書き込みは、アナログメモリ構造への第 1 のパルスと、アナログメモリ構造への第 2 のパルスとを含んでもよい。アナログメモリ構造への書き込みは、第 1 のパルスと第 2 のパルスとの間の期間が、揮発性メモリ素子の緩和率よりも小さくなるように行われることがある。これにより、アナログメモリ構造への書き込みを加速させることができる場合がある。

20

【 0 0 1 8 】

実施形態は、不揮発性メモリ素子と直列に配置された揮発性メモリ素子を含むメモリ構造への書き込みを含むことができる。アナログメモリ構造への書き込みは、アナログメモリ構造への第 1 のパルスと、アナログメモリ構造への第 2 のパルスと、アナログメモリ構造への第 3 の負のパルスとを含むことができる。アナログメモリ構造への書き込みは、第 1 のパルスと第 2 のパルスとの間の期間が揮発性メモリ素子の緩和率よりも小さく、第 2 のパルスと第 3 の負のパルスとの間の期間が揮発性メモリ素子の緩和率よりも小さく、第 1 の期間よりも大きくなるように行われてもよい。これにより、アナログメモリ構造のリセット動作が可能となる場合がある。

30

【 0 0 1 9 】

実施形態は、不揮発性メモリ素子と直列に配置された揮発性メモリ素子を含むメモリ構造への書き込みを含むことができる。アナログメモリ構造への書き込みは、アナログメモリ構造への第 1 のパルスと、アナログメモリ構造への第 2 のパルスと、アナログメモリ構造への第 3 のパルスとを含むことができる。アナログメモリ構造への書き込みは、第 1 のパルスと第 2 のパルスとの間の期間が揮発性メモリ素子の緩和率よりも小さく、第 2 のパルスと第 3 のパルスとの間の期間が揮発性メモリ素子の緩和率よりも小さく、第 1 の期間よりも大きくなるように行われてもよい。これにより、アナログメモリ構造体に記憶されるアナログウェイトをアプローチすることができる場合がある。

【 図面の簡単な説明 】

40

【 0 0 2 0 】

【 図 1 】 図 1 (A) ~ 1 (C) は、不揮発性メモリデバイスと直列の揮発性メモリ素子からなるアナログメモリ構造の動作を示したものである。

【 図 2 】 不揮発性メモリデバイスと直列の揮発性メモリ素子のアナログメモリ構造の物質スタックの一例を示す図である。

【 図 3 A 】 図 3 A は、不揮発性メモリデバイスと直列の揮発性メモリ素子の動作方法の例を示す図である。

【 図 3 B 】 図 3 B は、不揮発性メモリデバイスと直列の揮発性メモリ素子の動作方法の例を示す図である。

【 図 3 C 】 図 3 C は、不揮発性メモリデバイスと直列の揮発性メモリ素子の動作

50

方法の例を示す図である。

【図 3 D】図 3 D は、不揮発性メモリスティブデバイスと直列の揮発性メモリ素子の動作方法の例を示す図である。

【図 4 A】図 4 A は、R R A M デバイスと直列の揮発性メモリ素子を示す図である。

【図 4 B】図 4 B は、R R A M デバイスと直列の揮発性メモリ素子を示す図である。

【図 5 A】図 5 A は、E C R A M デバイスと直列の揮発性メモリ素子を示す図である。

【図 5 B】図 5 B は、E C R A M デバイスと直列の揮発性メモリ素子を示す図である。

【図 6 A】図 6 A は、マッシュルーム P C M デバイスと直列の揮発性メモリ素子を示す図である。

【図 6 B】図 6 B は、マッシュルーム P C M デバイスと直列の揮発性メモリ素子を示す図である。

10

【図 7 A】図 7 A は、3 端子 E C R A M デバイスと直列の揮発性メモリ素子を示す図である。

【図 7 B】図 7 B は、3 端子 E C R A M デバイスと直列の揮発性メモリ素子を示す図である。

【 0 0 2 1 】

図の要素は、必ずしも縮尺通りではなく、本発明の特定のパラメータを描写することを意図していない。明確かつ容易に図示するために、要素の寸法は誇張されている場合がある。正確な寸法については、詳細な説明を参照する必要がある。図面は、本発明の典型的な実施形態のみを描写することを意図しており、本発明の範囲を限定するものとして考慮されるべきではない。図面において、同様の番号付けは、同様の要素を表す。

20

【発明を実施するための形態】

【 0 0 2 2 】

ここで、例示的な実施形態は、例示的な実施形態が示されている添付の図面を参照して、本明細書においてより完全に説明される。しかしながら、本開示は、多くの異なる形態で実施することができ、本明細書に記載される例示的な実施形態に限定されるものと解釈されるべきではない。むしろ、これらの例示的な実施形態は、本開示が完全かつ完璧であり、本開示の範囲を当業者に伝えるように提供される。説明において、周知の特徴および技術の詳細は、提示された実施形態を不必要に不明瞭にすることを避けるために省略され得る。

30

【 0 0 2 3 】

以下の説明のために、「上 (upper)」、「下 (lower)」、「右 (right)」、「左 (left)」、「垂直 (vertical)」、「水平 (horizontal)」、「トップ (top)」、「ボトム (bottom)」、およびそれらの派生語などの用語は、図面に関連付けられた、開示される構造および方法に関するものとする。「上 (above)」、「上に (overlying)」、「上に (atop)」、「上に (on top)」、「上に位置する (positioned on)」または「上に位置する (positioned atop)」などの用語は、第 1 の構造などの第 1 の要素が、第 2 の構造などの第 2 の要素の上に存在することを意味し、第 1 の要素と第 2 の要素の間には、インターフェース構造などの介在要素が存在し得る。「直接接触」とは、第 1 の構造体などの第 1 の要素と、第 2 の構造体などの第 2 の要素とが、2 つの要素の界面に中間的な導電層、絶縁層、または半導体層を介さずに接続されることを意味する。

40

【 0 0 2 4 】

本発明の実施形態の提示を不明瞭にしないために、以下の詳細な説明において、当技術分野で知られているいくつかの処理ステップまたは操作は、提示および説明のために一緒に組み合わせられている場合があり、いくつかの例では、詳細に説明されていない場合がある。他の例では、当技術分野で知られているいくつかの処理ステップまたは操作は、全く説明されていない場合がある。以下の説明は、むしろ、本発明の様々な実施形態の特徴的な特徴または要素に焦点を当てたものであることを理解されたい。

【 0 0 2 5 】

本発明は、ハードウェアによって実現される加速されたウェイト更新を伴うニューロモ

50

ーフリックコンピューティングのための不揮発性メモリスティブデバイスと直列に統合することができる揮発性メモリスティブデバイス、例えば混合イオン電子伝導 (MIEC) 物質の層、の方法および構造について説明する。揮発性メモリ素子は、イオンが枯渇すると導電性の遷移 (例えばモット遷移のような金属 - 絶縁体遷移) を起こし、より高い導電性領域となる物質で構成されている。その後、電界印加により MIEC 層内のイオンが分極し、ますます高い導電性が得られる。

【0026】

デバイスに電圧をかけると、イオンは電界のドリフトによってどちらか一方に偏光する。これにより、一方の界面ではイオンが枯渇し、反対側の界面ではイオンが過飽和状態になる。LiCoO_{2-x} といった特定の MIEC 物質は、電気伝導度の変化が起こり、枯渇により金属的になり、過飽和および飽和領域は絶縁性を維持する。層全体がより導電性を持つようになる。バイアスが印加されない場合、イオンは書き込みサイクルの時間枠よりも遅い速度で平衡に緩和する (LiCoO_{2-x} では、1 ns 書き込み、緩和 ~ 10 - 100 ns)。

10

【0027】

不揮発性メモリスティブデバイス (RRAM など) の書き込みには、確率的パルスを使用することができる。連続したパルスを使用すると、揮発性メモリ素子が分極し、不揮発性メモリスティブデバイスに多くの電流が流れ、不揮発性素子の「加速書き込み」が可能になる。書き込み後、イオンは緩和し始め、MIEC の導電率が低下する。ウェイトが過電圧で、完全に緩和する前に書き込みパルスの極性が切り替わった場合、「再書き込み」は逆方向に加速する前に減速し、慣性のようにウェイトを書き込むように動作する。

20

【0028】

図 1 (A) ~ 1 (C) は、アナログメモリ構造の動作を示す図である。図 1 (A) は、第 1 の接点 10、揮発性メモリ素子 20、不揮発性メモリスティブ素子 30、および第 2 の接点 40 を含むメモリ構造を描写している。第 1 の接点 10 および第 2 の接点 40 は、任意のタイプの導電性ラインまたはライナーを有するビアであってよく、例えば Cu、W、TiN、Ta₂N、または Ta などの任意の導電性物質で作られてよい。

【0029】

不揮発性メモリスティブ素子 30 は、RRAM、CBRAM、ECRAM などの双方向性不揮発性メモリスティブデバイスであってもよいし、他の類似の構造であってもよい。さらに、不揮発性メモリスティブ素子 30 は、PCM などの単方向性構造の不揮発性メモリスティブデバイス、または他の単方向性構造であってもよい。さらに、不揮発性メモリスティブ素子 30 は 2 端子デバイスとして描写されているが、メモリスティブ素子が追加の端子を有する場合 (例えば、読み出し経路と書き込み経路に異なる端子を有する 3 端子デバイス)、MIEC 物質は、メモリスティブ素子の書き込み経路の電流の流れと直列に配置することが望ましい。

30

【0030】

揮発性メモリ素子 20 は、物質に電位を受けると一時的に抵抗が変化し、電位がセルから取り除かれると元の抵抗の緩和状態に戻る、任意の物質であってよい。例えば、揮発性メモリ素子は、物質に電位が印加されると導電性が高くなり、電位がセルから取り除かれると緩和状態に戻ることがある。例示的な実施形態では、MITMIEC 物質は、構造体に電位を印加すると、一方の表面から他方の表面にイオンが移動して加速状態になり、それによって物質に枯渇領域と飽和領域が形成されることがある。これらの領域が形成されると、層全体がより導電性になり、それによって書き込みサイクル中にセルを横切る電流の流れが増加し、不揮発性メモリスティブ素子 30 の所望の抵抗状態を達成するために必要な書き込みサイクルの回数が減少する。

40

【0031】

例えば、図 1 (A) は、第 1 の接点 10 と第 2 の接点 40 との間に電位が存在しないために揮発性メモリ素子 20 が緩和状態にあるときのアナログメモリ構造が描写されている。複数の移動イオン 50 は、揮発性メモリ素子 20 においてランダムに並んだ正電荷とし

50

て描写されている。図 1 (B) において、第 1 の接点 1 0 および第 2 の接点 4 0 を横切る電位の印加に続いて、移動イオン 5 0 は第 1 の接点 1 0 に向かって移動し、それによってアナログメモリ構造全体の抵抗を低減し導電性を改善する。図 1 (C) では、第 1 の接点 1 0 および第 2 の接点 4 0 を横切る持続的な電位、または連続して実行される追加のパルス(すなわち、揮発性メモリ素子 2 0 が図 1 (A) の状態に戻って緩和するのに必要な時間よりも短い時間で)のいずれかによって、第 1 の接点 1 0 の表面に向かって移動イオン 5 0 の更なる移動が生じ、図 1 (B) と比較して、さらに抵抗が低減される。

【 0 0 3 2 】

図 2 を参照すると、アナログメモリ構造の一実施形態について、物質スタックの例示的なレイアウトが描写されている。アナログメモリ構造は、第 1 の接点 1 0、揮発性メモリ素子 2 0、不揮発性メモリ素子 3 0、および第 2 の接点 4 0 を含む。第 1 の接点 1 0 および第 2 の接点は、アナログメモリ構造を半導体構造の他の機能素子に接続する導電性素子であってもよい。例えば、接点は、ワード線、ビット線、ビア、または他の任意の導電性構造であってもよい。第 1 の接点 1 0 および第 2 の接点 4 0 の物質は、銅、アルミニウム、窒化チタン、窒化タンタルまたはタングステンを含んでもよい。揮発性メモリ素子 2 0 は、第 1 の金属層 2 1、揮発性メモリ物質層 2 2、および第 2 の金属層 2 3 を含むことができるが、少なくとも揮発性メモリ層 2 2 を含む必要がある。

【 0 0 3 3 】

揮発性メモリ物質層 2 2 は、物質に電位が印加されると導電性が高くなり、電位がセルから取り除かれると緩和状態に戻る任意の物質であってもよい。揮発性メモリ物質層 2 2 は、電位の除去後に物質が緩和状態に戻るのに要する時間によって定義されてもよい。例示的な実施形態では、揮発性メモリ素子 2 0 は、1 0 0 0 n s 未満、より好ましくは 2 0 0 0 n s 未満で緩和状態に戻ることができる。揮発性メモリ物質層 2 2 は、例えば、 $XCoO_2$ 、 $XNbO_2$ 、 XVO_2 、 $XNbO_3$ 、 $X_4 \times Ti_5O_{12}$ 、もしくは $XSmNiO_3$ またはその組み合わせなどの金属 - 絶縁体転移 (M I T) M I E C 物質を含む M I E C 物質であってもよく、X は L i、N a または K などのアルカリ金属でもよい。揮発性メモリ素子 2 0 は、不揮発性メモリ素子 3 0 の全体の厚さの約 1 / 1 0 から約 1 / 1 0 0 0 である場合がある。

【 0 0 3 4 】

第 1 の金属層 2 1 および第 2 の金属層 2 3 は、揮発性メモリ物質層 2 2 のイオンが層外に移動するのを阻止するために使用されてもよい。第 1 の金属層 2 1 および第 2 の金属層 2 3 の物質は、金属、金属窒化物、または他の導電性物質を含んでもよい。第 2 の金属層 2 3 は不揮発性メモリ素子 3 0 から分離して示されているが、この層は(または別の観点では第 1 の金属層 2 1 は)不揮発性メモリ素子 3 0 の一部としても機能する金属であってもよいことに留意されたい。さらに、第 1 の金属層 2 1 および第 2 の金属層 2 3 は、デバイス特性に応じて、同じ物質であってもよいし、異なる物質であってもよい。いくつかの実施形態では、第 2 の金属層 2 3 は、デバイスの別の部分への配線形態部分を含んでもよく、あるいは代替的にデバイス配線に接続されていてもよく、そのために、不揮発性メモリ素子 3 0 および揮発性メモリ素子 2 0 は単一のメモリセル内に併置されない。

【 0 0 3 5 】

図 3 A を参照すると、図 1 (A) および図 2 のアナログメモリ構造を加速書き込みのために使用する方法が描写されている。ステップ S 1 1 0 において、第 1 の電気パルスがアナログメモリ構造に印加される。電気パルスの特性は、アナログメモリ構造で使用される不揮発性メモリ素子 3 0 の種類に応じた書き込みパルスの特性に基づいてもよい。例えば、電気パルスは、1 ~ 1 0 V、1 ~ 5 0 n s の書き込みパルス、0 . 0 5 V ~ 1 V、1 0 ~ 1 0 0 n s の読み出しパルスであってもよいが、電圧と期間は、選択される不揮発性メモリ素子 3 0 の種類に基づいてこれらの範囲から外れることがある。

【 0 0 3 6 】

ステップ S 1 2 0 では、揮発性メモリ素子 2 0 が緩和状態に戻る前に、第 2 の電気パルスがアナログメモリ構造に印加される。例えば、第 2 の電気パルスは、第 1 の電気パルス

10

20

30

40

50

の終了後約 10 ns 未満に印加されてもよく、第 1 の電気パルスと同様の特性を用いて行われてもよい。第 2 の電気パルスを密接に連続して（すなわち、揮発性メモリ素子 20 の緩和前に）送ることにより、不揮発性メモリ素子 30 は、第 1 の電気パルス中に生じたよりも増大した状態変化を受けることができる。

【0037】

ステップ S 130 では、揮発性メモリ素子 20 が緩和状態に戻る前に、第 3 の電気パルスがアナログメモリ構造に印加される。例えば、第 3 の電気パルスは、第 2 の電気パルスの終了後約 10 ns 未満に印加されてもよく、第 2 の電気パルスと同様の特性を用いて行われてもよい。第 3 の電気パルスを密接に連続して（すなわち、揮発性メモリ素子 20 の緩和前に）送ることにより、不揮発性メモリ素子 30 は、第 2 の電気パルス中に生じたよりも増大した状態変化を受けることができる。

10

【0038】

図 3 A に描写された方法は 3 つの電気パルスを示すだけであるが、揮発性メモリ素子が最大に電位差を与えられたときに最大書き込み速度を達成するまで、各パルスが、第 1 のパルスを含む現在のパルスより前のパルスよりも不揮発性メモリ素子 30 の状態を変更する（すなわち、書き込む）能力が増加するように、追加のパルスを上記した方法で（すなわち、揮発性メモリ素子 20 を緩和する前に）印加することに留意されたい。したがって、図 1 および図 2 A の構造と組み合わせた図 3 A の方法は、揮発性メモリ素子 20 に緩和する時間を与えることなく実行される書き込みパルスを用いて書き込み処理を行う場合に、アナログメモリの書き込み処理を加速させる。

20

【0039】

図 3 B を参照すると、図 1 (A) および図 2 のアナログメモリ構造を非加速書き込みに使用する方法が描写されている。ステップ S 113 において、第 1 の電気パルスがアナログメモリ構造に印加される。電気パルスの特性は、アナログメモリ構造で使用される不揮発性メモリ素子 30 の種類に応じた書き込みパルスの特性に基づいてもよい。例えば、書き込みパルスは 1 ~ 10 V、1 ~ 100 ns であり、読み出しパルスは 0.05 V ~ 1 V、10 ~ 100 ns であるが、電圧と期間は、選択される不揮発性メモリ素子 30 の種類に基づいてこれらの範囲から外れることがある。

【0040】

ステップ S 123 では、揮発性メモリ素子 20 が緩和状態に戻った後、アナログメモリ構造に第 2 の電気パルスが印加される。例えば、第 2 の電気パルスは、第 1 の電気パルスの終了後、少なくとも約 10 ns 印加され得る。揮発性メモリ素子 20 が緩和状態に戻った後に第 2 の電気パルスを送信することにより、不揮発性メモリ素子 30 は、第 1 の電気パルス中に発生したのと同様の状態変化を起こすことができる。

30

【0041】

図 3 A の方法と図 3 B の方法との対比は、アナログメモリ構造が、互いに密接に連続して（すなわち、揮発性メモリ素子 20 の緩和前に）継続するパルスにより加速された書き込み状態を達成し、揮発性メモリ素子 20 の構造における永続的な変化によるものではないことに注意されたい。

【0042】

図 3 C を参照すると、負のパルスを提供するために図 1 (A) および図 2 のアナログメモリ構造を使用する方法が描写されている。ステップ S 115 において、一連の第 1 の電気パルスがアナログメモリ構造に印加される。電気パルスの特性は、アナログメモリ構造で使用される不揮発性メモリ素子 30 の種類に応じた書き込みパルスの特性に基づいてもよい。例えば、書き込みパルスは 1 ~ 10 V、1 ~ 50 ns であり、読み出しパルスは 0.05 V ~ 1 V、10 ~ 100 ns であるが、電圧と期間は、選択される不揮発性メモリ素子 30 の種類に基づいてこれらの範囲から外れることがある。一連の第 1 の電気パルスは、互いに 1 ns ずつ離れて実行されてもよい。

40

【0043】

ステップ S 125 では、揮発性メモリ素子 20 が緩和状態に戻った後、一連の第 1 の電

50

気パルスとは逆極性の第2の電気パルスがアナログメモリ構造に印加される。例えば、第2の電気パルスが印加される場合、一連の第1の電気パルスの終了後、少なくとも10 ns 印加されてもよい。揮発性メモリ素子20が緩和状態に戻った後に第2の電気パルスを送ることにより、不揮発性メモリスティプ素子30は、第1の電気パルス中に発生したのと同様の状態変化(逆方向の)を起こすことができる。

【0044】

図3Dを参照すると、不揮発性メモリスティプ素子30の重み値への収束中に、図1(A)および図2のアナログメモリ構造を使用する方法が示されている。ステップS117において、アナログメモリ構造に第1の電気パルスが印加される。電気パルスの特性は、アナログメモリ構造に使用される不揮発性メモリスティプ素子30の種類に応じた書き込みパルスの特性に基づいてもよい。例えば、電気パルスは、書き込みパルスについては1~10 V、1~50 ns、読み出しパルスについては0.05 V~1 V、10~100 nsであってもよいが、電圧および期間は、選択される不揮発性メモリスティプ素子30の種類に基づいてこれらの範囲から外れることがある。

10

【0045】

ステップS127では、第1のパルス後の第1の期間、第2の電気パルスがアナログメモリ構造に印加される。電気パルスの特性は、アナログメモリ構造で使用される不揮発性メモリスティプ素子30の種類に応じた書き込みパルスの特性に基づいてもよい。例えば、電気パルスは、書き込みパルスについては1~10 V、1~50 ns、読み出しパルスについては0.05 V~1 V、10~100 nsであってもよいが、電圧および期間は、選択される不揮発性メモリスティプ素子30の種類に基づいてこれらの範囲から外れることがある。第1の期間は、例えば、第1のパルスと第2のパルスの間の1 nsであってもよい。

20

【0046】

ステップS137では、第2のパルス後の第2の期間、第3の電気パルスがアナログメモリ構造に印加される。電気パルスの特性は、アナログメモリ構造で使用される不揮発性メモリスティプ素子30の種類に応じた書き込みパルスの特性に基づいてもよい。例えば、電気パルスは、書き込みパルスについては1~10 V、1~50 ns、読み出しパルスについては0.05 V~1 V、10~100 nsであってもよいが、電圧および期間は、選択される不揮発性メモリスティプ素子30の種類に基づいてこれらの範囲から外れることがある。第2の期間は、例えば、第1のパルスと第2のパルスの間の2 nsであってもよい。この期間は、第1の期間より長くてもよいが、揮発性メモリ素子20の緩和時間より短くてもよい。

30

【0047】

図3A~3Dの方法を参照すると、それぞれは、書き込み処理中に、単独で、または互いに組み合わせて達成することができる例示的な方法論である。

【0048】

図4A~4B、図5A~5B、図6A~6B、および図7A~7Bを参照すると、不揮発性メモリスティプデバイスに含まれる揮発性メモリ素子の例示的な実施形態が描写されている。以下の非網羅的な例は、揮発性メモリ素子を既存の不揮発性メモリスティプデバイスの典型的な形状にどのように導入することができるかについて示唆的であるが、当業者であれば、他の構造にこのような概念を適用する方法を理解するであろう。さらに、このような不揮発性メモリスティプデバイスは、トランジスタまたはアナログメモリセルの他の任意の配置を使用して電力供給されるクロスポイントアレイの一部として使用することができる。

40

【0049】

図4Aおよび図4Bを参照すると、抵抗性ランダムアクセスメモリ(RRAM)で 사용되는双方向性アナログメモリ構造の例示的な実施形態が描写されているが、例示的なRRAM実施形態に示される概念は、すべての双方向性アナログメモリ構造に適用されると理解される。揮発性メモリ素子320を有する構造が描写されている。RRAMデバイスは、導電性素子331および誘電体スイッチング層330を含む。描写されたRRAM構

50

造は、絶縁誘電体 3 0 0 の間に位置するボトム接点 3 1 0 およびトップ接点 3 4 0 を有する。R R A M デバイスは、図 4 A に描写されているようにボトム接点 3 1 0 と誘電体スイッチング層 3 3 0 との間に揮発性メモリ素子 3 2 0 を有するか、図 4 B の揮発性メモリ素子に描写されているようにトップ接点 3 4 0 と導電性素子 3 3 1 との間に揮発性メモリ素子 3 2 0 を有するかのいずれかであってよい。揮発性メモリ素子 3 2 0 は、図 2 に描写されているものと同様の金属層を含むことができるが、少なくとも揮発性メモリ層を含む必要がある。

【 0 0 5 0 】

図 5 A および図 5 B を参照すると、双方向性アナログメモリ構造は、電気化学的ランダムアクセスメモリ (E C R A M) で使用されるように描写されているが、例示的な E C R A M 実施形態に示される概念は、すべての双方向性アナログメモリ構造に適用されると理解される。さらに、図 5 B は、対称デバイスにおける揮発性メモリ素子の使用を説明するために示されている。E C R A M 構造は、第 1 のイオンリザーバ 4 3 0 と第 2 のイオンリザーバ 4 3 2 とによって挟まれたイオンゲート物質 4 3 1 を含む。第 1 のイオンリザーバ 4 3 0 および第 2 のイオンリザーバ 4 3 2 は、同じ化学組成、異なる化学組成、またはイオンもしくはドーパントの濃度が異なる同様の化学組成を有する物質で作られ得る。描写された E C R A M 構造は、絶縁誘電体 4 0 0 の間に位置するボトム接点 4 1 0 およびトップ接点 4 4 0 を有する。E C R A M 構造は、図 5 A に描写されているように、第 1 のイオンリザーバ 4 3 0 とボトム接点 4 1 0 との間など、イオンリザーバ 4 3 0 / 4 3 2 と接点との間のいずれかに揮発性メモリ素子 4 2 0 を有してもよい。さらに、揮発性メモリ素子 4 2 0 は、図 5 B に描写されるように、第 1 のイオンリザーバ 4 3 0 および第 2 のイオンリザーバ 4 3 2 とそれらのそれぞれの接点との間であってよく、それによって対称構造を形成する。揮発性メモリ素子 4 2 0 は、図 2 に描写されているものと同様の金属層を含んでもよいが、少なくとも揮発性メモリ層を含む必要がある。

【 0 0 5 1 】

図 6 A および図 6 B を参照すると、単方向性アナログメモリ構造の例示的な実施形態が、マッシュルーム P C M 構造で使用されるように描写されているが、例示的なマッシュルーム P C M 実施形態に示される概念は、すべての単方向性アナログメモリ構造に適用されると理解される。マッシュルーム P C M デバイスは、相変化物質 5 3 0 の下に位置する加熱素子 5 3 1 および誘電体層 5 3 2 を含む。描写されたマッシュルーム P C M 構造は、絶縁誘電体 5 5 0 の間に位置するボトム接点 5 1 0 およびトップ接点 5 4 0 を有する。マッシュルーム P C M デバイスは、図 6 A に描写されているように、ボトム接点 5 1 0 と加熱素子 5 3 1 との間に揮発性メモリ素子 5 2 0 を有するか、あるいは図 6 B に描写されているように、トップ接点 5 4 0 と相変化物質 5 3 0 との間に揮発性メモリ素子 5 2 0 を有していてもよい。揮発性メモリ素子 5 2 0 は、図 2 に描写されているものと同様の金属層を含むことができるが、少なくとも揮発性メモリ層を含む必要がある。

【 0 0 5 2 】

図 7 A および図 7 B を参照すると、揮発性メモリ素子を有する電気化学的ランダムアクセスメモリ (E C R A M) 構造で使用されるような 3 端子アナログメモリ構造の例示的な実施形態が描写されているが、例示的な 3 端子 E C R A M に示される概念は、すべての 3 端子アナログメモリ構造に適用されると理解される。描写されている E C R A M 構造は、絶縁誘電体 6 5 0 、 6 5 1 の間に位置するドレイン接点 6 1 0 、読み出し接点 6 4 1 、および書き込み接点 6 4 0 を有する。E C R A M 構造は、電解質層 6 3 1 とチャンネル 6 3 0 を有してもよい。読み出し経路 (すなわち、読み出し接点 6 4 1 からドレイン接点 6 1 0 への電流の流れ) と書き込み経路 (すなわち、書き込み接点 6 4 0 からドレイン接点 6 1 0 への電流の流れ) とが異なるこのような実施形態では、揮発性メモリ素子 6 2 0 は少なくとも書き込み経路に配置されるであろう。例えば、図 7 A に描写されているように、揮発性メモリ素子 6 2 0 は、書き込み接点 6 4 0 と電解質層 6 3 1 との間に位置し、したがって書き込み経路にのみ位置することができる。あるいは、図 7 B に描写されるように、揮発性メモリ素子 6 2 0 は、ドレイン接点 6 1 0 に位置し、したがって、読み出し経路

10

20

30

40

50

および書き込み経路に位置してもよい。揮発性メモリ素子620は、図2に描写されているものと同様の金属層を含んでもよいが、少なくとも揮発性メモリ層を含まなければならない。

【0053】

各不揮発性メモリスティブデバイス構造の全体的な形成プロセスの一部としての揮発性メモリ素子の形成は、構造をパターンニングして接点を形成する前に、該当する場所（例えば、図5Aに描写されるような不揮発性メモリスティブデバイス層の堆積の前、図5Bに描写されるような不揮発性メモリスティブデバイス層の後）に揮発性メモリ素子を堆積することによって達成されてよい。揮発性メモリ素子の堆積は、パルスレーザ堆積、スパッタ堆積、化学蒸着、MOCVD、溶液堆積などのPVD堆積によって達成され得る。

10

【0054】

本発明の様々な実施形態の説明は、例示の目的で提示されているが、網羅的であることを意図するものではなく、開示される実施形態に限定されることを意図するものでもない。説明される実施形態の範囲から逸脱することなく、多くの修正および変更が可能であることは当業者には明らかであろう。本明細書で使用される用語は、実施形態の原理、市場で見られる技術に対する実際の適用または技術的改善を最もよく説明するため、または当業者が本明細書に開示される実施形態を理解できるようにするために選択された。したがって、本発明は、説明および図示された正確な形態および詳細に限定されるものではなく、添付の特許請求の範囲の範囲に属することが意図される。

20

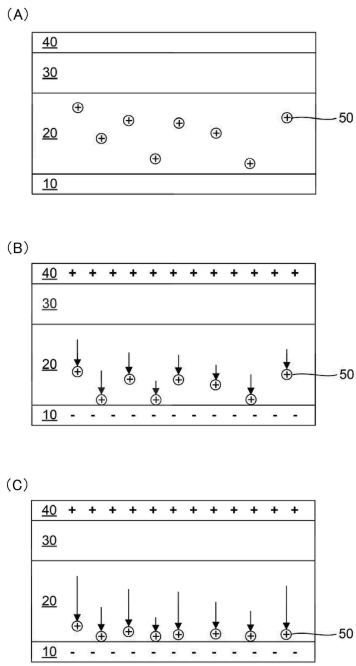
30

40

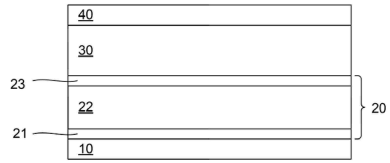
50

【図面】

【図1】



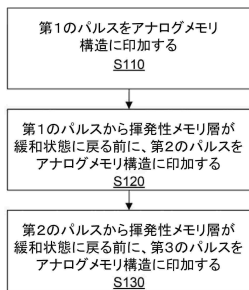
【図2】



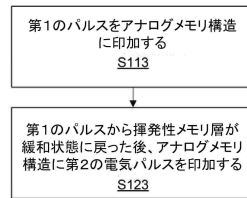
10

20

【図3A】



【図3B】

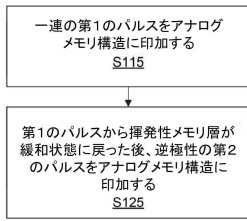


30

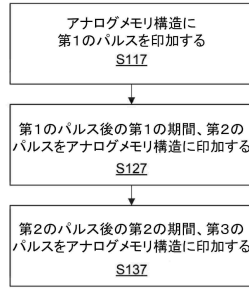
40

50

【 図 3 C 】



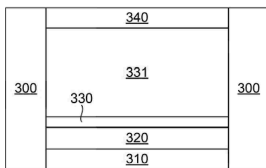
【 図 3 D 】



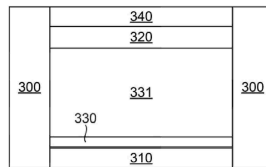
10

20

【 図 4 A 】



【 図 4 B 】



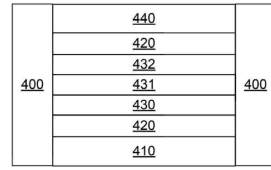
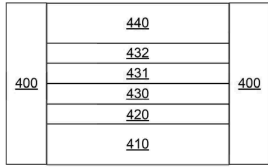
30

40

50

【 図 5 A 】

【 図 5 B 】

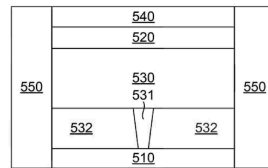
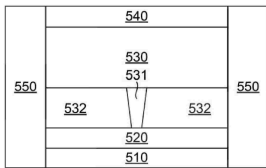


10

20

【 図 6 A 】

【 図 6 B 】



30

40

50

【 7 A 】

【 7 B 】

651	640 620	651
631		
630		
610	650	641

651	640	651
631		
630		
620	630	
610	650	641

10

20

30

40

50

フロントページの続き

(51)国際特許分類

F I		
G 1 1 C	13/00	4 8 0 B
G 1 1 C	13/00	4 8 0 J
G 1 1 C	13/00	4 8 0 K

(74)代理人 100120710

弁理士 片岡 忠彦

(72)発明者 ブリュウ、ケビン、ダブリュウ

アメリカ合衆国 1 2 2 0 3 - 3 6 5 4 ニューヨーク州 オールバニ フラー・ロード 2 5 7 アイ・ビー・エム・コーポレーション

(72)発明者 ワン、ウェイ

アメリカ合衆国 1 2 2 0 3 - 3 6 5 4 ニューヨーク州 オールバニ フラー・ロード 2 5 7 アイ・ビー・エム・コーポレーション

(72)発明者 オーケー、インジョ

アメリカ合衆国 1 2 2 0 3 - 3 6 5 4 ニューヨーク州 オールバニ フラー・ロード 2 5 7 アイ・ビー・エム・コーポレーション

(72)発明者 ユ、ラン

アメリカ合衆国 1 0 5 9 8 - 0 2 1 8 ニューヨーク州 ヨークタウン・ハイツ ピーオー3ボックス218 キッチャワン・ロード 1 1 0 1 インテレクチュアル・プロパティ・ロー・デパートメント アイ・ビー・エム・コーポレーション内

(72)発明者 キム、ヨンソク

アメリカ合衆国 1 0 5 9 8 - 0 2 1 8 ニューヨーク州 ヨークタウン・ハイツ ピーオーボックス218 キッチャワン・ロード 1 1 0 1 アイ・ビー・エム・コーポレーション

審査官 小山 満

(56)参考文献

米国特許出願公開第2018/0075904 (US, A1)

特表2020-523777 (JP, A)

特表2017-510983 (JP, A)

米国特許出願公開第2020/0373354 (US, A1)

米国特許出願公開第2018/0341849 (US, A1)

米国特許出願公開第2020/0294584 (US, A1)

(58)調査した分野 (Int.Cl., DB名)

H 1 0 B 6 3 / 0 0

H 1 0 B 6 3 / 1 0

H 1 0 N 7 0 / 2 0

G 1 1 C 1 3 / 0 0