



(12) 发明专利

(10) 授权公告号 CN 102402137 B

(45) 授权公告日 2014. 04. 09

(21) 申请号 201010286558. 2

(22) 申请日 2010. 09. 15

(73) 专利权人 无锡华润上华半导体有限公司
地址 214028 江苏省无锡市国家高新技术产
业开发区汉江路 5 号
专利权人 无锡华润上华科技有限公司

(72) 发明人 黄旭鑫 王谨恒

(74) 专利代理机构 北京集佳知识产权代理有限
公司 11227
代理人 常亮 李辰

(51) Int. Cl.

G03F 7/38(2006. 01)

G03F 7/00(2006. 01)

H01L 21/027(2006. 01)

(56) 对比文件

CN 1666150 A, 2005. 09. 07, 说明书第 1-22

页、权利要求 42.

CN 102074462 A, 2011. 05. 25, 说明书第 1-6
页.

WO 97/35231 A2, 1997. 09. 25,

CN 1888980 A, 2007. 01. 03,

US 2009/0203224 A1, 2009. 08. 13,

审查员 何莉莉

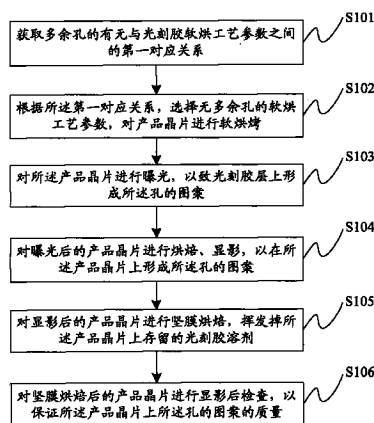
权利要求书1页 说明书7页 附图7页

(54) 发明名称

孔的光刻方法

(57) 摘要

本实施例公开了一种孔的光刻方法,包括:获取多余孔的有无与光刻胶软烘工艺参数之间的第一对应关系;根据所述第一对应关系,选择无多余孔的软烘工艺参数,对产品晶片进行软烘烤;对所述产品晶片进行曝光,以致光刻胶层上形成所述孔的图案。本发明实施例中,发明人研究发现,多余孔效应与光刻胶软烘工艺参数之间的关系,使得通过控制光刻过程中的软烘工艺参数,即可消除多余孔效应。由于软烘工艺参数的调整和控制,在产品生产过程中是比较容易实现的,较现有技术要简单很多且效率很高。同时,由于软烘工艺参数的调整与曝光过程无直接关系,因此本实施例的方法受曝光条件的限制很少,适用范围较广。



1. 一种孔的光刻方法,其特征在于,包括:

获取多余孔的有无与光刻胶软烘工艺参数之间的第一对应关系,所述第一对应关系的创建过程包括:提供至少一个试验晶片,所述试验晶片上具有光刻胶层;采用多组软烘工艺参数对所述试验晶片进行软烘烤;对所述试验晶片进行曝光、显影以形成孔的图案;检测并记录所述试验晶片中是否存在多余孔及其对应的软烘工艺参数,完成所述第一对应关系的创建;

根据所述第一对应关系,选择无多余孔的软烘工艺参数,对产品晶片进行软烘烤,所述软烘工艺参数包括:软烘温度和软烘时间,所述软烘烤的温度为 72℃ 以上,且 107℃ 以下,所述软烘烤的时间为 50s 以上,且 110s 以下;

对所述产品晶片进行曝光,以在光刻胶层上形成孔的图案,其中,所述孔与孔之间不存在多余的孔的图案。

2. 根据权利要求 1 所述的孔的光刻方法,其特征在于,所述软烘烤的温度为 85℃ 以上,且 105℃ 以下,所述软烘烤的时间为 80s 以上,且 110s 以下。

3. 根据权利要求 1-2 任一项所述的孔的光刻方法,其特征在于,对所述产品晶片进行软烘烤之前,还包括:

获取所述孔的关键尺寸 CD 与光刻胶软烘工艺参数之间的第二对应关系;

根据所述第一对应关系和所述第二对应关系,选择无多余孔且满足所述孔的 CD 要求的软烘工艺参数。

4. 根据权利要求 3 所述的孔的光刻方法,其特征在于,所述第二对应关系的创建过程包括:

提供至少一个试验晶片,所述试验晶片上具有光刻胶层;

采用多组软烘工艺参数对所述试验晶片进行软烘烤;

对所述试验晶片进行曝光、显影以形成所述孔的图案;

检测所述试验晶片中所述孔的 CD,将所述孔的 CD 的误差在制造工艺允许的误差范围内的软烘工艺参数作为待选参数,完成所述第二关系的创建。

5. 根据权利要求 4 所述的孔的光刻方法,其特征在于,选择软烘工艺参数的过程还包括:结合制造过程中的曝光工艺参数和孔的 CD 的工艺范围,将试验晶片中孔的 CD 的工艺范围最大的软烘工艺参数,确定为产品晶片的软烘工艺参数。

6. 根据权利要求 5 所述的孔的光刻方法,其特征在于,所述曝光工艺参数包括曝光能量。

7. 根据权利要求 6 所述的孔的光刻方法,其特征在于,该方法还包括:

对曝光后的产品晶片进行烘焙、显影,以在所述产品晶片上形成所述孔的图案;

对显影后的产品晶片进行坚膜烘焙,挥发掉所述产品晶片上存留的光刻胶溶剂;

对坚膜烘焙后的产品晶片进行显影后检查,以保证所述产品晶片上所述孔的图案的质量。

孔的光刻方法

技术领域

[0001] 本发明涉及半导体制造技术领域,更具体地说,涉及一种孔的光刻方法。

背景技术

[0002] 随着超大规模集成电路 (ULSI,Ultra Large Scale Integration) 的飞速发展,集成电路制造工艺变得越来越复杂和精细。在 0.13 μm 节点以下的工艺流程中,孔的光刻一般都是采用 248UV 光源曝光的,但是,在特定的间距下对不对称性孔的进行曝光时,经常在孔与孔之间出现多余的孔,这种现象叫做多余孔效应,即 side-lobe 效应,如图 1 所示,图中标号 1 所示部分即为产生的多余孔,形成的多余孔使得在进行后续的腐蚀工艺时,导致光刻胶不够挡,出现过腐蚀的现象,使最终的半导体器件的电性降低。

[0003] 现有技术中通常采用在孔的光刻工艺中,调整曝光机透镜的 NA(即数值孔径)和 Sigma 来减少或消除多余孔效应,这个调整过程为 NA 和 Sigma 的优化,主要过程为,先确定没有多余孔效应时,产品对应的 NA 和 Sigma 的极大值和极小值,然后在极大值和极小值之间再选出使 process window(工艺窗口)范围最大的 NA 和 Sigma 值,将该 NA 和 Sigma 值作为量产的 NA 和 Sigma 的工艺参数。

[0004] 但是,在实际操作过程中,NA 和 Sigma 的优化过程非常繁琐,没有多余孔效应时,产品对应的 NA 和 Sigma 的极大值和极小值很难确定,也没有一定的规律可循,而且,对于固定的曝光机型号来说,在硬件上,不能实现 NA 和 Sigma 的无穷大和无穷小,即透镜的 NA 和 Sigma 的变化量是非常有限的。而且,又由于不同密度图形的光学衍射和散射效应不同,因此曝光机透镜的 NA 和 Sigma 的变化也不一样,因此,针对不同密度的图形,还需进行不同的 NA 和 Sigma 的优化过程,对于 0.13 节点以下孔层次的光刻的影响尤其明显。由于 0.13 节点以下的孔层次的光刻多是采用 OPC(光学邻近效应矫正)方法将设计图形数据进行处理后制作掩模版,通常情况下,一个 OPC 模型对应一个光刻的曝光模式,即 NA 和 Sigma 值,如果光刻的 NA 和 Sigma 发生变化,就必须重建 OPC 模型,这样就会大大延长孔层次光刻工艺的周期。

[0005] 总之,现有技术中消除多余孔效应的方法操作过程复杂,且不易实现。

发明内容

[0006] 本发明实施例提供一种孔的光刻方法,能够简单、高效的调整工艺参数以避免多余孔效应。

[0007] 为实现上述目的,本发明实施例提供了如下技术方案:

[0008] 一种孔的光刻方法,包括:

[0009] 获取多余孔的有无与光刻胶软烘工艺参数之间的第一对应关系;

[0010] 根据所述第一对应关系,选择无多余孔的软烘工艺参数,对产品晶片进行软烘烤;

[0011] 对所述产品晶片进行曝光,以在光刻胶层上形成孔的图案。

- [0012] 优选的,所述第一对应关系的创建过程包括:
- [0013] 提供至少一个试验晶片,所述试验晶片上具有光刻胶层;
- [0014] 采用多组软烘工艺参数对所述试验晶片进行软烘烤;
- [0015] 对所述试验晶片进行曝光、显影以形成孔的图案;
- [0016] 检测并记录所述试验晶片中是否存在多余孔及其对应的软烘工艺参数,完成所述第一对应关系的创建。
- [0017] 优选的,所述软烘工艺参数包括:软烘温度和软烘时间。
- [0018] 优选的,所述软烘烤的温度为 72℃ 以上,且 107℃ 以下,所述软烘烤的时间为 50s 以上,且 110s 以下。
- [0019] 优选的,所述软烘烤的温度为 85℃ 以上,且 105℃ 以下,所述软烘烤的时间为 80s 以上,且 110s 以下。
- [0020] 优选的,对所述产品晶片进行软烘烤之前,还包括:
- [0021] 获取所述孔的关键尺寸 CD 与光刻胶软烘工艺参数之间的第二对应关系;
- [0022] 根据所述第一对应关系和所述第二对应关系,选择无多余孔且满足所述孔的 CD 要求的软烘工艺参数。
- [0023] 优选的,所述第二对应关系的创建过程包括:
- [0024] 提供至少一个试验晶片,所述试验晶片上具有光刻胶层;
- [0025] 采用多组软烘工艺参数对所述试验晶片进行软烘烤;
- [0026] 对所述试验晶片进行曝光、显影以形成所述孔的图案;
- [0027] 检测所述试验晶片中所述孔的 CD,将所述孔的 CD 的误差在制造工艺允许的误差范围内的软烘工艺参数作为待选参数,完成所述第二关系的创建。
- [0028] 优选的,选择软烘工艺参数的过程还包括:结合制造过程中的曝光工艺参数和孔的 CD 的工艺范围,将试验晶片中孔的 CD 的工艺范围最大的软烘工艺参数,确定为产品晶片的软烘工艺参数。
- [0029] 优选的,所述曝光工艺参数包括曝光能量。
- [0030] 优选的,该方法还包括:
- [0031] 对曝光后的产品晶片进行烘焙、显影,以在所述产品晶片上形成所述孔的图案;
- [0032] 对显影后的产品晶片进行坚膜烘焙,挥发掉所述产品晶片上存留的光刻胶溶剂;
- [0033] 对坚膜烘焙后的产品晶片进行显影后检查,以保证所述产品晶片上所述孔的图案的质量。
- [0034] 与现有技术相比,上述技术方案具有以下优点:
- [0035] 本发明实施例中,发明人研究发现,多余孔效应与光刻胶软烘工艺参数之间的关系,使得通过控制光刻过程中的软烘工艺参数,即可消除多余孔效应。由于软烘工艺参数的调整和控制,在产品生产过程中是比较容易实现的,较现有技术中调整曝光机透镜的 NA 和 Sigma 的过程要简单很多,并且效率很高。
- [0036] 同时,由于软烘工艺参数的调整与曝光过程无直接关系,因此本实施例的方法受曝光条件的限制很少,即对曝光机透镜的 NA 和 Sigma 的限制很少,因此,本实施例的适用范围较广。

附图说明

[0037] 通过附图所示,本发明的上述及其它目的、特征和优势将更加清晰。在全部附图中相同的附图标记指示相同的部分。并未刻意按实际尺寸等比例缩放绘制附图,重点在于示出本发明的主旨。

[0038] 图 1 为产生多余孔效应时的图片;

[0039] 图 2 为本发明实施例一公开的孔的光刻方法的流程图;

[0040] 图 3 为本发明实施例一公开的第一对应关系的创建过程的流程图;

[0041] 图 4 为理论上的 PAG 的敏感度与软烘温度和时间的对应关系曲线;

[0042] 图 5 为采用现有技术的方法消除多余孔效应的过程的实验结果;

[0043] 图 6 为采用本发明实施例公开的方法消除多余孔效应的实验结果;

[0044] 图 7 为本发明实施例二公开的孔的光刻方法的流程图;

[0045] 图 8 为本发明实施例二公开的第二对应关系的创建过程的流程图;

[0046] 图 9 为软烘工艺参数为 90°C 90s 时,不同试验晶片的工艺窗口的显示情况;

[0047] 图 10 为软烘工艺参数为 105°C 90s 时,不同试验晶片的工艺窗口的显示情况。

具体实施方式

[0048] 为使本发明的上述目的、特征和优点能够更加明显易懂,下面结合附图对本发明的具体实施方式做详细的说明。

[0049] 在下面的描述中阐述了很多具体细节以便于充分理解本发明,但是本发明还可以采用其他不同于在此描述的其它方式来实施,本领域技术人员可以在不违背本发明内涵的情况下做类似推广,因此本发明不受下面公开的具体实施例的限制。

[0050] 其次,本发明结合示意图进行详细描述,在详述本发明实施例时,为便于说明,表示器件结构的剖面图会不依一般比例作局部放大,而且所述示意图只是示例,其在此不应限制本发明保护的范围。此外,在实际制作中应包含长度、宽度及深度的三维空间尺寸。

[0051] 正如背景技术部分所述,采用优化 NA 和 Sigma 的方法消除多余孔效应,存在优化过程繁琐且无规律可循的缺点,并且固定的曝光机型的透镜 NA 和 Sigma 的可调范围也是非常有限的,发明人研究发现,在光刻工艺中,通过控制旋转涂胶后软烘烤(即 Soft Bake)的温度和时间,可以减少多余孔效应。

[0052] 实施例一

[0053] 基于上述原因,本发明实施例一提供的孔的光刻方法的流程图如 2 所示,包括以下步骤:

[0054] 步骤 S101:获取多余孔的有无与光刻胶软烘工艺参数之间的第一对应关系,所述软烘工艺参数包括软烘温度和软烘时间;

[0055] 步骤 S102:根据所述第一对应关系,选择无多余孔的软烘工艺参数,对产品晶片进行软烘烤;

[0056] 步骤 S103:对所述产品晶片进行曝光,以在光刻胶层上形成所述孔的图案。

[0057] 在光刻胶层上形成所述孔的图案之后,该方法还包括:

[0058] 步骤 S104:对曝光后的产品晶片进行烘焙、显影,以在所述产品晶片上形成所述孔的图案;

[0059] 步骤 S105 :对显影后的产品晶片进行坚膜烘焙,挥发掉所述产品晶片上存留的光刻胶溶剂;

[0060] 步骤 S106 :对坚膜烘焙后的产品晶片进行显影后检查,以保证所述产品晶片上所述孔的图案的质量。

[0061] 发明人研究发现软烘工艺参数和多余孔效应的有无之间存在一定的对应关系,由于软烘烤能够将光刻胶中的溶剂含量降低,并且能够减小光刻胶的厚度,而光刻胶中溶剂的含量和光刻胶的厚度在一定程度上会影响光刻胶曝光和显影的结果,因此通过调整软烘烤的温度和时间,进而可以影响多余孔效应的有无。

[0062] 其中,本实施例中的多余孔的有无与光刻胶软烘工艺参数之间的第一对应关系的创建过程如图 3 所示,包括以下步骤:

[0063] 步骤 S201 :提供至少一个试验晶片,所述试验晶片上具有光刻胶层;

[0064] 步骤 S202 :采用多组软烘工艺参数对所述试验晶片进行软烘烤;

[0065] 步骤 S203 :对所述试验晶片进行曝光、显影以形成所述孔的图案;

[0066] 步骤 S204 :检测并记录所述试验晶片中是否存在多余孔,完成所述第一对应关系的创建。

[0067] 发明人发现,多余孔效应的产生很大程度上与曝光、显影过程中光刻胶内部的应力有关,而影响光刻胶内应力的因素除光刻胶中的溶剂含量之外,还包括光刻胶中的 PAG(光酸产生剂)的敏感度,以及产品的关键尺寸 CD,因此若要消除多余孔效应,还需结合 PAG 的敏感度与产品的 CD 的关系,以及 PAG 的敏感度与软烘工艺参数的关系。

[0068] 图 4 为理论上的 PAG 的敏感度与软烘温度和时间的对应关系曲线,图 4 中间隔线 41 左侧的温度和时间的条件下,即 72°C 以下温度软烘 50s 时,PAG 的敏感度不够,不能解析出产品所需的 CD,中间隔线 42 右侧的温度和时间的条件下,即 107°C 以上温度软烘 82s 时,容易产生多余孔效应,其中,在 72°C -107°C 之间,软烘时间范围为 50s-82s,既可以满足产品 CD 的要求,又不会出现多余孔效应。

[0069] 结合图 4 的曲线,经过多次重复图 3 中所示的实验过程,发明人发现,实际上,在温度为 72°C 以上,107°C 以下,软烘烤的时间为 50s 以上,110s 以下,也同样能够满足产品 CD 的要求,且不会出现多余孔效应,优选的条件为,温度为 85°C 以上,105°C 以下,软烘烤的时间为 80s 以上,110s 以下。

[0070] 下面结合图例说明本实施例的效果,图 5 为采用现有技术的方法,不改变软烘温度,只调节曝光机透镜的 NA 和 sigma 而消除多余孔效应的过程,从图 5 中可以看出,现有技术中需多次调节曝光机透镜的 NA 和 sigma 才能消除多余孔效应;图 6 为采用本实施例的方法,将软烘温度做了适当调节后的实验结果,从图 6 中可以看出,本实施例的方法操作过程简单,对曝光机透镜的 NA 和 sigma 没有过多限制。

[0071] 从图 5 和图 6 的对比中可以看出,本实施例通过控制光刻胶软烘过程的温度和时间,即可消除多余孔效应,较现有技术中调整曝光机透镜的 NA 和 Sigma 的过程要简单很多,并且效率提高了很多,而且又由于软烘过程的温度和时间调整与曝光过程无直接关系,因此本实施例的方法受曝光条件的限制很少,即对曝光机透镜的 NA 和 Sigma 的限制很少,如图 6 中所示,在调整后的软烘工艺参数条件下,改变曝光机透镜的 NA 和 sigma,仍不存在多余孔效应,因此,本实施例的适用范围较现有技术要广。

[0072] 实施例二

[0073] 本实施例公开的孔的光刻方法的流程图如 7 所示,包括以下步骤:

[0074] 步骤 S301:获取多余孔的有无与光刻胶软烘工艺参数之间的第一对应关系,本步骤与实施例一类似;

[0075] 步骤 S302:获取所述孔的关键尺寸 CD 与光刻胶软烘工艺参数之间的第二对应关系;

[0076] 步骤 S303:根据所述第一对应关系和所述第二对应关系,选择无多余孔且满足所述孔的 CD 要求的软烘工艺参数;

[0077] 步骤 S304:采用选定的软烘工艺参数对产品晶片进行软烘烤;

[0078] 步骤 S305:对所述产品晶片进行曝光,以在光刻胶层上形成所述孔的图案。

[0079] 之后的步骤 S306- 步骤 S308 与实施例一中的步骤 S104- 步骤 S106 类似。

[0080] 本实施例在消除多余孔效应的基础上,能够更好的控制产品的 CD,使制造出的产品能够满足设计要求。本实施例中孔的 CD 与光刻胶软烘工艺参数之间的第二对应关系的创建过程如图 8 所示,包括以下步骤:

[0081] 步骤 S401:提供至少一个试验晶片,所述试验晶片上具有光刻胶层;

[0082] 步骤 S402:采用多组软烘工艺参数对所述试验晶片进行软烘烤;

[0083] 步骤 S403:对所述试验晶片进行曝光、显影以形成所述孔的图案;

[0084] 步骤 S404:检测所述试验晶片中所述孔的 CD,将所述孔的 CD 的误差在制造工艺允许的误差范围内的软烘工艺参数作为待选参数,完成所述第二关系的创建。

[0085] 经多次实验后,发明人得出了如下图表,表一为软烘温度参数与产品的 CD 以及多余孔效应(即 side-lobe 效应)间的对应关系表。

[0086] 表一

[0087]

Item	Soft Bake(°C)									
	70	80	85	90	95	100	105	110	115	120
Time (S)	75	CD NG	CD NG	CD NG	CD NG	CD NG	CD NG	Side lobe	Side lobe	Side lobe
	80	CD NG	No	No	No	No	No	Side lobe	Side lobe	Side lobe
	85	CD NG	No	No	No	No	No	Side lobe	Side lobe	Side lobe
	90	CD NG	No	No	No	No	No	Side lobe	Side lobe	Side lobe
	95	CD NG	No	No	No	No	No	Side lobe	Side lobe	Side lobe
	100	CD NG	No	No	No	No	No	Side lobe	Side lobe	Side lobe
	105	CD NG	No	No	No	Profile N	Profile N	Side lobe	Side lobe	Side lobe
	110	CD NG	No	No	No	Profile N	Profile N	Side lobe	Side lobe	Side lobe

[0088] 从表一中可以看出,在软烘温度为 80°C 或者更低时,无论软烘时间为多少,最终的试验晶片的 CD 均不能满足产品 CD 的要求;在软烘温度为 110°C 或者更高时,无论软烘时间为多少,均会出现多余孔效应;在软烘时间为 75s 或者更低时,软烘温度在 80°C -105°C 之间时,试验晶片的 CD 均不能满足产品 CD 的要求,软烘温度在 110°C 或更高时,会出现多余孔效应;在软烘温度为 100°C -105°C,软烘时间在 105s-110s 时,试验晶片上孔的图案轮廓不符合设计的要求。

[0089] 因此,从上表得出,若要使产品晶片上的孔的图案的 CD 和轮廓满足设计要求,又要消除多余孔效应,可选择的软烘工艺参数的范围为:软烘时间在 80s 以上,100s 以下时,

软烘温度可为 85℃ 以上, 105℃ 以下, 软烘时间在 105s 以上, 110s 以下时, 软烘温度可为 85℃ 以上, 95℃ 以下。

[0090] 本实施例选择的软烘温度和时间, 既能够消除多余孔效应, 又能够满足产品的 CD 和图案轮廓的要求, 较上一实施例进一步缩小了软烘工艺参数的选择范围。

[0091] 实施例三

[0092] 本实施例公开的孔的光刻方法较上一实施例增加了选择软烘工艺参数时的限定条件, 即在对产品晶片进行软烘之前, 除了要结合第一对应关系和第二对应关系, 选择无多余孔且满足孔的 CD 要求的软烘工艺参数之外, 还需结合制造过程中的曝光工艺参数和孔的 CD 的工艺范围, 即需将试验晶片中无多余孔且在满足孔的 CD 要求的条件下, 孔的 CD 的工艺范围最大的软烘工艺参数, 确定为产品晶片的软烘工艺参数。所述曝光工艺参数包括曝光能量, 还包括曝光机的 NA 和 sigma 等参数的选择。

[0093] 在实际确定产品晶片的软烘工艺参数时, 要考虑曝光能量、曝光机的 NA 和 sigma 等参数, 总之, 最终确定的产品晶片的软烘工艺参数, 要使在实际制造过程中工艺窗口的大小合适、孔的 CD 的工艺范围广, 以及最终的产品晶片上形成的孔的图案的质量较好等。其中, 孔的 CD 的工艺范围是通过测量最终的试验晶片的电性和良率是否满足设计要求来确定的。

[0094] 为了更清楚的说明本实施例的内容, 下面以 NA = 0.68、sigma = 0.6、孔的 CD 要求在 180+/-5nm 的范围内, 不同软烘工艺参数下的孔的 CD 的工艺范围的情况为例进行说明。

[0095] 图 9 为软烘温度为 90℃, 软烘时间为 90s 时, 不同试验晶片的工艺窗口的情况, 横坐标为曝光机的焦距 (Focus), 纵坐标为试验晶片的 CD 值; 表二与图 9 对应, 粗体字部分为软烘温度为 90℃, 软烘时间为 90s 时所允许的孔的 CD 的工艺范围。

[0096] 图 10 为软烘温度为 105℃, 软烘时间为 90s 时, 不同试验晶片的工艺窗口的情况, 横坐标为曝光机的焦距 (Focus), 纵坐标为试验晶片的 CD 值; 表三与图 10 对应, 粗体字部分为软烘温度为 105℃, 软烘时间为 90s 时所允许的孔的 CD 的工艺范围。

[0097] 表二

[0098]

	37	39	41	43	45	47	49	51
-0.25	166.9	171.5	172.5	173	174	175.5	177.8	180.4
-0.2	168.4	173	174	174.5	175.5	177	179.3	181.9
-0.15	169.2	173.8	174.8	175.3	176.3	177.8	180.1	182.7
-0.1	170.4	175	176	176.5	177.5	179	181.3	183.9
-0.05	172.3	176.9	177.9	178.4	179.4	180.9	183.2	185.8
0	172.9	177.5	178.5	179	180	181.5	183.8	186.4
0.05	172	176.6	177.6	178.1	179.1	180.6	182.9	185.5
0.1	171.3	175.9	176.9	177.4	178.4	179.9	182.2	184.8
0.15	170.2	174.8	175.8	176.3	177.3	178.8	181.1	183.7
0.2	168	172.6	173.6	174.1	175.1	176.6	178.9	181.5
0.25	166.9	171.5	172.5	173	174	175.5	177.8	180.4

[0099] 表三

[0100]

	37	39	41	43	45	47	49	51
-0.25	168.9	170.9	172.9	174.2	Side lobe	Side lobe	Side lobe	Side lobe
-0.2	170.4	172.4	174.4	175.7	177.7	Side lobe	Side lobe	Side lobe
-0.15	171.2	173.2	175.2	176.5	178.5	180.6	Side lobe	Side lobe
-0.1	172.4	174.4	176.4	177.7	179.7	181.8	184	Side lobe
-0.05	174.3	176.3	178.3	179.6	181.6	183.7	185.9	Side lobe
0	174.9	176.9	178.9	180.2	182.2	184.3	186.5	188.4
0.05	174	176	178	179.3	181.3	183.4	185.6	Side lobe
0.1	173.3	175.3	177.3	178.6	180.6	182.7	184.9	Side lobe
0.15	172.2	174.2	176.2	177.5	179.5	181.6	Side lobe	Side lobe
0.2	170	172	174	175.3	177.3	Side lobe	Side lobe	Side lobe
0.25	168.9	170.9	172.9	174.2	176.2	Side lobe	Side lobe	Side lobe

[0101] 从图9和图10的对比,以及表二和表三的对比中,可以看出,在软烘工艺参数为90°C、90s条件下,较105°C、90s条件下,试验晶片中孔的CD的工艺范围要广,工艺窗口也更清晰,因此在实际制造过程中,要选择90°C、90s的软烘工艺参数。

[0102] 以上各实施例中所述的试验晶片和产品晶片可以包括半导体元素,例如单晶、多晶或非晶结构的硅或硅锗(SiGe),也可以包括混合的半导体结构,例如碳化硅、铟化镓、碲化铅、砷化铟、磷化铟、砷化镓或铟化镓、合金半导体或其组合;也可以是绝缘体上硅(SOI)。此外,半导体晶片还可以包括其它的材料,例如外延层或掩埋层的多层结构。虽然在此描述了可以选择的试验晶片和产品晶片的材料的几个示例,但是可以作为试验晶片和产品晶片的任何材料均落入本发明的精神和范围。

[0103] 以上所述,仅是本发明的较佳实施例而已,并非对本发明作任何形式上的限制。

[0104] 虽然本发明已以较佳实施例披露如上,然而并非用以限定本发明。任何熟悉本领域的技术人员,在不脱离本发明技术方案范围情况下,都可利用上述揭示的方法和技术内容对本发明技术方案作出许多可能的变动和修饰,或修改为等同变化的等效实施例。因此,凡是未脱离本发明技术方案的内容,依据本发明的技术实质对以上实施例所做的任何简单修改、等同变化及修饰,均仍属于本发明技术方案保护的范围内。

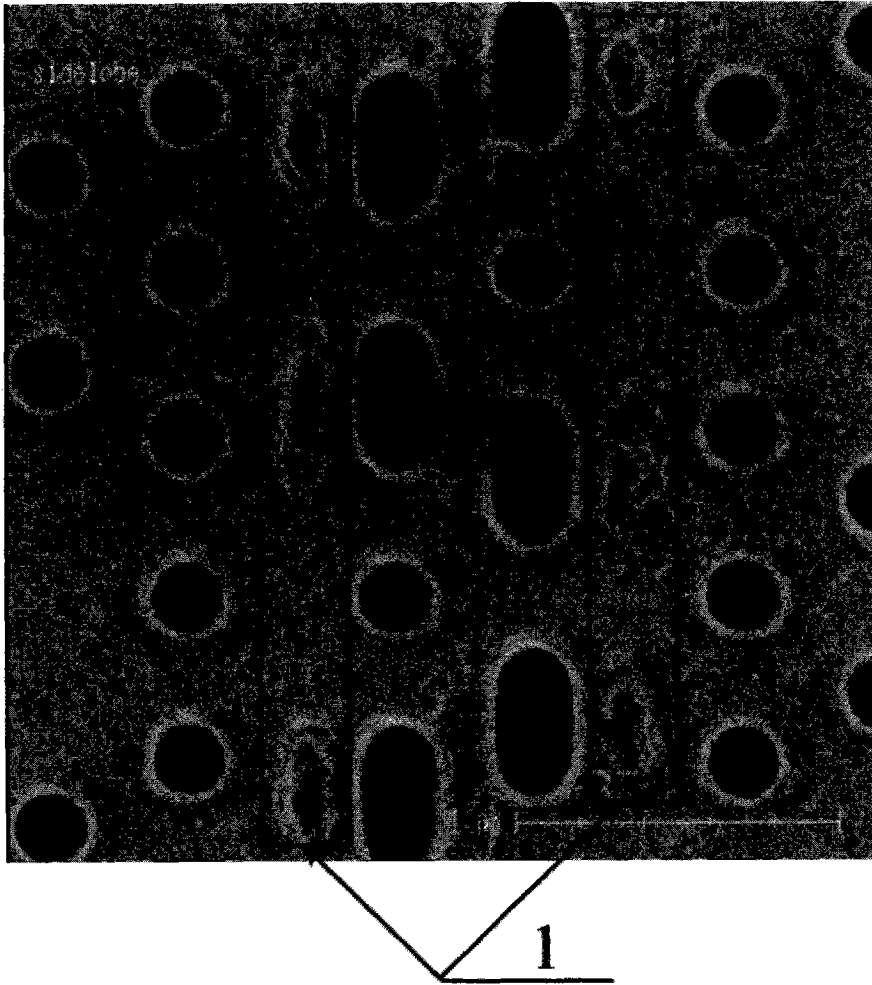


图 1

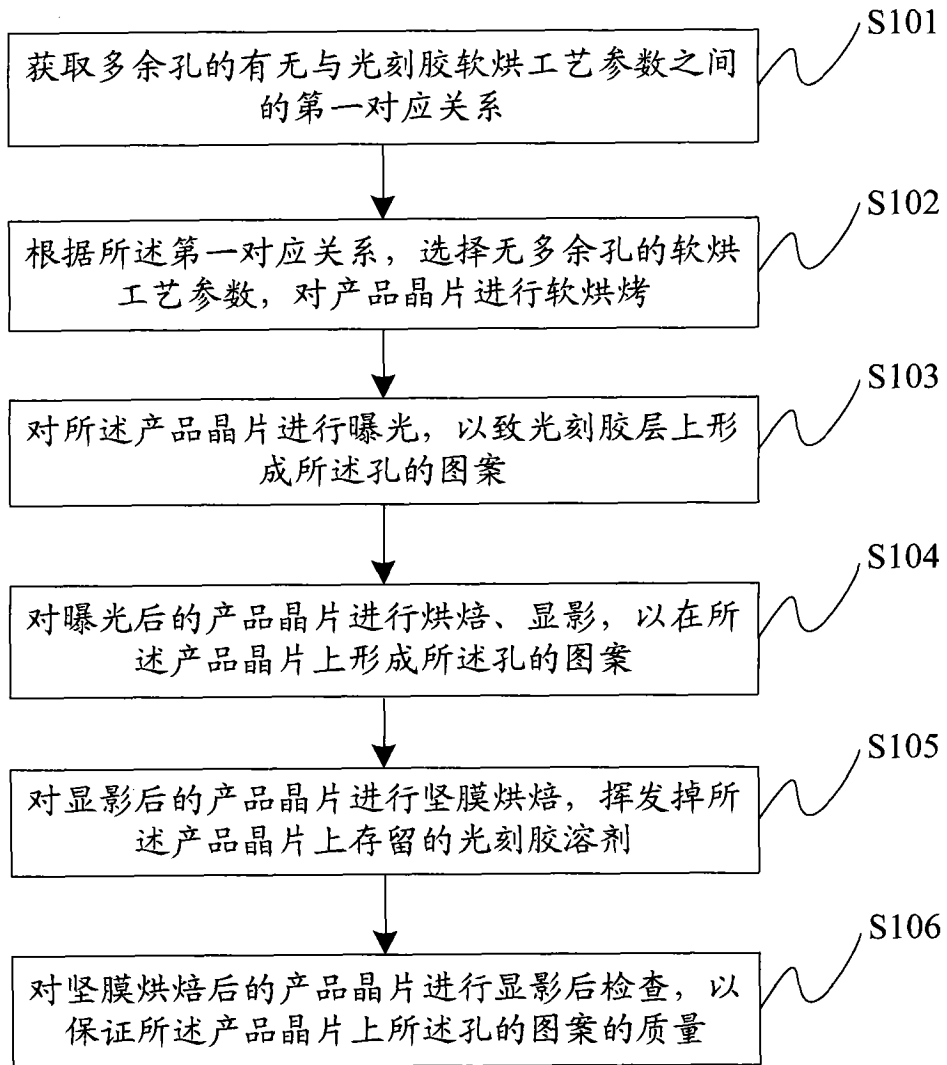


图 2

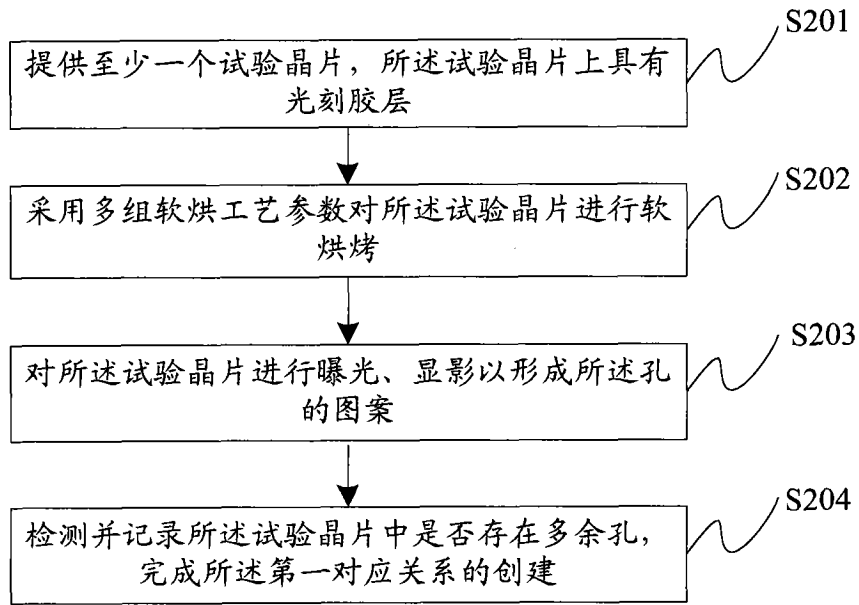


图 3

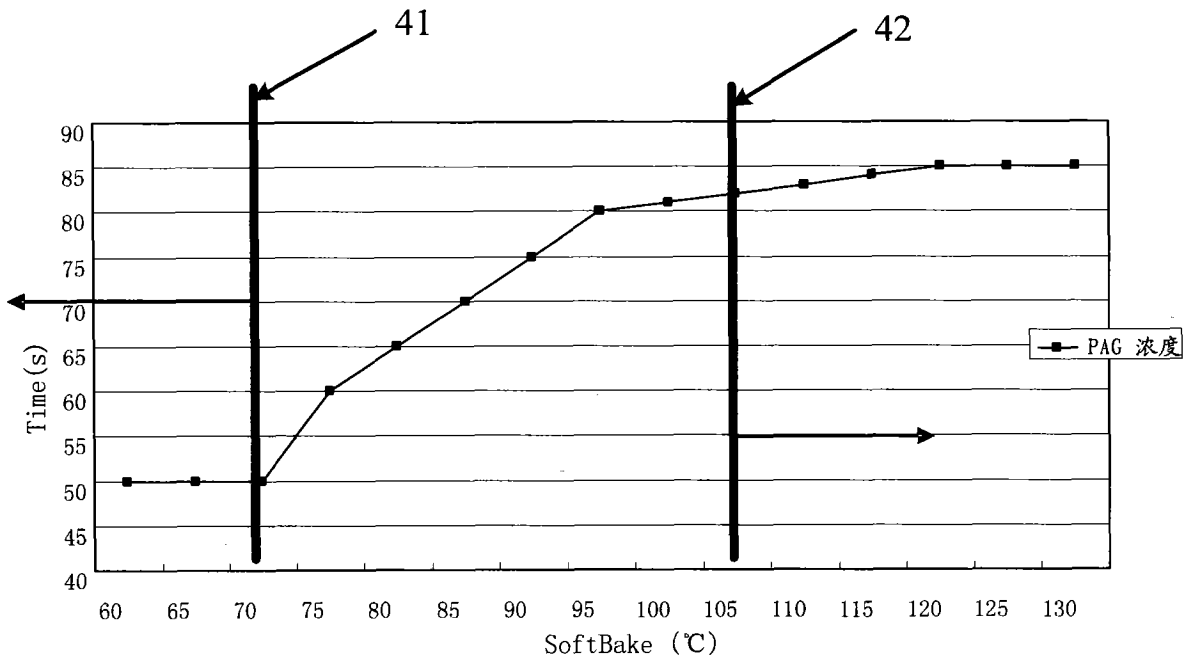


图 4

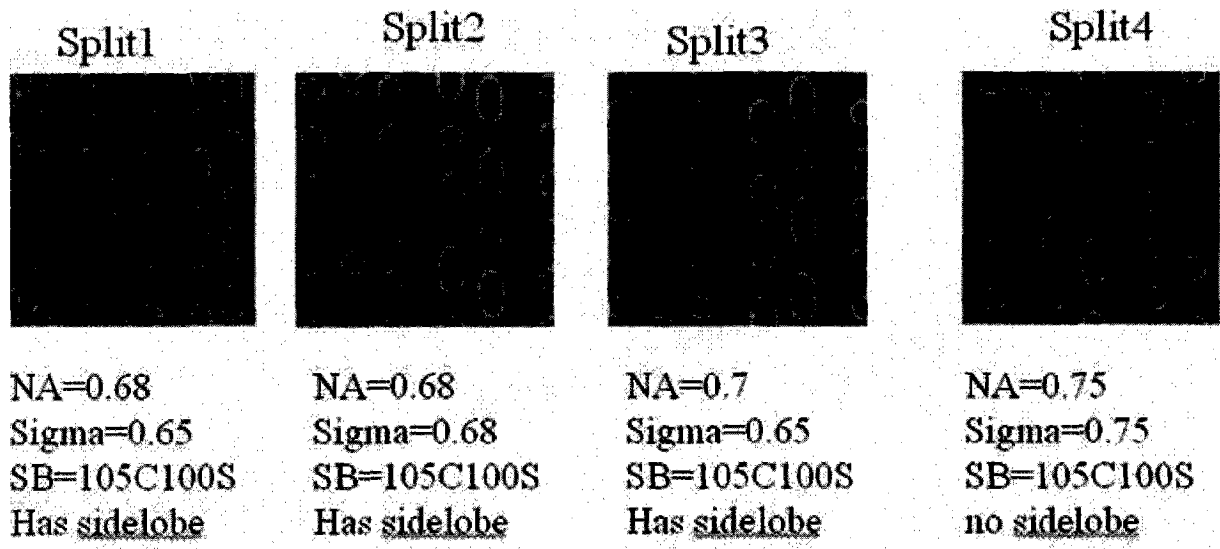


图 5

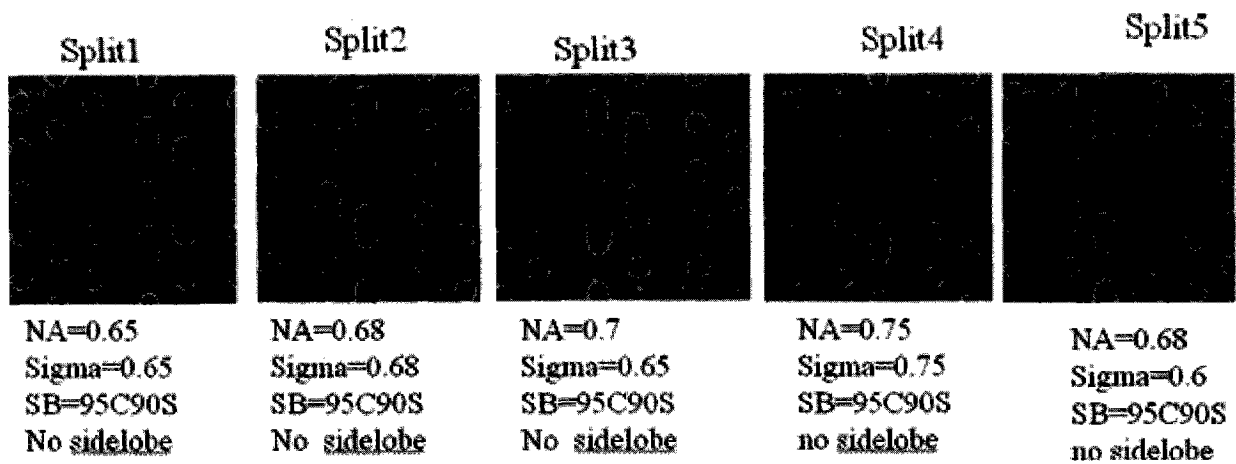


图 6

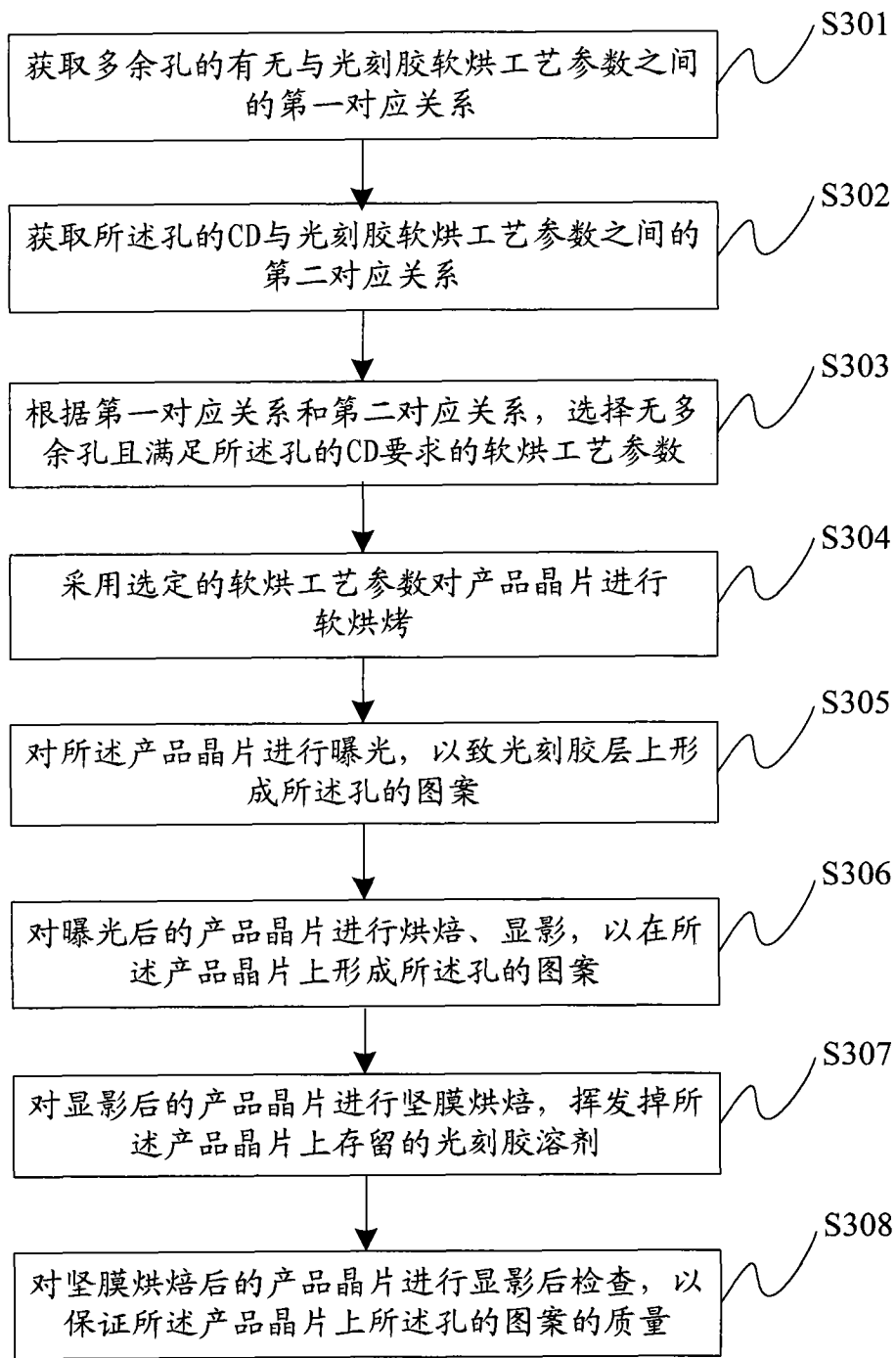


图 7

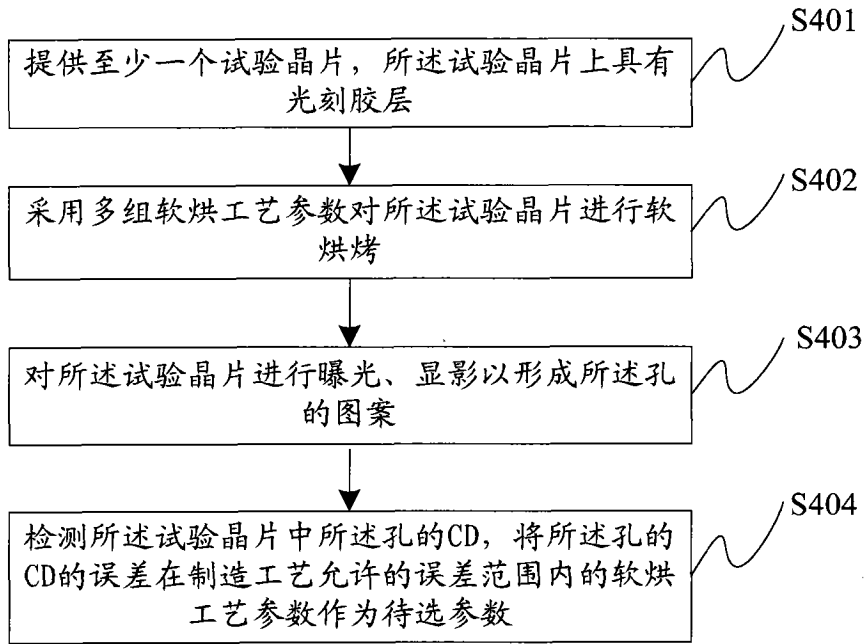


图 8

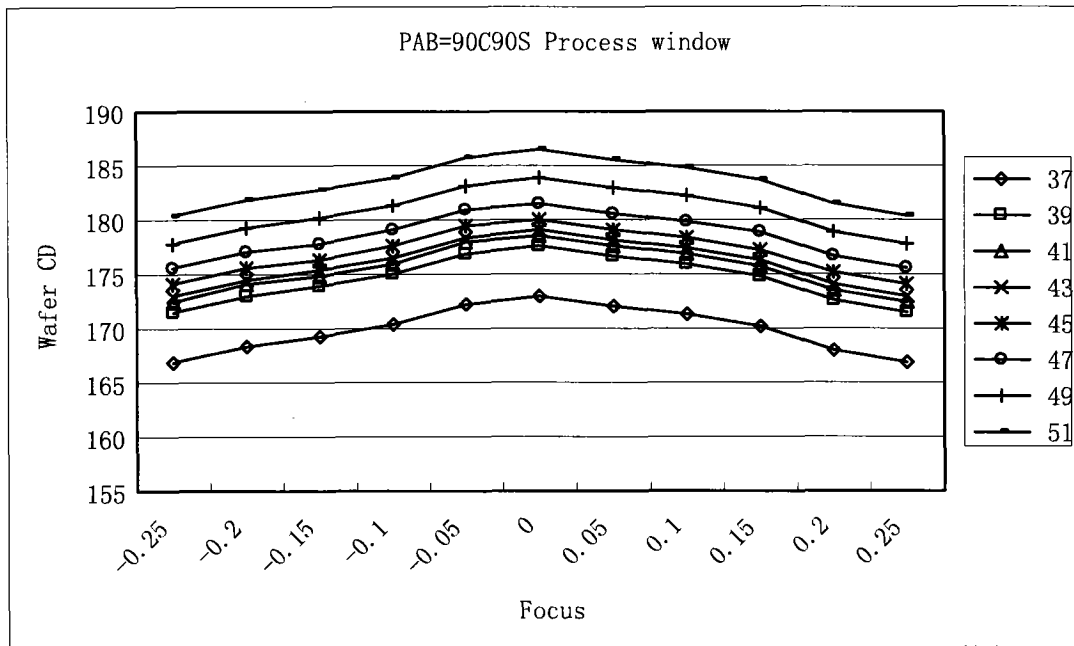


图 9

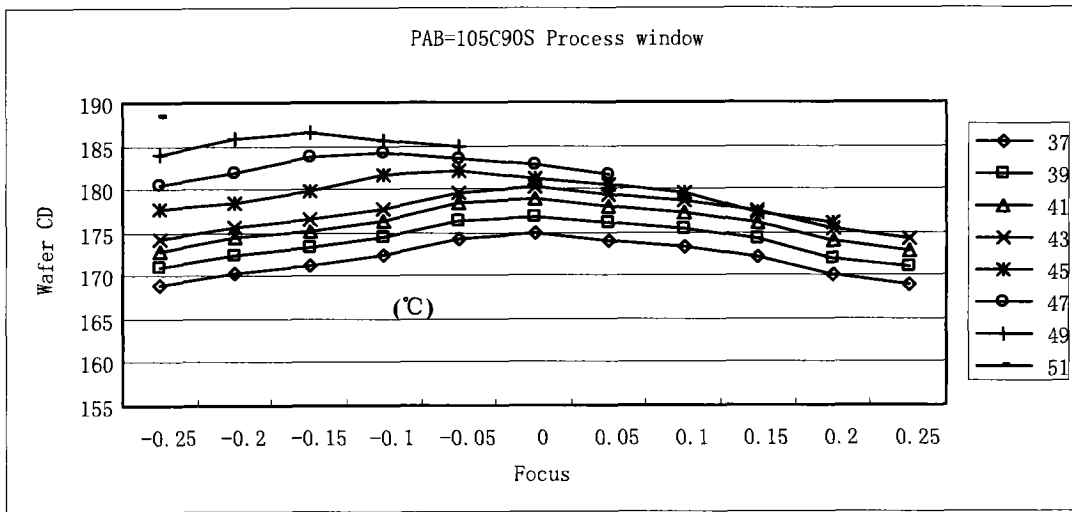


图 10