

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-267384

(P2009-267384A)

(43) 公開日 平成21年11月12日(2009.11.12)

| (51) Int.Cl. | F I | テーマコード (参考) |
|-------------------------|--------------------|-------------|
| HO 1 L 27/10 (2006.01) | HO 1 L 27/10 4 5 1 | 5 F 0 8 3 |
| HO 1 L 27/105 (2006.01) | HO 1 L 27/10 4 4 8 | |
| HO 1 L 45/00 (2006.01) | HO 1 L 45/00 A | |
| HO 1 L 49/00 (2006.01) | HO 1 L 45/00 Z | |
| HO 1 L 51/05 (2006.01) | HO 1 L 49/00 Z | |

審査請求 未請求 請求項の数 7 O L (全 37 頁) 最終頁に続く

(21) 出願番号 特願2009-75401 (P2009-75401)
 (22) 出願日 平成21年3月26日 (2009. 3. 26)
 (31) 優先権主張番号 特願2008-96833 (P2008-96833)
 (32) 優先日 平成20年4月3日 (2008. 4. 3)
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷 3 9 8 番地
 (72) 発明者 齋藤 利彦
 神奈川県厚木市長谷 3 9 8 番地 株式会社
 半導体エネルギー研究所内
 F ターム (参考) 5F083 FZ07 FZ10 GA09 HA02 HA06
 HA10 JA36 JA37 JA38 JA39
 JA42 JA58 PR23 ZA13 ZA14

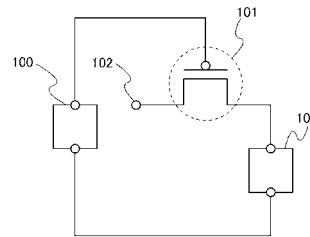
(54) 【発明の名称】 半導体記憶装置、及び半導体装置

(57) 【要約】

【課題】トランジスタを絶縁破壊させることなく、記憶素子において確実にデータの書き込みを行うことを課題とする。

【解決手段】半導体記憶装置は、電位制御回路100と、ゲート端子、ソース端子、及びドレイン端子を有するトランジスタ101と、電位供給端子102と、第1端子及び第2端子を有する記憶素子103と、を有する。データ書き込み時において、記憶素子103の第2端子には負電位が与えられる。また、トランジスタ101のゲート端子とソース端子の電位差が、トランジスタ101の閾値電圧以上であり、且つトランジスタ101の絶縁耐圧以下である。また、記憶素子103の第1端子と第2端子の電位差が、トランジスタ101の絶縁耐圧より高く、且つ記憶素子103の書き込みに必要な電圧以上である。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

電位制御回路と、
電位供給端子と、

ゲート端子、ソース端子、及びドレイン端子を有し、前記ゲート端子に前記電位制御回路から第 1 の電位が与えられ、且つ前記ソース端子及び前記ドレイン端子の一方に前記電位供給端子から第 2 の電位が与えられる P 型トランジスタと、

第 1 端子及び第 2 端子を有し、前記第 1 端子に前記 P 型トランジスタの前記ソース端子及び前記ドレイン端子の他方が電氣的に接続し、且つ前記 P 型トランジスタを介して前記電位供給端子から前記第 2 の電位が与えられ、前記第 2 端子に前記電位制御回路から負電位である第 3 の電位が与えられ、前記第 1 端子及び前記第 2 端子間の抵抗値が変化することによりデータが書き込まれた状態となる記憶素子と、を有し、

前記記憶素子にデータを書き込むために必要な電圧は、前記 P 型トランジスタの絶縁耐圧より高く、

データ書き込み時における前記第 1 の電位と前記第 2 の電位の電位差は、前記 P 型トランジスタの閾値電圧の絶対値より大きく、且つ前記 P 型トランジスタの絶縁耐圧以下であり、

前記データ書き込み時における前記第 2 の電位と前記第 3 の電位の電位差は、前記 P 型トランジスタの絶縁耐圧より高く、且つ前記記憶素子にデータを書き込むために必要な電圧以上である半導体記憶装置。

【請求項 2】

複数の記憶回路を有する記憶回路部と、

複数の第 1 のワード線及び複数の第 2 のワード線を介して前記記憶回路部に電氣的に接続されたワード線制御回路と、

複数のビット線を介して前記記憶回路部に電氣的に接続されたビット線制御回路と、を有し、

前記複数の記憶回路のいずれか一つは、ゲート端子、ソース端子、及びドレイン端子を有し、前記ゲート端子に前記複数の第 1 のワード線のいずれか一つを介して前記ワード線制御回路から第 1 の電位が与えられ、前記ソース端子及び前記ドレイン端子の一方に前記複数のビット線のいずれか一つを介して前記ビット線制御回路から第 2 の電位が与えられる P 型トランジスタと、

第 1 端子及び第 2 端子を有し、前記第 1 端子に前記 P 型トランジスタの前記ソース端子及び前記ドレイン端子の他方が電氣的に接続し、且つ前記複数のビット線のいずれか一つ及び前記 P 型トランジスタを介して前記ビット線制御回路から前記第 2 の電位が与えられ、前記第 2 端子に前記複数の第 2 のワード線のいずれか一つを介して前記ワード線制御回路から負電位である第 3 の電位が与えられ、前記第 1 端子及び前記第 2 端子間の抵抗値が変化することによりデータが書き込まれた状態となる記憶素子と、を有し、

前記記憶素子にデータを書き込むために必要な電圧は、前記 P 型トランジスタの絶縁耐圧より高く、

データ書き込み時における前記第 1 の電位と前記第 2 の電位の電位差は、前記 P 型トランジスタの閾値電圧の絶対値より大きく、且つ前記 P 型トランジスタの絶縁耐圧以下であり、

前記データ書き込み時における前記第 2 の電位と前記第 3 の電位の電位差は、前記 P 型トランジスタの絶縁耐圧より高く、且つ前記記憶素子にデータを書き込むために必要な電圧以上である半導体記憶装置。

【請求項 3】

請求項 1 または請求項 2 において、

前記データ書き込み時における前記第 2 の電位と前記第 3 の電位の電位差は、10 V より高い値である半導体記憶装置。

【請求項 4】

請求項 1 乃至請求項 3 のいずれか一項において、
前記 P 型トランジスタは、ゲート絶縁膜の厚さが 10 nm 以下である半導体記憶装置。

【請求項 5】

請求項 1 乃至請求項 4 のいずれか一項において、
前記記憶素子は、前記第 2 端子の一部となる第 1 の電極と、
前記第 1 の電極上に設けられた有機化合物層と、
前記有機化合物層上に設けられた前記第 1 端子の一部となる第 2 の電極と、を有する半導体記憶装置。

【請求項 6】

請求項 1 乃至請求項 4 のいずれか一項において、
前記記憶素子は、前記第 2 端子の一部となる第 1 の電極と、
前記第 1 の電極上に設けられた無機化合物層と、
前記無機化合物層上に設けられた前記第 1 端子の一部となる第 2 の電極と、を有する半導体記憶装置。

【請求項 7】

請求項 1 乃至請求項 5 のいずれか一項に記載の半導体記憶装置と、
データの送受信を行うアンテナと、
前記アンテナから受信した信号を用いて電源電圧を生成する RF 回路と、
前記電源電圧が入力され、前記半導体記憶装置に記憶されたデータを用いて演算処理を行うロジック回路と、を有する半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体記憶装置に関する。また、該半導体記憶装置を有する半導体装置に関する。

【背景技術】

【0002】

近年、コンピュータなど様々な電子機器の多くは、様々なデータを用いることにより所望の動作をさせることができる。これらのデータは、例えば記憶装置（メモリともいう）などに保持することにより、一時的または半永久的に用いることができる。記憶装置とは、広義にはハードディスクや、フレキシブルディスクなどの外部記憶装置（補助記憶装置）も含むが、CPU（中央処理装置）などの半導体記憶装置のことを意味する場合がほとんどである。記憶装置には、大きく分けて揮発性メモリと、不揮発性メモリとが存在する。揮発性メモリとは、データを保持した後に、時間を経ることによってデータが消えてしまう記憶装置をいう。また、不揮発性メモリとは、データを保持した後でそのデータを半永久的に保持できる記憶装置をいう。

【0003】

揮発性メモリは、データが失われてしまう可能性はあるが、アクセス時間が短いというメリットを有する。また、不揮発性メモリは、データを半永久的に保持することはできるが、消費電力が高いというデメリットを有する。このように記憶装置には、各々に特徴があり、各記憶装置は扱うデータの種類又は用途に応じて使い分けられている。

【0004】

上記記憶装置の中には、記憶素子の抵抗を変化させ、その抵抗を変化させた前と後のそれぞれの電圧を判別して、その電圧をデータとして保持することにより記憶装置として機能させるものがある（以下、抵抗変化型記憶装置という）。以下に、抵抗変化型記憶装置の一例を述べる。該抵抗変化型記憶装置は、一对の電極間に少なくとも一層からなる有機化合物またはシリコンなどの無機化合物を有する層（以下、化合物層ともいう）を挟んで設けられた構造の記憶素子を有する。該記憶素子は、対となる電極間に高電圧を与え、電極同士を短絡（ショートともいう）させることができる。これに伴い、記憶素子における抵抗値が低下する。上記の抵抗変化型記憶装置は、この記憶素子の短絡の有無により書き

10

20

30

40

50

込み状態または未書き込み状態を区別し、それぞれの状態における電圧を保持することにより記憶装置として機能（以下、短絡型メモリともいう）している。（例えば特許文献 1）

【0005】

特許文献 1 に示す従来の記憶装置は、ワード線、ビット線に接続された選択トランジスタと、そのソース又はドレインの一方の電氣的に接続された記憶素子と、を有する記憶回路を備えた構成である。ワード線及びビット線に電氣的に接続された記憶回路において、ワード線及びビット線を介して所定の値の電位が記憶素子の第 1 端子及び第 2 端子に与えられる。記憶素子は、第 1 端子と第 2 端子との電位差が所定の値以上となることにより短絡し（データ書き込み状態）、また、電位差が所定の値未満の場合には、短絡しない（データ未書き込み状態）。これにより、各記憶素子に 1 または 0 のデータが記憶される。また、選択トランジスタは、外部からの電位により記憶素子にデータを書き込むか否かを選択するため、ばらつきの少ないものが好適である。例えば、ゲート絶縁膜を薄くしたトランジスタが好適である。ゲート絶縁膜を薄くすることにより、ばらつきを低減すること、及び単位面積当たりの容量を大きくすることができるからである。

10

【先行技術文献】

【特許文献】

【0006】

【特許文献 1】特開 2007 - 012035 号公報

【発明の概要】

20

【発明が解決しようとする課題】

【0007】

しかしながら、従来の抵抗変化型の記憶装置において、選択トランジスタに上記のようなばらつきの少ない構造を適用した場合、絶縁耐圧が下がってしまう。これにより、選択トランジスタを介してビット線の電位を記憶素子に与えたときに選択トランジスタが絶縁破壊され、記憶素子においてデータの書き込みができなくなる可能性がある。特に、記憶素子にデータを書き込むために必要な電圧（書き込み電圧ともいう）が選択トランジスタの絶縁耐圧より高い場合は、書き込み動作において、記憶素子にデータを書き込むために必要な電圧（書き込み電圧ともいう）を印加した際に選択トランジスタが絶縁破壊され、データの書き込みが行えなくなる可能性が高くなる。なお、本明細書中において、絶縁耐圧とは、薄膜トランジスタのゲート端子と、ソース端子若しくはドレイン端子との間に高電圧が印加されることにより、ゲート絶縁膜が破壊され、ゲート端子と、ソース端子若しくはドレイン端子がショートする、又は薄膜トランジスタのスイッチング特性が劣化する臨界の電圧を指すこととする。

30

【0008】

上記問題を鑑み、本発明では、書き込み電圧がトランジスタの絶縁耐圧より高い場合においてもトランジスタの絶縁破壊を抑制し、且つ記憶素子に正確なデータの書き込みを行うことを課題の一とする。

【課題を解決するための手段】

【0009】

40

本発明の一態様は、電位制御回路と、電位供給端子と、ゲート端子、ソース端子、及びドレイン端子を有し、ゲート端子に電位制御回路から第 1 の電位が与えられ、且つソース端子及びドレイン端子の一方に電位供給端子から第 2 の電位が与えられる P 型トランジスタと、第 1 端子及び第 2 端子を有し、第 1 端子に P 型トランジスタのソース端子及びドレイン端子の他方が電氣的に接続し、且つ P 型トランジスタを介して電位供給端子から第 2 の電位が与えられ、第 2 端子に電位制御回路から負電位である第 3 の電位が与えられ、第 1 端子及び第 2 端子間の抵抗値が変化することによりデータが書き込まれた状態となる記憶素子と、を有し、記憶素子にデータを書き込むために必要な電圧は、P 型トランジスタの絶縁耐圧より高く、データ書き込み時における第 1 の電位と第 2 の電位の電位差は、P 型トランジスタの閾値電圧の絶対値より大きく、且つ P 型トランジスタの絶縁耐圧以下で

50

あり、データ書き込み時における第2の電位と第3の電位の電位差は、P型トランジスタの絶縁耐圧より高く、且つ記憶素子にデータを書き込むために必要な電圧以上である半導体記憶装置である。

【0010】

また、本発明の一態様は、複数の記憶回路を有する記憶回路部と、複数の第1のワード線及び複数の第2のワード線を介して記憶回路部に電氣的に接続されたワード線制御回路と、複数のビット線を介して記憶回路部に電氣的に接続されたビット線制御回路と、を有し、記憶回路は、ゲート端子、ソース端子、及びドレイン端子を有し、ゲート端子に複数の第1のワード線のいずれか一つを介してワード線制御回路から第1の電位が与えられ、且つソース端子及びドレイン端子の一方に複数のビット線のいずれか一つを介してビット線制御回路から第2の電位が与えられるP型トランジスタと、第1端子及び第2端子を有し、第1端子にP型トランジスタのソース端子及びドレイン端子の他方が電氣的に接続し、且つ複数のビット線のいずれか一つ及びP型トランジスタを介してビット線制御回路から第2の電位が与えられ、第2端子に複数の第2のワード線のいずれか一つを介してワード線制御回路から負電位である第3の電位が与えられ、第1端子及び第2端子間の抵抗値が変化することによりデータが書き込まれた状態となる記憶素子と、を有し、記憶素子にデータを書き込むために必要な電圧は、P型トランジスタの絶縁耐圧より高く、データ書き込み時における第1の電位と第2の電位の電位差は、P型トランジスタの閾値電圧の絶対値より大きく、且つP型トランジスタの絶縁耐圧以下であり、データ書き込み時における第2の電位と第3の電位の電位差は、絶縁耐圧より高く、且つ記憶素子にデータを書き込むために必要な電圧以上である半導体記憶装置である。

10

20

【0011】

なお、データ書き込み時における第2の電位及び第3の電位の電位差は、10Vより高い値とすることができる。

【0012】

また、P型トランジスタのゲート絶縁膜の厚さが10nm以下とすることができる。

【0013】

また、記憶素子は、第2端子の一部となる第1の電極と、第1の電極上に設けられた有機化合物層と、有機化合物上に設けられた第1端子の一部となる第2の電極と、を有する構成とすることができる。

30

【0014】

また、記憶素子は、第2端子の一部となる第1の電極と、第1の電極上に設けられた無機化合物層と、無機化合物層上に設けられた第1端子の一部となる第2の電極と、を有する構成とすることができる。

【0015】

本発明の一態様は、上記一態様として挙げた記憶回路と、データの送受信を行うアンテナと、アンテナから受信した信号を用いて電源電圧を生成するRF回路と、電源電圧が入力され、半導体記憶装置に記憶されたデータを用いて演算処理を行うロジック回路と、を有する半導体装置である。

40

【発明の効果】

【0016】

本発明の一態様では、トランジスタの絶縁破壊を抑制し、且つ記憶素子に正確なデータの書き込みを行うことができる。

【図面の簡単な説明】

【0017】

【図1】実施の形態1における半導体記憶装置の構成を示す図である。

【図2】実施の形態2における半導体記憶装置の構成を示す図である。

【図3】実施の形態2における半導体記憶装置の構成を示す図である。

【図4】トランジスタの電圧と電流との関係図である。

【図5】記憶素子の書き込み電圧と書き込み成功率との関係図である。

50

【図 6】実施の形態 3 における半導体記憶装置の構成を示す上面図である。
【図 7】実施の形態 3 における半導体記憶装置の構成を示す断面図である。
【図 8】実施の形態 4 における半導体記憶装置の構成を示す上面図である。
【図 9】実施の形態 4 における半導体記憶装置の構成を示す断面図である。
【図 10】実施の形態 5 における半導体記憶装置を備えた半導体装置の構成を示す図である。
【図 11】実施の形態 5 における半導体記憶装置を備えた半導体装置の構成を示す図である。
【図 12】実施の形態 5 における半導体記憶装置を備えた半導体装置の構成を示す図である。
【図 13】実施の形態 6 における半導体記憶装置を備えた半導体装置の構成を示す図である。
【図 14】実施の形態 7 における半導体記憶装置を備えた半導体装置の構成を示す図である。
【図 15】実施の形態 8 における半導体記憶装置を備えた半導体装置の使用例を示す図である。

10

【発明を実施するための形態】

【0018】

以下では、本発明の実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

20

【0019】

(実施の形態 1)

本実施の形態では、本発明の半導体記憶装置の一態様について説明する。

【0020】

まず、本実施の形態における半導体記憶装置の構成について図 1 を用いて説明する。図 1 は、本実施の形態における半導体記憶装置の構成を示す回路図である。

【0021】

図 1 に示すように、本実施の形態の半導体記憶装置は、電位制御回路 100 と、トランジスタ 101 と、電位供給端子 102 と、記憶素子 103 と、を有する。

30

【0022】

電位制御回路 100 は、入力端子と、第 1 の出力端子と、第 2 の出力端子と、を有するが、図 1 では入力端子は図示せず、第 1 の出力端子及び第 2 の出力端子のみを図示している。また、トランジスタ 101 は、ゲート端子と、ソース端子と、ドレイン端子と、を有し、ゲート端子が電位制御回路 100 の第 1 の出力端子に電氣的に接続され、ソース端子及びドレイン端子の一方が電位供給端子 102 に電氣的に接続される。また、記憶素子 103 は、第 1 端子と、第 2 端子と、を有し、第 1 端子がトランジスタ 101 のソース端子及びドレイン端子の他方に電氣的に接続され、第 2 端子が電位制御回路 100 の第 2 の出力端子に電氣的に接続される。なお、本実施の形態ではトランジスタ 101 は P 型の導電型である。また、図示していないが、記憶素子 103 において、データの書き込み時に電荷を補うための容量手段を別途設けた構成とすることもできる。

40

【0023】

電位制御回路 100 は、外部から入力される信号に従って接続された回路の電位を制御する機能を有する。例えば、デコーダ回路などを用いて、電位制御回路 100 を構成することができる。

【0024】

トランジスタ 101 は、ゲート端子に電位制御回路 100 から第 1 の電位 (V1 ともいう) として所定の値である電位 A、または接地電位である電位 B が与えられ、ソース端子及びドレイン端子の一方に電位供給端子 102 を介して第 2 の電位 (V2 ともいう) とし

50

て所定の値である電位C、または接地電位である電位Dが与えられる。なお、接地電位とは半導体装置内で用いられる共通基準電位を意味する。例えば、正負いずれかの値をとる定電位、または0Vを接地電位とすることができる。また、電位Aは、 $A > B$ の正電位であり、電位Cは、 $C > D$ の正電位である。

【0025】

トランジスタ101として、非晶質シリコン、多結晶シリコン、または微結晶（マイクロクリスタル、ナノクリスタル、またはセミアモルファスともいう）シリコンなどに代表される非単結晶半導体膜を有する薄膜トランジスタ（TFET）などを用いることができる。TFETは、ゲート端子、ソース端子、及びドレイン端子を有する。また、TFETは、絶縁基板（例えば、ガラス基板など）上に設けられることが好ましい。TFETを用いる場合、様々なメリットがある。例えば、単結晶シリコンを用いたトランジスタの場合よりも低い温度で製造できるため、製造コストの削減、又は製造装置の大型化を図ることができる。また、耐熱性の低い基板を用いることができる。また、透光性を有する基板上に製造することができる。なお、本実施の形態におけるトランジスタとして、ゲート絶縁膜を薄膜化したトランジスタを用いることもできる。例えば、ゲート絶縁膜の厚さを10nm以下とすることもできる。

10

【0026】

また、トランジスタ101として、半導体基板またはSOI基板などを用いたトランジスタを適用することもできる。半導体基板またはSOI基板などを用いたトランジスタは、特性、サイズ、または形状などのばらつきが少なく、電流供給能力が高く、サイズが小さいため、回路の低消費電力化、または回路の高集積化を図ることができる。本実施の形態では、各記憶回路のトランジスタをP型の導電型であるP型トランジスタとする。

20

【0027】

記憶素子103は、第1端子及び第2端子間に印加された電圧が所定の値以上となることにより抵抗値が変化し、抵抗値が変化した状態または抵抗値が変化していない状態が1または0のデータとして記憶される。また、記憶素子103は、第2端子に電位制御回路100から第3の電位（ V_3 ともいう）として、接地電位である電位E、または所定の値の電位である電位Fが与えられる。なお、電位Fは、 $F < E$ の負電位である。

【0028】

記憶素子103としては、第1の電極と、第2の電極と、第1の電極と第2の電極の間に設けられた有機化合物層と、を有する記憶素子（有機メモリ素子ともいう）、第1の電極と、第2の電極と、第1の電極と第2の電極の間に設けられたアモルファスシリコンなどの半導体層と、を有する記憶素子（無機メモリ素子ともいう）、または相変化メモリ（PRAM：Phase Change Random Access Memory）など、素子の電気抵抗の変化によりデータを保持する記憶素子であれば適用することができる。

30

【0029】

次に、本実施の形態における半導体記憶装置の動作について説明する。なお、本実施の形態において、各記憶回路における記憶素子の第1端子及び第2端子間の抵抗値が変化した状態をデータが書き込まれた状態とし、記憶素子の第1端子及び第2端子間の抵抗値が変化していない状態をデータが書き込まれていない状態とする。また、データが書き込まれた状態において、記憶素子には1のデータが記憶されているものとし、データが書き込まれていない状態において、記憶素子には0のデータが記憶されているものとする。なお、上記の定義は一例であり、本発明の実施の形態は、これに限定されない。例えば、データが書き込まれた状態を0のデータが記憶されているものとし、データが書き込まれていない状態を1のデータが記憶されているものとすることもできる。

40

【0030】

まず、記憶素子にデータが書き込まれない場合における動作について説明する。

【0031】

記憶素子にデータが書き込まれない場合、トランジスタ101では、ゲート端子に電位

50

制御回路100から第1の電位が与えられる。また、ソース端子及びドレイン端子の一方に電位供給端子102を介して第2の電位が与えられる。記憶素子103にデータが書き込まれない場合における第1の電位及び第2の電位の値としては、第1の電位の値が電位Aであり、第2の電位の値が電位Cであるとき、第1の電位の値が電位Aであり、第2の電位の値が電位Dであるとき、または第1の電位の値が電位Bであり、第2の電位の値が電位Dであるとき、の3つの場合がある。これらの場合のとき、トランジスタ101はオフ状態になる。なお、トランジスタ101のゲート端子及びソース端子間に印加される電圧、すなわち第1の電位と第2の電位との電位差がトランジスタ101の絶縁耐圧以下になるように第1の電位及び第2の電位を設定することが好ましい。

【0032】

記憶素子103では、トランジスタ101がオフ状態であるため、第1端子の電位は変化せず、第2端子に電位制御回路100を介して第3の電位が与えられる。このとき第3の電位の値は、電位Eである。このとき、記憶素子103の第1端子及び第2端子間の抵抗値は変化しないため、データは書き込まれない。よって、記憶素子103には、データが書き込まれていない、すなわち、0のデータが記憶されていることになる。

【0033】

次に、記憶素子にデータが書き込まれる場合について説明する。

【0034】

データ書き込み時において、トランジスタ101では、ゲート端子に電位制御回路100から第1の電位が与えられる。また、ソース端子及びドレイン端子の一方に電位供給端子102を介して第2の電位が与えられる。記憶素子103にデータが書き込まれる場合において、第1の電位の値は、電位Bであり、第2の電位の値は、電位Cである。このとき、トランジスタ101はオン状態になる。なお、トランジスタ101のゲート端子及びソース端子間に印加される電圧、すなわち第1の電位と第2の電位との電位差がトランジスタ101の閾値電圧の絶対値より大きく、且つ絶縁耐圧以下になるように第1の電位及び第2の電位を設定することが好ましい。

【0035】

記憶素子103では、第1端子にトランジスタ101を介して電位供給端子102から第2の電位が与えられ、第2端子に電位制御回路100から第3の電位が与えられる。このとき、第3の電位の値は電位Fとなる。また、このときの記憶素子103の第1端子及び第2端子間に印加される電圧、すなわち第2の電位と第3の電位との電位差は、 $V_2 + |V_3|$ となる。第2の電位と第3の電位との電位差は、書き込み電圧以上であるため、記憶素子103において第1端子及び第2端子間の抵抗値が変化する。よって、記憶素子103には、データが書き込まれている、すなわち、1のデータが記憶されていることになる。このとき、書き込み電圧は、トランジスタ101の絶縁耐圧より高いことが好ましい。

【0036】

以上により、記憶素子103に1または0のデータを記憶させることができる。

【0037】

また、データ書き込み時において、第1の電位と第2の電位との電位差をトランジスタの絶縁耐圧以下とし、記憶素子に与えられる第2電位と第3の電位との電位差をトランジスタの絶縁耐圧より高く、且つ記憶素子の書き込み電圧以上とすることにより、トランジスタにばらつきの少ない構成（例えば、ゲート絶縁膜を薄膜化）を適用した場合においても、トランジスタの絶縁破壊を抑制し、且つ確実に記憶素子にデータを書き込むことができる。また、ゲート絶縁膜の膜厚を薄くしたトランジスタを用いることにより、ばらつきの低減、トランジスタの特性の向上、及び回路面積の縮小を図ることができ、半導体記憶装置全体としても特性を向上させることができる。

【0038】

（実施の形態2）

本実施の形態では、実施の形態1で説明した半導体装置の具体的な構成の一態様につい

10

20

30

40

50

て説明する。

【0039】

まず、本実施の形態における半導体記憶装置の構成について図2を用いて説明する。図2は、本実施の形態における半導体記憶装置の構成を示すブロック図である。

【0040】

図2に示すように、本実施の形態における半導体記憶装置は、記憶回路200AAを基準として記憶回路200AAから記憶回路200mAまでの複数の記憶回路200を第1行とし、記憶回路200AAから記憶回路200Anまでの複数の記憶回路200を第1列とした、m行n列の複数の記憶回路200を有する記憶回路部201と、ビット線202A乃至ビット線202mからなる複数のビット線202と、第1のワード線203A乃至第1のワード線203nからなる複数の第1のワード線203と、第2のワード線204A乃至第2のワード線204nからなる複数の第2のワード線204と、ビット線制御回路205と、ワード線制御回路206と、を有する。

10

【0041】

各記憶回路は、複数のビット線202のいずれかを介してビット線制御回路205に電氣的に接続され、複数の第1のワード線203及び複数の第2のワード線204のいずれかを介してワード線制御回路206に電氣的に接続される。例えば、1列目における複数の記憶回路200（記憶回路200AA乃至記憶回路200An）が、ビット線202Aを介してビット線制御回路205に電氣的に接続され、第1行目における複数の記憶回路200（記憶回路200AA乃至記憶回路200mA）が、それぞれ第1のワード線203A及び第2のワード線204Aを介してワード線制御回路206に電氣的に接続される。

20

【0042】

さらに、領域207における本実施の形態の半導体記憶装置のより具体的な構成について図3を用いて説明する。図3は、本実施の形態の半導体記憶装置のより具体的な構成を示すブロック図である。

【0043】

図3に示すように、領域207における半導体記憶装置は、記憶回路200AA、記憶回路200BA、記憶回路200AB、及び記憶回路200BBを有する記憶回路部201と、ビット線202A及びビット線202Bと、第1のワード線203A及び第1のワード線203Bと、第2のワード線204A及び第2のワード線204Bと、ワード線制御回路206と、を有する。

30

【0044】

記憶回路200AAは、トランジスタ208AAと、記憶素子209AAと、を有する。トランジスタ208AAは、ゲート端子、ソース端子、及びドレイン端子を有し、ゲート端子が第1のワード線203Aを介してワード線制御回路206に電氣的に接続され、ソース端子及びドレイン端子の一方がビット線202Aに電氣的に接続される。また、記憶素子209AAは、第1端子及び第2端子を有し、第1端子がトランジスタ208AAのソース端子及びドレイン端子の他方に電氣的に接続され、第2端子が第2のワード線204Aに電氣的に接続される。

40

【0045】

記憶回路200BAは、トランジスタ208BAと、記憶素子209BAと、を有する。トランジスタ208BAは、ゲート端子、ソース端子、及びドレイン端子を有し、ゲート端子が第1のワード線203Aを介してワード線制御回路206に電氣的に接続され、ソース端子及びドレイン端子の一方がビット線202Bを介してビット線制御回路205に電氣的に接続される。また、記憶素子209BAは、第1端子及び第2端子を有し、第1端子がトランジスタ208BAのソース端子及びドレイン端子の他方に電氣的に接続され、第2端子が第2のワード線204Aを介してワード線制御回路206に電氣的に接続される。

【0046】

50

記憶回路200ABは、トランジスタ208ABと、記憶素子209ABと、を有する。トランジスタ208ABは、ゲート端子、ソース端子、及びドレイン端子を有し、ゲート端子が第1のワード線203Bを介してワード線制御回路206に電氣的に接続され、ソース端子及びドレイン端子の一方がビット線202Aを介してビット線制御回路205に電氣的に接続される。また、記憶素子209ABは、第1端子及び第2端子を有し、第1端子がトランジスタ208ABのソース端子及びドレイン端子の他方に電氣的に接続され、第2端子が第2のワード線204Bを介してワード線制御回路206に電氣的に接続される。

【0047】

記憶回路200BBは、トランジスタ208BBと、記憶素子209BBと、を有する。トランジスタ208BBは、ゲート端子、ソース端子、及びドレイン端子を有し、ゲート端子が第1のワード線203Bを介してワード線制御回路206に電氣的に接続され、ソース端子及びドレイン端子の一方がビット線202Bを介してビット線制御回路205に電氣的に接続される。また、記憶素子209BBは、第1端子及び第2端子を有し、第1端子がトランジスタ208BBのソース端子及びドレイン端子の他方に電氣的に接続され、第2端子が第2のワード線204Bを介してワード線制御回路206に電氣的に接続される。

【0048】

なお、図3に示した半導体装置において、ワード線制御回路206は、図1の電位制御回路100に相当し、各記憶回路に設けられたトランジスタ及び記憶素子は、図1のトランジスタ101及び記憶素子103に相当する。また、第1のワード線203A及び第1のワード線203Bと接続したワード線制御回路206の端子が、図1における電位制御回路100の第1の出力端子に相当し、第2のワード線204A及び第2のワード線204Bと接続したワード線制御回路206の端子が、図1における電位制御回路100の第2の出力端子に相当する。

【0049】

トランジスタ208AA、トランジスタ208BA、トランジスタ208AB、及びトランジスタ208BBとして、非晶質シリコン、多結晶シリコン、または微結晶（マイクロクリスタル、ナノクリスタル、またはセミアモルファスともいう）シリコンなどに代表される非単結晶半導体膜を有する薄膜トランジスタ（TFT）などを用いることができる。TFTは、ゲート端子、ソース端子、及びドレイン端子を有する。また、TFTは、絶縁基板（例えば、ガラス基板など）上に設けられることが好ましい。TFTを用いる場合、様々なメリットがある。例えば、単結晶シリコンを用いたトランジスタの場合よりも低い温度で製造できるため、製造コストの削減、又は製造装置の大型化を図ることができる。また、耐熱性の低い基板を用いることができる。また、透光性を有する基板上に製造することができる。なお、本実施の形態におけるトランジスタとして、ゲート絶縁膜を薄膜化したトランジスタを用いることもできる。例えば、ゲート絶縁膜の厚さを10nm以下とすることもできる。

【0050】

また、トランジスタ208AA、トランジスタ208BA、トランジスタ208AB、及びトランジスタ208BBとして、半導体基板またはSOI基板などを用いたトランジスタを適用することもできる。半導体基板またはSOI基板などを用いたトランジスタは、特性、サイズ、または形状などのばらつきが少なく、電流供給能力が高く、サイズが小さいため、回路の低消費電力化、または回路の高集積化を図ることができる。本実施の形態では、各記憶回路のトランジスタをP型の導電型であるP型トランジスタとして説明する。

【0051】

トランジスタ208AA及びトランジスタ208ABは、ソース端子及びドレイン端子の一方にビット線202Aを介してビット線制御回路205から所定の値の電位である電位G、または接地電位である電位Hが与えられる。同様に、トランジスタ208BA及び

10

20

30

40

50

トランジスタ 208BB は、ソース端子及びドレイン端子の一方にビット線 202B を介してビット線制御回路 205 から所定の値の電位である電位 G、または接地電位である電位 H が与えられる。なお、接地電位とは半導体装置内で用いられる共通基準電位を意味する。例えば、正負いずれかの値をとる定電位、または 0V を接地電位とすることができる。また、電位 G は、 $G > H$ の正電位である。

【0052】

記憶素子 209AA、記憶素子 209BA、記憶素子 209AB、及び記憶素子 209BB は、第 1 端子及び第 2 端子間に印加された電圧、すなわち、第 1 端子と第 2 端子との電位差が所定の値以上となることにより抵抗値が変化し、抵抗値が変化した状態または抵抗値が変化していない状態が 1 または 0 のデータとして記憶される。

10

【0053】

記憶素子 209AA、記憶素子 209BA、記憶素子 209AB、及び記憶素子 209BB としては、第 1 の電極と、第 2 の電極と、第 1 の電極と第 2 の電極の間に設けられた有機化合物層と、を有する記憶素子（有機メモリ素子ともいう）、第 1 の電極と、第 2 の電極と、第 1 の電極と第 2 の電極の間に設けられたアモルファスシリコンなどの半導体層と、を有する記憶素子（無機メモリ素子ともいう）、または相変化メモリ（PRAM: Phase Change Random Access Memory）など、素子内の電気抵抗の変化によりデータを保持する記憶素子であれば適用することができる。

【0054】

また、ワード線制御回路 206 は、選択回路 210 と、第 1 のレベルシフト回路 212A と、第 1 のレベルシフト回路 212B と、第 1 の電位供給端子 213A と、第 1 の電位供給端子 213B と、第 2 の電位供給端子 214A と、第 2 の電位供給端子 214B と、第 1 のバッファ回路 215A と、第 1 のバッファ回路 215B と、第 2 のレベルシフト回路 216A と、第 2 のレベルシフト回路 216B と、第 3 の電位供給端子 217A と、第 3 の電位供給端子 217B と、第 4 の電位供給端子 218A と、第 4 の電位供給端子 218B と、第 2 のバッファ回路 219A と、第 2 のバッファ回路 219B と、を有する。

20

【0055】

選択回路 210 は、アドレス線 211 に電氣的に接続され、アドレス線 211 を介して入力されたアドレス信号（選択信号ともいう）に従って、データ書き込みを行う記憶回路を選択する機能を有する。

30

【0056】

第 1 のレベルシフト回路 212A は、入力端子及び出力端子を有し、第 1 のレベルシフト回路 212A の入力端子は、選択回路 210 に電氣的に接続される。また、第 1 のレベルシフト回路 212A は、第 1 の電位供給端子 213A 及び第 2 の電位供給端子 214A に電氣的に接続される。

【0057】

第 1 のバッファ回路 215A は、複数のインバータ回路からなる。各インバータ回路は、入力端子及び出力端子を有する。また、第 1 のバッファ回路 215A では、各インバータ回路がそれぞれ直列接続で電氣的に接続されている。すなわち、1 つのインバータ回路を 1 段とすると、1 段目のインバータ回路の出力端子は、2 段目のインバータ回路の入力端子に電氣的に接続される。また、2 段目のインバータ回路の出力端子は、3 段目のインバータ回路の入力端子に電氣的に接続される。なお、第 1 のバッファ回路 215A において、最初の段のインバータ回路の入力端子（図 3 の第 1 のバッファ回路 215A における 1 段目のインバータ回路の入力端子）を第 1 のバッファ回路 215A の入力端子とし、最後の段のインバータ回路の出力端子（図 3 の第 1 のバッファ回路 215A における 3 段目のインバータ回路の出力端子）を第 1 のバッファ回路 215A の出力端子とする。また、各インバータ回路は、第 1 の電位供給端子 213A 及び第 2 の電位供給端子 214A に電氣的に接続される。なお、図 3 において、第 1 のバッファ回路 215A として 3 つのインバータ回路を直列接続で電氣的に接続した構成を示しているが、これに限定されず、インバータ回路の数は、適宜設定することができる。

40

50

【 0 0 5 8 】

また、第 1 のバッファ回路 2 1 5 A は、入力端子が第 1 のレベルシフト回路 2 1 2 A の出力端子に電氣的に接続され、出力端子が第 1 のワード線 2 0 3 A を介して記憶回路 2 0 0 A A におけるトランジスタ 2 0 8 A A のゲート端子及び記憶回路 2 0 0 B A におけるトランジスタ 2 0 8 B A のゲート端子に電氣的に接続される。

【 0 0 5 9 】

第 2 のレベルシフト回路 2 1 6 A は、入力端子及び出力端子を有し、第 2 のレベルシフト回路 2 1 6 A の入力端子は、選択回路 2 1 0 に電氣的に接続される。また、第 2 のレベルシフト回路 2 1 6 A は、第 3 の電位供給端子 2 1 7 A 及び第 4 の電位供給端子 2 1 8 A に電氣的に接続される。

10

【 0 0 6 0 】

第 2 のバッファ回路 2 1 9 A は、複数のインバータ回路からなる。各インバータ回路は、入力端子及び出力端子を有する。また、第 2 のバッファ回路 2 1 9 A では、各インバータ回路がそれぞれ直列接続で電氣的に接続されている。すなわち、1つのインバータ回路を 1 段とすると、1 段目のインバータ回路の出力端子は、2 段目のインバータ回路の入力端子に電氣的に接続される。また、2 段目のインバータ回路の出力端子は、3 段目のインバータ回路の入力端子に電氣的に接続される。なお、第 2 のバッファ回路 2 1 9 A において、最初の段のインバータ回路の入力端子（図 3 の第 2 のバッファ回路 2 1 9 A における 1 段目のインバータ回路の入力端子）を第 2 のバッファ回路 2 1 9 A の入力端子とし、最後の段のインバータ回路の出力端子（図 3 の第 2 のバッファ回路 2 1 9 A における 3 段目のインバータ回路の出力端子）を第 2 のバッファ回路 2 1 9 A の出力端子とする。また、各インバータ回路において、第 2 の入力端子は、第 3 の電位供給端子 2 1 7 A に電氣的に接続され、第 3 の入力端子は、第 4 の電位供給端子 2 1 8 A に電氣的に接続される。なお、図 3 において、第 2 のバッファ回路 2 1 9 A として 3 つのインバータ回路を直列接続で電氣的に接続した構成を示しているが、これに限定されず、インバータ回路の数は、適宜設定することができる。

20

【 0 0 6 1 】

また、第 2 のバッファ回路 2 1 9 A は、入力端子が第 2 のレベルシフト回路 2 1 6 A の出力端子に電氣的に接続され、出力端子が第 2 のワード線 2 0 4 A を介して記憶回路 2 0 0 A A における記憶素子 2 0 9 A A の第 2 端子及び記憶回路 2 0 0 B A における記憶素子 2 0 9 B A の第 2 端子に電氣的に接続される。

30

【 0 0 6 2 】

第 1 のレベルシフト回路 2 1 2 B は、入力端子及び出力端子を有し、第 1 のレベルシフト回路 2 1 2 B の入力端子は、選択回路 2 1 0 に電氣的に接続される。また、第 1 のレベルシフト回路 2 1 2 B は、第 1 の電位供給端子 2 1 3 B 及び第 2 の電位供給端子 2 1 4 B に電氣的に接続される。

【 0 0 6 3 】

第 1 のバッファ回路 2 1 5 B は、複数のインバータ回路からなる。各インバータ回路は、入力端子及び出力端子を有する。また、第 1 のバッファ回路 2 1 5 B では、各インバータ回路がそれぞれ直列接続で電氣的に接続されている。すなわち、1つのインバータ回路を 1 段とすると、1 段目のインバータ回路の出力端子は、2 段目のインバータ回路の入力端子に電氣的に接続される。また、2 段目のインバータ回路の出力端子は、3 段目のインバータ回路の入力端子に電氣的に接続される。なお、第 1 のバッファ回路 2 1 5 B において、最初の段のインバータ回路の入力端子（図 3 の第 1 のバッファ回路 2 1 5 B における 1 段目のインバータ回路の入力端子）を第 1 のバッファ回路 2 1 5 B の入力端子とし、最後の段のインバータ回路の出力端子（図 3 の第 1 のバッファ回路 2 1 5 B における 3 段目のインバータ回路の出力端子）を第 1 のバッファ回路 2 1 5 B の出力端子とする。また、各インバータ回路は、第 1 の電位供給端子 2 1 3 B 及び第 2 の電位供給端子 2 1 4 B に電氣的に接続される。なお、図 3 において、第 1 のバッファ回路 2 1 5 B として 3 つのインバータ回路を直列接続で電氣的に接続した構成を示しているが、これに限定されず、イン

40

50

バッファ回路の数は、適宜設定することができる。

【0064】

また、第1のバッファ回路215Bは、入力端子が第1のレベルシフト回路212Bの出力端子に電氣的に接続され、出力端子が第1のワード線203Bを介して記憶回路200ABにおけるトランジスタ208ABのゲート端子及び記憶回路200BBにおけるトランジスタ208BBのゲート端子に電氣的に接続される。

【0065】

第2のレベルシフト回路216Bは、入力端子及び出力端子を有し、第2のレベルシフト回路216Bの入力端子は、選択回路210に電氣的に接続される。また、第2のレベルシフト回路216Bは、第3の電位供給端子217B及び第4の電位供給端子218B

10

【0066】

第2のバッファ回路219Bは、複数のインバータ回路からなる。各インバータ回路は、入力端子及び出力端子を有する。また、第2のバッファ回路219Bでは、各インバータ回路がそれぞれ直列接続で電氣的に接続されている。すなわち、1つのインバータ回路を1段とすると、1段目のインバータ回路の出力端子は、2段目のインバータ回路の入力端子に電氣的に接続される。また、2段目のインバータ回路の出力端子は、3段目のインバータ回路の入力端子に電氣的に接続される。なお、第2のバッファ回路219Bにおいて、最初の段のインバータ回路の入力端子（図3の第2のバッファ回路219Bにおける1段目のインバータ回路の入力端子）を第2のバッファ回路219Bの入力端子とし、最後の段のインバータ回路の出力端子（図3の第2のバッファ回路219Bにおける3段目のインバータ回路の出力端子）を第2のバッファ回路219Bの出力端子とする。また、各インバータ回路は、第3の電位供給端子217B及び第4の電位供給端子218Bに電氣的に接続される。なお、図3において、第2のバッファ回路219Bとして3つのインバータ回路を直列接続で電氣的に接続した構成を示しているが、これに限定されず、インバータ回路の数は、適宜設定することができる。

20

【0067】

また、第2のバッファ回路219Bは、入力端子が第2のレベルシフト回路216Bの出力端子に電氣的に接続され、出力端子が第2のワード線204Bを介して記憶回路200ABにおける記憶素子209ABの第2端子及び記憶回路200BBにおける記憶素子209BBの第2端子に電氣的に接続される。

30

【0068】

なお、第1の電位供給端子213A及び第1の電位供給端子213Bからは所定の値の電位である電位Iが与えられる。さらに読み出し動作の場合には電位Iより低い電位である電位Jが与えられる。

【0069】

また、第2の電位供給端子214A及び第2の電位供給端子214Bからは接地電位である電位Kが与えられる。なお、電位I、Jは、 $I > J > K$ の正電位である。

【0070】

また、第3の電位供給端子217A及び第3の電位供給端子217Bからは接地電位である電位Lが与えられる。

40

【0071】

また、第4の電位供給端子218A及び第4の電位供給端子218Bからは所定の値の電位である電位Mが与えられる。さらに読み出し動作の場合には接地電位である電位Nが与えられる。なお、電位Mは、 $M < N$ の負電位である。

【0072】

なお、本実施の形態において、バッファ回路は必ずしも設ける必要はないが、バッファ回路を設けることで選択回路210からの入力電位を増幅することができるため、選択回路210からの入力電位を小さくすることができる。

【0073】

50

次に、本実施の形態における半導体記憶装置の動作について説明する。なお、本実施の形態において、各記憶回路における記憶素子の第1端子及び第2端子間の抵抗値が変化した状態をデータが書き込まれた状態とし、記憶素子の第1端子及び第2端子間の抵抗値が変化していない状態をデータが書き込まれていない状態とする。また、データが書き込まれた状態において、記憶素子には1のデータが記憶されているものとし、データが書き込まれていない状態において、記憶素子には0のデータが記憶されているものとする。なお、上記の定義は一例であり、本発明の実施の形態は、これに限定されない。例えば、データが書き込まれた状態を0のデータが記憶されているものとし、データが書き込まれていない状態を1のデータが記憶されているものとすることもできる。なお、本実施の形態において電位Gは、電位Iと同等の値として説明する。同等とは実質的に同等である場合も含まれる。

10

【0074】

まず、ビット線制御回路205において、ビット線202A乃至ビット線202mの中からいずれかのビット線が選択される。

【0075】

また、ワード線制御回路206により第1のワード線203A乃至第1のワード線203nの中からいずれかの第1のワード線、及び第2のワード線204A乃至第2のワード線204nの中からいずれかの第2のワード線が選択される。より具体的には、選択回路210において、複数のアドレス線211からいずれかのアドレス線が選択され、選択されたアドレス線に電氣的に接続された記憶回路にワード線を介して所定の値の電位が与えられる。ここでは例として、ビット線202A、第1のワード線203A、及び第2のワード線204Aが選択された場合について説明する。

20

【0076】

選択された第1のワード線203Aには、選択回路210、第1のレベルシフト回路212A、及び第1のバッファ回路215Aにより接地電位である電位Kが与えられ、選択されていない第1のワード線203Bには、選択回路210、第1のレベルシフト回路212B、及び第1のバッファ回路215Bにより所定の値の電位である電位Iが与えられる。また、選択された第2のワード線204Aには、選択回路210、第2のレベルシフト回路216A、及び第2のバッファ回路219Aにより所定の値の電位である電位Mが与えられ、選択されていない第2のワード線204Bには、選択回路210、第2のレベルシフト回路216B、及び第2のバッファ回路219Bにより接地電位である電位Lが与えられる。また、選択されたビット線202Aには、ビット線制御回路205から所定の値の電位である電位Gが与えられる。

30

【0077】

このとき、記憶回路200AAにおいて、トランジスタ208AAには、ゲート端子に第1の電位(V1ともいう)として接地電位である電位Kが与えられ、ソース端子及びドレイン端子の一方に第2の電位(V2ともいう)として所定の値の電位である電位Gが与えられる。このときトランジスタ208AAはオン状態になる。なお、トランジスタ208AAのゲート端子及びソース端子間に印加される電圧、すなわち、第1の電位と第2の電位との電位差がトランジスタ208AAの閾値電圧の絶対値より大きく、且つトランジスタ208AAの絶縁耐圧以下となるように第1の電位及び第2の電位を設定することが好ましい。

40

【0078】

トランジスタ208AAがオン状態になることにより、記憶素子209AAには、第1端子にトランジスタ208AAを介して第2の電位(電位G)が与えられ、第2端子に第3の電位(V3ともいう)となる所定の値の電位Mが与えられる。このとき記憶素子209AAの第1端子及び第2端子間に印加される電圧、すなわち第2の電位と第3の電位との電位差は、 $V2 + |V3|$ となる。 $V2 + |V3|$ は書き込み電圧以上であるため、記憶素子209AAの第1端子及び第2端子間の抵抗値が変化する。抵抗値が変化した記憶素子209AAは、データが書き込まれた状態、すなわち記憶素子209AAには、1の

50

データが記憶されていることになる。

【0079】

また、記憶回路200BAにおいて、トランジスタ208BAには、ゲート端子に第1の電位として電位Kが与えられ、ソース端子及びドレイン端子の一方に第2の電位として接地電位である電位Hが与えられる。このときトランジスタ208BAはオフ状態になる。なお、トランジスタ208BAのゲート端子及びソース端子間に印加される電圧、すなわち、第1の電位と第2の電位との電位差がトランジスタ208BAの絶縁耐圧以下となるように第1の電位及び第2の電位を設定することが好ましい。

【0080】

トランジスタ208BAがオフ状態であることにより、記憶素子209BAの第1端子の電位は変化せず、記憶素子209BAの第2端子に第3の電位として電位Mが与えられる。このとき記憶素子209BAの第1端子及び第2端子間の抵抗値は変化しないため、データが書き込まれない。よって記憶素子209BAは、データが書き込まれていない状態、すなわち0のデータが記憶されていることになる。

10

【0081】

また、記憶回路200ABにおいて、トランジスタ208ABには、ゲート端子に第1の電位として電位Iが与えられ、ソース端子及びドレイン端子の一方に第2の電位として電位Gが与えられる。このときトランジスタ208ABはオフ状態になる。なお、トランジスタ208ABのゲート端子及びソース端子間に印加される電圧、すなわち、第1の電位と第2の電位との電位差がトランジスタ208ABの絶縁耐圧以下となるように第1の電位及び第2の電位を設定することが好ましい。

20

【0082】

トランジスタ208ABがオフ状態であることにより、記憶素子209ABの第1端子の電位は変化せず、記憶素子209ABの第2端子に第3の電位として接地電位である電位Lが与えられる。このとき記憶素子209ABの第1端子及び第2端子間の抵抗値は変化しないため、データが書き込まれない。よって記憶素子209ABは、データが書き込まれていない状態、すなわち0のデータが記憶されていることになる。

【0083】

また、記憶回路200BBにおいて、トランジスタ208BBには、ゲート端子に第1の電位として電位Iが与えられ、ソース端子及びドレイン端子の一方に第2の電位として接地電位である電位Hが与えられる。このときトランジスタ208BBはオフ状態になる。なお、トランジスタ208BBのゲート端子及びソース端子間に印加される電圧、すなわち、第1の電位と第2の電位との電位差がトランジスタ208BBの絶縁耐圧以下となるように第1の電位及び第2の電位を設定することが好ましい。

30

【0084】

トランジスタ208BBがオフ状態であることにより、記憶素子209BBの第1端子の電位は変化せず、記憶素子209BBの第2端子に第3の電位として接地電位である電位Lが与えられる。このとき記憶素子209BBの第1端子及び第2端子間の抵抗値は変化しないため、データが書き込まれない。よって記憶素子209BBは、データが書き込まれていない状態、すなわち0のデータが記憶されていることになる。

40

【0085】

なお、本実施の形態において記憶回路200AAにデータが書き込まれる例について説明したがこれに限定されず、他の記憶回路においてもデータを書き込むこともできる。

【0086】

また、記憶素子の第2端子に第2のワード線を介してワード線制御回路を電氣的に接続させた構成例について説明したが、上記の構成例は一例であり、本発明の実施の形態は、これに限定されない。例えば、ワード線制御回路の構成をビット線制御回路に適用し、さらに第2のビット線を設け、記憶素子の第2端子に第2のビット線を介してビット線制御回路を電氣的に接続させた構成とすることもできる。

【0087】

50

実施の形態の半導体記憶装置における第1の電位（ V_1 ）及び第3の電位（ V_3 ）の最適値について以下に説明する。

【0088】

本実施の形態において、第1の電位及び第3の電位の値は、トランジスタの絶縁耐圧、及び記憶素子においてデータの書き込みに必要な電圧を考慮して適宜設定することが好ましい。

【0089】

トランジスタの絶縁耐圧について、図4に示すトランジスタのゲート端子及びソース端子間の電圧（ V_G ともいう）とソース端子及びドレイン端子間に流れる電流（ I_D ともいう）との関係図を用いて説明する。図4（A）は、ゲート端子に8Vのストレス電圧を印加した場合の図であり、図4（B）は、ゲート端子に10Vのストレス電圧を印加した場合の図である。なお、このときのトランジスタのゲート絶縁膜は薄膜化されており、膜厚は約10nmである。

10

【0090】

図4（A）に示すように、8Vのストレス電圧を印加した場合には、通常のトランジスタのスイッチング特性が見られるのに対し、図4（B）に示すように10Vのストレス電圧を印加した場合には、オフ電流が高くなり、スイッチング特性が下がっている。これより、トランジスタに10V程度のストレス電圧が印加されると劣化することがわかる。これを考慮するとトランジスタのゲート端子及びソース端子間に印加される電圧、すなわち第1の電位と第2の電位との電位差は10V未満が好ましいといえる。

20

【0091】

また、書き込み電圧については、図5に示す書き込み電圧と書き込み成功率との関係図を用いて説明する。図5からわかるように、記憶素子は約10V程度で抵抗値が下がっていることから、書き込み電圧は10Vより高い値に設定されることが好ましく、記憶素子における第2の電位と第3の電位との電位差は10V以上であることが好ましいことがわかる。

【0092】

以上のことから、例えば、第2の電位を7V、第3の電位を-3Vと、第2の電位の絶対値（以下 $|V_2|$ と記す） $>$ 第3の電位の絶対値（以下 $|V_3|$ と記す）となるようにそれぞれの電位を設定することにより、トランジスタの絶縁破壊の抑制、記憶素子への正確なデータの書き込み、及び記憶素子への負荷の低減が可能である。

30

【0093】

また、例えば第2の電位を5V、第3の電位を-5Vと、 $|V_2| = |V_3|$ となるようにそれぞれの電位を設定することにより、トランジスタの絶縁破壊の抑制及び記憶素子への正確なデータの書き込みが可能である。

【0094】

また、例えば第2の電位を1.5V、第3の電位を-8.5Vと、 $|V_2| < |V_3|$ となるようにそれぞれの電位を設定することにより、トランジスタの絶縁破壊の抑制、記憶素子への正確なデータの書き込み、及び別途昇圧回路を設ける必要がなくなることによる回路面積の縮小が可能である。

40

【0095】

なお、上記したそれぞれの電位の値は一例であり、この組み合わせに限定されるものではなく、トランジスタのゲート端子及びソース端子間に印加される電圧がトランジスタの絶縁耐圧以下であり、記憶素子の第1端子及び第2端子間に印加される電圧がトランジスタの絶縁耐圧より高く、且つ書き込み電圧以上であれば他の組み合わせにおいても適用することができる。

【0096】

以上のように、記憶素子に1または0のデータを記憶させることができる。

【0097】

また、データ書き込み時において、第1の電位と第2の電位との電位差をトランジスタ

50

の閾値電圧の絶対値より大きく、且つトランジスタの絶縁耐圧以下とし、記憶素子の第2の電位と第3の電位との電位差をトランジスタの絶縁耐圧より高く、且つ記憶素子の書き込み電圧以上とすることにより、例えば記憶素子のトランジスタにばらつきの少ない構成（例えばゲート絶縁膜を薄膜化）を適用した場合においても、トランジスタの絶縁破壊を抑制し、且つ確実に記憶素子にデータを書き込むことができる。また、ゲート絶縁膜の膜厚を薄くしたトランジスタを用いることにより、ばらつきの低減、トランジスタの特性の向上、及び回路面積の縮小を図ることができ、半導体記憶装置全体としても特性を向上させることができる。

【0098】

さらに本実施の形態における半導体記憶装置は、複数の記憶回路において選択的にデータを書き込むことができるため、より多くの情報をデータとして記憶させることができる。

10

【0099】

なお、上記実施の形態は他の実施の形態と適宜組み合わせることができる。

【0100】

（実施の形態3）

本実施の形態では、本発明の半導体記憶装置の一例として有機化合物を用いた記憶素子を記憶回路に適用した半導体記憶装置（有機メモリともいう）について説明する。

【0101】

本実施の形態における有機メモリの構成について図6及び図7を用いて説明する。図6は、本実施の形態の半導体記憶装置における記憶回路の構成を示す上面図であり、図7は、本実施の形態の半導体記憶装置における記憶回路の構成を示す断面図である。なお、図6及び図7は便宜のため半導体装置を模式的に示したものであり、一部または全部において実際とは異なる寸法を用いて図示している。

20

【0102】

図6(A)に示すように、本実施の形態の半導体記憶装置における記憶回路は、半導体層300と、電極301と、電極302と、電極303と、電極304と、開口部305と、開口部306と、を有する。また、本実施の形態の半導体記憶装置における記憶回路には、トランジスタ307が設けられている。さらに、図6(B)は、便宜のため、図6(A)のうち、電極304を図示していないものであり、図6(B)に示すように、本実施の形態の半導体記憶装置における記憶回路は、開口部308を有する。なお、本実施の形態の半導体記憶装置における記憶回路では、実際には電極304上に有機化合物層、及び上部電極となる電極が形成されるが、図6においては便宜のため図示しない。

30

【0103】

次に、本実施の形態の半導体記憶装置における記憶回路の線分ABにおける断面の構成を図7に示す。本実施の形態の半導体記憶装置は、基板309と、基板309上に設けられ、不純物領域310を有する半導体層300と、半導体層300を覆うように設けられたゲート絶縁膜311と、ゲート絶縁膜311を介して半導体層300上に設けられた電極303と、電極303及びゲート絶縁膜311上に設けられた第1の層間膜312と、第1の層間膜312上に設けられた第2の層間膜313と、ゲート絶縁膜311、第1の層間膜312、及び第2の層間膜313に設けられた開口部を介して不純物領域310に接するように設けられた電極301及び電極302と、電極301及び電極302上、並びに第2の層間膜313上に設けられた第3の層間膜314と、第3の層間膜314に設けられた開口部306を介して電極302に接するように設けられた電極304と、電極304及び第3の層間膜314上に設けられた第4の層間膜315と、第4の層間膜315に設けられた開口部305を介して電極304に接するように設けられた有機化合物層316と、有機化合物層316上に設けられた電極317と、を有する。

40

【0104】

さらに、図7における半導体記憶装置は、半導体層300、ゲート絶縁膜311、電極301、電極302、及び電極303により構成されるトランジスタ307を有する。

50

【0105】

トランジスタ307における不純物領域310は、p型の導電性を付与する不純物元素が添加されることにより形成される。例えば、ボロン等のp型不純物元素を添加することにより不純物領域310を形成することができる。

【0106】

基板309としては、ガラス基板や可撓性基板の他、石英基板、シリコン基板、金属基板、ステンレス基板などを用いることができる。可撓性基板とは、折り曲げることができる(フレキシブルである)基板のことである。例えば、ポリカーボネート、ポリアリレート、ポリエーテルスルホン等からなるプラスチック基板等が挙げられる。また、貼り合わせフィルム(ポリプロピレン、ポリエステル、ビニル、ポリフッ化ビニル、塩化ビニルなどからなる)、繊維状な材料からなる紙、基材フィルム(ポリエステル、ポリアミド、無機蒸着フィルム、紙類等)などを用いることもできる。また、この他にも、シリコン等の半導体基板上に形成された電界効果トランジスタの上部や、ガラス等の基板上に形成された薄膜トランジスタの上部にメモリセルアレイを設けることができる。

10

【0107】

また、基板309として、n型またはp型の導電性を有する単結晶シリコン基板、化合物半導体基板(GaAs基板、InP基板、GaN基板、SiC基板、サファイア基板、またはZnSe基板等)、及び貼り合わせ法またはSIMOX(Separation by Implanted Oxygen)法を用いて作製されたSOI(Silicon on Insulator)基板のいずれかを用いることもできる。また、ガラス基板上に単結晶シリコンを貼り合わせたものも用いることができる。

20

【0108】

半導体層300としては、非晶質シリコン、多結晶シリコン、微結晶(マイクロクリスタル、セミアモルファスとも言う)シリコンなどを単層または積層して用いることができる。また、半導体層300はスパッタ法、LPCVD法、プラズマCVD法等により形成することができる。

【0109】

ゲート絶縁膜311としては、酸化シリコン、窒化シリコン、酸化窒化シリコン、及び窒化酸化シリコンのいずれか一つまたは複数などを適用することができる。なお、本実施の形態におけるゲート絶縁膜311の膜厚は10nm以下とすることができる。

30

【0110】

第1の層間膜312、第2の層間膜313、第3の層間膜314、及び第4の層間膜315としては、有機材料または無機材料を用いることができる。例えば、酸化シリコン、窒化シリコン、酸化窒化シリコン、及び窒化酸化シリコンのいずれか一つ若しくは複数、またはポリイミド、アクリル、ポリアミド、ポリイミドアミド、ベンゾシクロブテン、シロキサン、及びポリシラザンのいずれか一つ若しくは複数などを適用することができる。

【0111】

電極303は、トランジスタ307におけるゲート電極、及び上記実施の形態2における第1のワード線として機能する。電極303としては、タンタル、タングステン、チタン、モリブデン、アルミニウム、銅、クロム、またはニオブ等を適用することができる。また、電極303は、上記金属で形成された膜の他に、上記金属を主成分とする合金で形成された膜、或いは上記金属を含む化合物を用いて形成された膜を適用することもできる。また、それらを単層または積層することにより形成することができる。また、半導体膜に導電性を付与するリン等の不純物元素をドーピングした、多結晶シリコンなどの半導体を適用することもできる。また、電極303は、上記の材料を基板全面に成膜後、所定の形状に加工(パターンニングなど)することによって形成することができる。

40

【0112】

電極301及び電極302は、トランジスタ307におけるソース電極またはドレイン電極、及び上記実施の形態2におけるビット線として機能する。

【0113】

50

電極 304、電極 317、及び有機化合物層 316 は、上記実施の形態 1 及び実施の形態 2 における記憶素子として機能する。具体的には、電極 304 は、記憶素子における第 1 端子の一部として機能し、電極 317 は、記憶素子における第 2 端子の一部として機能する。

【0114】

また、電極 301、電極 302、電極 304、及び電極 317 としては、導電性の高い元素や化合物等を用いることができる。例えば、金、銀、白金、ニッケル、シリコン、タングステン、クロム、モリブデン、鉄、コバルト、銅、パラジウム、炭素、アルミニウム、マンガン、チタン、及びタンタルなどから選ばれた一種の元素または当該元素を複数含む合金からなる材料を用いることができる。また、それらを単層または積層構造とすることで形成することができる。上記元素を複数含んだ合金としては、例えば、アルミニウムとチタンを含んだ合金アルミニウム、チタンと炭素を含んだ合金、アルミニウムとニッケルを含んだ合金、アルミニウムと炭素を含んだ合金、アルミニウムとニッケルと炭素を含んだ合金またはアルミニウムとモリブデンを含んだ合金等を適用することができる。また、インジウム錫酸化物 (ITO)、酸化珪素を含むインジウム錫酸化物 (ITSO)、または酸化インジウム酸化亜鉛 (IZO) などの透光性材料を用いることができる。また、電極 301、電極 302、電極 304、及び電極 317 は、それぞれ異なる材料を用いて形成することもできる。また、電極 301、電極 302、電極 304、及び電極 317 は、蒸着法、スパッタ法、CVD 法、印刷法または液滴吐出法を用いて形成することができる。

10

20

【0115】

有機化合物層 316 としては、ポリイミド、アクリル、ポリアミド、ベンゾシクロブテン、またはエポキシなどの有機樹脂と、正孔輸送性を有する有機化合物又は電子輸送性を有する有機化合物と、を組み合わせるものを用いることができる。

【0116】

正孔輸送性の有機化合物としては、例えば、フタロシアニン (略称: H_2Pc)、銅フタロシアニン (略称: $CuPc$)、バナジルフタロシアニン (略称: $VOpc$) の他、4, 4', 4''-トリス (N, N-ジフェニルアミノ) トリフェニルアミン (略称: TDATA)、4, 4', 4''-トリス [N - (3-メチルフェニル) - N-フェニルアミノ] トリフェニルアミン (略称: MTDATA)、1, 3, 5-トリス [N, N-ジ(m-トリル)アミノ] ベンゼン (略称: m-MTAB)、N, N'-ジフェニル-N, N'-ビス (3-メチルフェニル) - 1, 1'-ピフェニル-4, 4'-ジアミン (略称: TPD)、4, 4'-ビス [N - (1-ナフチル) - N-フェニルアミノ] ピフェニル (略称: NPB)、4, 4'-ビス {N - [4-ジ(m-トリル)アミノ] フェニル - N-フェニルアミノ} ピフェニル (略称: DNTPD)、4, 4'-ビス [N - (4-ピフェニル) - N-フェニルアミノ] ピフェニル (略称: BBPB)、4, 4', 4''-トリ (N-カルバゾリル) トリフェニルアミン (略称: TCTA) などが挙げられるが、これらに限定されることはない。ここに述べた物質は、主に $10^{-6} \text{ cm}^2 / \text{Vs}$ 以上の正孔移動度を有する物質である。

30

40

【0117】

電子輸送性を有する有機化合物としては、トリス (8-キノリノラト) アルミニウム (略称: Alq_3)、トリス (4-メチル-8-キノリノラト) アルミニウム (略称: $Almq_3$)、ビス (10-ヒドロキシベンゾ [h] -キノリノラト) ベリリウム (略称: $BeBq_2$)、ビス (2-メチル-8-キノリノラト) - 4-フェニルフェノラト-アルミニウム (略称: $BAlq$) 等キノリン骨格またはベンゾキノリン骨格を有する金属錯体等からなる材料を用いることができる。また、この他、ビス [2 - (2-ヒドロキシフェニル) ベンゾオキサゾラト] 亜鉛 (略称: $Zn(BOX)_2$)、ビス [2 - (2-ヒドロキシフェニル) ベンゾチアゾラト] 亜鉛 (略称: $Zn(BTZ)_2$) などのオキサゾール系、チアゾール系配位子を有する金属錯体などの材料も用いることができる。さらに、金属錯体以外にも、2 - (4-ピフェニル) - 5 - (4-tert-ブチルフェニル) - 1,

50

3, 4 - オキサジアゾール (略称: PBD)、1, 3 - ビス [5 - (p - tert - ブチルフェニル) - 1, 3, 4 - オキサジアゾール - 2 - イル] ベンゼン (略称: OXD - 7)、3 - (4 - tert - ブチルフェニル) - 4 - フェニル - 5 - (4 ' ' - ビフェニル) - 1, 2, 4 - トリアゾール (略称: TAZ)、3 - (4 - tert - ブチルフェニル) - 4 - (4 - エチルフェニル) - 5 - (4 - ビフェニル) - 1, 2, 4 - トリアゾール (略称: p - EtTAZ)、バソフェナントロリン (略称: BPhen)、バソキュプロイン (略称: BCP) 等を用いることができる。ここに述べた物質は、主に $10^{-6} \text{ cm}^2 / \text{Vs}$ 以上の電子移動度を有する物質である。

【0118】

なお、上記範囲外の移動度を有する物質であっても良く、例えば 2, 3 - ビス (4 - ジフェニルアミノフェニル) キノキサリン (略称: TPAQn)、9 - [4 - (N - カルバゾリル)] フェニル - 10 - フェニルアントラセン (以下、CzPA という) 等を用いて形成してもよい。

10

【0119】

また、有機化合物層 316 は上記に示す有機化合物を複数混合して形成してもよい。また、上記に示す有機化合物を積層して形成してもよい。

【0120】

また、有機化合物層 316 は、正孔輸送性もしくは電子輸送性を有する有機化合物に絶縁物が混合されていても良い。なお、絶縁物は、均一に分散されている必要はない。絶縁物を混合することにより、有機化合物層 316 のモルフォロジーを向上することができる。よって、部分的な膜の結晶化等を抑制することができるため、記憶素子毎の挙動のばらつきを抑制することができる。

20

【0121】

また、有機化合物層 316 の厚さは、電極 304 及び電極 317 間への電圧印加により記憶素子の電気抵抗が変化する厚さであることが好適である。有機化合物層 316 の代表的な膜厚は、1 nm から 100 nm、好ましくは 10 nm から 60 nm、更に好ましくは 5 ~ 30 nm である。

【0122】

以下に、本実施の形態における記憶素子の書き込みの原理について説明する。

【0123】

有機化合物層 316 は、その物質の転移点まで温度が上昇すると流動性を有する。よって、有機化合物材料を用いた有機化合物層 316 は、転移点以上の温度となると、流動性を有し、一定の形状を保たない状態となる。流動性を有するようになると、その材料の固体時の形状は保持されず、時間と共に変化する。よって、有機化合物層 316 は変形し、一部で電極 304 と電極 317 が短絡する領域が形成される。電極 304 と電極 317 が短絡することにより、記憶素子における抵抗値が下がる。この抵抗値が変化する原理を利用し、抵抗値の変化前後のそれぞれの状態を記憶素子におけるデータとして識別する。

30

【0124】

また、電極 304 と電極 317 との間に絶縁層を設ける構成を適用することもできる。絶縁層を設けることにより、流動性を有する有機化合物層の広がりを制御することができ、より確実に電極 304 と電極 317 を短絡させることができる。

40

【0125】

以上のように、本実施の形態における半導体記憶装置に有機メモリを適用することにより、半導体記憶装置を安価に作製することができる。また、構成する材料を変えることで記憶素子の特性を容易に変えることもできる。また、本実施の形態の半導体記憶装置を用いることにより、厚さが薄く、信頼性の高い半導体記憶装置を提供することができる。

【0126】

なお、本実施の形態は、他の実施の形態と適宜組み合わせることができる。

【0127】

(実施の形態 4)

50

本実施の形態では、本発明の半導体記憶装置の一例として無機化合物を用いた記憶素子を記憶回路に適用した半導体記憶装置（無機メモリともいう）について説明する。

【0128】

本実施の形態における無機メモリの構成について図8及び図9を用いて説明する。図8は、本実施の形態の半導体記憶装置における記憶回路の構成を示す上面図であり、図9は、本実施の形態の半導体記憶装置における記憶回路の構成を示す断面図である。なお、図8及び図9は便宜のため半導体装置を模式的に示したものであり、一部または全部において実際とは異なる寸法を用いて図示している。

【0129】

図8(A)に示すように本実施の形態の半導体記憶装置における記憶回路は、半導体層400と、電極401と、電極402と、電極403と、電極404と、電極405と、開口部406と、開口部407と、開口部408と、を有する。

【0130】

本実施の形態の半導体記憶装置における記憶回路の線分ABにおける断面の構成を図9に示す。本実施の形態の半導体記憶装置における記憶回路は、基板410と、基板410上に設けられ、不純物領域411を有する半導体層400と、半導体層400を覆うように設けられたゲート絶縁膜412と、ゲート絶縁膜412を介して半導体層400上に設けられた電極405と、電極405と同一材料で設けられた電極401と、電極405及びゲート絶縁膜412上に設けられた第1の層間膜413と、第1の層間膜413上に設けられた第2の層間膜414と、ゲート絶縁膜412、第1の層間膜413、及び第2の層間膜414に設けられた開口部406を介して不純物領域411に接するように設けられた電極402と、ゲート絶縁膜412、第1の層間膜413、及び第2の層間膜414に設けられた開口部406を介して不純物領域411に接するように設けられ、且つゲート絶縁膜412、第1の層間膜413、及び第2の層間膜414に設けられた開口部407を介して電極401に接するように設けられた電極403と、ゲート絶縁膜412、第1の層間膜413、及び第2の層間膜414に設けられた開口部408を介して電極401に接するように設けられた電極415と、電極415上に設けられた無機化合物層416と、無機化合物層416上に設けられた電極404と、を有する。

【0131】

さらに、図9における半導体記憶装置は、半導体層400、ゲート絶縁膜412、電極405、電極402及び電極403により構成されるトランジスタ409を有する。

【0132】

トランジスタ409における不純物領域411は、p型の導電性を付与する不純物元素が添加されることにより形成される。例えば、ボロン等のp型不純物元素を添加することにより不純物領域411を形成することができる。

【0133】

基板410としては、ガラス基板や可撓性基板の他、石英基板、シリコン基板、金属基板、ステンレス基板などを用いることができる。可撓性基板とは、折り曲げることができる（フレキシブルである）基板のことである。例えば、ポリカーボネート、ポリアリレート、ポリエーテルスルホン等からなるプラスチック基板等が挙げられる。また、貼り合わせフィルム（ポリプロピレン、ポリエステル、ビニル、ポリフッ化ビニル、塩化ビニルなどからなる）、繊維状な材料からなる紙、基材フィルム（ポリエステル、ポリアミド、無機蒸着フィルム、紙類等）などを用いることもできる。また、この他にも、シリコン等の半導体基板上に形成された電界効果トランジスタの上部や、ガラス等の基板上に形成された薄膜トランジスタの上部に記憶素子を設けることができる。

【0134】

また、基板410としては、n型またはp型の導電性を有する単結晶シリコン基板、化合物半導体基板（GaAs基板、InP基板、GaN基板、SiC基板、サファイア基板、またはZnSe基板等）、及び貼り合わせ法またはSIMOX（Separation by Implanted Oxygen）法を用いて作製されたSOI（Silic

10

20

30

40

50

on on Insulator) 基板のいずれかを用いることもできる。また、ガラス基板上に単結晶シリコンを貼り合わせたものも用いることができる。

【0135】

半導体層400としては、非晶質シリコン、多結晶シリコン、微結晶(マイクロクリスタル、セミアモルファスとも言う)シリコンなどを単層または積層して用いることができる。また、半導体層400はスパッタ法、LPCVD法、プラズマCVD法等により形成することができる。

【0136】

ゲート絶縁膜412としては、酸化シリコン、窒化シリコン、酸化窒化シリコン、及び窒化酸化シリコンのいずれか一つまたは複数などを用いることができる。なお、本実施の形態におけるゲート絶縁膜412の膜厚は10nm以下とすることができる。

10

【0137】

第1の層間膜413、第2の層間膜414としては、有機材料または無機材料を用いることができる。例えば、酸化シリコン、窒化シリコン、酸化窒化シリコン、及び窒化酸化シリコンのいずれか一つ若しくは複数、またはポリイミド、アクリル、ポリアミド、ポリイミドアミド、ベンゾシクロブテン、シロキサン、及びポリシラザンのいずれか一つ若しくは複数などを適用することができる。

【0138】

電極405は、トランジスタ409におけるゲート電極、及び上記実施の形態2における第1のワード線として機能する。電極405としては、タンタル、タングステン、チタン、モリブデン、アルミニウム、銅、クロム、またはニオブ等を適用することができる。また、電極405は、上記金属で形成された膜の他に、上記金属を主成分とする合金で形成された膜、或いは上記金属を含む化合物を用いて形成された膜を適用することもできる。また、それらを単層または積層することにより形成することができる。また、半導体膜に導電性を付与するリン等の不純物元素をドーピングした、多結晶シリコンなどの半導体を適用することもできる。また、電極405は、所定の形状に加工(パターニングなど)することによって形成することができる。

20

【0139】

電極402及び電極403は、トランジスタ409におけるソース電極またはドレイン電極、及び上記実施の形態2におけるビット線として機能する。

30

【0140】

電極415、電極404、及び無機化合物層416は、上記実施の形態1及び実施の形態2における記憶素子として機能する。具体的には、電極415は、記憶素子における第1端子の一部として機能し、電極404は、記憶素子における第2端子の一部として機能する。

【0141】

なお、本実施の形態において、記憶回路に補助容量を設けることもできる。補助容量を設けることにより、書き込み電圧を補償することができる。

【0142】

また、電極401、電極402、電極403、電極404、及び電極415としては、導電性の高い元素や化合物等を用いることができる。例えば、金、銀、白金、ニッケル、タングステン、クロム、モリブデン、鉄、コバルト、銅、パラジウム、炭素、アルミニウム、マンガン、チタン、及びタンタルなどから選ばれた一種の元素または当該元素を複数含む合金からなる材料を用いることができる。また、それらを単層または積層構造とすることで形成することができる。上記元素を複数含んだ合金としては、例えば、アルミニウムとチタンを含んだ合金アルミニウム、チタンと炭素を含んだ合金、アルミニウムとニッケルを含んだ合金、アルミニウムと炭素を含んだ合金、アルミニウムとニッケルと炭素を含んだ合金またはアルミニウムとモリブデンを含んだ合金等を適用することができる。また、インジウム錫酸化物(ITO)、酸化珪素を含むインジウム錫酸化物(ITSO)、または酸化インジウム酸化亜鉛(IZO)などの透光性材料を用いることができる。また

40

50

、電極 401、電極 402、電極 403、電極 404、及び電極 415 は、異なる材料を用いて形成することもできる。また、電極 401、電極 402、電極 403、電極 404、及び電極 415 は、蒸着法、スパッタ法、CVD法、印刷法または液滴吐出法を用いて形成することができる。

【0143】

無機化合物層 416 としては、アモルファスシリコン膜、微結晶シリコン膜、またはポリシリコン膜などシリコンを含む材料等を用いることができる。これらのシリコン膜は、スパッタ法、LPCVD法、またはプラズマCVD法などを用いて形成することができる。

【0144】

また、無機化合物層 416 としてシリコン膜に酸素や窒素を含ませたものを用いることもできる。

【0145】

以下に、本実施の形態における記憶素子の書き込みの原理について説明する。なお、本実施の形態では、シリコンを主構成元素とする無機化合物層を有する記憶素子を無機メモリ素子に適用しており、当該記憶素子への書き込みについて説明する。

【0146】

電極 415 及び電極 404 間に所定の値の電圧を印加することにより、無機化合物層 416 と、電極 415 または電極 404 でシリサイド反応が起こる。シリサイド反応が起こると無機化合物層 416 と、電極 415 または電極 404 との間にシリサイドが形成される。シリサイドが形成された記憶素子は、抵抗値が下がる。この抵抗値が変化する原理を利用し、抵抗値の変化前後のそれぞれの状態を記憶素子におけるデータとして識別する。

【0147】

以上のように、記憶素子に無機メモリ素子を用いることにより、半導体記憶装置を容易に作製することができる。また、厚さが薄く、信頼性の高い半導体記憶装置を提供することができる。

【0148】

なお、本実施の形態は、他の実施の形態と適宜組み合わせることができる。

【0149】

(実施の形態 5)

本実施の形態では、本発明の半導体記憶装置の適用例として、半導体記憶装置を備えた半導体装置について説明する。

【0150】

本実施の形態における半導体装置は、内部に記憶回路を有し、記憶回路に必要な情報を記憶し、非接触手段、例えば無線通信を用いて外部と情報のやりとりを行うものである。この特徴を利用して、本実施の形態における半導体装置は、物品などの個体情報を記憶させておき、その情報を読み取ることにより物品の認識をさせる個体認証システムなどの用途がある。また、これらの用途に用いるには、個体情報のデータを記憶して物品の識別などを行うため、より高い信頼性が要求される。

【0151】

本実施の形態における半導体装置の構成について図 10 を用いて説明する。図 10 は、本実施の形態における半導体装置の構成を示すブロック図である。

【0152】

図 10 に示すように半導体装置 500 は、RF回路 501、クロック信号生成回路 502、ロジック回路 503、及びアンテナ部 518 におけるアンテナ 517 により構成されている。なお、図 8 には示していないが、半導体装置 500 は、無線通信装置（リーダライタ、または質問器など、無線により通信が可能なもの）などの外部の回路とアンテナ 517 を介して無線信号の送受信を行っている。なお、データの伝送形式は、一対のコイルを対向配置して相互誘導によって交信を行う電磁結合方式、誘導電磁界によって交信する電磁誘導方式、電波を利用して交信する電波方式の 3 つに大別され、本実施の形態ではい

10

20

30

40

50

ずれの方式も適用することができる。

【0153】

各回路の構成について説明する。RF回路501は、電源回路504と、復調回路505と、変調回路506と、を有する。また、クロック信号生成回路502は、分周回路507と、カウンタ回路509と、基準クロック生成回路519と、を有する。また、ロジック回路503は、演算処理を行う機能を有し、コントローラ513と、CPU(中央演算回路ともいう)510と、ROM(Read Only Memory)511と、RAM(Random Access Memory)512と、を有する。

【0154】

また、コントローラ513は、CPUインターフェース514と、RFインターフェース515と、メモリコントローラ516と、を有する。

10

【0155】

また、RF回路501において、電源回路504は、整流回路と、保持容量と、を有し、受信した信号から電源電圧を生成し、その他の回路に供給する機能を有する。また、復調回路505は、整流回路と、LPF(ローパスフィルタ)と、を有し、通信信号からコマンドやデータを抽出する機能を有する。変調回路506は、送信データを変調する機能を有し、変調されたデータは、アンテナ517から送信信号として送信される。

【0156】

以下に、本実施の形態における半導体装置の動作について説明する。まず、外部の通信装置から送信された信号が、半導体装置で受信される。半導体装置に入力された受信信号は、復調回路505で復調された後、コントローラ513におけるRFインターフェース515に出力される。RFインターフェース515に入力された受信信号は、CPUインターフェース514を介してCPU510で演算処理される。また、RFインターフェース515に入力された受信信号により、メモリコントローラ516を介してROM511、RAM512に対するアクセスが行われる。

20

【0157】

そして、CPU510による演算処理、ROM511、RAM512におけるデータの入出力後に送信データが生成され、送信データは、信号として変調回路506で変調され、アンテナ517から外部の通信装置に送信される。

【0158】

本実施の形態では、半導体記憶装置を半導体装置のROM511、RAM512、またはその他の記憶回路として搭載することができる。半導体記憶装置を搭載することにより、厚さが薄く、信頼性の高い半導体装置を提供することができる。また、半導体記憶装置は安価に製造することができるため、半導体装置の製造コストを低減することができる。

30

【0159】

なお、本実施の形態は、他の実施の形態と適宜組み合わせることができる。

【0160】

(実施の形態6)

本実施の形態では、半導体記憶装置を備えた半導体装置の作製方法について説明する。

【0161】

本実施の形態の半導体装置について図11を用いて説明する。図11は、本実施の形態における半導体装置の構成を示す模式図及び断面図である。

40

【0162】

図11(A)に示す半導体装置は、基板600と、基板600に設けられた素子部601と、素子部601に電気的に接続されたアンテナ602と、を有する。

【0163】

素子部601は、半導体記憶装置等の複数の素子を有し、外部から受信した信号を処理する機能を有し、アンテナ602は、半導体装置におけるデータの伝送を行う機能を有する。

【0164】

50

図 1 1 (A) に示した半導体装置のより具体的な構成例を図 1 1 (B) に示す。図 1 1 (B) に示した半導体装置は、基板 6 0 0 上に設けられた素子 6 0 4 と、素子 6 0 4 及び基板 6 0 0 上に設けられた層間膜 6 0 3 と、層間膜 6 0 3 上に設けられたアンテナ 6 0 2 として機能する導電層 6 0 5 と、素子 6 0 4 に接続された導電層 6 0 6 と、を有する。なお、素子 6 0 4 及び導電層 6 0 6 を含む部分が素子部 6 0 1 となる。

【 0 1 6 5 】

なお、図 1 1 (B) の構成において、導電層 6 0 6 と同じ層にアンテナ 6 0 2 として機能する導電層 6 0 5 を設けているが、図 1 1 (A) に示した半導体装置は、この構成に限定されない。例えば、素子部 6 0 1 を設けた後、素子部を覆うように別途絶縁膜を設け、該絶縁膜上に導電層 6 0 5 を設けることもできる。

10

【 0 1 6 6 】

また、本実施の形態の半導体装置は、図 1 1 の構成に限定されない。本実施の形態の半導体装置の他の構成例について図 1 2 を用いて説明する。図 1 2 は、本実施の形態における半導体装置の他の構成の模式図及び断面図である。

【 0 1 6 7 】

図 1 2 (A) に示す半導体装置は、基板 6 0 7 と、基板 6 0 7 上に設けられた素子部 6 0 8 と、素子部 6 0 8 に電氣的に接続されたアンテナ 6 0 9 と、を有する。

【 0 1 6 8 】

図 1 1 に示す構成と同様に、素子部 6 0 8 は、記憶素子等の複数の素子を有し、外部から受信した信号を処理する機能を有する。また、アンテナ 6 0 9 は、半導体装置におけるデータの伝送を行う機能を有する。

20

【 0 1 6 9 】

図 1 2 (A) に示した半導体装置のより具体的な構成例を図 1 2 (B) に示す。図 1 2 (B) に示した半導体装置は、基板 6 0 7 と、基板 6 0 7 上に設けられた樹脂 6 1 0 と、一部がアンテナ 6 0 9 として機能する導電層 6 1 1 と、導電層 6 1 1 の一部の上に設けられた導電性粒子 6 1 2 と、樹脂 6 1 0 上及び導電性粒子 6 1 2 上に設けられた導電層 6 1 3 と、導電層 6 1 3 上に設けられた素子部 6 0 8 と、素子部 6 0 8 上に設けられた基板 6 1 4 と、を有する。

【 0 1 7 0 】

図 1 2 の構成の場合、端子部 6 1 5 を設けており、導電層 6 1 1 の一部が端子部 6 1 5 に含まれる。また、素子部 6 0 8 が設けられた基板 6 1 4 と、アンテナ 6 0 9 が設けられた基板 6 0 7 と、が貼り合わされている。

30

【 0 1 7 1 】

本実施の形態において、素子部 6 0 8 における半導体記憶装置として実施の形態 1 乃至 4 の半導体記憶装置を適用することができる。実施の形態 1 乃至 4 の半導体記憶装置を適用することにより高い信頼性を有する半導体装置を安価に製造することができる。

【 0 1 7 2 】

素子部 6 0 8 は、予め大きな面積の基板の上に複数形成し、その後、分断することで形成すれば、安価に形成することができる。このときに用いる基板 6 0 7 及び基板 6 1 4 としては、ガラス基板、石英基板、セラミック基板、金属基板（例えばステンレス基板など）、または半導体基板（例えばシリコン基板など）などを適用することができる。他にもプラスチック基板として、ポリエチレンテレフタレート（PET）、ポリエチレンナフタレート（PEN）、ポリエーテルサルホン（PES）、アクリルなどの可撓性基板等を適用することができる。

40

【 0 1 7 3 】

素子部 6 0 8 に含まれる複数のトランジスタや半導体記憶装置等は、同じ層に設ける構成に限定されず、複数の層に形成した構成とすることもできる。複数の層に素子部 6 0 8 を形成する際には、層間絶縁膜を用いるが、当該層間絶縁膜の材料としては、エポキシ樹脂やアクリル樹脂等の樹脂材料、透過性を有するポリイミド樹脂等の樹脂材料、シロキサン樹脂等のシロキサン材料を有する化合物材料、水溶性ホモポリマーと水溶性共重合体を

50

含む材料、無機材料を適用することができる。また、これらの材料を複数種選択して積層構造とすることもできる。シロキサン材料とは、 $Si-O-Si$ 結合を含む材料に相当する。シロキサンは、シリコン(Si)と酸素(O)との結合で骨格構造が構成される。置換基として、少なくとも水素を含む有機基(例えばアルキル基、芳香族炭化水素)が用いられる。置換基として、フルオロ基を用いてもよい。または置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。また、層間絶縁膜は、CVD法、スパッタ法、SOG法、液滴吐出法、スクリーン印刷法等により、形成することができる。

【0174】

また、層間絶縁膜の材料として、層間で発生する寄生容量の減少を目的として、低誘電率材料を適用することも好適である。寄生容量が減少すれば、高速の動作を実現し、また、低消費電力化を実現する。

10

【0175】

導電層611及び導電層613は、CVD法、スパッタ法、スクリーン印刷やグラビア印刷等の印刷法、液滴吐出法、ディスペンサ法、またはメッキ法等を用いて形成することができる。導電層611及び導電層613としては、アルミニウム、チタン、銀、銅、金、白金、ニッケル、パラジウム、タンタル、モリブデンから選択された元素、またはこれらの元素を主成分とする合金材料若しくは化合物材料で、単層構造または積層構造で形成することができる。

【0176】

例えば、スクリーン印刷法を用いて導電層611及び導電層613を形成する場合には、粒径が数nmから数十 μm の導電体粒子を有機樹脂に溶解または分散させた導電性のペーストを選択的に印刷することによって設けることができる。導電体粒子としては、銀、金、銅、ニッケル、白金、パラジウム、タンタル、モリブデン、およびチタン等のいずれか一つ以上の金属粒子やハロゲン化銀の微粒子、または分散性ナノ粒子を用いることができる。また、導電性ペーストに含まれる有機樹脂は、金属粒子のバインダー、溶媒、分散剤および被覆材として機能する有機樹脂から選ばれた一つまたは複数を用いることができる。代表的には、エポキシ樹脂、シリコーン樹脂等の有機樹脂が挙げられる。また、導電層の形成において、焼成工程は導電性のペーストを押し出した後に行うことが好ましい。例えば、導電性のペーストの材料として、銀を主成分とする微粒子(例えば粒径1nm以上100nm以下)を用いる場合、150以上300以下の温度範囲で焼成することにより硬化させて導電層を得ることができる。また、微粒子として、はんだや鉛フリーのはんだを主成分とする微粒子を用いてもよく、この場合は粒径20 μm 以下の微粒子を用いることが好ましい。はんだや鉛フリーはんだを用いることにより、低コストで製造することができる。

20

30

【0177】

素子部608に上記集積回路などを設ける場合などに用いられるトランジスタは、非晶質半導体、微結晶半導体(マイクロクリスタル半導体ともいう)、多結晶半導体、または有機半導体等のいずれの半導体を単層または積層させて活性層として作製されたものを適用することができる。良好な特性のトランジスタを得るために、金属元素を触媒として結晶化した活性層、レーザ照射法により結晶化した活性層を用いるとよい。また、プラズマCVD法により、 SiH_4/F_2 ガス、 SiH_4/H_2 ガス(Arガス)を用いて形成した半導体層や、半導体層にレーザ照射を行ったものを活性層として適用することができる。

40

【0178】

また、素子部608に用いられるトランジスタは、200度から600度の温度(好適には350度から500度)で結晶化した結晶質半導体層(低温ポリシリコン層)や、600度以上の温度で結晶化した結晶質半導体層(高温ポリシリコン層)を用いることができる。なお、基板上に高温ポリシリコン層を作成する場合は、ガラス基板では熱に脆弱な場合があるので、石英基板を使用するとよい。

【0179】

50

素子部 608 に用いられるトランジスタの活性層（特にチャネル領域）には、 $1 \times 10^{19} \text{ atoms/cm}^3 \sim 1 \times 10^{22} \text{ atoms/cm}^3$ の濃度、好適には $1 \times 10^{19} \text{ atoms/cm}^3 \sim 5 \times 10^{20} \text{ atoms/cm}^3$ の濃度で、水素又はハロゲン元素を添加するとよい。そうすると、欠陥が少なく、クラックが生じにくい活性層を得ることができる。

【0180】

また、素子部 608 に用いられるトランジスタを包むように、又は素子部 608 自身を包むように、アルカリ金属等の汚染物質をブロックするバリア膜を設けるとよい。そうすると、汚染されることがなく、信頼性が向上した素子部 608 を提供することができる。なおバリア膜としては、窒化シリコン膜、窒化酸化シリコン膜、又は酸化窒化シリコン膜等が挙げられる。また、素子部 608 が含むトランジスタの活性層の厚さは、 $20 \text{ nm} \sim 200 \text{ nm}$ 、好ましくは $40 \text{ nm} \sim 170 \text{ nm}$ 、さらに好ましくは $45 \text{ nm} \sim 55 \text{ nm}$ 、 $145 \text{ nm} \sim 155 \text{ nm}$ 、さらに好ましくは 50 nm 、 150 nm とするとよい。そうすると、折り曲げても、クラックが生じにくい素子部 608 を提供することができる。

10

【0181】

また、素子部 608 に用いられるトランジスタの活性層を構成する結晶は、キャリアの流れる方向（チャネル長方向）と平行に延びる結晶粒界を有するように形成するとよい。このような活性層は、連続発振レーザや、 10 MHz 以上、好ましくは $60 \sim 100 \text{ MHz}$ で動作するパルスレーザを用いて形成するとよい。

【0182】

また、素子部 608 に用いられるトランジスタの S 値（サブスレッシュホールド値）は 0.35 V/dec 以下（好ましくは $0.09 \sim 0.25 \text{ V/dec}$ ）、移動度 $10 \text{ cm}^2/\text{Vs}$ 以上の特性を有するとよい。このような特性は、活性層を、連続発振レーザや、 10 MHz 以上で動作するパルスレーザで形成すれば、実現することができる。

20

【0183】

また、素子部 608 に用いられるトランジスタは、リングオシレータレベルで 1 MHz 以上、好適には 10 MHz 以上（ $3 \sim 5 \text{ V}$ にて）の特性を有する。または、トランジスタ一つあたり、 100 kHz 以上、好適には 1 MHz 以上（ $3 \sim 5 \text{ V}$ にて）の周波数特性を有する。

【0184】

また、実施の形態 1 乃至 4 の半導体装置は、素子部が形成された基板をそのまま用いることができるが、これに限定されない。素子部が形成された基板とは別の基板を用いて、実施の形態 1 乃至 4 の半導体装置を作製する例について図 13 を用いて説明する。端的に言うと、図 13 は、本実施の形態における半導体装置の他の構成及び作製方法を示す模式図である。

30

【0185】

図 13 (A) に示すように、素子部 617 が形成された基板 616 において、基板 616 上の素子部 617 を剥離する。さらに図 13 (B) に示すように、剥離した素子部 617 を基板 616 とは別の基板 618 に貼り合わせた構成とすることもできる。なお、基板 618 としては、可撓性基板などを適用することができる。

40

【0186】

基板 616 からの素子部 617 の剥離は、耐熱性の高い基板 616 と素子部 617 の間に金属酸化膜を設け、当該金属酸化膜を結晶化により脆弱化して、素子部 617 を剥離する方法、耐熱性の高い基板 616 と素子部 617 の間に水素を含む非晶質シリコン膜を設け、レーザ光の照射またはエッチングにより当該非晶質シリコン膜を除去することで、素子部 617 を剥離する方法、または素子部 617 が形成された耐熱性の高い基板 616 を機械的に削除又は溶液や CF_3 等のガスによるエッチングで除去することで、素子部 617 を切り離す方法等を用いて行うことができる。

【0187】

また、上記記載の方法以外にも、基板 616 と素子部 617 の間に剥離層として機能す

50

る金属膜（例えば、タングステン、モリブデン、チタン、タンタル、コバルト）、金属酸化膜（例えば、タングステン酸化物、モリブデン酸化物、チタン酸化物、タンタル酸化物、コバルト酸化物）、または金属膜と金属酸化膜との積層構造を設け、基板 616 と素子部 617 とを物理的手段を用いて剥離することも可能である。また、他にも選択的に開口部を形成して剥離層を露出させた後に、フッ化ハロゲン（例えば、 ClF_3 ）等のエッチング剤によって剥離層の一部を除去した後に、基板 616 から素子部 617 を物理的に剥離することもできる。

【0188】

また、剥離した素子部 617 の基板 618 への貼り付けは、市販の接着剤を用いればよい。例えば、エポキシ樹脂系接着剤や樹脂添加剤等の接着剤を用いればよい。

10

【0189】

上記のように、素子部 617 を基板 618 に貼り合わせて半導体装置を作製することにより、薄くて軽く、落下した場合にも壊れにくい半導体装置を提供することができる。また、基板 618 は可撓性を有する基板を適用するため、曲面や異形の形状上に貼り合わせることが可能となり、多種多様の用途が実現する。例えば、図 13 (C) に示すように、薬の瓶のような曲面上に、半導体装置 619 を密着して貼り合わせることができる。さらに、基板 616 を再利用することにより、より安価に半導体装置を提供することができる。

【0190】

なお、本実施の形態は、他の実施の形態と適宜組み合わせることができる。

20

【0191】

(実施の形態 7)

本実施の形態は、剥離プロセスによって形成した素子部を用いて、可撓性を有する半導体装置を作製する場合について説明する。

【0192】

本実施の形態における半導体装置を作製する方法について図 14 を用いて説明する。図 14 は、本実施の形態における半導体装置の構成を示す上面図である。

【0193】

図 14 (A) に示すように本実施の形態における半導体装置は、可撓性を有する保護層 701 と、アンテナ 704 を含む可撓性を有する保護層 703 と、剥離プロセスにより形成される素子部 702 と、を有する。保護層 703 上に形成されたアンテナ 704 は、素子部 702 に電氣的に接続する。図示する構成では、アンテナ 704 は保護層 703 上のみ形成されているが、この構成に限定されず、アンテナ 704 を保護層 701 上に形成することもできる。また、素子部 702 と、保護層 701 及び保護層 703 との間には、窒化シリコン膜等からなるバリア膜を形成する構成とすることにより、素子部 702 が汚染されることなく、信頼性を向上させた半導体装置を提供することもできる。

30

【0194】

アンテナ 704 として機能する導電層としては、上記実施の形態 4 において述べた材料を適用することができる。なお、本実施の形態では、素子部 702 とアンテナ 704 とは、異方性導電膜を用いて UV 処理又は超音波処理を行うことで接続させるが、この方法に

40

【0195】

図 14 (B) に示すように保護層 701、703 に挟まれた素子部 702 の厚さは、 $7\ \mu\text{m}$ 以下、好ましくは $0.1\ \mu\text{m} \sim 3\ \mu\text{m}$ の厚さを有するように形成するとよい。また、保護層 701、保護層 703 を重ねたときの厚さを d としたとき、保護層 701、保護層 703 の厚さは、好ましくは $(d/2) \pm 30\ \mu\text{m}$ 、さらに好ましくは $(d/2) \pm 10\ \mu\text{m}$ とする。また、保護層 701、保護層 703 それぞれの厚さは $10\ \mu\text{m} \sim 200\ \mu\text{m}$ であることが望ましい。さらに、素子部 702 の面積は $5\ \text{mm}^2$ 角 ($25\ \text{mm}^2$) 以下であり、望ましくは $0.3\ \text{mm}^2$ 角 $\sim 4\ \text{mm}^2$ 角 ($0.09\ \text{mm}^2 \sim 16\ \text{mm}^2$) の面積を有するとよい。

50

【0196】

保護層701及び保護層703は、有機樹脂材料を用いて形成することができる。有機樹脂材料は、折り曲げに対して強い特性を有するため、保護層701及び保護層703の材料として好ましい。また、剥離プロセスにより形成した素子部702自体も、単結晶半導体に比べて、折り曲げに対して強い特性を有する。そして、素子部702と、保護層701及び保護層703とは空隙がないように、密着させることができるため、完成した半導体装置自体も折り曲げに対して強い特性を有する。このような保護層701及び保護層703で囲われた素子部702は、他の個体物の表面または内部に配置しても良いし、紙の中に埋め込んで良い。

【0197】

以下に、剥離プロセスにより形成する素子部を、曲面を有する基板に貼る場合について説明する。

【0198】

図14(C)に示すように、剥離プロセスにより形成した素子部から選択された1つのトランジスタは、電流が流れる方向に直線状である。つまり、ドレイン電極705、ゲート電極707、ソース電極706の位置が直線状である。そして、電流が流れる方向と、基板が弧を描く方向は垂直に配置される。このような配置にすれば、基板が折り曲げられて、弧を描いても、応力の影響が少なく、素子部に含まれるトランジスタの特性の変動を抑制することができる。

【0199】

また、トランジスタなどのアクティブ素子の活性領域(シリコンアイランド部分)の面積を基板全体の面積に対して、1%~50%(好ましくは1~30%)にすることにより、応力を起因とする素子の破壊を防止することができる。

【0200】

また、アクティブ素子の存在しない領域には、下地絶縁膜材料、層間絶縁膜材料、及び配線材料が主として設けられる。トランジスタ等の活性領域以外の面積は、基板全体の面積の60%以上にする。このようにすると、曲げやすく、高い集積度を有する半導体装置を提供することができる。

【0201】

以上のように、本実施の形態における作製方法を用いて半導体記憶装置を有する半導体装置を作製することにより、曲面上においても作製することができ、半導体装置の適用分野をより拡大することができる。

【0202】

なお、本実施の形態は他の実施の形態と適宜組み合わせることができる。

【0203】

(実施の形態8)

本実施の形態では、上記実施の形態7における半導体記憶装置を備えた半導体装置の使用例について説明する。

【0204】

上記実施の形態における半導体記憶装置を備えた半導体装置の使用例について図15を用いて説明する。図15は、本発明の半導体装置の使用例を示す模式図である。

【0205】

図15に示すように、半導体装置の用途は広範囲にわたるが、例えば、紙幣、硬貨、有価証券類、無記名債券類、証書類(運転免許証や住民票等、図15(A)参照)、包装容器類(包装紙やボトル等、図15(C)参照)、記録媒体(DVDソフトやビデオテープ等、図15(B)参照)、乗り物類(自転車等、図15(D)参照)、身の回り品(鞆や眼鏡等)、食品類、植物類、動物類、人体、衣類、生活用品類、または電子機器(液晶表示装置、EL表示装置、テレビジョン装置、または携帯電話)等の物品、若しくは各物品に取り付ける荷札(図15(E)、図15(F)参照)等に設けて使用することができる。

10

20

30

40

50

【 0 2 0 6 】

本実施の形態の半導体装置 8 0 0 は、プリント基板に実装、表面に貼る、または埋め込むことにより、物品に固定される。例えば、本であれば紙に埋め込む、または有機樹脂からなるパッケージであれば当該有機樹脂に埋め込み、各物品に固定される。本実施の形態の半導体装置 8 0 0 は、小型、薄型、軽量を実現するため、物品に固定した後もその物品自体のデザイン性を損なうことがない。また、紙幣、硬貨、有価証券類、無記名債券類、または証券類等に本実施の形態の半導体装置 8 0 0 を設けることにより、認証機能を設けることができ、この認証機能を活用すれば、偽造を防止することができる。また、包装用容器類、記録媒体、身の回り品、食品類、衣類、生活用品類、または電子機器等に本実施の形態の半導体装置 8 0 0 を取り付けることにより、検品システム等のシステムの効率化を図ることができる。また、乗り物類であっても、本実施の形態の半導体装置 8 0 0 を取り付けることにより、盗難などに対するセキュリティ性を高めることができる。

10

【 0 2 0 7 】

以上のように、本発明の半導体記憶装置を備えた半導体装置を本実施の形態に挙げた各用途に用いることにより、情報のやりとりに用いられるデータを正確の値のまま維持することができるため、物品認証の正確性、またはセキュリティ性を高めることができる。

【 0 2 0 8 】

なお、本実施の形態は、他の実施の形態と適宜組み合わせることができる。

【 符号の説明 】

【 0 2 0 9 】

20

| | |
|-----------|-----------|
| 1 0 0 | 電位制御回路 |
| 1 0 1 | トランジスタ |
| 1 0 2 | 電位供給端子 |
| 1 0 3 | 記憶素子 |
| 2 0 0 | 記憶回路 |
| 2 0 0 A A | 記憶回路 |
| 2 0 0 A B | 記憶回路 |
| 2 0 0 A n | 記憶回路 |
| 2 0 0 B A | 記憶回路 |
| 2 0 0 B B | 記憶回路 |
| 2 0 0 m A | 記憶回路 |
| 2 0 1 | 記憶回路部 |
| 2 0 2 | ビット線 |
| 2 0 2 A | ビット線 |
| 2 0 2 B | ビット線 |
| 2 0 2 m | ビット線 |
| 2 0 3 | 第 1 のワード線 |
| 2 0 3 A | 第 1 のワード線 |
| 2 0 3 B | 第 1 のワード線 |
| 2 0 3 n | 第 1 のワード線 |
| 2 0 4 | 第 2 のワード線 |
| 2 0 4 A | 第 2 のワード線 |
| 2 0 4 B | 第 2 のワード線 |
| 2 0 4 n | 第 2 のワード線 |
| 2 0 5 | ビット線制御回路 |
| 2 0 6 | ワード線制御回路 |
| 2 0 7 | 領域 |
| 2 0 8 A A | トランジスタ |
| 2 0 8 A B | トランジスタ |
| 2 0 8 B A | トランジスタ |

30

40

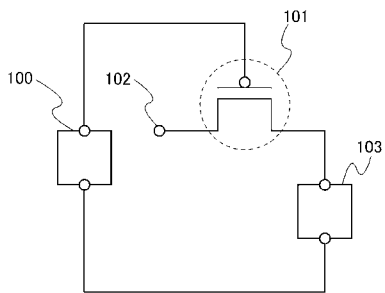
50

| | | |
|-----------|---------------|----|
| 2 0 8 B B | トランジスタ | |
| 2 0 9 A A | 記憶素子 | |
| 2 0 9 A B | 記憶素子 | |
| 2 0 9 B A | 記憶素子 | |
| 2 0 9 B B | 記憶素子 | |
| 2 1 0 | 選択回路 | |
| 2 1 1 | アドレス線 | |
| 2 1 2 A | 第 1 のレベルシフト回路 | |
| 2 1 2 B | 第 1 のレベルシフト回路 | |
| 2 1 3 A | 第 1 の電位供給端子 | 10 |
| 2 1 3 B | 第 1 の電位供給端子 | |
| 2 1 4 A | 第 2 の電位供給端子 | |
| 2 1 4 B | 第 2 の電位供給端子 | |
| 2 1 5 A | 第 1 のバッファ回路 | |
| 2 1 5 B | 第 1 のバッファ回路 | |
| 2 1 6 A | 第 2 のレベルシフト回路 | |
| 2 1 6 B | 第 2 のレベルシフト回路 | |
| 2 1 7 A | 第 3 の電位供給端子 | |
| 2 1 7 B | 第 3 の電位供給端子 | |
| 2 1 8 A | 第 4 の電位供給端子 | 20 |
| 2 1 8 B | 第 4 の電位供給端子 | |
| 2 1 9 A | 第 2 のバッファ回路 | |
| 2 1 9 B | 第 2 のバッファ回路 | |
| 3 0 0 | 半導体層 | |
| 3 0 1 | 電極 | |
| 3 0 2 | 電極 | |
| 3 0 3 | 電極 | |
| 3 0 4 | 電極 | |
| 3 0 5 | 開口部 | |
| 3 0 6 | 開口部 | 30 |
| 3 0 7 | トランジスタ | |
| 3 0 8 | 開口部 | |
| 3 0 9 | 基板 | |
| 3 1 0 | 不純物領域 | |
| 3 1 1 | ゲート絶縁膜 | |
| 3 1 2 | 第 1 の層間膜 | |
| 3 1 3 | 第 2 の層間膜 | |
| 3 1 4 | 第 3 の層間膜 | |
| 3 1 5 | 第 4 の層間膜 | |
| 3 1 6 | 有機化合物層 | 40 |
| 3 1 7 | 電極 | |
| 4 0 0 | 半導体層 | |
| 4 0 1 | 電極 | |
| 4 0 2 | 電極 | |
| 4 0 3 | 電極 | |
| 4 0 4 | 電極 | |
| 4 0 5 | 電極 | |
| 4 0 6 | 開口部 | |
| 4 0 7 | 開口部 | |
| 4 0 8 | 開口部 | 50 |

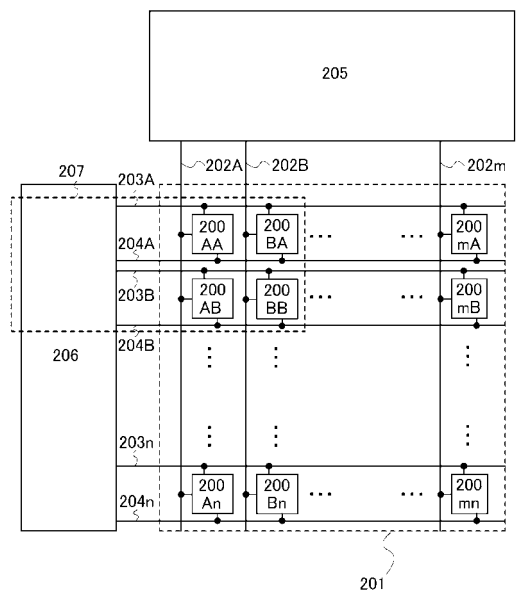
| | | |
|-------|---|----|
| 4 0 9 | トランジスタ | |
| 4 1 0 | 基板 | |
| 4 1 1 | 不純物領域 | |
| 4 1 2 | ゲート絶縁膜 | |
| 4 1 3 | 第 1 の層間膜 | |
| 4 1 4 | 第 2 の層間膜 | |
| 4 1 5 | 電極 | |
| 4 1 6 | 無機化合物層 | |
| 5 0 0 | 半導体装置 | |
| 5 0 1 | R F 回路 | 10 |
| 5 0 2 | クロック信号生成回路 | |
| 5 0 3 | ロジック回路 | |
| 5 0 4 | 電源回路 | |
| 5 0 5 | 復調回路 | |
| 5 0 6 | 変調回路 | |
| 5 0 7 | 分周回路 | |
| 5 0 9 | カウンタ回路 | |
| 5 1 0 | C P U | |
| 5 1 1 | R O M (R e a d O n l y M e m o r y) | |
| 5 1 2 | R A M (R a n d o m A c c e s s M e m o r y) | 20 |
| 5 1 3 | コントローラ | |
| 5 1 4 | C P U インターフェース | |
| 5 1 5 | R F インターフェース | |
| 5 1 6 | メモリコントローラ | |
| 5 1 7 | アンテナ | |
| 5 1 8 | アンテナ部 | |
| 5 1 9 | 基準クロック生成回路 | |
| 6 0 0 | 基板 | |
| 6 0 1 | 素子部 | |
| 6 0 2 | アンテナ | 30 |
| 6 0 3 | 層間膜 | |
| 6 0 4 | 素子 | |
| 6 0 5 | 導電層 | |
| 6 0 6 | 導電層 | |
| 6 0 7 | 基板 | |
| 6 0 8 | 素子部 | |
| 6 0 9 | アンテナ | |
| 6 1 0 | 樹脂 | |
| 6 1 1 | 導電層 | |
| 6 1 2 | 導電性粒子 | 40 |
| 6 1 3 | 導電層 | |
| 6 1 4 | 基板 | |
| 6 1 5 | 端子部 | |
| 6 1 6 | 基板 | |
| 6 1 7 | 素子部 | |
| 6 1 8 | 基板 | |
| 6 1 9 | 半導体装置 | |
| 7 0 1 | 保護層 | |
| 7 0 2 | 素子部 | |
| 7 0 3 | 保護層 | 50 |

- 704 アンテナ
- 705 ドレイン電極
- 706 ソース電極
- 707 ゲート電極
- 800 半導体装置

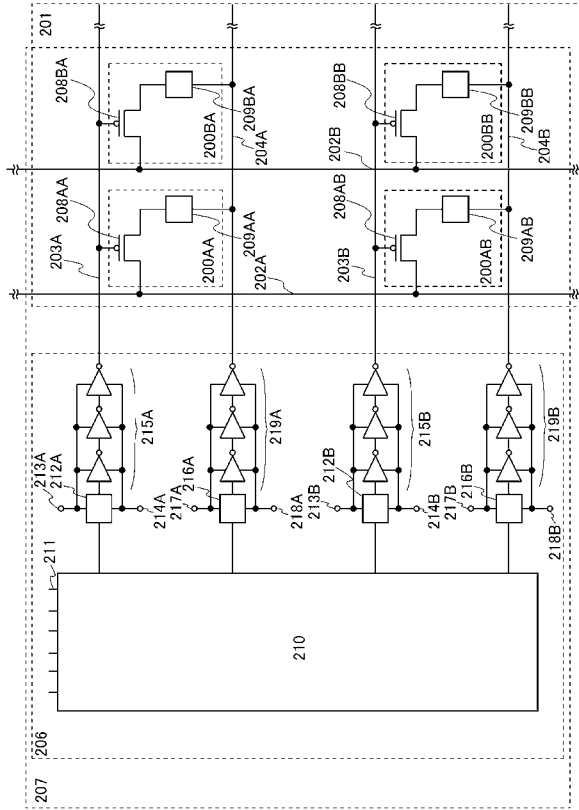
【図1】



【図2】



【 図 3 】



【 図 4 】

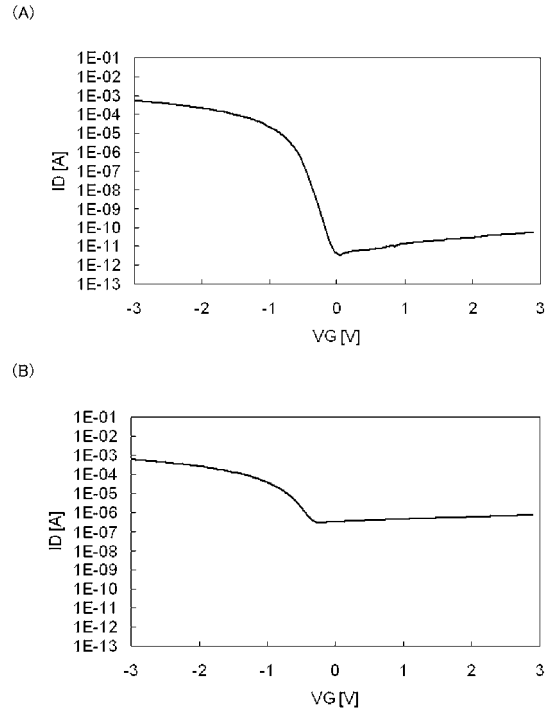
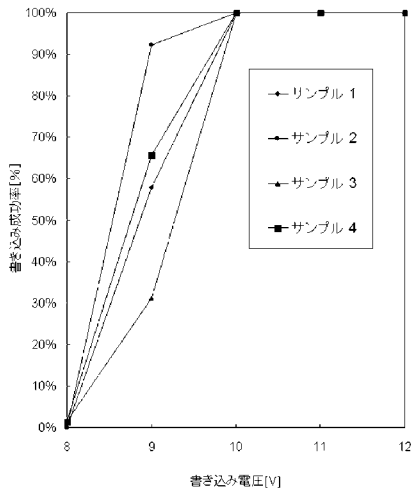
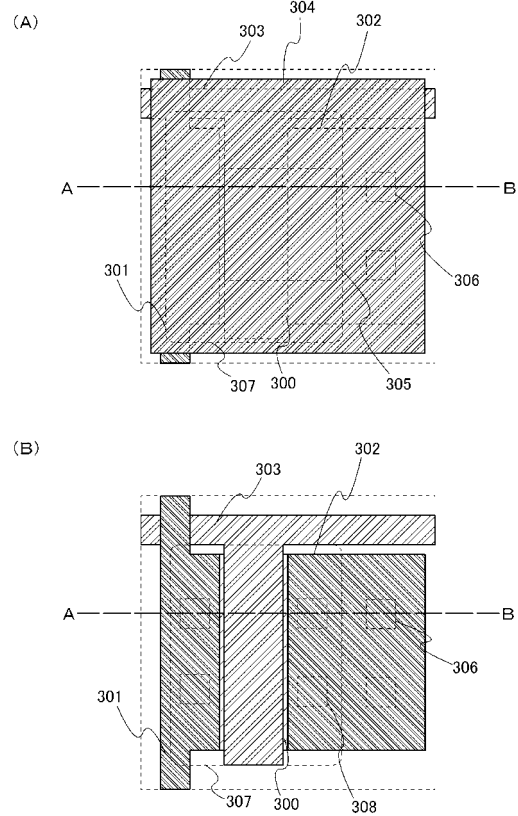


図 トランジスタの電圧 (V_G) と電流 (I_D) との関係図

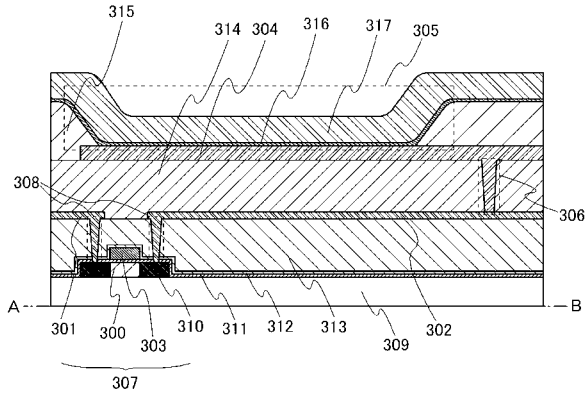
【 図 5 】



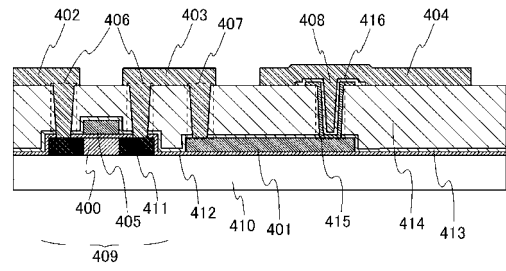
【 図 6 】



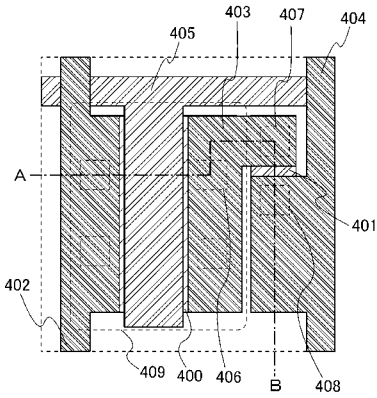
【 図 7 】



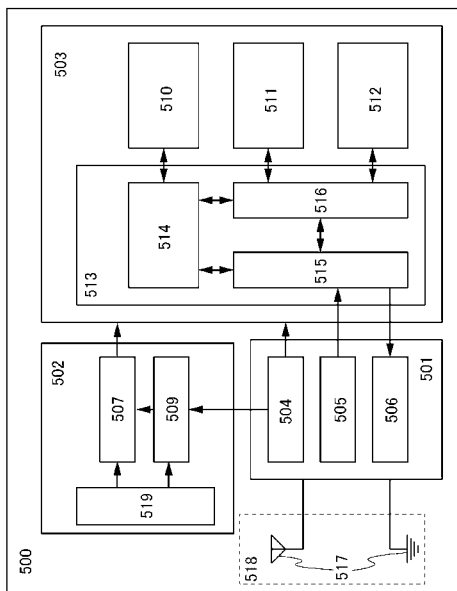
【 図 9 】



【 図 8 】

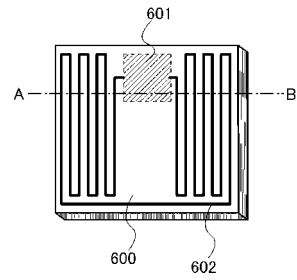


【 図 10 】

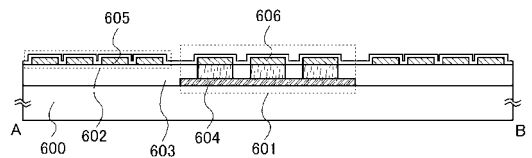


【 図 11 】

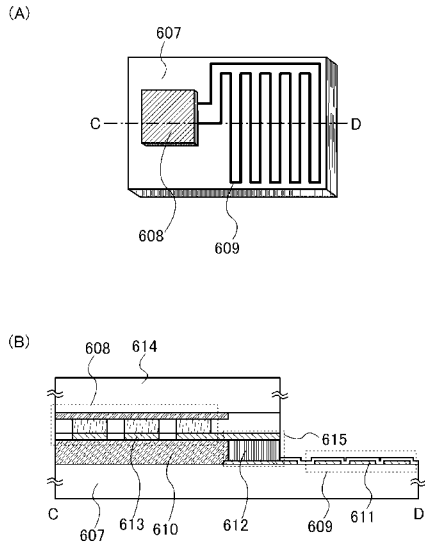
(A)



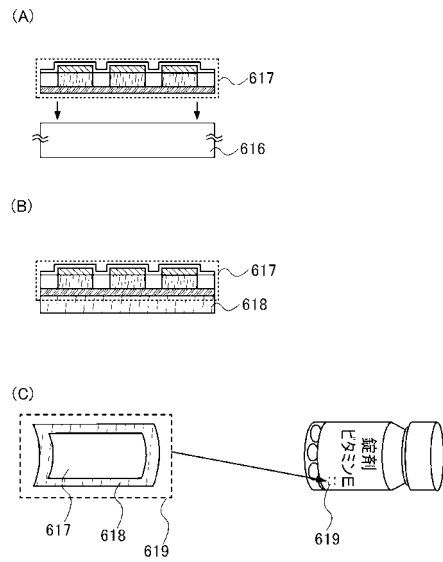
(B)



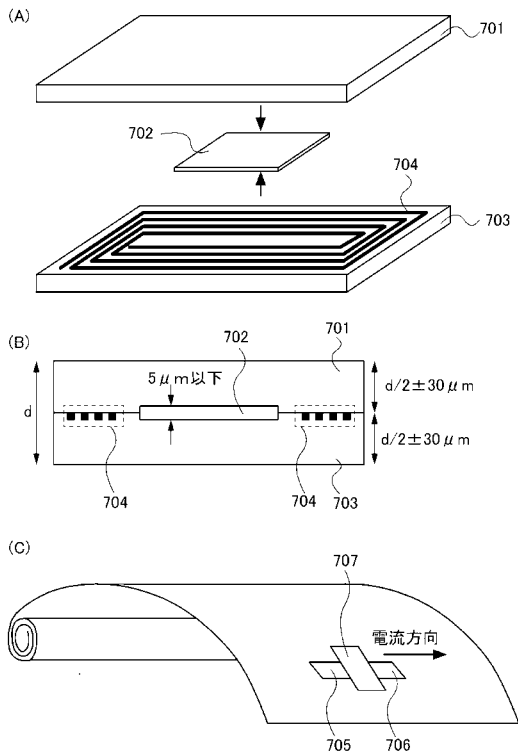
【 図 1 2 】



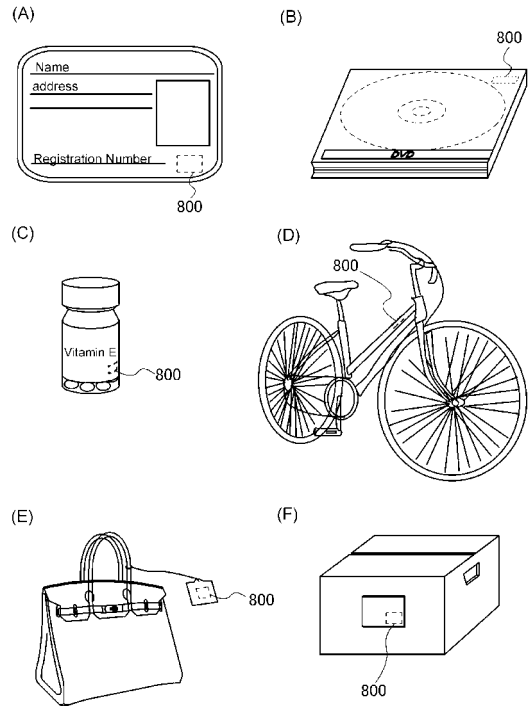
【 図 1 3 】



【 図 1 4 】



【 図 1 5 】



フロントページの続き

| (51) Int.Cl. | | F I | | テーマコード(参考) |
|----------------------|------------------|---------------|---------|------------|
| G 1 1 C 13/00 | (2006.01) | H 0 1 L 29/28 | 1 0 0 B | |
| | | G 1 1 C 13/00 | A | |