

[19] 中华人民共和国国家知识产权局

[51] Int. Cl<sup>7</sup>

H01L 23/52

H01L 21/768 H01L 21/28

H01L 21/31



# [12] 发明专利说明书

[21] ZL 专利号 98109395.7

[45] 授权公告日 2004 年 5 月 12 日

[11] 授权公告号 CN 1149671C

[22] 申请日 1998.6.2 [21] 申请号 98109395.7

[30] 优先权

[32] 1997.11.21 [33] JP [31] 320850/1997

[71] 专利权人 三菱电机株式会社

地址 日本东京都

[72] 发明人 豆谷智治 永井享浩

审查员 白 燕

[74] 专利代理机构 中国专利代理(香港)有限公司

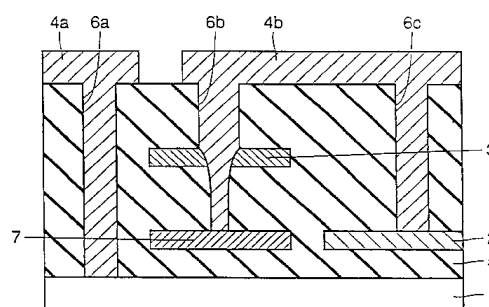
代理人 姜郭厚 叶恺东

权利要求书 2 页 说明书 4 页 附图 2 页

[54] 发明名称 半导体器件

[57] 摘要

本发明的目的在于提供能够防止因接触孔的穿透而产生的布线层与半导体衬底短路的改进的半导体器件。在层间绝缘膜 5b 上设置下导电层 3。用层间绝缘膜 5c 覆盖下导电层 3。在层间绝缘膜 5c 中设置用于连接上导电层 4b 与下导电层 3 的接触孔 6b。在半导体衬底 1 的表面与下导电层 3 之间,且在接触孔 6b 的下方位置,设置用硅化物或金属形成的阻挡层 7。



ISSN 1008-4274

1. 一种半导体器件，具有通过一个孔连接的一个上导电层和一个下导电层，其特征在于，包括：

5       衬底（1），具有一个表面；

      第一层间绝缘膜（5a），形成在所述半导体衬底（1）上；

      第一下导电层（2），形成在所述第一层间绝缘膜（5a）上；

      第二层间绝缘膜（5b），覆盖着所述第一下导电层（2）；

10       第二下导电层（3），形成在所述第二层间绝缘膜（5b）上，并在水平方向上从所述第一下导电层（2）偏移；

      第三层间绝缘膜（5c），形成在所述第二层间绝缘膜（5b）上，从而覆盖着所述第二下导电层（3）；

      第一接触孔（6c），贯穿所述第二和第三层间绝缘膜（5b, 5c），以露出所述第一下导电层（2）的表面；

15       第二接触孔（6b），在所述第二层间绝缘膜上形成，以露出所述第二下导电层（3）的表面；

      上导电层（4b），在所述第三层间绝缘膜（5c）上形成，并通过所述第一和第二接触孔（6c, 6b）而与所述第一和第二下导电层（2, 3）连接；

20       阻挡层（7），在所述第二下导电层（3）之下形成在所述第一层间绝缘膜（5a）上，并由硅化物构成，和

      第三接触孔（6a），形成在所述第一、第二和第三层间绝缘膜中（5a, 5b, 5c）中，以露出所述半导体衬底（1）的表面。

25       2. 如权利要求1所述的半导体器件，其特征在于，用 WSi 形成所述阻挡层（7）。

      3. 如权利要求1所述的半导体器件，其特征在于，用 TiSi 形成所述阻挡层（7）。

      4. 如权利要求1所述的半导体器件，其特征在于，用 WSi/多晶

硅的两层形成所述阻挡层(7)。

5. 如权利要求1所述的半导体器件,其特征在于,使所述阻挡层(7)与所述上导电层同电位。

5 6. 如权利要求1所述的半导体器件,其特征在于,使所述阻挡层(7)处于浮置状态。

7. 如权利要求1所述的半导体器件,其特征在于,

所述第一下导电层(2)和所述阻挡层(7)分别设置于在半导体衬底(1)的表面上设置的第一层间绝缘膜(5a)的表面上。

## 半导体器件

## 5 技术领域

本发明一般涉及半导体器件，特别涉及包含布线层且能够防止该布线层与不同电位的布线层或与半导体衬底短路的改进的半导体器件。

## 背景技术

10 图 3 是现有的具有多层布线结构的半导体存储器等半导体器件的剖面图。

参照图 3，在半导体衬底 1 上设置层间绝缘膜 5a。在层间绝缘膜 5a 上设置第一导电层 2。在层间绝缘膜 5a 上设置层间绝缘膜 5b，以便覆盖第一导电层 2。在层间绝缘膜 5b 上设置第二导电层 3。在层间绝缘膜 5b 上设置层间绝缘膜 5c，以便覆盖第二导电层 3。在层间绝缘膜 5a、5b、5c 中，设置用于使半导体衬底 1 的表面露出的接触孔 6a。在层间绝缘膜 5c 中，设置用于使第二导电层 3 的表面露出的接触孔 6b。接触孔 6b 穿过第二导电层 3，并穿过层间绝缘膜 5b 及层间绝缘膜 5a，直至半导体衬底 1 的表面。在层间绝缘膜 5b、5c 中，设置用于使第一导电层 2 的表面露出的接触孔 6c。在层间绝缘膜 5c 上设置第三导电层 4a，使其穿过接触孔 6a 与半导体衬底 1 的表面连接。在层间绝缘膜 5c 上设置第三导电层 4b，使其穿过接触孔 6b 与第二导电层 3 连接。第三导电层 4b 穿过接触孔 6c 与第一导电层 2 连接。

在现有的半导体器件中，参照图 3，为了连接跨越多层形成的两个导电层，在层间绝缘膜中形成接触孔，通过它连接各导电层。

25 但是，如图 3 所示，在第三导电层 4a 与半导体衬底 1 之间设置的层间绝缘膜 5a、5b、5c 的总膜厚，在第三导电层 4b 与第二导电层 3 之间设置的层间绝缘膜 5c 的膜厚，和在第三导电层 4b 与第一导电层 2 之间设置的层间绝缘膜 5b、5c 的膜厚是不同的。因此，在同时形成接触孔 6a 和接触孔 6b 及接触孔 6c 的情况下，在为形成直至半导体衬底 1 的表面的接触孔 6a 而进行腐蚀的情况下，存在所谓的接触孔 6b 也许会穿透第二导电层 3 达到半导体衬底 1 表面的问题。

在第二导电层 3 的蚀刻速度与层间绝缘膜 5a、5b、5c 之间的蚀刻速

度的差小的情况下,会造成这种穿透现象。例如,多晶硅、掺杂多晶硅的蚀刻速度与层间绝缘膜5c的蚀刻速度之差小。

这样,在现有的器件中,在用与层间绝缘膜5c的腐蚀选择比比较小的材料形成第二导电层3的情况下,接触孔6b会穿透第二导电层3。结果,出现所谓布线层与不同电位的布线层之间、或布线层与半导体衬底之间发生的短路问题。

#### 发明内容

本发明是为了解决上述问题而提出的,其目的在于提供能够防止上述短路的改进的半导体器件。

10 本发明的第一发明涉及一种半导体器件,通过接触孔连接上导电层与下导电层,它包括:第一下导电层;第一层间绝膜,覆盖所述第一下导电层;第二下导电层,在所述第一层间绝缘膜上形成,并在水平方向上从所述第一下导电层偏移;第二层间绝缘膜,在所述第一层间绝缘膜上形成,以覆盖所述第二下导电层;第一接触孔,贯穿所述第一和第二层间绝缘膜以露出所述第一下导电层的表面;第二接触孔,在所述第二层间绝缘膜上形成以露出所述第二下导电层的表面;上导电层,在所述第二层间绝缘膜上形成,并通过所述第一和第二接触孔而与所述第一和第二下导电层连接;阻挡层,在所述第二下导电层之下形成于所述第一层间绝缘膜中,并由硅化物构成。

20 按照本发明,由于在上述半导体衬底的表面与上述下导电层之间,并且在上述接触孔的下位置,设置用硅化物或金属形成的阻挡层,所以即使接触孔穿透下导电层,用阻挡层也能阻止其以上的穿透。

按照第二发明的半导体器件,由于用WSi形成阻挡层,所以使第二层间绝缘膜与阻挡层的腐蚀选择比变高。

25 按照第三发明的半导体器件,用TiSi形成阻挡层。因此,使第二层间绝缘膜与阻挡层的腐蚀选择比变高。

按照第四发明的半导体器件,用WSi/多晶硅的两层形成阻挡层。因此,使第二层间绝缘膜与阻挡层的腐蚀选择比变高。

按照第五发明的半导体器件,使阻挡层与上导电层同电位。因此,即使接触孔穿透下导电层延伸至阻挡层,也能够防止短路。

30 按照第六发明的半导体器件,使阻挡层处于浮置状态。因此,即使接触孔穿透下导电层延伸至阻挡层,也能够防止短路。

#### 附图说明

图1是本发明实施例的半导体器件的剖面图。

图2是说明实施例的半导体器件效果的图。

图3是现有半导体器件的剖面图。

#### 具体实施方式

5 下面，用附图说明本发明的实施例。

图1是本发明实施例的半导体器件的剖面图。半导体器件配有半导体衬底1。在半导体衬底1上设置第一层间绝缘膜5a。在第一层间绝缘膜5a上设置第一导电层2和阻挡层7。下面，说明阻挡层7。

10 在层间绝缘膜5a上设置层间绝缘膜5b，以便覆盖第一导电层2和阻挡层7。在层间绝缘膜5b上设置第二导电层3。在层间绝缘膜5b上设置层间绝缘膜5c，以便覆盖第二导电层3。在层间绝缘膜5a、5b、5c中，设置用于使半导体衬底1的表面露出的接触孔6a。在层间绝缘膜5c中，设置用于使第二导电层3的表面露出的接触孔6b。在层间绝缘膜5b、5c中，设置用于使第一导电层2的表面露出的接触孔6c。

15 在层间绝缘膜5c上设置上导电层4a，以使其穿过接触孔6a与半导体衬底1的表面连接。在层间绝缘膜5c上设置上导电层4b，以使其穿过接触孔6b与第二导电层3连接。上导电层4b还穿过接触孔6c与第一导电层2连接。

20 按照实施例的半导体器件，把阻挡层7设置在半导体衬底1的表面与第二导电层3之间。把阻挡层7设置在接触孔6b的下方位置。阻挡层7与层间绝缘层相比由腐蚀速度非常慢的WSi或TiSi这样的金属硅化物或金属形成。

25 参照图2，按照本实施例的半导体器件，在形成接触孔6a、接触孔6b和接触孔6c时，即使接触孔6b穿透第二导电层3，但由于存在阻挡层7，使接触孔6b不能到达半导体衬底1的表面。因此，即使第三导电层4b被埋在接触孔6b内，也不会发生半导体衬底1与第三导电层4b的短路。

再有，作为阻挡层，也可以由WSi/多晶硅等两种以上的材料叠层构成。多晶硅本身的腐蚀速度与层间绝缘膜5b的腐蚀速度之差虽然小，但由于存在WSi，因而阻挡层7的腐蚀速度在整体上比层间绝缘膜5b的腐蚀速度慢。

30 再有，最好使阻挡层7与第三导电层4同电位。此外，还可以使阻挡层7处于浮置(floating)状态。

还有，在上述实施例中，虽说明了用于避免第三导电层4与半导体衬底

1 之间的短路的装置，但本发明并不仅限于此。也就是说，在阻挡层 7 与半导体衬底 1 之间存在其它导电层的情况下，通过设置阻挡层 7，可防止第三导电层 4 与其它导电层的短路。

5 按照第一发明的半导体器件，在半导体衬底的表面与下导电层之间，并且在接触孔的下方位位置，由于设置了用硅化物或金属形成的阻挡层，所以即使接触孔穿透下导电层，用阻挡层也可防止其以上的穿透。其结果，可实现所谓不发生上导电层与衬底的短路或上导电层与其它层短路的效果。

按照第二发明的半导体器件，由于用 WSi 形成阻挡层，所以可实现所谓使第二层间绝缘膜与阻挡层的腐蚀选择比变高的效果。

10 按照第三发明的半导体器件，由于用 TiSi 形成阻挡层，所以可实现所谓使第二层间绝缘膜与阻挡层的腐蚀选择比变高的效果。

按照第四发明的半导体器件，由于用 WSi/多晶硅的两层形成阻挡层，所以可实现所谓使第二层间绝缘膜与阻挡层的腐蚀选择比变高的效果。

15 按照第五发明的半导体器件，由于使阻挡层与上导电层同电位，所以即使接触孔穿透下导电层延伸至阻挡层，也能够实现所谓的防止短路的效果。

按照第六发明的半导体器件，由于使阻挡层处于浮置状态，所以即使接触孔穿透下导电层延伸至阻挡层，也能够实现所谓的防止短路的效果。

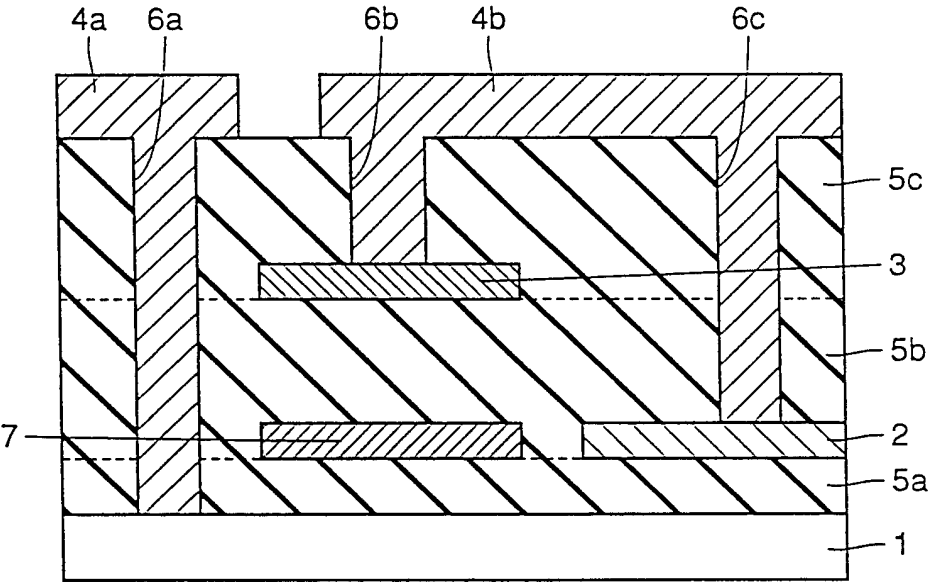


图 1

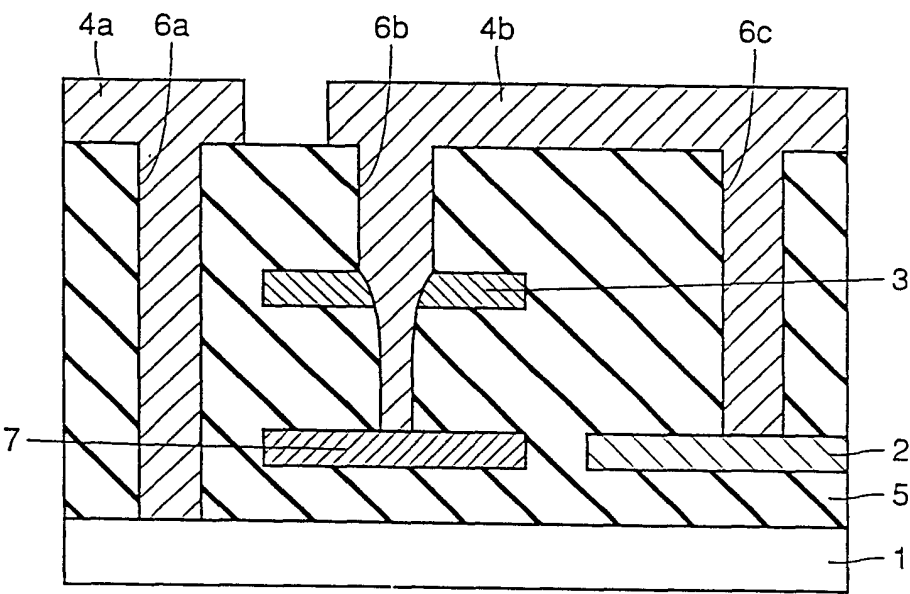


图 2

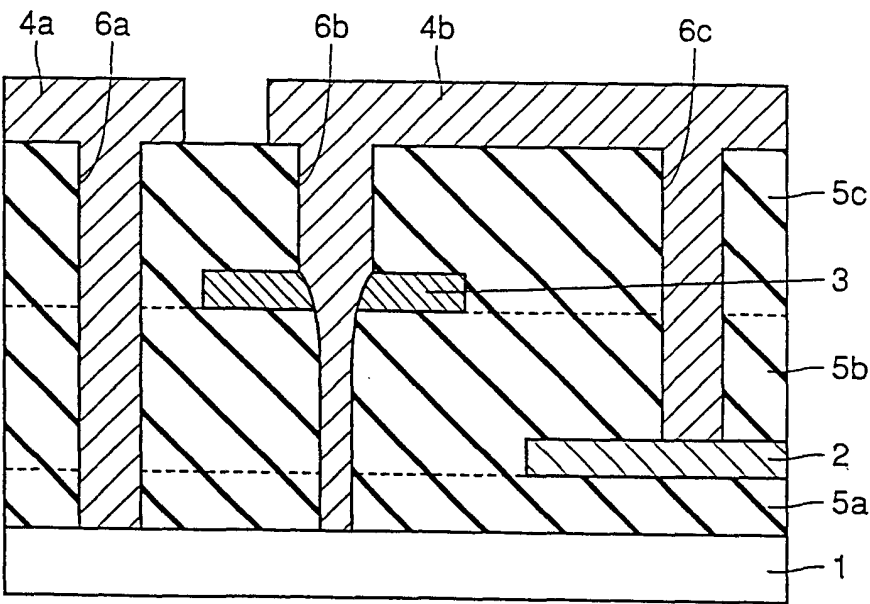


图 3