公告本
315441

申請日期	85 年 2 月 10 日
案號	85101673
類別	G06F 9/06, 13/10

（以上各欄由本局填註）

Int.·Cl[6]

A4
C4 315441

315441

發明 新型 專利說明書

一、發明 新型 名稱	中文	資訊處理裝置
	英文	Information processing apparatus
二、發明 創作 人	姓名	(1) 川口仁 (2) 木村光一 (3) 神牧秀樹
	國籍	(1) 日本 (2) 日本 (3) 日本
	住、居所	(1) 日本國神奈川縣横浜市戸塚區吉田町一五四五富士見寮 (2) 日本國神奈川縣鎌倉市台五－九－二－二〇四 (3) 日本國神奈川縣横浜市磯子區森が丘二－一五－二六－四〇四
三、申請人	姓名（名稱）	(1) 日立製作所股份有限公司 株式会社日立製作所
	國籍	(1) 日本
	住、居所（事務所）	(1) 日本國東京都千代田區神田駿河台四丁目六番地
	代表人姓名	(1) 金井務

裝 訂 線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

315441

申請日期	85 年 2 月 10 日
案號	85101673
類別	

A4
C4

（以上各欄由本局填註）

發明 新型 專利說明書

一、發明 新型 名稱	中文	
	英文	
二、發明 創作 人	姓名	⑷ 田村隆之 ⑸ 小林一司
	國籍	⑷ 日本　　⑸ 日本
	住、居所	⑷ 日本國神奈川縣橫浜市戶塚區吉田町一五四五 ⑸ 日本國神奈川縣海老名市中新田一五二九－一（八〇三）
三、申請人	姓名（名稱）	
	國籍	
	住、居所（事務所）	
	代表人姓名	

裝 訂 線

經濟部中央標準局員工消費合作社印製

315441

（由本局填寫）

承辦人代碼：	
大　　類：	
ＩＰＣ分類：	

A6
B6

本案已向：

國（地區）	申請專利，申請日期：	案號：	，□有 □無主張優先權
日本	1995 年 2 月 15 日	7-026894	☑無主張優先權

有關微生物已寄存於：　　，寄存日期：　　，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝 訂 線

經濟部中央標準局員工消費合作社印製

315441

A5
B5

四、中文發明摘要（發明之名稱：　　）

資訊處理裝置

本案提供一種能夠執行高速記憶體存取的資訊處理裝置。此資訊處理裝置包括一個由同步ＤＲＡＭ裝置構成的記憶體單元，以與供應時鐘訊號同步地輸出資料，以及一個根據ＣＰＵ所發之指令來控制記憶體單元之存取的控制單元。時鐘訊號由控制單元輸出供應給記憶體單元。由控制單元輸出的時鐘訊號供應給記憶體單元、也拉回至控制單元內。控制單元在拉回之時鐘訊號所決定的時序下將儲存單元輸出的資料取入其內。於是，控制單元可降低控制單元輸出資料之延遲與用以決定資料取入時序之時鐘訊號之延遲間的差。

英文發明摘要（發明之名稱：Information processing apparatus　　）

ABSTRACT OF THE DISCLOSURE

An information processing apparatus is provided which is capable of carrying out the higher memory access. The information processing apparatus includes a memory unit of a synchronous DRAM device which serves to output data synchronously with the supplied clock signal, and a control unit for controlling the access to the memory unit in accordance with an instruction issued from a CPU. The clock signal which is to be supplied to the memory unit is outputted from the control unit. The clock signal which has been outputted from the control unit is supplied to the memory unit and also is pulled back to the control unit. The control unit fetches therein the data, which has been outputted from the storage unit, at the timing which is determined on the basis of the pulled back clock signal. As a result, the control unit reduces the difference between a delay of the data which is outputted from the control unit and a delay of the clock signal which is used to determine the timing at which the data is fetched therein.

（請先閱讀背面之注意事項再填寫本頁各欄）

裝　訂　線

經濟部中央標準局員工消費合作社印製

六、申請專利範圍

1．一種資訊處理裝置，包含：

一儲存單元，與供應之時鐘訊號同步地在每一個時鐘周期中輸出資料；

一控制單元，至少用以執行供應時鐘訊號給所述儲存單元及接收資料的處理；

第一接線，時鐘訊號由控制單元經該接線傳送至儲存單元；

第二接線，資料由儲存單元經該接線傳送至控制單元；以及

由第一接線分支出之第三接線，要傳送至儲存單元的時鐘訊號經由該接線而拉回控制單元中，

其中所述控制單元在其內部含有一個資料保存單元，以根據經由第三接線而拉回控制單元中的時鐘訊號，來獲取經由第二接線傳送的資料並暫時保存該資料。

2．如申請專利範圍第1項之資訊處理裝置，其中該控制單元包括一個用以產生時鐘訊號的時鐘產生單元、將時鐘產生單元所產生之時鐘訊號傳送至第一接線的第四接線、以及由第四接線分支出之第五接線，時鐘產生單元所產生之時鐘訊號經由之輸入用以暫時保存資料之資料保存單元中，且該資料保存單元依第五接線之時鐘訊號時序而輸出其中所取得的資料。

3．如申請專利範圍第2項之資訊處理裝置，其中所述控制單元由一個積體電路所構成，且所述第四接線配置在該積體電路內部，該積體電路並具有一個連接第四接線

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

六、申請專利範圍

與第一接線的端子、將拉回控制單元之時鐘訊號取入控制單元內部的端子、以及將第二接線之資料取入控制單元內部的端子。

4．如申請專利範圍第3項之資訊處理裝置，其進一步包含：

一系統定序器，設置在所述控制單元中，以產生控制訊號來指示儲存單元將供應給儲存單元之位址訊號取入其內之時間；

第六接線，系統定序器所產生的控制訊號由控制單元經此接線傳送至儲存單元；以及

由第六接線中間分支出之第七接線，藉之將控制訊號拉回控制單元，

其中以藉由第七接線所拉回的控制訊號作爲始點，所述資料保存單元在相對於拉回之時鐘訊號一段預定時間後，將資料取入其內。

5．如申請專利範圍第4項之資訊處理裝置，其中所述控制單元具有一個輸出控制訊號的端子、和一個輸入經由第七接線拉回之位址訊號的端子。

6．一種資訊處理裝置，包含：

一儲存單元，與供應之時鐘訊號同步地在每一個時鐘周期中輸出資料；以及

一控制單元，至少用以執行供應時鐘訊號給所述儲存單元及接收資料的處理，該控制單元包括用以產生時鐘訊號的時鐘產生單元、將儲存單元輸出的資料取入並暫時保

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

六、申請專利範圍

存該資料的資料保存單元、延遲所產生之時鐘訊號一段預定時間後輸出該時鐘訊號的延遲單元、輸出時鐘訊號給儲存單元的端子、將資料保存單元與所述端子連接的第一內部接線、以及由第一內部接線分支出之第二內部接線，時鐘訊號經第一內部接線由該第二內部接線傳送輸入資料保存單元中，其中該資料保存單元根據經由第二內部接線而輸入的時鐘訊號之時序，來將資料取入其內。

7．一種記憶體控制單元，至少用以執行供應時鐘訊號給儲存單元及接收儲存單元輸出資料的處理，此記憶體控制單元包含：

用以產生時鐘訊號的時鐘產生單元；

輸出時鐘訊號的時鐘端子；

輸入資料的資料端子；

將資料端子輸入的資料取入並暫時保存該資料的資料保存單元；

將時鐘端子輸出的時鐘訊號拉回輸入資料保存單元內的拉回端子；以及

將拉回之時鐘訊號輸入資料保存單元內的內部接線，

其中該資料保存單元根據經由該內部接線輸入的時鐘訊號所決定之時序，來將資料取入其內。

8．一種記憶體控制單元，至少用以執行供應時鐘訊號給儲存單元及接收儲存單元輸出資料的處理，此記憶體控制單元包含：

用以產生時鐘訊號的時鐘產生單元；

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

六、申請專利範圍

輸出時鐘訊號的時鐘端子；

設置在時鐘產生單元與時鐘端子之間的第一緩衝電路；

接收第一緩衝電路之輸出（亦即透過時鐘端子輸出之前的時鐘訊號）作爲輸入的第二緩衝電路；

輸入資料的資料端子；以及

根據由第二緩衝電路輸出的時鐘訊號所決定之時序，來將資料端子輸入的資料取入並暫時保存該資料的資料保存單元。

9．一種資訊處理裝置，包含：

一個處理單元；

一個儲存單元，用以儲存供處理單元存取的資料；

一個控制單元，用以根據處理單元所發之指令，而控制儲存單元之資料讀／寫操作；

第一訊號線，由控制單元輸出用以決定儲存單元之資料輸出時間的控制訊號由控制單元經該第一訊號線傳送至儲存單元；

由第一訊號線中間分支出之第二訊號線，第一訊號線上之控制訊號經該第二訊號線拉回控制單元內；以及

第三訊號線，由儲存單元輸出的資料經由此第三訊號線傳送至控制單元，

其中該控制單元根據經第二訊號線拉回之控制訊號而決定將從第三訊號線接收之資料取入其內的時序。

10．如申請專利範圍第9項之資訊處理裝置，其中

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

六、申請專利範圍

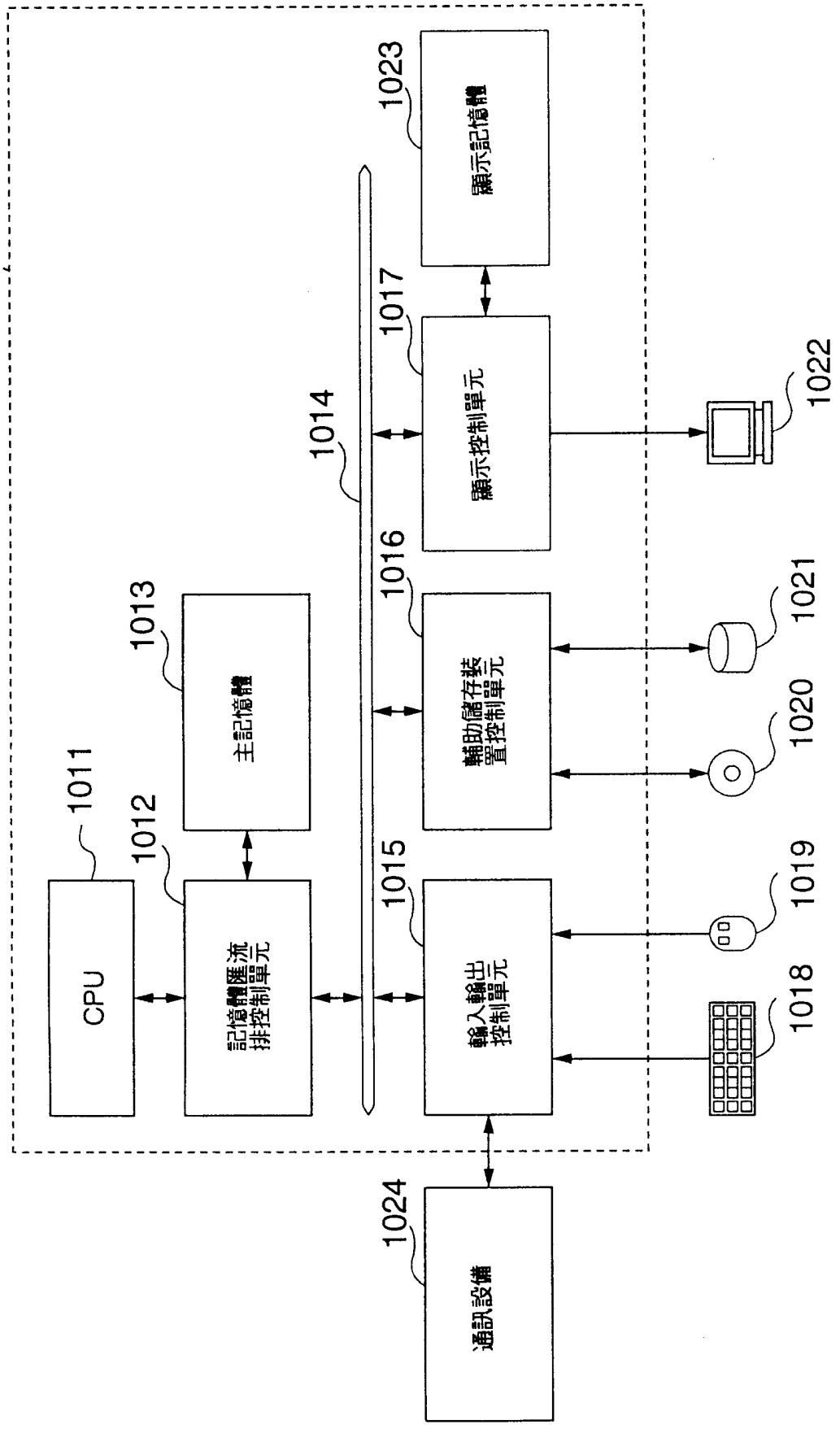
該控制訊號包括一個控制單元中產生的時鐘訊號。

11. 如申請專利範圍第10項之資訊處理裝置，其中該控制訊號進一步包含一個產生於控制單元中，用以決定儲存單元將位址訊號取入其內之時序的控制訊號。

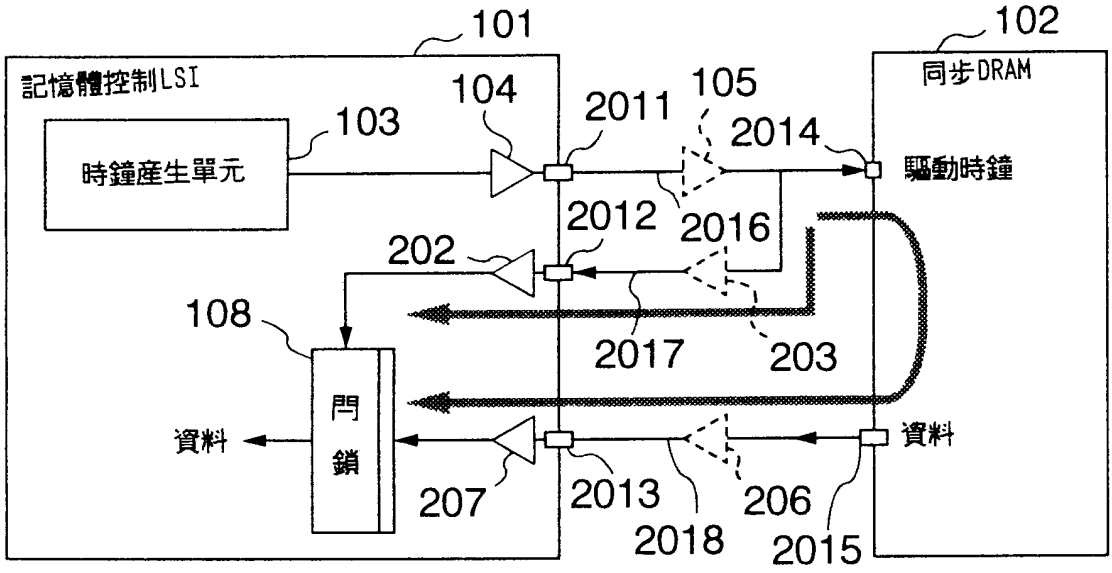
12. 如申請專利範圍第10項之資訊處理裝置，其中該儲存單元包括一個同步DRAM裝置，其接收時鐘訊號作爲輸入，而與時鐘訊號同步地輸出資料，以提供資料儲存裝置的作用。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

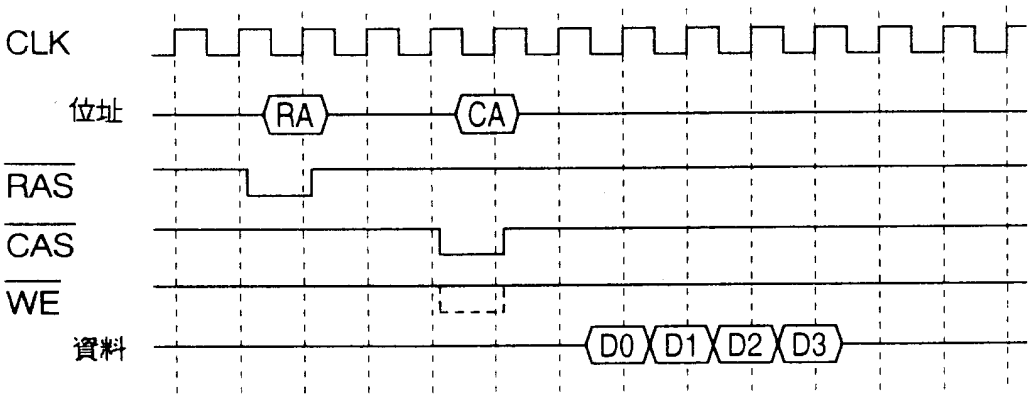
第 1 圖


1001
1011
CPU
1012
記憶體匯流排控制單元
1013
主記憶體
1014
1015
輸入輸出控制單元
1016
輔助儲存裝置控制單元
1017
顯示控制單元
1018
1019
1020
1021
1022
1023
顯示記憶體
1024
通訊設備

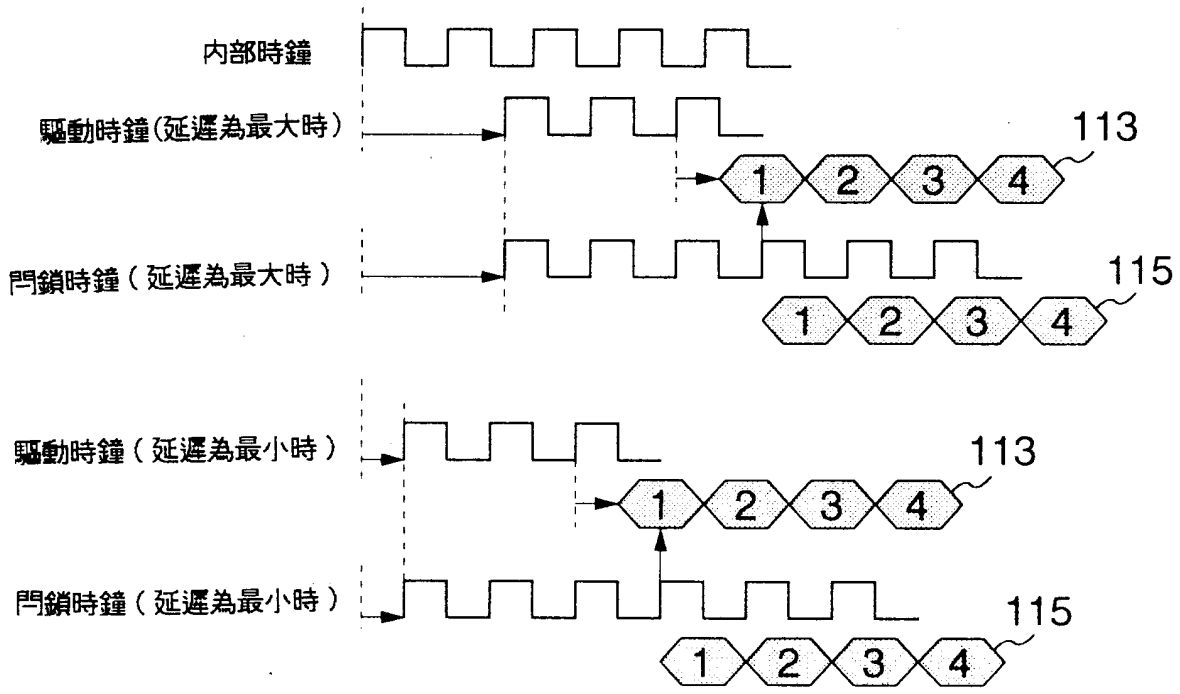
第2圖


101
102
記憶體控制LSI
同步DRAM
104
105
2011
2014
103
時鐘產生單元
驅動時鐘
2012
2016
202
108
2017
203
閂鎖
資料
資料
207
2013
206
2018
2015

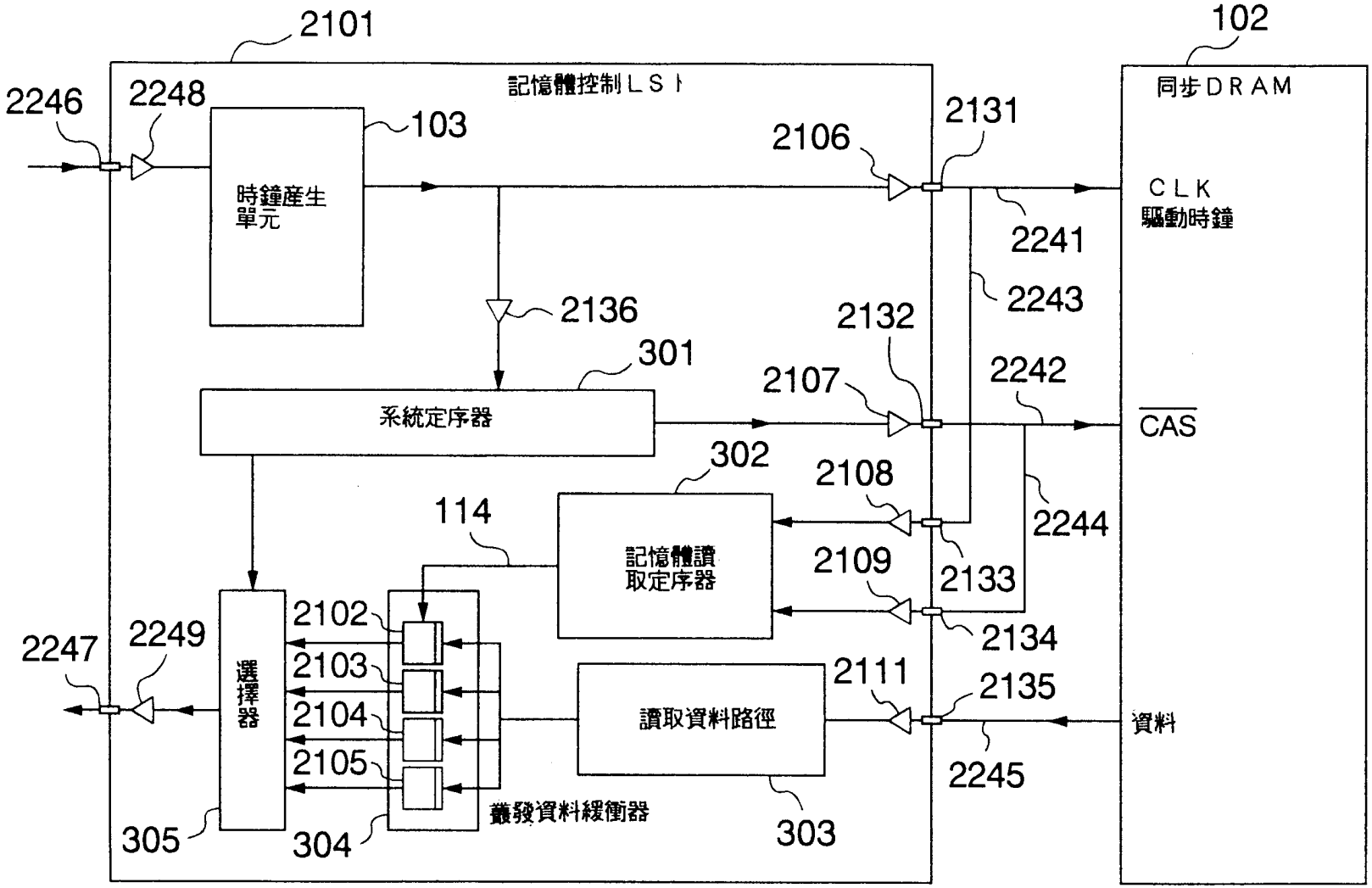
第3圖


CLK
位址
RA
CA
RAS
CAS
WE
資料
D0
D1
D2
D3

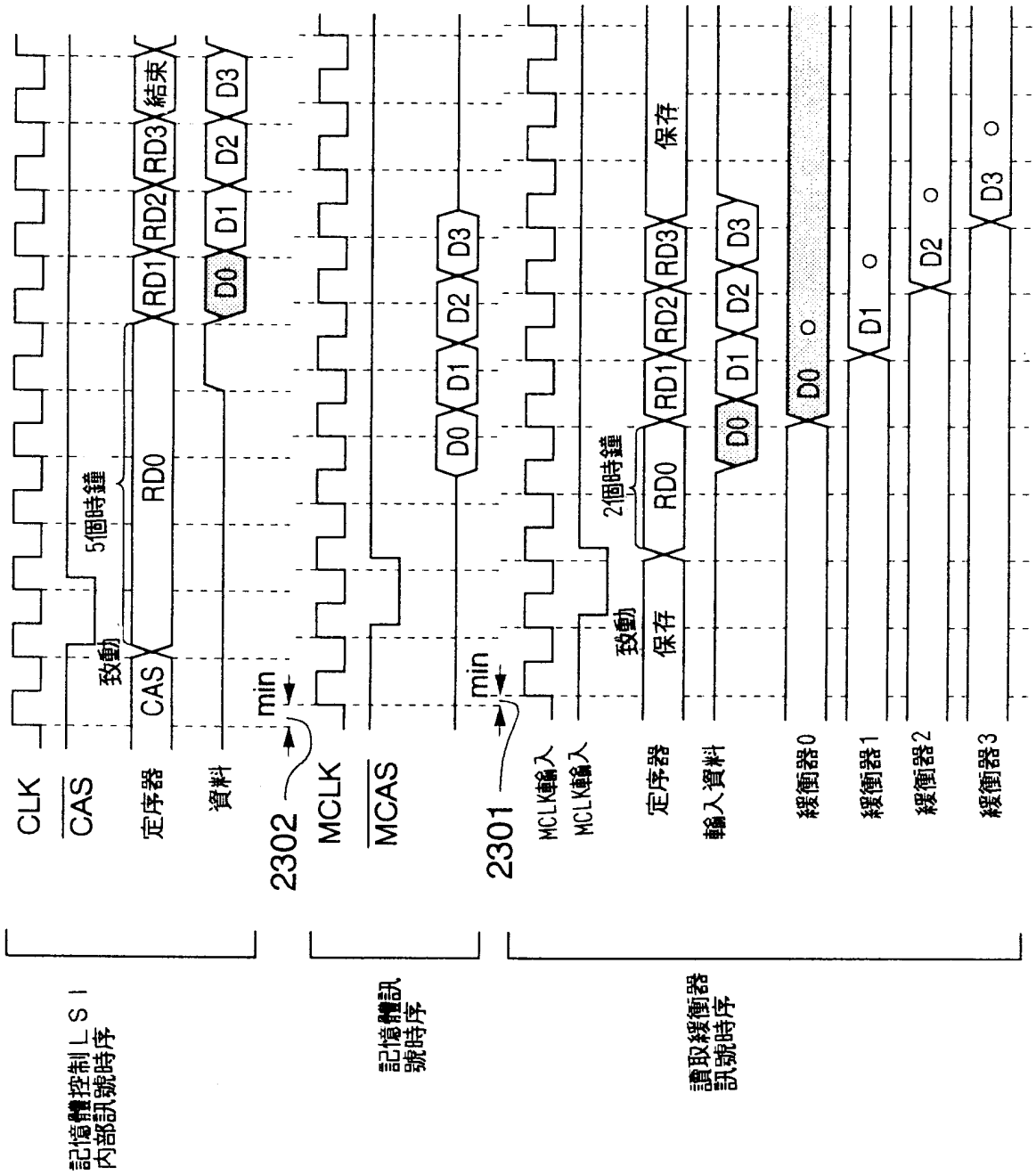
第 4 圖


內部時鐘
驅動時鐘(延遲為最大時)
113
1
2
3
4
閂鎖時鐘（延遲為最大時）
115
1
2
3
4
驅動時鐘（延遲為最小時）
113
1
2
3
4
閂鎖時鐘（延遲為最小時）
115
1
2
3
4

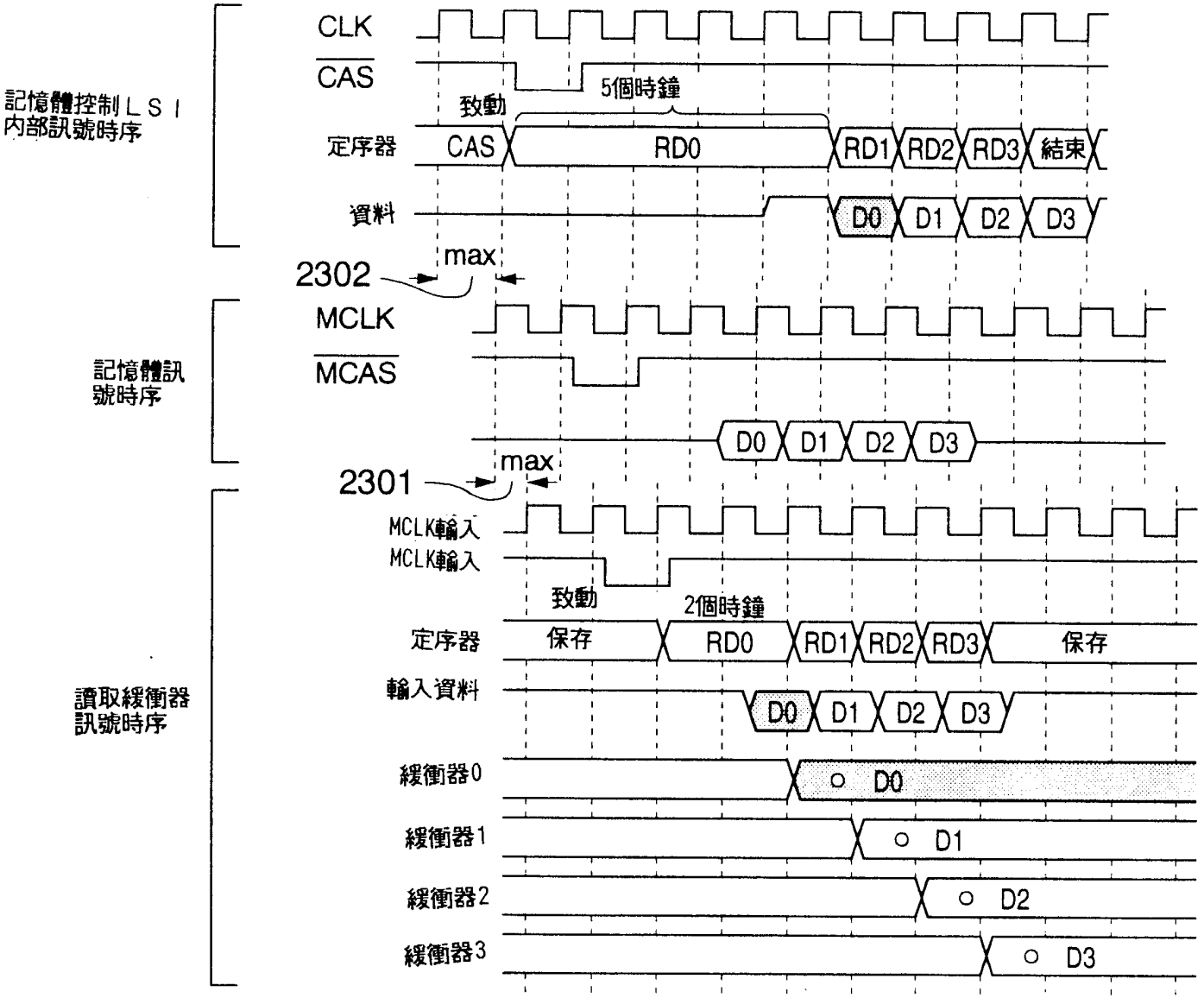
第 5 圖


2101
記憶體控制ＬＳＩ
102
同步ＤＲＡＭ
2246
2248
103
時鐘產生單元
2106
2131
ＣＬＫ
驅動時鐘
2241
2243
2136
2132
301
2107
2242
系統定序器
CAS
302
2108
114
2244
記憶體讀取定序器
2109
2133
2134
2247
2249
2102
2103
2104
2105
選擇器
2111
2135
讀取資料路徑
資料
2245
叢發資料緩衝器
305
304
303

第 6A 圖

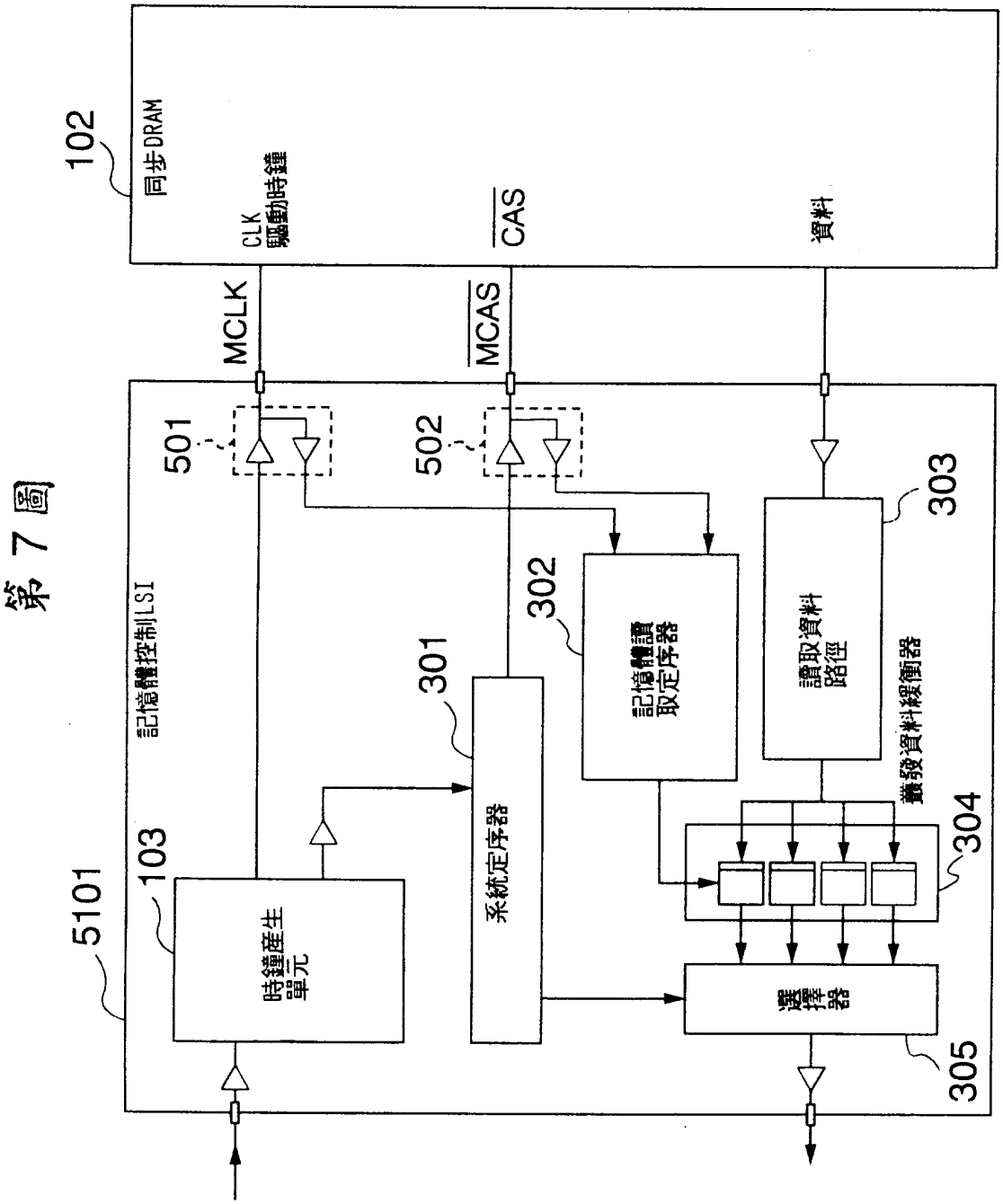

記憶體控制LSI內部訊號時序
CLK
CAS
致動
5個時鐘
定序器
CAS
RD0
RD1
RD2
RD3
結束
資料
D0
D1
D2
D3
min
2302
記憶體訊號時序
MCLK
MCAS
D0
D1
D2
D3
min
2301
讀取緩衝器訊號時序
MCLK輸入
MCLK輸入
致動
2個時鐘
定序器
保存
RD0
RD1
RD2
RD3
保存
輸入資料
D0
D1
D2
D3
緩衝器0
D0
緩衝器1
D1
緩衝器2
D2
緩衝器3
D3

第 6B 圖

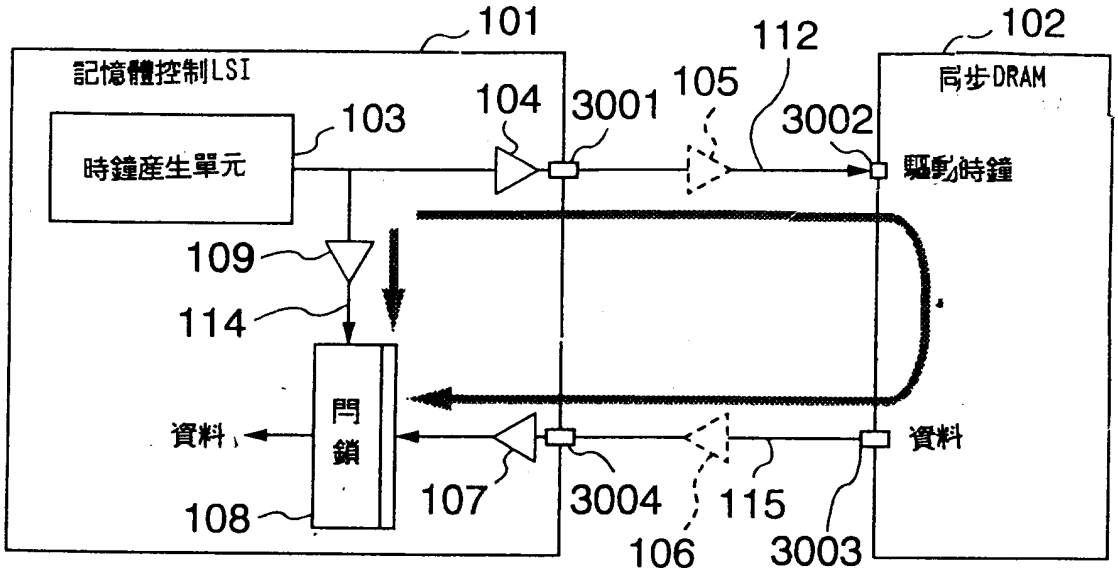

記憶體控制ＬＳＩ
內部訊號時序
CLK
CAS
致動
5個時鐘
定序器
CAS
RD0
RD1
RD2
RD3
結束
資料
D0
D1
D2
D3
max
2302
記憶體訊
號時序
MCLK
MCAS
D0
D1
D2
D3
max
2301
讀取緩衝器
訊號時序
MCLK輸入
MCLK輸入
致動
2個時鐘
定序器
保存
RD0
RD1
RD2
RD3
保存
輸入資料
D0
D1
D2
D3
緩衝器0
D0
緩衝器1
D1
緩衝器2
D2
緩衝器3
D3

315441

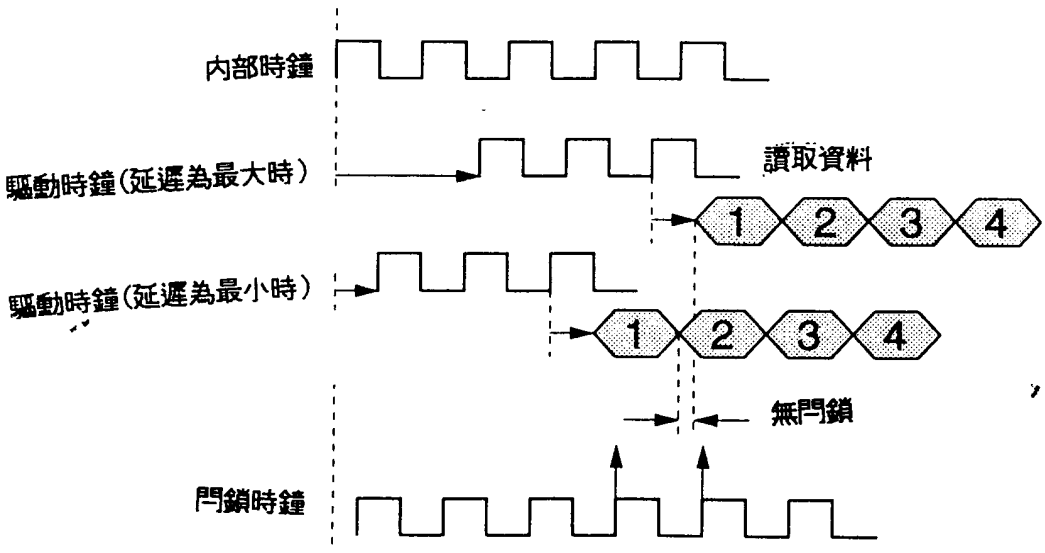
第 7 圖


102
同步DRAM
CLK
驅動時鐘
CAS
資料
MCLK
MCAS
501
502
303
302
301
記憶體讀
取定序器
讀取資料
路徑
5101
103
記憶體控制LSI
時鐘產生
單元
系統定序器
304
叢發資料緩衝器
選
擇
器
305

第 8A 圖


101
記憶體控制LSI
103
時鐘產生單元
104
3001
105
112
3002
102
同步DRAM
驅動時鐘
109
114
閂鎖
資料
108
107
3004
106
115
3003
資料

第 8B 圖


內部時鐘
驅動時鐘(延遲為最大時)
讀取資料
1
2
3
4
驅動時鐘(延遲為最小時)
1
2
3
4
無閂鎖
閂鎖時鐘

五、發明說明(1　)

發明背景：

發明領域

本發明大體有關於一種如個人電腦、工作站等之資訊處理裝置，並且特別有關於一種控制此種裝置中所設記憶體的方法。

相關技藝說明：

近年來，如個人電腦、工作站等之資訊處理裝置不斷朝小型化和高性能方面發展。在半導體製程技術的進步之下，構成資訊處理裝置主要單元的微處理器之性能有長足的進展，而產生能夠在高操作頻率下呈現高性能、且保持低耗損功率的產品。隨著微處理器性能的快速進展，乃需要能夠配合微處理器之改進性能的記憶體。於是，市面上遂出現一種新的記憶體裝置，此即同步動態隨機存取記憶體裝置（後文中簡稱「同步ＤＲＡＭ裝置」），以補償微處理器與記憶體裝置間之性能差距。

同步ＤＲＡＭ裝置之功能爲因應讀取資料的請求而於每一個時鐘周期中與給定驅動時鐘訊號同步地執行讀取資料的操作，且具有能夠配合微處理器高操作頻率的特性。目前已經能夠製造出可配合１００ＭＨｚ驅動時鐘頻率（一個時鐘訊號對應於１０ｎｓ）的同步ＤＲＡＭ裝置。至於此種記憶體的控制方法，例如可參見 JP-B-60-3699 所揭示的技術。

將上述同步ＤＲＡＭ裝置應用於資訊處理裝置之記憶

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明(2　)

體系統中時，爲求控制記憶體之ＬＳＩ的輸入輸出緩衝能夠獲得高性能，必須將溫度、電源電壓、和同步ＤＲＡＭ裝置中因應操作環境改變而生之特性變化等均列入考慮。因操作環境改變而生之同步ＤＲＡＭ裝置特性變化對於同步ＤＲＡＭ裝置要達成高操作性能而言是一項障礙，因此目前實際記憶體系統的驅動時鐘頻率是限制在約３３ＭＨｚ（一個時鐘訊號對應於３０ｎｓ）。所以，可以說在目前狀況下，尚無法對同步ＤＲＡＭ裝置的高速讀取讀取性能達成最佳的利用。

發明節要：

本發明目的之一便是要提供一種資訊處理裝置，而能夠與操作環境改變無關地，根據高頻驅動時鐘訊號來從同步ＤＲＡＭ裝置中讀取資料。

根據本發明，資訊處理裝置係包括一個儲存資料的記憶體單元和一個控制記憶體單元之資料讀取／寫入操作的控制單元。根據較佳之實施內容，該記憶體單元與輸入時鐘訊號同步地輸出資料。在記憶體單元和記憶體控制單元之間個別分佈了將時鐘訊號由控制單元傳送至記憶體單元的第一接線、將資料由記憶體單元傳送至記憶體控制單元的第二接線、以及由第一接線分支出，以將時鐘訊號拉回記憶體控制單元的第三接線。記憶體控制單元包括一個儲存單元，以根據經由第三接線拉回之時鐘訊號而在其所決定的時間下儲存從記憶體單元讀取的資料。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明(3　)

更詳言之，第三接線由第一接線分支出之處係設置在記憶體單元附近，時鐘訊號恰在傳送至儲存單元之前被拉回控制單元，而控制單元便於該時鐘訊號之時間獲取儲存單元內的資料。

與時鐘訊號同步地從儲存單元輸出傳送至控制單元的資料、以及經由第三接線拉回至控制單元的時鐘訊號，均含有因接線造成的延遲和因控制單元內部電路所造成的延遲。雖然這些延遲會因爲環境改變而改變，但這些延遲會包含在傳送給控制單元的資料及所拉回的時鐘訊號中，而使資料延遲與所拉回時鐘訊號的延遲會與環境改變有相同的改變趨勢。因此，可以降低資料延遲與時鐘訊號延遲之間的變動差異。於是，與時鐘訊號同步輸出的資料總是可以在相同的時間下寫入儲存單元中，而與環境改變無關；故可增加時鐘頻率。所以，可以構成能夠以高速從儲存單元中取得資料的資訊處理裝置。

圖式之簡要說明：

圖１爲方塊圖，示出根據本發明之資訊處理裝置結構實施例；

圖２爲方塊圖，示出主記憶體１０１３與記憶體匯流排控制單元１０１２之間的連接結構；

圖３爲時間圖，示出同步ＤＲＡＭ裝置１０２讀取資料之時序；

圖４爲時間圖，示出所讀取資料之閂鎖時間；

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（4　）

圖５爲方塊圖，示出主記憶體與記憶體匯流排控制單元間之連接結構的另一例；

圖６Ａ爲時間圖，示出當供應給同步ＤＲＡＭ裝置之驅動時鐘的延遲爲最小時，讀取資料之操作情形；

圖６Ｂ爲時間圖，示出當供應給同步ＤＲＡＭ裝置之驅動時鐘的延遲爲最大時，讀取資料之操作情形；

圖７爲方塊圖，示出主記憶體與記憶體匯流排控制單元間之連接結構的再另一例；

圖８Ａ爲方塊圖，示出應用一般記憶體控制方法時，主記憶體與記憶體匯流排控制單元間之連接結構；

圖８Ｂ爲時間圖，示出所讀取資料之閂鎖時間。

較佳實施例之說明：

以下參照附圖來說明本發明的實施例。

圖１爲方塊圖，示出根據本發明之資訊處理裝置實施例的結構。如圖１所示，本實施例之資訊處理裝置１００１包括（但不限於）ＣＰＵ１０１１、記憶體匯流排控制單元１０１２、及主記憶體１０１３。記憶體匯流排控制單元１０１２連接至匯流排１０１４。ＣＰＵ１０１１與主記憶體１０１３兩者均經由記憶體匯流排控制單元１０１２而連接至匯流排１０１４。除此之外，輸入輸出控制單元１０１５、輔助儲存裝置控制單元１０１６、顯示控制單元１０１７和顯示記憶體１０２３亦分別連接至匯流排１０１４。設置在資訊處理裝置外部的鍵盤

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（5）

1018、滑鼠1019、及通訊設備1024分別連接至輸入輸出控制單元1015。外部儲存裝置－－光碟1020與硬碟1021分別與輔助儲存裝置控制單元1016連接。此外，有一個顯示器1022與顯示控制單元1017連接。

圖2爲方塊圖，示出主記憶體1013與記憶體匯流排控制單元1012之間的連接結構。圖中，參考數字102表示一個同步DRAM裝置，此裝置構成主記憶體1013之儲存裝置。參考數字101表示記憶體控制LSI，作爲控制同DRAM裝置102之資料輸入／輸出操作的電路。記憶體控制LSI101設置在記憶體匯流排控制單元1012內。雖然在本實施例中記憶體控制LSI101係由一個LSI構成，不過應了解的是，並不一定必要爲一個LSI，而記憶體控制LSI101可與用以控制CPU1011之資料輸入／輸出操作的輸入輸出控制器等組合構成一個LSI。

記憶體控制LSI101包括（但不限於）時鐘產生單元103、輸出緩衝器104、輸入緩衝器202與207、以及資料閂鎖108。輸出緩衝器104和兩個輸入緩衝器202與207均具有延遲訊號一段預定時間才輸出該訊號的功能。參考數字2011表示用以輸出時鐘產生單元103所產生之時鐘訊號的接腳，而參考數字2012表示從外部獲取時鐘訊號的接腳。此外，參考數字2013表示用以接收同步DRAM裝置102之輸出

（請先閱讀背面之注意事項再填寫本頁）

訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明(6)

資料的接腳。又，雖然圖2中未示出，不過記憶體控制LSI101除上述之外尚包括至少一個用以產生控制訊號（諸如列位址閃控訊號（RAS）、行位址閃控訊號（CAS）與寫入致能訊號（WE））的電路、用以將從CPU1011接收的資料傳送至同步DRAM裝置102的電路、以及分別輸入／輸出上述訊號的接腳。另一方面，同步DRAM裝置102係與外部供應的時鐘訊號之前緣同步操作的DRAM裝置，因此包括一個用以輸入時鐘訊號的接腳2014、和一個用以輸出資料至外部的接腳2015。後文中，將供應給同步DRAM裝置102之接腳2014的時鐘訊號稱爲驅動時鐘訊號。除此之外，雖然圖中並未特別示出，不過同步DRAM裝置102包括有用以分別輸入／輸出列位址閃控訊號（RAS）、行位址閃控訊號（CAS）、寫入致能訊號（WE）、和位址訊號的接腳。同步DRAM裝置102之接腳2014經由接線2016而連接至記憶體控制LSI101之接腳2011，因此由時鐘產生單元103所產生的時鐘訊號便從接腳2014輸入成爲驅動時鐘訊號。又，從接腳2015輸出的資料經由接線2018傳輸，經過接腳2013輸入記憶體控制LSI101內。在本實施例中，由記憶體控制LSI101供應給同步DRAM裝置102的驅動時鐘訊號被拉回記憶體控制LSI101，以供使用作爲閂鎖時鐘訊號。爲達此目的，從設置在記憶體控制

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明(7)

ＬＳＩ１０１之接腳２０１１與同步ＤＲＡＭ裝置１０２之時鐘接腳２０１４之間之接線２０１６中間分支出接線２０１７。由接線２０１６中間分支出之接線２０１７連接至記憶體控制ＬＳＩ１０１之接腳２０１２。藉由接線２０１７之設置，從接腳２０１１輸出的時鐘訊號可再次被拉回記憶體控制ＬＳＩ１０１的內部。附帶提及，在圖２中，參考數字１０５、２０３與２０６分別表示接線２０１６、２０１７與２０１８上的接線延遲。

圖３爲時間圖，示出同步ＤＲＡＭ裝置１０２讀取資料之時序。同步ＤＲＡＭ裝置１０２於驅動時鐘訊號（ＣＬＫ）的前緣處判斷列位址閃控訊號（ＲＡＳ）、行位址閃控訊號（ＣＡＳ）與寫入致能訊號（ＷＥ）之值。根據位址訊號（分成列訊號與行訊號），對同步ＤＲＡＭ裝置１０２執行資料位址之指派。同步ＤＲＡＭ裝置１０２從其內獲取於ＲＡＳ訊號位於低位準時供應的位址作爲列位址，並獲取於ＣＡＳ訊號位於低位準時供應的位址作爲行位址。此外，如圖３所示，同步ＤＲＡＭ裝置１０２可以與驅動時鐘訊號（ＣＬＫ）同步地連續輸出資料。例如，在能夠配合１００ＭＨｚ頻率之驅動時鐘訊號的同步ＤＲＡＭ裝置中，由驅動時鐘訊號前緣至新資料輸出時點間的存取時間爲９ｎｓ，因此可以每１０ｎｓ便讀取一次新的資料。

以下就ＣＰＵ１０１１從主記憶體１０１３讀取資料的操作情形來加以說明。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

85年12月31日 修正補充

五、發明說明（8）

ＣＰＵ１０１１指示記憶體匯流排控制單元１０１２從主記憶體１０１３中讀取資料。之後，設置在記憶體匯流排控制單元１０１２內的記憶體控制ＬＳＩ１０１於設置在記憶體控制ＬＳＩ１０１內的時鐘產生單元１０３中產生參考時鐘訊號。接著，該參考時鐘訊號從接腳２０１１經由輸出緩衝器１０４輸出至外部，再經由時鐘接腳２０１４輸入同步ＤＲＡＭ裝置１０２中作爲驅動時鐘訊號（ＣＬＫ）。此外，記憶體控制ＬＳＩ１０１將ＲＡＳ訊號與ＣＡＳ訊號兩者供應給同步ＤＲＡＭ裝置１０２。接著，同步ＤＲＡＭ裝置１０２以驅動時鐘訊號的前緣爲始點而判斷ＲＡＳ訊號與ＣＡＳ訊號兩者之值，並從資料輸出接腳２０１５輸出新的資料。此資料由記憶體控制ＬＳＩ１０１之接腳２０１３經由接線２０１８輸入，再經由輸入緩衝器２０７供應給記憶體控制ＬＳＩ１０１內的資料閂鎖１０８。此外，從接腳２０１１輸出的驅動時鐘訊號經由從接線２０１６中間分支出之接線２０１７而被拉回，並經由接腳２０１２而輸入記憶體控制ＬＳＩ１０１的內部。拉回記憶體控制ＬＳＩ１０１內的時鐘訊號經由輸入緩衝器２０２供應給資料閂鎖１０８（後文中將拉回記憶體控制ＬＳＩ１０１內的時鐘訊號簡稱爲閂鎖時鐘訊號）。資料閂鎖１０８於閂鎖時鐘訊號前緣的時點處閂鎖住經由接腳２０１３輸入的資料。閂鎖在資料閂鎖１０８內的資料接著於另一個對應於ＣＰＵ１０１１之時鐘訊號的時間中傳送至

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明(9)

ＣＰＵ１０１１。或者，該資料根據ＣＰＵ１０１１所發的命令而傳送給如輸入輸出控制單元１０１５、輔助儲存裝置控制單元１０１６和顯示控制單元１０１７等之週邊電路。接著，傳送給上述週邊電路的資料由通訊設備１０２４傳輸至外部設備，例如儲存在硬碟１０２１內、或顯示在顯示器１０２２上。

如上所述，在本實施例中，供應給同步ＤＲＡＭ裝置１０２的驅動時鐘訊號被拉回記憶體控制ＬＳＩ１０１中，而用以作爲閂鎖同步ＤＲＡＭ裝置１０２輸出資料的時鐘訊號。輸入給資料閂鎖１０８之資料相對於驅動時鐘訊號的延遲（亦即輸入給資料閂鎖１０８之資料相較於供應給接腳２０１４之驅動時鐘訊號之延遲時間）與閂鎖驅動時鐘訊號相對於驅動時鐘訊號的延遲（亦即供應給資料閂鎖１０８之閂鎖時鐘相較於供應給給接腳２０１４之驅動時鐘訊號之延遲時間）兩者間的差爲接線延遲２０６與２０３之間的差加上因輸入緩衝器２０２造成的延遲和因輸入緩衝器２０７造成的延遲之間的差之總和。由於上述各延遲對於操作環境改變（如室溫變化等）之因應趨勢相同，故因爲操作環境所致之資料延遲和閂鎖時鐘訊號延遲間的差很小。因此，如圖４所示，於驅動時鐘延遲爲最大和驅動時鐘延遲爲最小時，資料和閂鎖時鐘訊號間的時間關係仍保持爲接近一定（圖中參考數字１１３表示資料從同步ＤＲＡＭ裝置１０２輸出的時間，而參考數字１１５表示資料從資料閂鎖１０８輸出的時間）。爲了在所有時

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明(10)

間中均於相同的時點處閂鎖住資料，時鐘周期必須大於資料延遲和閂鎖時鐘訊號延遲間之差。根據本實施例之結構，可使該差值小於同步ＤＲＡＭ裝置１０２所能處理的最小周期。於是，驅動時鐘訊號便可設定於同步ＤＲＡＭ裝置所能配合之最大時脈頻率，而且可以達成一位址／一時鐘之分段，使同步ＤＲＡＭ裝置的功能能夠完全發揮。

圖５爲方塊圖，示出在本發明之另一實施例中，主記憶體１０１３與記憶體匯流排控制單元１０１２間之連接結構。在本實施例中，記憶體控制ＬＳＩ的結構與圖２所示記憶體控制ＬＳＩ的結構不同。記憶體控制ＬＳＩ２１０包括（但不限於）時鐘產生單元１０３、系統定序器３０１、記憶體讀取定序器３０２、讀取資料路徑３０３、叢發資料緩衝器３０４、和選擇器３０５。附帶提及，在本實施例中，資訊處理裝置的整體結構與圖１所示者相較並無大幅改變。

時鐘產生單元１０３接收由ＣＰＵ經由接腳２２４６和輸入緩衝器２２４８輸入之訊號，而產生參考時鐘訊號。接著，所產生的參考時鐘訊號經過輸出緩衝器２１０６而從接腳２１３１輸出，再經接線２２４１輸入同步ＤＲＡＭ裝置１０２內作爲驅動時鐘訊號。此外，參考時鐘訊號亦經由時鐘緩衝器２１３６輸入系統定序器３０１內。接著，系統定序器３０１根據經由時鐘緩衝器２１３６輸入其內的參考時鐘訊號而產生ＣＡＳ訊號。系統定序器３０１所產生的ＣＡＳ訊號經由輸出緩衝器

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明(11)

２１０７從接腳２１３２輸出，再經由接線２２４２輸入同步ＤＲＡＭ裝置１０２之內。同步ＤＲＡＭ裝置１０２便與驅動時鐘同步地輸出資料。

同步ＤＲＡＭ裝置１０２輸出的資料經由接線２２４５傳送，再經接腳２１３５輸入記憶體控制ＬＳＩ２１０１。接著，從接腳２１３５輸入的資料通過輸入緩衝器２１１１，在讀取資料路徑３０３中經過誤差檢視後，輸入叢發資料緩衝器３０４。

從接腳２１３１輸出的驅動時鐘訊號被拉回記憶體控制ＬＳＩ２１０１內；其通過從接線２２４１中間分支出之接線２２４３，再經由接腳２１３３而爲記憶體控制ＬＳＩ２１０１取還。接著，記憶體控制ＬＳＩ２１０１經接腳２１３３取還的驅動時鐘訊號經由輸入緩衝器２１０８供應給記憶體讀取定序器３０２。相似地，由接腳２１３２輸出的ＣＡＳ訊號亦經由接線２２４４而被拉回記憶體控制ＬＳＩ２１０１內，再經由接腳２１３４和輸入緩衝器２１０９而供應給記憶體讀取定序器３０２。然後，記憶體讀取定序器３０２根據拉回的時鐘訊號來判斷拉回的ＣＡＳ訊號，並在偵測ＣＡＳ訊號後，於經過兩個時鐘之後，於每一個時脈中輸出一個訊號給訊號線１１４。在叢發資料緩衝器３０４中設置有數目與同步ＤＲＡＭ裝置１０２之連續存取長度對應的緩衝器（在本實施例中是四個緩衝器２１０２，２１０３，２１０４與２１０５）。根據記憶體讀取定序器３０２經由訊號線

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明(12)

１１４所供應的訊號之時序，同步ＤＲＡＭ裝置１０２所連續輸出的資料便依序儲存於各緩衝器中。例如，在同步ＤＲＡＭ裝置１０２連續輸出四個資料Ｄ０，Ｄ１，Ｄ２與Ｄ３的情形下，資料Ｄ０，Ｄ１，Ｄ２與Ｄ３便分別儲存在緩衝器２１０２，２１０３，２１０４與２１０５之內。

系統定序器３０１在經由時鐘緩衝器２１３６所供應的參考時鐘訊號之時序下，於所產生之ＣＡＳ訊號經過五個時鐘訊號後，在每一個時脈中輸出訊號。選擇器３０５根據該訊號而切換，使設置在叢發資料緩衝器３０４中之緩衝器２１０２至２１０５內儲存的資料依序輸出。選擇器３０５所選擇的資料經輸出緩衝器２２４９而由接腳２２４７輸出。

圖６Ａ與６Ｂ爲時間圖，分別示出本實施例中之訊號時序。圖６Ａ示出供應給同步ＤＲＡＭ裝置１０２之驅動時鐘訊號的延遲爲最小時，記憶體控制ＬＳＩ內部的基本時序、記憶體側的訊號時序（記憶體訊號時序）、以及記憶體控制ＬＳＩ側讀取資料之訊號時序（讀取緩衝器訊號時序）。就基本時序而言，圖中分別示出時鐘產生單元１０３中所產生的參考時鐘訊號（ＣＬＫ）之時序、系統定序器３０１中所產生的ＣＡＳ訊號之時序、供應給選擇器３０５的切換訊號之時序、以及經由選擇器３０５輸出之資料的時序。就記憶體訊號時序而言，圖中自上至下分別示出輸入同步ＤＲＡＭ裝置１０２之驅動時鐘訊號（

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明(13)

ＭＣＬＫ）的時序、輸入其中之ＣＡＳ訊號（ＭＣＡＳ）之時序、以及由同步ＤＲＡＭ裝置１０２輸出之資料的時序。又，就讀取緩衝器訊號時序而言，圖中自上至下分別示出供應給記憶體定序器３０２的時鐘訊號（ＭＣＬＫ　ＩＮ）之時序、供應給記憶體定序器３０２的ＣＡＳ訊號（ＭＣＡＳ　ＩＮ）之時序、由記憶體定序器３０２輸出之切換訊號的時序、輸入讀取資料路徑３０３之輸入資料的時序、以及緩衝器２１０２，２１０３，２１０４與２１０５內的資料狀態。另外，圖６Ｂ則以與圖６Ａ相同的方式示出供應給同步ＤＲＡＭ裝置１０２之驅動時鐘訊號的延遲爲最大時，記憶體控制ＬＳＩ內部的基本時序、記憶體訊號時序、以及讀取緩衝器訊號時序。在圖６Ａ與６Ｂ中，參考數字２３０２表示驅動時鐘訊號相對於參考時鐘訊號的延遲，而參考數字２３０１表示供應給記憶體定序器之時鐘訊號相對於驅動時鐘訊號的延遲。

在本實施例中，記憶體控制ＬＳＩ設有兩個端子，此即接腳２１３３與２１３４，以供利用這些端子來將供應給同步ＤＲＡＭ裝置１０２的時鐘訊號與ＣＡＳ訊號兩者拉回記憶體控制ＬＳＩ２１０１中。接著，根據拉回記憶體控制ＬＳＩ２１０１內的時鐘訊號（ＭＣＬＫ　ＩＮ）與ＣＡＳ訊號（ＭＣＡＳ　ＩＮ）兩者，來決定叢發資料緩衝器３０４的取還時間。拉回記憶體控制ＬＳＩ２１０１之訊號（ＭＣＬＫ　ＩＮ）相對於驅動時鐘訊號（ＭＣＬＫ）的延遲２３０１、和輸入讀取資料路

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明(14)

徑３０３之資料相對於驅動時鐘訊號（ＭＣＬＫ）的延遲，係由於記憶體控制ＬＳＩ２１０１和同步ＤＲＡＭ裝置１０２之間的接線，以及輸入緩衝器所造成。這兩項延遲對於操作環境改變（如室溫變化等）之因應趨勢相同，故即使驅動時鐘訊號（ＭＣＬＫ）相對於參考時鐘訊號（ＣＬＫ）之延遲２３０２因爲操作環境改變（如室溫變化等）而大幅改變，上述兩延遲間之差的改變仍然很小。亦即，這表示即使降低驅動時鐘訊號周期，仍可不受操作環境改變影響而在所有時間內均以大致相同的時序來在各緩衝器內儲存資料。因此，驅動時鐘訊號頻率便可設定於同步ＤＲＡＭ裝置所能配合之最大頻率，而可達成高速讀取操作。

圖７爲方塊圖，示出在本發明之再另一實施例中，主記憶體１０１３與記憶體匯流排控制單元１０１２間之連接結構。

在圖７所示結構中，與先前圖５所示實施例的不同點在於，拉回驅動時鐘訊號與ＣＡＳ訊號至記憶體控制ＬＳＩ５１０１之記憶體讀取定序器３０２中，以將驅動時鐘訊號與ＣＡＳ訊號供應給記憶體讀取定序器３０２的達成方式，不是從記憶體控制ＬＳＩ５１０１外部拉回，而是在輸出至記憶體控制ＬＳＩ５１０１外部之前，分別藉由雙向緩衝器５０１與５０２來拉回。在圖７所示結構中，有供應給記憶體讀取定序器３０２的時鐘訊號與ＣＡＳ訊號相對於由記憶體控制ＬＳＩ５１０１輸出的時

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（15）

鐘訊號與ＣＡＳ訊號而言，含有因爲輸入輸出緩衝器５０１與５０２所造成的延遲。因此，時鐘訊號延遲與ＣＡＳ訊號延遲和資料延遲之間的差很小，因此與圖５所示實施例的情形相同，可增加驅動時鐘訊號的頻率。不過，在本實施例中，供應給記憶體讀取定序器３０２的ＣＡＳ訊號中並未含有記憶體控制ＬＳＩ５１０１與同步ＤＲＡＭ裝置１０２間之接線所造成的延遲。因此，驅動時鐘訊號的最大頻率必須設定爲較圖５所示實施例爲低的數值。另一方面，在本實施例中，則可無需設置從記憶體控制ＬＳＩ５１０１外部拉回這些訊號所需的輸入輸出接腳（圖５所示記憶體控制ＬＳＩ２１０１之接腳２１３３與２１３４），因此可提供減少記憶體控制ＬＳＩ接腳數目的優點。

以下比較上述實施例來說明應用一般記憶體控制方法的記憶體系統。圖８Ａ爲方塊圖，應用一般記憶體控制方法之記憶體系統的結構。圖８所示之記憶體系統對應於前述圖２所示實施例。

在圖８Ａ所示記憶體系統中，設置在記憶體控制ＬＳＩ１０１內之時鐘產生單元１０３所產生的參考時鐘訊號經由輸出緩衝器１０４而從接腳３００１輸出至外部。接著，由接腳３００１輸出的參考時鐘訊號被供應至接腳３００２，作爲同步ＤＲＡＭ裝置１０２的驅動時鐘訊號。之後，同步ＤＲＡＭ裝置１０２以驅動時鐘訊號的前緣作爲始點而於接腳３００３輸出新的資料。然後，同步

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明(16)

ＤＲＡＭ裝置１０２所輸出的資料輸入記憶體控制ＬＳＩ１０１之接腳３００４。記憶體控制ＬＳＩ１０１經由接腳３００４獲取的資料經由輸入緩衝器１０７而供應給資料閂鎖１０８。以時鐘產生單元１０３所產生並通過時鐘緩衝器１０９之參考時鐘訊號作爲閂鎖時鐘訊號，資料閂鎖１０８在閂鎖時鐘訊號前緣的時點閂鎖住輸入資料。此時，因輸出緩衝器１０４所造成相對於時鐘產生單元１０３所產生參考時鐘訊號之延遲、與因基體上之接線負載１０５所造成相對於時鐘產生單元１０３所產生參考時鐘訊號之延遲，均加入供應給同步ＤＲＡＭ裝置１０２的驅動時鐘訊號中。此外，因基體上之接線負載１０４所造成相對於同步ＤＲＡＭ裝置１０２輸出資料之延遲、與因輸入緩衝器１０７所造成相對於同步ＤＲＡＭ裝置１０２輸出資料之延遲，均加入供應給資料閂鎖１０８的資料中。另一方面，因時鐘緩衝器１０９所造成相對於參考時鐘訊號的延遲，亦加入閂鎖時鐘訊號中。

將同步ＤＲＡＭ裝置１０２的存取時間（對於在１００ＭＨｚ驅動時鐘頻率下操作的裝置而言爲９ｎｓ）加上驅動時鐘訊號相對於參考時鐘訊號（作爲始點）之延遲（亦即因輸出緩衝器１０４與接線負載１０５兩者所造成的延遲）和資料的延遲（亦即因接線負載１０６與輸入緩衝器１０７），所得之值根據經驗得知約爲３０ｎｓ（典型值）。在圖８Ａ所示記憶體系統中，以參考時鐘訊號作爲始點時閂鎖時鐘訊號之延遲值必須先就該延遲值予調

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明 (17)

整，才能在延遲爲最大和延遲爲最小時均得以閂鎖住資料。因此，必須藉由調整時鐘緩衝器１０９所造成之延遲值，來達成閂鎖時鐘訊號延遲值的調整。然而，同步ＤＲＡＭ裝置１０２僅在驅動時鐘訊號時間的一個時鐘周期中輸出一個資料。因此，如圖８Ｂ所示，如果以參考時鐘訊號爲始點時資料延遲最大值和最小值之間的差超過供應給同步ＤＲＡＭ裝置１０２之驅動時鐘訊號時間的一個周期，系統便無法設計成於每一個時鐘取還其內的資料一次。例如，即使在主記憶體中使用驅動時鐘訊號爲１００ＭＨｚ（存取時間爲９ｎｓ）的同步ＤＲＡＭ裝置１０２，在延遲之典型值爲約３０ｎｓ的情形下，由於最大值與最小值間之差根據經驗得知亦約爲３０ｎｓ，故驅動時鐘訊號周期無法小於３０ｎｓ。如上所述，使用習知一般記憶體控制方法來構成記憶體系統時，驅動時鐘訊號延遲最大值與最小值間的差限制了整體記憶體系統的操作頻率，因此無法對同步ＤＲＡＭ裝置之高速操作達成最佳的利用。另一方面在前述實施例中，則可不受驅動時鐘訊號之延遲最大值與最小值間的差所影響，而可增加驅動時鐘訊號頻率，因爲閂鎖中所用之時鐘訊號和閂鎖住之資料間的延遲之差很小。

雖然本發明已在上述實施例中，以資訊處理裝置主記憶體中使用同步ＤＲＡＭ裝置爲例，就同步記憶體裝置和用以控制同步記憶體裝置之記憶體匯流排控制單元的記憶體控制ＬＳＩ間之連接結構加以說明，但應了解的是，本

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明 (18)

發明可應用至任何使用同步ＤＲＡＭ裝置的記憶體裝置中。例如，在圖１所示的資訊處理裝置中，如使用同步ＤＲＡＭ裝置作爲顯示記憶體１０２３時，便可使用本發明作爲顯示控制單元１０１７中的記憶體控制方法。又，甚至在輔助儲存裝置控制單元１０１６或輸入輸出控制單元１０１５中設置以同步ＤＲＡＭ裝置構成之緩衝記憶體的場合下（其作用是吸收匯流排１０１４與通訊設備１０２４之間、或匯流排１０１４與輔助儲存裝置如硬碟１０２１之間的資料傳輸速度差），亦可應用本發明之記憶體控制方法。

如前述以較佳實施例爲例所示地，根據本發明，能夠與同步ＤＲＡＭ裝置之驅動時鐘訊號延遲大小無關地將資料與閂鎖時鐘訊號間的關係保持成接近固定。因此，可以達成一位址／一時鐘之分段記憶體存取，使同步ＤＲＡＭ裝置的功能能夠完全發揮。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

經濟部中央標準局員工消費合作社印製