

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4332973号
(P4332973)

(45) 発行日 平成21年9月16日(2009.9.16)

(24) 登録日 平成21年7月3日(2009.7.3)

(51) Int.Cl.

F I

H O 3 M 7/30 (2006.01)

H O 3 M 7/30

A

G 1 O L 19/02 (2006.01)

G 1 O L 19/02

請求項の数 16 (全 15 頁)

(21) 出願番号 特願2000-41433 (P2000-41433)
 (22) 出願日 平成12年2月15日(2000.2.15)
 (65) 公開番号 特開2001-230674 (P2001-230674A)
 (43) 公開日 平成13年8月24日(2001.8.24)
 審査請求日 平成18年9月28日(2006.9.28)

(73) 特許権者 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100094053
 弁理士 佐藤 隆久
 (72) 発明者 福地 弘行
 東京都品川区北品川6丁目7番35号 ソ
 ニー株式会社内
 審査官 渡辺 未央子

最終頁に続く

(54) 【発明の名称】 復号化装置および復号化方法

(57) 【特許請求の範囲】

【請求項 1】

順次入力される、ブロックごとに変換符号化された所定ビット幅の符号化データに対し、有効なビットを欠落させることなく当該データをM S B側にシフトする最大のシフト量を検出するシフト量検出手段と、

前記順次入力される符号化データを、前記検出されたシフト量以下の仮のシフト量でM S B側にシフトする第1のシフト手段と、

前記シフトされた符号化データの上位の所定ビット幅部分を記憶するデータ記憶手段と、

前記記憶された符号化データを上記データ記憶手段から読み出し、
上記読み出した符号化データについての上記仮のシフト量と実際に行うべきシフト量との差を調整シフト量として検出し、

当該符号化データを上記調整シフト量でL S B側にシフトする第2のシフトを行なう第2のシフト手段と、

前記第2のシフト手段でシフトされた前記符号化データを復号化する復号化手段とを有する復号化装置。

【請求項 2】

前記第1のシフト手段は、

前記符号化データのビット幅と上記データ記憶手段のビット幅の差を上記仮のシフト量の初期値として設定し、

10

20

当該符号化データに対して前記検出されたシフト量が、上記仮のシフト量より小さい場合は、当該検出されたシフト量で前記順次入力される符号化データをM S B側にシフトし、当該検出されたシフト量を上記仮のシフト量として更新し、

上記仮のシフト量以上の場合、当該上記仮のシフト量で前記順次入力される符号化データをM S B側にシフトし、設定されている上記仮のシフト量の値をそのまま維持する

請求項1に記載の復号化装置。

【請求項3】

前記第2のシフト手段は、上記最終的に更新された仮のシフト量を上記実際に行うべきシフト量として上記調整シフト量を検出して、前記記憶された符号化データを読み出しそのシフト量を調整する

請求項2に記載の復号化装置。

【請求項4】

前記符号化データ各々の前記第1のシフト手段における仮のシフト量を記憶するシフト量記憶手段

をさらに有し、

前記第2のシフト手段は、前記記憶された符号化データを読み出し、当該読み出した符号化データについての上記仮のシフト量と実際に行うべきシフト量との差を調整シフト量として検出し、当該符号化データを上記調整シフト量でL S B側にシフトすることにより、そのシフト量を調整する

請求項3に記載の復号化装置。

【請求項5】

前記シフト量記憶手段は、前記順次入力される符号化データに応じて前記仮のシフト量が更新されるごとに、当該変更位置および変更結果のシフト量を記憶する

請求項4に記載の復号化装置。

【請求項6】

ブロックごとに変換符号化され量子化された符号化データを順次逆量子化し所定ビット幅の逆量子化されたデータを順次生成する逆量子化手段

をさらに有し、

前記シフト量検出手段は、前記順次逆量子化されたデータに対して、前記最大のシフト量を検出する

請求項3に記載の復号化装置。

【請求項7】

前記データ記憶手段は、前記シフト量の調整された前記符号化データを順次記憶し、

前記復号化手段は、前記記憶手段よりシフト量の調整された前記符号化データを読み出し、復号化する

請求項3に記載の復号化装置。

【請求項8】

前記データ記憶手段は、前記シフトされた符号化データの上位の、当該データ記憶手段の1ワード当たりのビット幅に相当する部分を順次記憶する

請求項3に記載の復号化装置。

【請求項9】

前記復号化手段において復号化された前記データを、当該復号化処理前の前記符号化データのシフト量に応じて調整する復号化データ調整手段

をさらに有する請求項3に記載の復号化装置。

【請求項10】

前記データは、オーディオデータである

請求項3に記載の復号化装置。

【請求項11】

順次入力される、ブロックごとに変換符号化された所定ビット幅の符号化データに対して、有効なビットを欠落させることなく当該データをM S B側にシフトする最大のシフト

10

20

30

40

50

量を検出し、

前記順次入力される符号化データを、前記検出されたシフト量以下の仮のシフト量で M S B 側に第 1 のシフトを行ない、

前記シフトされた符号化データの上位の所定ビット幅部分を順次記憶し、

前記記憶された符号化データを読み出し、

上記読み出した符号化データについての上記仮のシフト量と実際に行うべきシフト量との差を調整シフト量として検出し、

当該符号化データを、上記調整シフト量で L S B 側にシフトする

第 2 のシフトを行ない、

前記第 2 のシフトがされた前記符号化データを復号化する

10

復号化方法。

【請求項 1 2】

前記第 1 のシフトにおいては、

前記符号化データのビット幅と上記データ記憶手段のビット幅の差を上記仮のシフト量の初期値として設定し、

当該符号化データに対して前記検出されたシフト量が、上記仮のシフト量より小さい場合は、当該検出されたシフト量で当該符号化データを M S B 側にシフトし、当該検出されたシフト量を上記仮のシフト量として更新し、

上記仮のシフト量以上の場合、当該上記仮のシフト量で当該符号化データを M S B 側にシフトし、設定されている上記仮のシフト量の値をそのまま維持する

20

請求項 1 1 に記載の復号化方法。

【請求項 1 3】

前記第 2 のシフトにおいては、上記最終的に更新された仮のシフト量を上記実際に行うべきシフト量として上記調整シフト量を検出して前記記憶された符号化データをシフトする

請求項 1 2 に記載の復号化方法。

【請求項 1 4】

前記入力される符号化データは、ブロックごとに変換符号化され量子化されたデータを順次逆量子化した所定ビット幅のデータである

請求項 1 3 に記載の復号化方法。

30

【請求項 1 5】

前記第 2 のシフトが行なわれた符号化データを、前記第 1 のシフトを記憶した記憶手段に記憶し、

前記復号化は、前記記憶手段より前記第 2 のシフトが行なわれた前記符号化データを読み出し行なう

請求項 1 3 に記載の復号化方法。

【請求項 1 6】

前記復号化されたデータを、当該復号化処理前の前記符号化データのシフト量に応じて調整し、最終的な復号化データを得る

請求項 1 3 に記載の復号化方法。

40

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、ブロックごとに変換符号化が行なわれた、たとえばオーディオデータなどの任意の符号化データを復号化する装置および方法に関し、特に、復号化装置に使用するメモリの容量を少なくすることができる、復号化装置および復号化方法に関する。

【0002】

【従来の技術】

ディジタルオーディオ信号を高効率で圧縮する符号化方式としては、たとえば M P E G オーディオと呼ばれる国際標準化規格 I S O / I E C 1 1 1 7 2 - 3 (M P E G - 1 オーデ

50

ィオ)や13818-3(MPEG-2オーディオ)、13818-7(AAC:Advanced Audio Coding)などが知られている。

これらの方式では、オーディオ信号を複数個集めてブロック化し、ブロック単位で時間領域の信号から周波数領域の信号へと変換を行った後、人間の聴覚特性を利用した量子化を行ってデータ量の削減を行っている。

【0003】

たとえばAACの符号化処理では、入力されたオーディオ信号1024サンプルをブロック化し、ブロックごとにMDCT(Modified Discrete Cosine Transform)を行っている。そして、MDCTの結果出力される変換係数に対して量子化処理を行うことにより、データ量を圧縮している。AACにおいては、最終的に量子化された変換係数とヘッダ情報とをマルチプレクスし、符号化オーディオ信号のビットストリームが生成される。

なお、AACの詳細な内容については、たとえば、Marina BOSI, et al, "ISO / IEC MPEG-2 Advanced Audio Coding", Journal of Audio Engineering Society, Vol.45, No.10, 1997 October に記載されている。

【0004】

たとえばこのようなAACで符号化されたオーディオ信号を復号化する、従来のオーディオ復号装置について、図5を参照して説明する。

図5は、従来の復号化装置の構成を示すブロック図であり、オーディオ復号装置90は、デマルチプレクス回路91、逆量子化回路92、データ用メモリ回路93および変換回路94を有する。

このようなオーディオ復号装置90においては、入力されたビットストリームは、デマルチプレクス回路91においてデマルチプレクスされて変換係数とヘッダ情報とに分離され、変換係数が逆量子化回路92へ入力される。

【0005】

逆量子化回路92において、変換係数に対して逆量子化処理が施され、逆量子化された変換係数はデータ用メモリ回路93に一時的に記憶された後、変換回路94に供給される。そして、変換回路94においてIMDCT(逆MDCT)が行なわれ、周波数領域のデータである変換係数から、時間領域のデータである通常のオーディオ信号に変換され、元のオーディオ信号が復号され、オーディオ復号装置90より出力される。

【0006】

【発明が解決しようとする課題】

ところで、このようなブロック単位で変換および逆変換を行なうたとえばAACで符号化された信号の復号化装置においては、逆変換処理をブロック単位で行なう必要がある、すなわち、1ブロック分の変換係数がそろったところで行う必要がある。そのため、図5に示したオーディオ復号装置90のように、逆量子化回路92と変換回路94との間には、逆量子化処理と変換処理時間の時間のずれを吸収するためのバッファとしてのメモリが設けられている。

【0007】

しかしながら、このバッファとしてのメモリ回路は、決して容量が少ないものではなく、より容量を少なくしたいという要望がある。

たとえば、図5に示したオーディオ復号装置90において、データ用メモリ回路93のデータのビット幅BMは、逆量子化処理後の変換係数の1サンプルあたりのビット幅BQに基づいて決定される。このような場合、メモリ回路のビット幅BMと変換係数のビット幅BQの値を等しくすると、変換係数のビット幅BQの値が大きい場合にはメモリ回路の回路規模が著しく大きくなってしまう。

具体的には、たとえば変換係数のビット幅BQが24ビットで、ブロックサイズが1024サンプルの場合に、ステレオ信号左右2チャンネル分のデータを記憶するには、6Kバイトの容量を有するメモリ回路が必要となる。

【0008】

特に、最近では、このような復号化装置はLSI上に構成する場合が多い。

そのような場合には、他の機能をも同じLSI上に構成したいため、あるいは安価なLSIを製造したいために、回路規模は少しでも小さくしたいという強い要望がある。しかしながら、たとえば前述したような6Kバイトもの容量を有するメモリ回路は、たとえば復号化LSIなどを考えた場合に、LSIの回路規模に対して十分大きい割合を占める回路であり、少しでも容量を少なくし、回路規模を小さくすることが望まれている。

【0009】

たとえば、前述したオーディオ復号装置90において、データ用メモリ回路93の容量を少なくするためには、メモリ回路のビット幅BMを変換係数のビット幅BQよりも小さくすることが考えられる。

しかし、そのような構成にすると、変換係数のビット精度が落ちるため、音質が劣化するなど、データ精度、データ品質に問題が生じる。

10

【0010】

さらに、そのような音質などのデータ品質の劣化を防ぐためには、ブロック単位で変換係数をMSB側にシフトすることにより、演算精度を必要なだけ確保するという方法も考えられる。しかし、そのような方法をとる場合には、一旦ブロック内のオーディオ信号全部を逆量子化しメモリに記憶してから、ブロック内の最大振幅を持つサンプルを検索し、そのサンプルのデータが飽和しないようにシフト量を決定しなければならず、結局、変換係数のビット幅BQと同じビット幅のメモリ回路が必要となってしまう。

【0011】

したがって本発明の目的は、データ品質の劣化を防ぎつつメモリ量を削減することのできる、安価でデータ品質の良い復号化装置を提供することにある。

20

また、本発明の他の目的は、データ品質の劣化を防ぎつつメモリ量を削減することのできる、安価でデータ品質の良い復号化方法を提供することにある。

【0012】

【課題を解決するための手段】

前記課題を解決するために、本発明の復号化装置は、順次入力される、ブロックごとに変換符号化された所定ビット幅の符号化データに対して、有効なビットを欠落させることなく当該データをMSB側にシフトする最大のシフト量を検出するシフト量検出手段と、前記順次入力される符号化データを、前記検出されたシフト量以下の仮のシフト量でMSB側にシフトする第1のシフト手段と、前記シフトされた符号化データの上位の所定ビット幅部分を記憶するデータ記憶手段と、前記記憶された符号化データを上記データ記憶手段から読み出し、上記読み出した符号化データについての上記仮のシフト量と実際に行うべきシフト量との差を調整シフト量として検出し、当該符号化データを上記調整シフト量でLSB側にシフトする第2のシフトを行なう第2のシフト手段と、前記第2のシフト手段でシフトされた前記符号化データを復号化する復号化手段とを有する。

30

【0013】

好適には、前記第1のシフト手段は、前記符号化データのビット幅と上記データ記憶手段のビット幅の差を上記仮のシフト量の初期値として設定し、当該符号化データに対して前記検出されたシフト量が、上記仮のシフト量より小さい場合は、当該検出されたシフト量で前記順次入力される符号化データをMSB側にシフトし、当該検出されたシフト量を上記仮のシフト量として更新し、上記仮のシフト量以上の場合は、当該上記仮のシフト量で前記順次入力される符号化データをMSB側にシフトし、設定されている上記仮のシフト量の値をそのまま維持する。

40

また好適には、前記第2のシフト手段は、上記最終的に更新された仮のシフト量を上記実際に行うべきシフト量として上記調整シフト量を検出して、前記記憶された符号化データを読み出しそのシフト量を調整する。

【0014】

さらに好適には、前記符号化データ各々の前記第1のシフト手段における仮のシフト量を記憶するシフト量記憶手段をさらに有し、前記第2のシフト手段は、前記記憶された符号化データを読み出し、当該読み出した符号化データについての上記仮のシフト量と実際

50

に行うべきシフト量との差を調整シフト量として検出し、当該符号化データを上記調整シフト量でL S B側にシフトすることにより、そのシフト量を調整する。

特定的には、前記シフト量記憶手段は、前記順次入力される符号化データに応じて前記仮のシフト量が更新されるごとに、当該変更位置および変更結果のシフト量を記憶する。

【0015】

特定的には、ブロックごとに変換符号化され量子化された符号化データを順次逆量子化し所定ビット幅の逆量子化されたデータを順次生成する逆量子化手段をさらに有し、前記シフト量検出手段は、前記順次逆量子化されたデータに対して、前記最大のシフト量を検出する。

また好適には、前記データ記憶手段は、前記シフト量の調整された前記符号化データを順次記憶し、前記復号化手段は、前記記憶手段よりシフト量の調整された前記符号化データを読み出し、復号化する。

【0016】

また好適には、前記データ記憶手段は、前記シフトされた符号化データの上位の、当該データ記憶手段の1ワード当たりのビット幅に相当する部分を順次記憶する。

また特定的には、前記復号化手段において復号化された前記データを、当該復号化処理前の前記符号化データのシフト量に応じて調整する復号化データ調整手段をさらに有する。

さらに特定的には、前記データは、オーディオデータである。

【0017】

また、本発明の復号化方法は、順次入力される、ブロックごとに変換符号化された所定ビット幅の符号化データに対して、有効なビットを欠落させることなく当該データをM S B側にシフトする最大のシフト量を検出し、前記順次入力される符号化データを、前記検出されたシフト量以下の仮のシフト量でM S B側に第1のシフトを行ない、前記シフトされた符号化データの上位の所定ビット幅部分を順次記憶し、前記記憶された符号化データを読み出し、上記読み出した符号化データについての上記仮のシフト量と実際に行うべきシフト量との差を調整シフト量として検出し、当該符号化データを、上記調整シフト量でL S B側にシフトする第2のシフトを行ない、前記第2のシフトがされた前記符号化データを復号化する。

【0018】

【発明の実施の形態】

本発明の一実施の形態のオーディオ復号装置について、図1～図5を参照して説明する。

【0019】

まず、そのオーディオ復号装置10の構成について説明する。

図1は、本発明の一実施の形態のオーディオ復号装置10の構成を示すブロック図である。

オーディオ復号装置10は、デマルチプレクス回路11、逆量子化回路12、バッファ処理部20、変換回路14およびデータ調整回路15を有する。

【0020】

デマルチプレクス回路11は、オーディオ復号装置10に入力されるブロック単位に符号化されたオーディオデータのビットストリームをデマルチプレクスし、ヘッダ情報と変換係数に分離し、変換係数を逆量子化回路12に出力する。ヘッダ情報は、図示しない制御部により、各構成部における処理の制御あるいは復号化したオーディオ信号の出力の際などに適宜参照される。

【0021】

逆量子化回路12は、デマルチプレクス回路11より入力された変換係数に対して逆量子化処理を行い、逆量子化された変換係数をバッファ処理部20のシフト回路24およびシフト量検出回路21に出力する。

なお、本実施の形態において逆量子化された変換係数のデータ幅(ビット幅)は、24ビットとする。

【0022】

バッファ処理部 20 は、逆量子化回路 12 と後段の変換回路 14 との間の処理時間の差異を吸収するために、逆量子化回路 12 より出力される逆量子化された変換係数を一時的に記憶するバッファである。

そして特に本実施の形態のバッファ処理部 20 は、逆量子化された変換係数の各サンプルデータをビット幅を縮小して記憶することにより、従来より少ないメモリ容量で逆量子化された変換係数を記憶するようにしている。

なお、バッファ処理部 20 においては、逆量子化回路 12 から入力される逆量子化された変換係数を仮のシフト量でシフトさせてデータ用メモリ回路 25 に記憶する第 1 段階のシフト処理と、その結果に基づいてブロックごとに統一したシフト量でシフトさせたデータを生成する第 2 段階のシフト処理とを行なう。

10

【0023】

このバッファ処理部 20 の構成について詳細に説明する。

バッファ処理部 20 は、図示のごとく、シフト量検出回路 21、シフト制御回路 22、シフト情報用メモリ回路 23、シフト回路 24 およびデータ用メモリ回路 25 を有する。

【0024】

シフト量検出回路 21 は、前述した第 1 段階のシフト処理の際に、逆量子化回路 12 より入力される逆量子化された変換係数に対して、1 サンプルデータごとに、そのデータを飽和することなく最大限 MSB 側に移動させるためのシフト量 S_{tmp} 、すなわち、そのデータの有効な最上位のビットを MSB の位置に移動させるためのシフト量 S_{tmp} を検出し、シフト制御回路 22 に出力する。ただし、後段で実際にシフトを行なう際の最大のシフト量は、逆量子化された変換係数のビット幅 BQ と、データ用メモリ回路 25 に記憶されるデータのビット幅 BM との差 $BQ - BM$ ビットである。したがって、シフト量検出回路 21 においては、シフト量がビット幅の差 $BQ - BM$ ビット以上となった場合には、いずれもこの最大シフト量 $BQ - BM$ ビットを検出結果として出力する。

20

【0025】

具体的には、たとえば逆量子化回路 12 で逆量子化された変換係数のビット幅 BQ が 24 ビット (LSB をビット 0、 MSB をビット 23 とする) であり、あるサンプルのデータが 18 ビットで示される値、すなわち 18 ビットのデータであったとする。その場合、そのサンプルデータの最上位のビットはビット 17 となり、これを MSB (ビット 23) までシフトさせるためには、6 ビットのシフトが必要となる。この、たとえば 6 ビットというシフト量 S_{tmp} を各サンプルデータごとにシフト量検出回路 21 が検出し、シフト制御回路 22 に出力する。

30

【0026】

シフト制御回路 22 は、シフト回路 24 で行なうシフト量の決定およびそのシフトの制御を行なう。

まず、前述した第 1 段階のシフト処理の際には、シフト制御回路 22 は、シフト量検出回路 21 より入力されるシフト量 S_{tmp} に基づいて、シフト回路 24 において逆量子化回路 12 より出力される逆量子化された変換係数に対して実際に行なうシフト量 S_{last} を決定し、そのシフトを制御する。

【0027】

40

第 1 段階のシフト処理の際のシフト制御回路 22 における処理について具体的に説明する。

まず、シフト制御回路 22 は、各ブロックの区切りごとに、シフト回路 24 において実際にシフトを行なうシフト量 S_{last} に、シフト量の最大値である逆量子化された変換係数のビット幅 BQ とデータ用メモリ回路 25 のビット幅 BM との差 $BQ - BM$ を、初期値としてセットする。

しておく。

次に、逆量子化回路 12 より順次出力される逆量子化された変換係数に対応してシフト量検出回路 21 より入力されるシフト量 S_{tmp} を、実際に行なうシフト量 S_{last} と比較し、シフト量 $S_{last} < \text{シフト量 } S_{tmp}$ であった場合にシフト量 S_{last} をシフト量 S_{tmp} で更新

50

する。シフト量 S_{last} シフト量 S_{tmp} の場合には、そのままシフト量 S_{last} の値を維持する。

【 0 0 2 8 】

シフト量 $S_{last} > \text{シフト量 } S_{tmp}$ という状態は、そのシフト量 S_{last} で変換係数をシフトした場合、変換係数の $M S B$ 側のビットが飽和して欠落し、変換係数が大きく変更されて音質に影響を与えるという状態である。したがってそのような場合には、実際にシフトを行なうシフト量 S_{last} をその変換係数に対応した最大のシフト量シフト量 S_{tmp} で更新しておくことにより、変換係数の $M S B$ 側のデータの欠落を防ぐことができる。

【 0 0 2 9 】

そして、このように適宜更新されたシフト量 S_{last} 分だけ、対応する逆量子化された変換係数を $M S B$ 側にシフトするように、シフト回路 2 4 を制御する。

10

なお、シフト量 S_{last} の値が更新された場合には、シフト制御回路 2 2 は、その更新が行なわれた変換係数の、ブロック内での位置および、更新されたそのシフト量 S_{tmp} (= シフト量 S_{last}) を、シフト情報用メモリ回路 2 3 に出力し、記憶する。

【 0 0 3 0 】

また、前述した第 2 段階のシフト処理の際には、シフト制御回路 2 2 は、シフト回路 2 4 で行なわれる、第 1 段階のシフト処理で順次シフトを行いながら一旦データ用メモリ回路 2 5 に記憶させたブロックごとの変換係数に対する、シフト量を調整するための再度のシフト処理に対して、そのシフト量 S_{adj} の決定およびそのシフトの制御を行なう。

【 0 0 3 1 】

20

第 2 段階のシフト処理の際のシフト制御回路 2 2 における処理について具体的に説明する。

第 2 段階のシフト処理が開始される時点で、データ用メモリ回路 2 5 には、逆量子化回路 1 2 から出力された逆量子化された変換係数が第 1 段階のシフト処理により各々所定のシフト量でシフトされた結果のデータが記憶されている。

また、その第 1 段階のシフト処理の際の各変換係数に対するシフト量は、シフト情報用メモリ回路 2 3 に、シフト量が変更されたデータのブロック内での位置、および、その際のシフト量という形態で記憶されている。

【 0 0 3 2 】

さらに、第 1 段階のシフト処理が終了した時点で、シフト制御回路 2 2 が記憶しているシフト量 S_{last} は、そのブロック内の全ての変換係数に対して同一のシフト量で $M S B$ 側にシフトを行なう場合に、いずれの変換係数についても $M S B$ 側のデータを飽和させることなくシフトを行なうことのできる最大のシフト量が設定されていることになる。

30

したがってシフト制御回路 2 2 は、データ用メモリ回路 2 5 に記憶されている同一ブロック内の変換係数が、全て同じシフト量 S_{last} で $M S B$ 側にシフトされたデータとなるように、シフト回路 2 4 において各変換係数のシフト量の調整を行なうように、シフト回路 2 4 を制御する。

【 0 0 3 3 】

すなわち、シフト回路 2 4 が順次データ用メモリ回路 2 5 より変換係数を読み出すのに対応して、シフト情報用メモリ回路 2 3 に記憶されている情報を参照して、その変換係数が第 1 段階のシフト処理の際にシフトされたシフト量 S を検出し、そのシフト量 S と目的とするシフト量 S_{last} との差を検出する。この差が、調整すべきシフト量 S_{adj} となり、シフト制御回路 2 2 は、このシフト量 S_{adj} だけその変換係数を $L S B$ 側にシフトするように、シフト回路 2 4 を制御する。

40

【 0 0 3 4 】

シフト情報用メモリ回路 2 3 は、前述した第 1 段階のシフト処理の際に、シフト制御回路 2 2 の制御によりシフト回路 2 4 で行なわれた同一のブロック内の各変換係数に対するシフトの量を記憶するメモリである。

前述したように、シフト制御回路 2 2 においては、順次逆量子化回路 1 2 より出力されるブロックごとの変換係数に対して、最大のシフト量を初期値としておき、そのシフト量で

50

シフトを行なうとデータが飽和してしまう場合に順次シフト量をそのデータに適したシフト量減少させていく。したがって、シフト量の変更は、最大でも逆量子化回路 12 より出力される変換係数のビット幅 B_Q とデータ用メモリ回路 25 のデータのビット幅 B_M との差 $B_Q - B_M$ 回となる。

【0035】

たとえば、変換係数のビット幅 B_Q が 24 ビットでデータ用メモリ回路 25 のデータのビット幅 B_M が 16 ビットの場合には、この差は 8 ビットである。したがってシフト情報用メモリ回路 23 は、図 2 に示すように、有効なデータの個数 n を示すデータ、変更される最大 8 回の各シフト量を示すデータ $S[0] \sim S[7]$ 、および、最大 8 回のシフト量を変更した位置を示すデータ $P[0] \sim P[7]$ が記憶されればよい。

10

このシフト情報用メモリ回路 23 に記憶されたデータは、第 2 段階のシフト処理の際に、シフト制御回路 22 より読み出されて参照される。

【0036】

シフト回路 24 は、シフト制御回路 22 からの制御に基づいて、順次入力される変換係数を所望の方向に所望のビット数だけシフトし、シフトしたデータの MSB 側より、データ用メモリ回路 25 のデータのビット幅 B_M 分のデータを抽出し、データ用メモリ回路 25 に記憶する。

第 1 段階のシフト処理の際には、シフト回路 24 は、逆量子化回路 12 から入力される逆量子化された変換係数を、シフト制御回路 22 から入力されるシフト量 S_{last} だけ MSB 方向にシフトし、上位の B_M ビットをデータ用メモリ回路 25 に記憶する。

20

また、第 2 段階のシフト処理の際には、シフト回路 24 は、データ用メモリ回路 25 から読み出される変換係数を、シフト制御回路 22 から入力される調整用のシフト量 S_{adj} だけ LSB 方向にシフトし、データ用メモリ回路 25 に記憶する。

【0037】

なお、このシフト回路 24 は、特許請求の範囲に記載の第 1 のシフト手段と第 2 のシフト手段の両方を機能を順に実現する回路である。すなわち、第 1 段階のシフト処理を行なっている時のシフト回路 24 が第 1 のシフト手段に相当し、第 2 段階のシフト処理を行なっている時のシフト回路 24 が第 2 のシフト手段に相当する。

【0038】

データ用メモリ回路 25 は、逆量子化回路 12 と変換回路 14 との間の処理時間の差異を吸収するために、逆量子化回路 12 より出力される逆量子化された変換係数を一時的に記憶する記憶手段本体である。

30

前述したように、データ用メモリ回路 25 には、第 1 段階のシフト処理により、逆量子化回路 12 からバッファ処理部 20 に入力された逆量子化された変換係数が、一旦、仮のシフト量でシフトされて記憶される。そして、第 2 段階のシフト処理により、この変換係数が読み出され、シフト量を調整するためにシフト回路 24 において再度シフト処理が行なわれ、再度データ用メモリ回路 25 に書き込まれる。

そして、第 2 段階のシフト処理が終了した変換係数は、変換回路 14 から順次読み出される。

以上が、バッファ処理部 20 の構成である。

40

【0039】

変換回路 14 は、データ用メモリ回路 25 よりブロックごとの変換係数を読み出し、たとえば $IMDCT$ (逆 $MDC T$) を行なうなどして、周波数領域のデータから時間領域の通常のオーディオ信号に変換する。変換結果のオーディオ信号は、データ調整回路 15 に出力する。

【0040】

データ調整回路 15 は、変換回路 14 より入力される時間領域の信号に変換されたオーディオ信号を、所定のシフト量だけ LSB 方向にシフトし、バッファ処理部 20 によりシフトされたことによるレベルの変化を元のレベルに調整し、オーディオ復号装置 10 からの復号オーディオ信号として出力する。

50

なお、ここでのシフト量は、各ブロックごとの変換係数に対するバッファ処理部 20 における最終的なシフト量、換言すれば、シフト制御回路 22 における第 1 段階のシフト処理の後のシフト量 S_{last} と、変換回路 14 における変換方式に基づいて決定される。

【0041】

次に、このような構成のオーディオ復号装置 10 の動作について説明する。

なお、以下の説明では、逆量子化回路 12 より出力される逆量子化された変換係数のビット幅 B_Q は 24 ビット、データ用メモリ回路 25 のデータのビット幅 B_M は 16 ビットとする。

まず、オーディオ復号装置 10 に入力された符号化されたオーディオ信号のビットストリームは、デマルチプレクス回路 11 においてデマルチプレクスされ、変換係数とヘッダ情報とに分離され、変換係数が逆量子化回路 12 へ出力される。

10

逆量子化回路 12 は、変換係数に対して逆量子化処理を施し、逆量子化された変換係数をバッファ処理部 20 のシフト量検出回路 21 およびシフト回路 24 に順次出力する。

【0042】

バッファ処理部 20 では、まず、第 1 段階のシフト処理として、逆量子化回路 12 の出力である変換係数を、適宜適応的に変更されるシフト量を用いてシフトし、シフト結果の変換係数の上位 B_M ビット (16 ビット) をデータ用メモリ回路 25 に書き込む。

バッファ処理部 20 におけるこの第 1 段階のシフト処理について、図 3 に示すフローチャートを参照して詳細に説明する。

【0043】

20

バッファ処理部 20 は、逆量子化回路 12 より新たなブロックの逆量子化された変換係数が出力されることにより新たな一連の処理を開始し (ステップ S30)、まず、初期化を行なう (ステップ S31)。具体的には、図 2 に示したような、シフト情報用メモリ回路 23 の、シフト量の変更個数 n 、シフト量 $S[0] \sim S[7]$ 、シフト位置 $P[0] \sim P[7]$ の各値を 0 に初期化する。また、シフト制御回路 22 で使用するシフト量 S_{last} をシフトの必要のある最大値に初期化し、変換係数の位置を示す補助変数 i_i を 0 に初期化する。なお、本実施の形態においてシフト量 S_{last} の初期値は、 $B_Q = 24$ ビット、 $B_M = 16$ ビットであるため、その差の 8 となる。

【0044】

初期化が終了したら、シフト量検出回路 21 が逆量子化回路 12 から出力される逆量子化された変換係数を 1 つずつ読み込み (ステップ S32)、その変換係数を飽和することなく $M_S B$ 側にシフトできる最大のシフト量 S_{tmp} を検出し、シフト制御回路 22 に出力する (ステップ S33)。なお、このシフト量 S_{tmp} も、 $B_Q = 24$ ビット、 $B_M = 16$ ビットであるため、0 から 8 までの値となる。

30

【0045】

シフト制御回路 22 においては、このシフト量 S_{tmp} をそれまでに設定されているシフト回路 24 で使用するシフト量 S_{last} と比較する (ステップ S34)。

比較の結果、新たに検出されたシフト量 S_{tmp} が現在のシフト量 S_{last} より小さい場合には、シフト量 S_{last} を更新して $S_{last} = S_{tmp}$ とする (ステップ S35)。そして、シフト量 S_{last} をシフト量 $S[n]$ として、データの位置を示す補助変数 i_i をシフト位置 $P[n]$ として、各々シフト情報用メモリ回路 23 に記録し (ステップ S36)、シフト量の変更個数 n を 1 カウントアップしておく (ステップ S37)。

40

【0046】

ステップ S34 において、新たに検出されたシフト量 S_{tmp} が現在のシフト量 S_{last} 以上の場合には、その変換係数のデータは現在のシフト量 S_{last} によるシフトで飽和しないことになるので、シフト量の変更は行なわない。

そして、そのようなシフト量 S_{tmp} シフト量 S_{last} の場合、および、ステップ S35 ~ ステップ S37 においてシフト量 S_{last} の変更が行なわれた場合のいずれも、シフト回路 24 において、シフト量 S_{last} を使って、対応する 1 サンプル分の変換係数を、シフト量 S_{last} ビットだけ $M_S B$ 側にシフトし、上位の B_M ビットをデータ用メモリ回路 25 に記

50

録する（ステップ S 3 8）。また同時に、変換係数の位置を示す補助変数 i_i を 1 カウントアップする。

【 0 0 4 7 】

そして、この補助変数 i_i の値がブロック内の変換係数の個数に一致するか否かを検出することにより（ステップ S 3 9）、ブロック内の全ての変換係数に対して、ステップ S 3 2 ~ ステップ S 3 8 の、シフトおよびデータ用メモリ回路 2 5 への記憶の処理を行なったか否かをチェックし、全てのデータに対して処理を行なっていれば、この第 1 段階のシフト処理を終了する（ステップ S 4 0）。

なお、この時最後に保持されているシフト量 S_{last} が、そのブロックに最適のシフト量となる。

10

【 0 0 4 8 】

このような第 1 段階のシフト処理が終了し、全ての変換係数をデータ用メモリ回路 2 5 に書き終わったら、同じブロックの変換係数を、同一のシフト量でシフトされたデータにするために、シフト量の再調整を行う第 2 段階のシフト処理を行なう。

バッファ処理部 2 0 におけるこの第 2 段階のシフト処理について、図 4 に示すフローチャートを参照して詳細に説明する。

まず、第 1 段階の処理が終了すると、直ちに第 2 段階の処理が開始され（ステップ S 5 0）、初期設定として、シフト情報用メモリ回路 2 3 に記録されているシフト量の個数 n がシフト制御回路 2 2 に読み込まれ（ステップ S 5 1）、さらに、記憶されているシフト量 S を指示するポインタ m 、および、変換係数の位置を示す補助変数 i_i が 0 にセットされる（ステップ S 5 2）。

20

【 0 0 4 9 】

次に、シフト量を調整すべきデータの処理が終了したか否かをチェックするために、ポインタ m を 1 加算した値 $(m + 1)$ とシフト量の個数 n とを比較する（ステップ S 5 3）。値 $(m + 1)$ とシフト量の個数 n とが等しい時には、残りのデータは、最終的なシフト量 $S_{last} (= S[n + 1] = S[m])$ で既にシフトされたデータと言うことになるので、第 2 段階のこのシフト量の調整処理は終了する（ステップ S 5 4）。これらのデータについては、データ用メモリ回路 2 5 に記憶されているデータの書き換えも行なわないものとする。

【 0 0 5 0 】

30

値 $(m + 1)$ とシフト量の個数 n とが等しくない時、すなわち値 $(m + 1) < \text{シフト量の個数 } n$ の時は、シフト量 $S[m]$ は最終的なシフト量 S_{last} ではなく、このシフト量 $S[m]$ でシフトされた位置 $i_i \sim (P[m + 1] - 1)$ までのデータは、シフト量の調整が必要なデータということになる。

したがって、シフト回路 2 4 は、位置 $i_i \sim (P[m + 1] - 1)$ の間の変換係数をデータ用メモリ回路 2 5 から読み出し、 $(S_{last} - S[m])$ ビットだけ L S B 側にシフトし、再びデータ用メモリ回路 2 5 の同じアドレスに書き込む（ステップ S 5 5）。

【 0 0 5 1 】

そして、位置 i_i を次のシフト量の開始位置 $P[m + 1]$ に変更し、さらに、ポインタ m を 1 カウントアップして（ステップ S 5 6）、ステップ S 5 3 に戻り、次のシフト量についての調整に移る。

40

このようなステップ S 5 5、S 5 6 の処理を、ステップ S 5 3 において $n = (m + 1)$ となるまで続けることにより、シフト量 S_{last} 以外のシフト量でシフトされた全ての変換係数が、シフト量 S_{last} でシフトされた値に調整される。

【 0 0 5 2 】

バッファ処理部 2 0 において、このようにして、データ用メモリ回路 2 5 に変換係数が記憶されたら、変換回路 1 4 がこれを順次読み出し、I M D C T などの処理を行なって周波数領域のデータから時間領域の通常のオーディオ信号に変換する。

そして得られたオーディオ信号に対して、バッファ処理部 2 0 においてシフトされた分の補正を、バッファ処理部 2 0 におけるシフト量 S_{last} に基づいてデータ調整回路 1 5 で行

50

い、復号オーディオ信号を得て、オーディオ復号装置 10 より出力する。

【0053】

このように、本実施の形態のオーディオ復号装置 10 においては、第一段階の処理でサンプルごとに適応的にシフト量を調整しながらブロック全体での最適なシフト量を求め、第二段階の処理でシフト量の不一致の分についての修正を行っている。したがって、変換係数のビット幅 BQ に比べて少ないビット幅のデータ用メモリ回路 25 を用いながらも、音質の劣化を防いで、復号化処理を行なうことができる。

そしてその結果、メモリ量の削減を行うことができ、オーディオ復号装置 10 は、安価で音質の良い復号化装置となっている。

【0054】

なお、本発明は本実施の形態に限られるものではなく、任意好適な種々の改変が可能である。

たとえば、本実施の形態においては、オーディオ信号の復号化装置を例示したが、ブロック単位で符号化が行なわれる符号化データであれば、任意のデータの復号化装置として適用可能である。たとえばビデオ信号の復号化装置に適用してもよい。

【0055】

また、本実施の形態においては、シフト回路 24 において、本発明の第 1 のシフト手段と第 2 のシフト手段の両方の機能を交互に実現するものとした。しかし、本発明の第 1 のシフト手段と第 2 のシフト手段に相当するシフト回路を、別個に設けるような構成であってもよい。

また、シフト回路 24 とデータ調整回路 15 は、本実施の形態においては実質的に同じシフト機能を持つ回路である。したがって、各処理間のタイミングをうまく調整できれば、二つの回路を一つの回路に統合するようにしてもよい。

また、変換回路 14 における変換処理も、AAC の逆変換処理に限定されるものではなく、任意の変換処理を行なってよい。

【0056】

【発明の効果】

このように、本発明によれば、データ品質の劣化を防ぎつつメモリ量を削減することのできる、安価でデータ品質の良い復号化装置および復号化方法を提供することができる。

【図面の簡単な説明】

【図 1】図 1 は、本発明の一実施の形態のオーディオ復号装置の構成を示すブロック図である。

【図 2】図 2 は、図 1 に示したオーディオ復号装置のシフト情報用メモリ回路に記憶される、第 1 段階のシフト処理の際の各データのシフト量を示すデータを説明するための図である。

【図 3】図 3 は、図 1 に示したオーディオ復号装置のバッファ処理部で行なう第 1 段階のシフト処理の流れを示すフローチャートである。

【図 4】図 4 は、図 1 に示したオーディオ復号装置のバッファ処理部で行なう第 2 段階のシフト処理の流れを示すフローチャートである。

【図 5】図 5 は、従来のオーディオ復号装置の構成を示すブロック図である。

【符号の説明】

10 ... オーディオ復号装置、11 ... デマルチプレクス回路、12 ... 逆量子化回路、14 ... 変換回路、15 ... データ調整回路、20 ... バッファ処理部、21 ... シフト量検出回路、22 ... シフト制御回路、23 ... シフト情報用メモリ回路、24 ... シフト回路、25 ... データ用メモリ回路、90 ... オーディオ復号装置、91 ... デマルチプレクス回路、92 ... 逆量子化回路、93 ... データ用メモリ回路、94 ... 変換回路

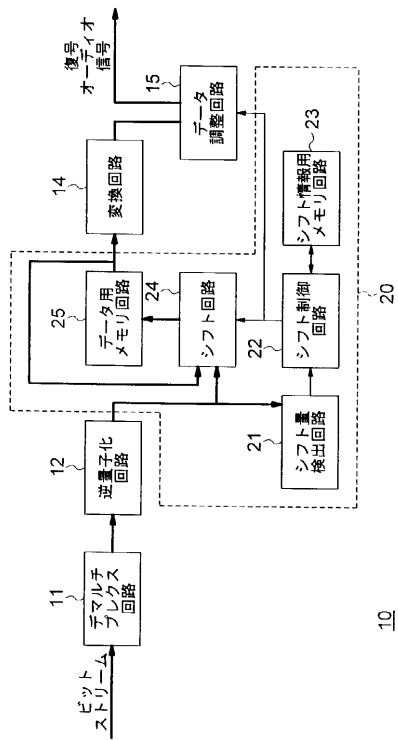
10

20

30

40

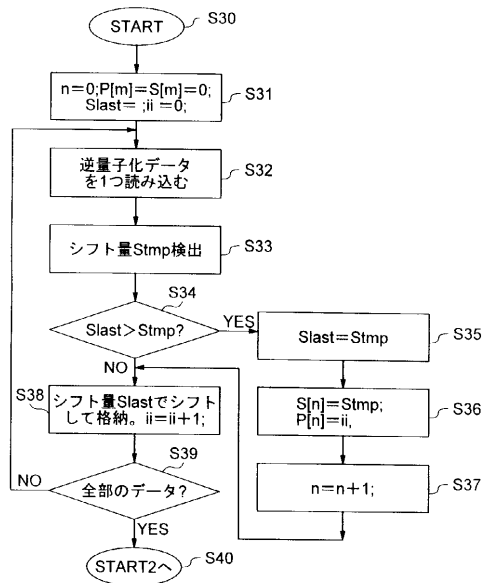
【図 1】



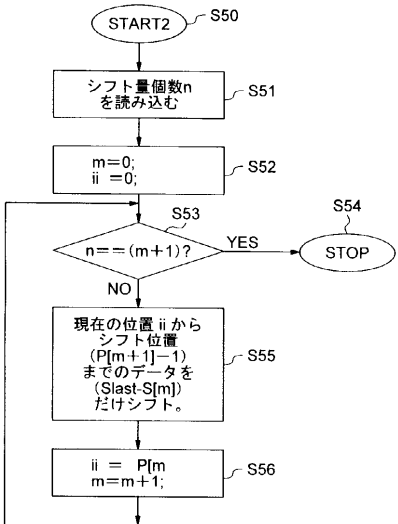
【図 2】

シフト量の個数 n
シフト量 S[0]
シフト量 S[1]
シフト量 S[2]
シフト量 S[3]
シフト量 S[4]
シフト量 S[5]
シフト量 S[6]
シフト量 S[7]
シフト位置 P[0]
シフト位置 P[1]
シフト位置 P[2]
シフト位置 P[3]
シフト位置 P[4]
シフト位置 P[5]
シフト位置 P[6]
シフト位置 P[7]

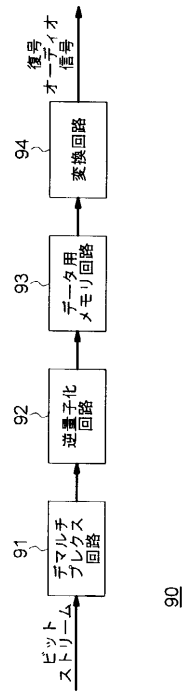
【図 3】



【図 4】



【図 5】



フロントページの続き

- (56)参考文献 特開平 0 9 - 2 5 2 2 5 4 (J P , A)
特開平 1 0 - 2 9 4 6 6 8 (J P , A)
特開 2 0 0 0 - 1 6 5 8 6 1 (J P , A)
特開 2 0 0 6 - 1 4 6 2 4 7 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H03M 7/30

G10L 19/02