



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I861925 B

(45)公告日：中華民國 113 (2024) 年 11 月 11 日

(21)申請案號：112121294

(22)申請日：中華民國 112 (2023) 年 06 月 07 日

(51)Int. Cl. : **H03L7/085 (2006.01)**

(71)申請人：吳鳳學校財團法人吳鳳科技大學(中華民國) (TW)

嘉義縣民雄鄉建國路二段 117 號

(72)發明人：楊宗益 YANG, ZONG-YI (TW)

(74)代理人：高玉駿；楊祺雄

(56)參考文獻：

US 5963059A

US 2006/0055434A1

US 2008/0084233A1

US 2016/0142062A1

US 2017/0201261A1

US 2020/0295766A1

審查人員：范士隆

申請專利範圍項數：8 項 圖式數：12 共 37 頁

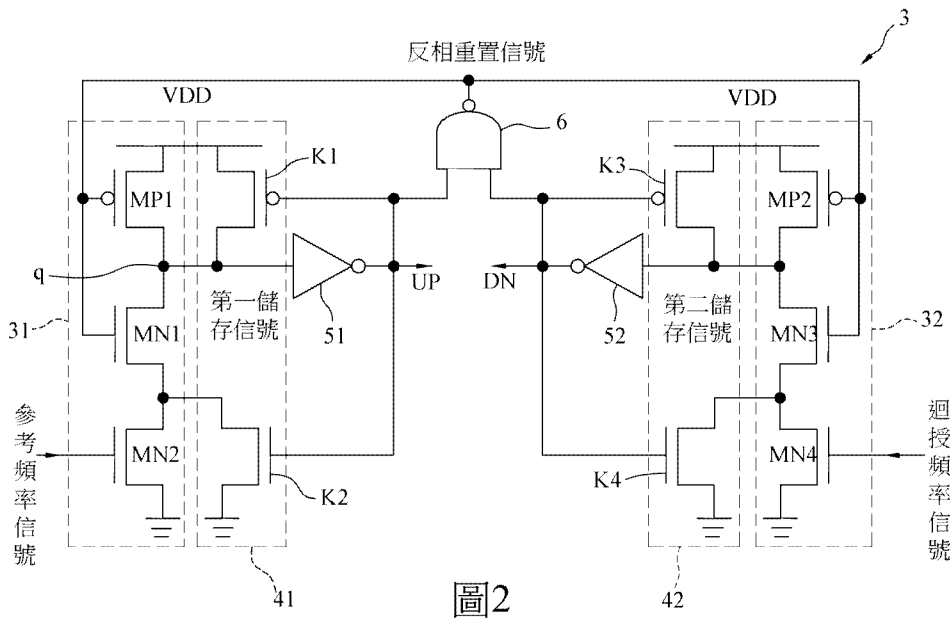
(54)名稱

鎖相迴路裝置與相位頻率偵測器

(57)摘要

一種鎖相迴路裝置與相位頻率偵測器，主要技術是第一脈衝門鎖電路接收反相重置信號與參考頻率信號且據以產生第一儲存信號，第二脈衝門鎖電路接收反相重置信號與迴授頻率信號且據以產生第二儲存信號，第一反相器將第一儲存信號進行反相以產生上數信號，第二反相器將第二儲存信號進行反相以產生下數信號，第一保持器與第二保持器分別用以保持上數信號和下數信號的電位。重置電路根據上數信號與下數信號產生反相重置信號，當上數信號與該下數信號皆為第一邏輯準位時，反相重置信號為第二邏輯準位，以達到高性能最小盲區、增加迴路頻寬、低功耗的功效。

指定代表圖：



符號簡單說明：

3:相位頻率偵測器

31:第一脈衝門鎖電路

MN1:第一下拉電晶體

MN2:第二下拉電晶體

MP1:第一上拉電晶體

32:第二脈衝門鎖電路

MN3:第三下拉電晶體

MN4:第四下拉電晶體

MP2:第二上拉電晶體

41:第一保持器

K1:第一保持電晶體

K2:第二保持電晶體

42:第二保持器

K3:第三保持電晶體

K4:第四保持電晶體

51:第一反相器

52:第二反相器

6:重置電路

UP:上數信號

DN:下數信號

VDD:工作電壓

q:節點

I861925

## 【發明摘要】

【中文發明名稱】 鎖相迴路裝置與相位頻率偵測器

【中文】

一種鎖相迴路裝置與相位頻率偵測器，主要技術是第一脈衝門鎖電路接收反相重置信號與參考頻率信號且據以產生第一儲存信號，第二脈衝門鎖電路接收反相重置信號與迴授頻率信號且據以產生第二儲存信號，第一反相器將第一儲存信號進行反相以產生上數信號，第二反相器將第二儲存信號進行反相以產生下數信號，第一保持器與第二保持器分別用以保持上數信號和下數信號的電位。重置電路根據上數信號與下數信號產生反相重置信號，當上數信號與該下數信號皆為第一邏輯準位時，反相重置信號為第二邏輯準位，以達到高性能最小盲區、增加迴路頻寬、低功耗的功效。

【指定代表圖】：圖（2）。

【代表圖之符號簡單說明】

- 3..... 相位頻率偵測器
- 31..... 第一脈衝門鎖電路
- MN1 ..... 第一下拉電晶體
- MN2 ..... 第二下拉電晶體
- MP1..... 第一上拉電晶體
- 32..... 第二脈衝門鎖電路
- MN3 ..... 第三下拉電晶體
- MN4 ..... 第四下拉電晶體

MP2	第二上拉電晶體
41	第一保持器
K1	第一保持電晶體
K2	第二保持電晶體
42	第二保持器
K3	第三保持電晶體
K4	第四保持電晶體
51	第一反相器
52	第二反相器
6	重置電路
UP	上數信號
DN	下數信號
VDD	工作電壓
q	節點

## 【發明說明書】

【中文發明名稱】 鎖相迴路裝置與相位頻率偵測器

【技術領域】

【0001】本發明是有關於一種鎖相迴路技術，特別是指一種高性能最小盲區脈衝門鎖式的鎖相迴路裝置與相位頻率偵測器。

【先前技術】

【0002】隨著5G人工智慧物聯網趨向更多元化之創新應用發展，致使5G通訊設備所需要的元件必須符合低功耗、低延遲、小體積、低成本、高效率、高性能等應用需求，尤其在5G通訊設備之核心時脈元件的鎖相迴路裝置，現有的鎖相迴路裝置在5G通訊設備中主要是用來產生一組或多組不同之高頻率精確且穩定之時脈信號，電路元件主是包含相位頻率偵測器（Phase/frequency detector，PFD）、電荷幫浦（Charge pump，CP）、迴路濾波器（Loop filter，LF）、電壓控制振盪器（Voltage-controlled oscillator，VCO）。其中，作為鎖相迴路裝置前端之相位頻率偵測器，其設計不僅影響鎖相迴路的鎖定時間，也影響鎖相迴路的參考突波與相位雜訊，同時也是影響鎖相迴路精準度與穩定性最大之電路，在設計實現上除了製程技術縮小（製造成本相對提高）外，

第1頁，共20頁(發明說明書)

像是電路架構、元件的傳輸延遲、元件與走線佈局（Layout）、以及佈局產生的寄生效應等因素，皆會限制其工作性能與最大操作頻率。又傳統的相位頻率偵測器由於脈衝產生器設計上兼具有脈衝門鎖電路的功能，沒有將脈衝產生器與脈衝門鎖電路獨立個別設計，導致操作在高頻不需要脈衝產生器時，無法將脈衝產生器移除，導致功率消耗上升。

#### 【發明內容】

【0003】因此，本發明的一目的，即在提供一種作在高頻時也能降低功率消耗以夠克服先前技術缺點的鎖相迴路裝置與相位頻率偵測器。

【0004】於是，鎖相迴路裝置包含一頻率調整器、一除頻器與一相位頻率偵測器。

【0005】頻率調整器接收一上數信號與一下數信號，且據以產生一時鐘頻率信號，其中，該時鐘頻率信號的一操作頻率正相關於該上數信號的脈波寬度，該操作頻率反相關於該下數信號的脈波寬度。

【0006】除頻器電連接該頻率調整器以接收時鐘頻率信號，產生一頻率正比該時鐘頻率信號的迴授頻率信號。

【0007】相位頻率偵測器包含一第一脈衝門鎖電路、一第二脈衝門鎖電路、一第一反相器、一第二反相器、一第一保持器、一第二

保持器與一重置電路。

**【0008】** 第一脈衝閘鎖電路接收一反相重置信號與一參考頻率信號且據以產生一第一儲存信號，當該反相重置信號與該參考頻率信號皆為一第一邏輯準位(high)時，該第一儲存信號為一反相於該第一邏輯準位的第二邏輯準位(low)。

**【0009】** 第二脈衝閘鎖電路接收一反相重置信號與一迴授頻率信號且據以產生一第二儲存信號，當該反相重置信號與該迴授頻率信號皆為一第一邏輯準位時，該第二儲存信號為一反相於該第一邏輯準位的第二邏輯準位。

**【0010】** 第一反相器具有一電連接該第一脈衝閘鎖電路以接收該第一儲存信號的第一輸入端，與一第一輸出端，且將該第一儲存信號進行反相以產生一上數信號，從該第一輸出端輸出該上數信號。

**【0011】** 第二反相器具有一電連接該第二脈衝閘鎖電路以接收該第二儲存信號的第二輸入端，與一第二輸出端，且將該第二儲存信號進行反相以產生一下數信號，從該第二輸出端輸出該下數信號。

**【0012】** 第一保持器電連接該第一反相器的該第一輸出端與該第一輸入端之間，用以保持該上數信號的電位。

**【0013】** 第二保持器電連接該第二反相器的該第二輸出端與該第二輸入端之間，用以保持該下數信號的電位。

**【0014】** 重置電路電連接該第一脈衝閘鎖電路與該第二脈衝閘鎖

電路，且電連接該第一反相器的第一輸出端與該第二反相器的第二輸出端以分別接收該上數信號與該下數信號，且根據該上數信號與該下數信號產生該反相重置信號，當該上數信號與該下數信號皆為該第一邏輯準位(high)時，該反相重置信號為該第二邏輯準位(low)。

**【0015】** 本發明的功效在於：當操作於高頻時，相位頻率偵測器的最大操作頻率為傳統具重置迴路相位頻率偵測器的兩倍，可省略第一脈衝產生器與第二脈衝產生器，有利於降低功率消耗。

#### **【圖式簡單說明】**

**【0016】** 本發明的其他的特徵及功效，將於參照圖式的實施方式中清楚地呈現，其中：

圖 1 是本發明具有高性能最小盲區脈衝門鎖功能的相位頻率偵測器應用在高時脈頻率的鎖相迴路裝置的一第一實施例的系統圖；

圖 2 是第一實施例的相位頻率偵測器的電路圖；

圖 3 是輸入時脈頻率與盲區關係的一示意圖；

圖 4 是本發明相位頻率偵測器操作在高頻帶(2.5GHz)的時序圖，說明頻率鎖定狀態；

圖 5 是本發明相位頻率偵測器操作在高頻帶(2.5GHz)的時序圖，說明迴授頻率信號相位超前狀態；

圖 6 是本發明相位頻率偵測器操作在高頻帶(2.5GHz)的時序圖，說明迴授頻率信號相位落後狀態；

圖 7 為本發明相位頻率偵測器應用在高時脈頻率的鎖相迴路裝置的一第二實施例的系統圖；

圖 8 是第二實施例的第一脈衝產生器的電路圖；

圖 9 是第一脈衝產生器的操作時序圖；

圖 10 為第二實施例的相位頻率偵測器操作在低頻帶(1GHz)之時序圖，說明頻率鎖定狀態；

圖 11 為第二實施例的相位頻率偵測器操作在低頻帶(1GHz)之時序圖，說明迴授頻率信號相位超前狀態；及

圖 12 為第二實施例的相位頻率偵測器操作在低頻帶(1GHz)之時序圖，說明迴授頻率信號相位落後狀態。

### 【實施方式】

【0017】在本發明被詳細描述前，應當注意在以下的說明內容中，類似的元件是以相同的編號來表示。

【0018】參閱圖 1，為本發明具有高性能最小盲區脈衝門鎖功能的相位頻率偵測器應用在高時脈頻率的鎖相迴路裝置的一第一實施

例，其中，鎖相迴路裝置包含一頻率調整器1、一除頻器(Frequency divider, FD) 2與一相位頻率偵測器3。

**【0019】** 頻率調整器1接收一上數信號UP與一下數信號DN，且據以產生一時鐘頻率信號，其中，該時鐘頻率信號的一操作頻率正相關於該上數信號的脈波寬度，該操作頻率反相關於該下數信號的脈波寬度。頻率調整器1包括一電荷幫浦11、一迴路濾波器12、一電壓控制振盪器13。電荷幫浦11接收上數信號UP與下數信號DN，且產生一頻率調整信號。迴路濾波器12電連接該電荷幫浦11以接收該頻率調整信號，請對該頻率調整信號進行濾波產生一濾波信號。電壓控制振盪器13電連接迴路濾波器12以接收該濾波信號，且根據該濾波信號進行電壓振盪產生該時鐘頻率信號。

**【0020】** 除頻器2電連接該頻率調整器1以接收時鐘頻率信號，產生一頻率正比該時鐘頻率信號的迴授頻率信號(CKFEB)。

**【0021】** 參閱圖2，當參考頻率信號(CKREF)的週期時間的一半( $T_{ck}/2$ )小於反相重置信號的重置寬度時間( $T_{reset}$ )時，相位頻率偵測器3電連接該除頻器2與該頻率調整器1，且包括一第一脈衝門鎖電路31、一第二脈衝門鎖電路32、一第一保持器41、一第二保持器42、一第一反相器51、一第二反相器52、一重置電路6。

**【0022】** 第一脈衝門鎖電路31接收一反相重置信號與一參考頻率信號且據以產生一第一儲存信號，當該反相重置信號與該參考頻率

信號皆為一第一邏輯準位(high)時，該第一儲存信號為一反相於該第一邏輯準位的第二邏輯準位(low)。

**【0023】** 該第一脈衝閘鎖電路31包括一第一下拉電晶體MN1、一第二下拉電晶體MN2、一第一上拉電晶體MP1，該第一下拉電晶體MN1MP1具有一電連接該第一反相器51的第一輸入端的第一端、一第二端與一接收反相重置信號的控制端。第二下拉電晶體MN2具有一電連接第一下拉電晶體MN1MP1的第二端的第一端、一接地(GND)的第二端，與一接收參考頻率信號的控制端。第一上拉電晶體MP1具有一電連接該第一下拉電晶體MN1的第一端的第一端、一接受一工作電壓(VDD)的第二端，與一接收反相重置信號的控制端。

**【0024】** 第二脈衝閘鎖電路32接收反相重置信號與迴授頻率信號，且據以產生一第二儲存信號，當反相重置信號與迴授頻率信號皆為一第一邏輯準位時，第二儲存信號為一反相於該第一邏輯準位的第二邏輯準位。該第二脈衝閘鎖電路32包括一第三下拉電晶體MN3、一第四下拉電晶體MN4、一第二上拉電晶體MP2。第三下拉電晶體MN3具有一電連接該第二反相器52的第二輸入端的第一端、一第二端與一接收該反相重置信號的控制端。第四下拉電晶體MN4具有一電連接該第三下拉電晶體MN3的第二端的第一端、一接地(GND)的第二端與一接收該迴授頻率信號的控制端。第二上拉

電晶體MP2具有一電連接該第三下拉電晶體MN3的第一端的第一端、一接受一工作電壓(VDD)的第二端與一接收該反相重置信號的控制端。其中，第一上拉電晶體MP1與第二上拉電晶體MP2是P型金氧半場效電晶體(以下簡稱PMOS)，第一端是汲極、第二端是源極、控制端是閘極。其中，第一下拉電晶體MN1、第二下拉電晶體MN2、第三下拉電晶體MN3、一第四下拉電晶體MN4是N型金氧半場效電晶體(以下簡稱NMOS)，第一端是汲極、第二端是源極、控制端是閘極。

**【0025】** 第一反相器51具有一電連接該第一脈衝門鎖電路31以接收該第一儲存信號的第一輸入端，與一第一輸出端，且將該第一儲存信號進行反相以產生一上數信號，從該第一輸出端輸出該上數信號。

**【0026】** 第二反相器52具有一電連接該第二脈衝門鎖電路32以接收該第二儲存信號的第二輸入端，與一第二輸出端，且將該第二儲存信號進行反相以產生一下數信號，從該第二輸出端輸出該下數信號。

**【0027】** 第一保持器41電連接該第一反相器51的該第一輸出端與該第一輸入端之間，用以保持該上數信號的電位。第一保持器41包括第一保持電晶體K1與第二保持電晶體K2。

**【0028】** 第一保持電晶體K1具有一電連接該第一反相器51的第

一輸入端的第一端、一接受一工作電壓(VDD)的第二端，與一電連接該第一反相器51的第一輸出端以接收該上數信號的控制端。第二保持電晶體K2具有一電連接該第二下拉電晶體MN2的第一端的第一端、一接地的第二端，與一電連接該第一反相器51的第一輸出端以接收該上數信號的控制端。

**【0029】** 第二保持器42電連接該第二反相器52的該第二輸出端與該第二輸入端之間，用以保持該下數信號的電位，該第二保持器42包括第三保持電晶體K3與第四保持電晶體K4。該第三保持電晶體K3具有一電連接該第二反相器52的第二輸入端的第一端、一接受一工作電壓(VDD)的第二端，與一電連接該第二反相器52的第二輸出端以接收該下數信號的控制端。該第四保持電晶體K4具有一電連接該第四下拉電晶體MN4的第一端的第一端、一接地的第二端，與一電連接該第二反相器52的第二輸出端以接收該下數信號的控制端。

**【0030】** 重置電路6電連接該第一脈衝閘鎖電路31與該第二脈衝閘鎖電路32，且電連接該第一反相器51的第一輸出端與該第二反相器52的第二輸出端以分別接收該上數信號與該下數信號，且根據該上數信號與該下數信號產生該反相重置信號，當該上數信號與該下數信號皆為該第一邏輯準位(high)時，該反相重置信號為該第二邏輯準位(low)。重置電路6包括一反及閘(NAND)，該反及閘具有

一電連接該第一反相器51的第一輸出端以接收該上數信號的第一端、電連接該第二反相器52的第二輸出端以接收該下數信號的第二端，與一用以輸出該反相重置信號的輸出端。

**【0031】** 以下說明相位頻率偵測器3的各電晶體的切換操作，當電路電源(VDD)開啟瞬間，電路中所有節點的電位皆為零，因此第一上拉電晶體MP1與第一保持電晶體K1導通，第一下拉電晶體MN1、一第二下拉電晶體MN2，及第二保持電晶體K2不導通，第一上拉電晶體MP1將VDD高電位傳輸至節點q，節點q的第一儲存信號的準位變為高電位，第一儲存信號經過第一反相器51後至輸出上數信號UP，上數信號UP訊號準位變為低電位，第一保持電晶體K1保持導通狀態而第二保持電晶體K2保持不導通，上數信號及下數信號皆為低電位時，反及閘(NAND gate)所輸出的反相重置信號將變為高電位，控制第一上拉電晶體MP1為不導通而第一下拉電晶體MN1為導通，接著等待參考頻率信號(CKREF)或迴授頻率信號(CKFEB)是否變為高電位，若參考頻率信號(CKREF)或迴授頻率信號(CKFEB)為低電位，則第二下拉電晶體MN2關閉，第一下拉電晶體MN1與第二下拉電晶體MN2疊接組成的下拉路徑關閉，節點q之訊號準位保持在相同電位，若參考頻率信號(CKREF)或迴授頻率信號(CKFEB)變為高電位，則第二下拉電晶體MN2導通，第一下拉電晶體MN1與第二下拉電晶體MN2疊接組成的下拉

路徑開啟，節點  $q$  之第一儲存信號的準位下拉至低電位(或邏輯 0)，此時，第一儲存信號經過第一反相器 51 後至輸出上數信號 UP，上數信號 UP 訊號準位變為高電位，第一保持電晶體 K1 不導通而第二保持電晶體 K2 導通，第二保持電晶體 K2 將第一下拉電晶體 MN1 的源極與第二下拉電晶體 MN2 的汲極間之節點保持在低電位(或邏輯 0)以保持上數信號 UP 之準位狀態，當上數信號 UP 及下數信號 DN 皆變為高電位時，反及閘所輸出的反相重置信號將變為低電位，因此將電路重置，也就是說節點  $q$  的第一儲存信號變為高電位，上數信號 UP 及下數信號 DN 皆變為低電位，然後反及閘所輸出的反相重置信號回復為高電位，繼續等待下一個參考頻率信號 (CKREF) 或迴授頻率信號 (CKFEB) 的高電位到來。

【0032】兩輸入時脈，參考頻率信號(以下簡稱 CKREF)、迴授頻率信號(以下簡稱 CKFEB)為連續時間週期信號，相位頻率偵測器 3 在暫態響應頻率擷取 (Frequency acquisition) 期間，作為頻率偵測器使用，而當兩輸入時脈 CKREF 與 CKFEB 頻率相同時，則換作為相位偵測器使用，直到頻率與相位皆相等，於頻率擷取期間，若參考頻率信號 CKREF、迴授頻率信號 CKFEB 的時脈頻率不相同，在每個時脈週期上偵測出與時脈頻率差等量之相位差，因此兩時脈頻率差與相位差之關係可表示為如下公式  $\Delta\Phi_{cycle} = \pm 2\pi \times \frac{\Delta f}{f_{faster}}$ ，其中，參數  $\Delta\Phi_{cycle}$  的定義為每週期相位差， $\Delta f$  的定義為兩輸

入時脈頻率差， $f_{\text{faster}}$  的定義為參考頻率信號CKREF與迴授頻率信號CKFEB的兩時脈頻率的最快頻率值或可表示為  $\max(f_{\text{CKREF}}, f_{\text{CKFEB}})$ 。於頻率擷取期間，每週期相位差  $\Delta\Phi_{\text{cycle}}$  沿著 0 到  $2\pi$  之相位頻率偵測器輸入/輸出轉移曲線（I/O transfer curve）步進，因連續時間週期信號而一直重覆掃描，相位頻率偵測器輸入/輸出特性曲線可由差動輸出上數信號UP 與下數信號DN 之時間差平均（輸入相位差 0 到  $2\pi$ ）來表示，如下公式：

$$\begin{aligned} & (Q_{\text{UP}} - Q_{\text{DN}})_{\text{ave}} \\ & = [(Q_{\text{UP}} - Q_{\text{DN}}) \times f_{\text{CK}}]_{\text{ave}} \\ \text{【0033】} & = \Delta\Phi \times \frac{\alpha(f_{\text{CK}})}{2\pi} \\ & = \Delta\Phi \times K_{\text{PFD0}} \times \alpha(f_{\text{CK}}) \\ & = \Delta\Phi \times K_{\text{PFD}}(f_{\text{CK}}) \end{aligned}$$

【0034】其中， $f_{\text{CK}}$  為參考頻率信號CKREF的輸入時脈頻率， $K_{\text{PFD0}}$  為理想的相位頻率偵測器增益（ $1/2\pi$ ）， $\alpha(f_{\text{CK}})$  為高頻衰減因數。高頻衰減因數隨輸入時脈頻率改變而改變，且與輸入時脈頻率成反比，即輸入時脈頻率越大高頻衰減因數越小，當高頻衰減因數  $\alpha(f_{\text{CK}}) = 0$  時，即為相位頻率偵測器最大操作頻率。相位頻率偵測器之高頻衰減因數如下公式：

$$\text{【0035】} \text{ 當 } f_{\text{CK}} \leq \frac{1}{2T_{\text{reset}} - T_{\text{CP}}} \text{ 時， } \alpha(f_{\text{CK}}) = 1 - \frac{\text{BZ}(f_{\text{CK}})}{\pi} - C^2$$

$$\text{【0036】} \text{ } f_{\text{CK}} > \frac{1}{2T_{\text{reset}} - T_{\text{CP}}} \text{ 時， } \alpha(f_{\text{CK}}) = \left[ 1 - \frac{\text{BZ}(f_{\text{CK}})}{\pi} \right] \times \left[ 2 - \frac{\text{BZ}(f_{\text{CK}})}{\pi} - 2C \right]$$

【0037】其中，參數  $T_{\text{reset}}$  為重置迴路之傳輸延遲時間，參數  $T_{\text{CP}}$  為

輸入時脈脈衝（ $CP_{REF}$ 或 $CP_{FEB}$ ）寬度，參數 $BZ(f_{CK})$ 為盲區大小，盲區大小隨輸入時脈頻率不同而不同，且與輸入時脈頻率成正比，即輸入時脈頻率越大盲區越大，參數 $C$ 為輸入時脈脈衝寬度與輸入時脈頻率的乘積即  $C = T_{CP} \times f_{CK}$ 。由上述公式得知，高頻衰減因數 $\alpha(f_{CK})$ 大小將決定相位頻率偵測器3的性能優劣。

**【0038】** 其中，相位頻率偵測器3的盲區的定義如下說明，當上數信號UP與下數信號DN皆輸出邏輯1(高準位)時，反相重置信號轉態為邏輯0(低準位)，此時相位頻率偵測器3進入重置狀態使上數信號UP與下數信號DN被重置為邏輯0，不管參考頻率信號CKREF或迴授頻率信號CKFEB從邏輯0轉態為邏輯1，都無法觸發相位頻率偵測器3所輸出的上數信號UP與下數信號DN轉態，直到重置狀態結束即反相重置信號恢復為邏輯1。所以當相位頻率偵測器3進入重置狀態期間，就像盲子一樣對任何輸入轉態變化視而不見，因此重置迴路傳輸延遲時間  $T_{reset}$  將會影響相位頻率偵測器3之輸入時脈頻率速度快慢與盲區大小，因此，相位頻率偵測器3之重置寬度時間( $T_{reset}$ )，如公式  $T_{reset} = t_{Q \rightarrow \overline{RST}} + \Delta R + t_{\overline{RST} \rightarrow Q}$ 。

**【0039】** 其中  $t_{Q \rightarrow \overline{RST}}$  為上數信號UP(或下數信號DN)到反相重置信號的延遲時間， $\Delta R$  為反相重置信號的脈衝寬度， $t_{\overline{RST} \rightarrow Q}$  為反相重置信號到上數信號UP(或下數信號DN)的延遲時間。本發明相位頻率偵測器3之最大操作頻率如下公式：

$$\text{【0040】 } f_{\text{CK\_max}} = \frac{1}{2(T_{\text{reset}} - T_{\text{CP}})}$$

【0041】 盲區大小的公式如下：

$$\text{【0042】 } \text{BZ}(f_{\text{CK}}) = 2\pi \times (T_{\text{reset}} - T_{\text{CP}}) \times f_{\text{CK}}$$

【0043】 接著，探討參考頻率信號CKREF的輸入時脈頻率  $f_{\text{CK}}$  與輸入時脈脈衝寬度  $T_{\text{CP}}$  之關係，如果輸入時脈頻率的半週期  $T_{\text{CK}} (= 1/f_{\text{CK}})/2 \geq T_{\text{reset}}$ ，且假設  $T_{\text{CP}} \ll T_{\text{reset}}$  時，差動輸出  $\overline{Q_{\text{UP}} - Q_{\text{DN}}}$  將提前反轉為負值，即盲區  $\text{BZ}(f_{\text{CK}})$  增大，然後假設  $T_{\text{CP}} \approx T_{\text{reset}}$ ，可得到最佳  $\text{BZ}(f_{\text{CK}})$  值，再來假設  $T_{\text{CP}} \gg T_{\text{reset}}$ ，則差動輸出  $\overline{Q_{\text{UP}} - Q_{\text{DN}}}$  將有振盪情形發生，因此， $T_{\text{CP}}$  設計如下公式：

$$\text{【0044】 } T_{\text{CP}} \approx T_{\text{reset}}, \text{ for } f_{\text{CK}} \leq \frac{1}{2T_{\text{reset}}}$$

【0045】 又如果輸入時脈頻率的半週期  $T_{\text{CK}}/2 < T_{\text{reset}}$ ，且假設  $T_{\text{CP}} \ll 1/(2f_{\text{CK}})$  時，差動輸出  $\overline{Q_{\text{UP}} - Q_{\text{DN}}}$  將提前反轉為負值，那麼  $\text{BZ}(f_{\text{CK}})$  增大，然後假設  $T_{\text{CP}} \approx 1/(2f_{\text{CK}})$ ，可得到最佳  $\text{BZ}(f_{\text{CK}})$  值，再來假設  $T_{\text{CP}} \gg 1/(2f_{\text{CK}})$ ，則差動輸出  $\overline{Q_{\text{UP}} - Q_{\text{DN}}}$  將提前反轉為負值， $\text{BZ}(f_{\text{CK}})$  增大，因此， $T_{\text{CP}}$  設計如下公式：

$$\text{【0046】 } T_{\text{CP}} \approx 1/(2f_{\text{CK}}), \text{ for } f_{\text{CK}} > \frac{1}{2T_{\text{reset}}}$$

【0047】 由上述公式得知，當  $f_{\text{CK}} > 1/(2T_{\text{reset}})$  時， $T_{\text{CP}} \approx 1/(2f_{\text{CK}})$ ，可將最大操作頻率重新寫如下： $f_{\text{CK\_max}} = \frac{1}{T_{\text{reset}}}$ ，為傳統具重置迴路相位頻率偵測器的兩倍，傳統相位頻率偵測器的最大操作頻率為  $f_{\text{CK\_max}} = 1/(2T_{\text{reset}})$  及  $\text{BZ}(f_{\text{CK}}) = \pi$ 。參閱圖3，為輸入時脈頻率、 $T_{\text{reset}}$ 、

$T_{CP}$ 、 $BZ(f_{CK})$ 、以及  $K_{PFD}(f_{CK})$  之關係圖，當輸入時脈頻率  $f_{CK} \leq 1/(2T_{reset})$  時，盲區  $BZ(f_{CK})$  與增益  $K_{PFD}(f_{CK})$  大小隨頻率上昇衰減幅度較小，則當  $f_{CK} > 1/(2T_{reset})$  時，盲區  $BZ(f_{CK})$  與增益  $K_{PFD}(f_{CK})$  大小隨頻率上昇衰減斜率較大，因此我們發現如果重置迴路傳輸延遲時間  $T_{reset}$  可以被減少，使得輸入時脈頻率可推向更高操作頻率與維持較小  $BZ(f_{CK})$  及較大  $K_{PFD}(f_{CK})$ 。

**【0048】** 參閱圖4~6，為本發明相位頻率偵測器操作在高頻帶(2.5GHz)之時序圖，其中，圖4是迴授頻率信號CKFEB與參考頻率信號CKREF相位一致(相位差= $0\pi$ )時，為頻率鎖定狀態。圖5是迴授頻率信號CKFEB相位超前參考頻率信號CKREF(相位差= $0.5\pi$ )時，下數信號的脈波寬度大於上數信號的脈波寬度以將迴授頻率信號CKFEB的頻率降下。圖6是迴授頻率信號CKFEB相位落後參考頻率信號CKREF(相位差= $1.0\pi$ )時，上數信號的脈波寬度大於下數信號的脈波寬度以將迴授頻率信號CKFEB的頻率拉升。

**【0049】** 參閱圖7，為本發明相位頻率偵測器應用在高時脈頻率的鎖相迴路裝置的一第二實施例，當該參考頻率信號的週期時間的一半( $T_{ck}/2$ )大於或等於該反相重置信號的重置寬度時間( $T_{reset}$ )時，與第一實施例的差異是，相位頻率偵測器3還包含一第一脈衝產生器71與一第二脈衝產生器72。

【0050】該第一脈衝產生器71用以接收參考頻率信號，且將該參考頻率信號的脈衝寬度進行縮短產生一縮短後的脈衝寬度，以傳送到第一脈衝閘鎖電路31的第二下拉電晶體MN2。參閱圖8，該第一脈衝產生器71包括一緩衝器711、一傳輸電晶體(Pass transistor) 712、一第五下拉電晶體MN5。

【0051】該緩衝器711具有一接收該原始參考頻率信號的輸入端與一輸出端，該緩衝器711將該原始參考頻率信號進行延遲後產生一延遲信號，從該輸出端輸出，緩衝器711是一種非反向延遲元件(Non-inverting delay element)。傳輸電晶體712具有一電連接該第二下拉電晶體MN2的第一端、一輸出該參考頻率信號的第二端，與一電連接該緩衝器711的輸出端的控制端，傳輸電晶體712是PMOS。該第五下拉電晶體MN5具有一電連接該傳輸電晶體712的第一端的第一端、一接地的第二端，與一電連接該緩衝器711的輸出端的控制端，第五下拉電晶體MN5是NMOS。參閱圖9，是該第一脈衝產生器71的操作時序圖，其中，參數CKREF是輸入到傳輸電晶體712的參考頻率信號、參數CK $\Delta$ 是緩衝器711所輸出的延遲信號，用來控制第五下拉電晶體MN5與傳輸電晶體712、參數CP是傳輸電晶體712所輸出的縮短脈衝後的參考頻率信號，參數t<sub>PW</sub>是縮短脈衝後的脈衝寬度時間，當延遲信號CK $\Delta$ 的準位為低電位時，傳輸電晶體712導通而第五下拉電晶體MN5不導通，傳輸電晶

體712傳輸原始參考頻率信號的部分脈衝寬度，直到當延遲信號CK $\Delta$ 準位為高電位時，傳輸電晶體712轉為不導通而第五下拉電晶體MN5轉為導通，第五下拉電晶體MN5將傳輸電晶體712的第二端的準位下拉至低電位或零，產生縮短脈衝寬度的參考頻率信號。

【0052】該第二脈衝產生器72電連接該除頻器2用以接收迴授頻率信號，且將該迴授頻率信號的脈衝寬度進行縮短產生一縮短後的脈衝寬度，以傳送到第二脈衝閘鎖電路32的第四下拉電晶體MN4，其中，該參考頻率信號與該迴授頻率信號該縮短後的脈衝寬度接近該反相重置信號的重置寬度時間(Treset)，該第二脈衝產生器72所包含電路元件相同於第一脈衝產生器71，故不重述。

【0053】參閱圖10~12，為第二實施例的相位頻率偵測器3操作在低頻帶(1GHz)之時序圖，其中，圖10是迴授頻率信號CKFEB與參考頻率信號CKREF相位一致(相位差=0 $\pi$ )時，為頻率鎖定狀態，其中，縮短參考脈衝是參考頻率信號CKREF經過縮短脈衝後所產生，縮短迴授脈衝是迴授頻率信號CKFEB經過縮短脈衝後所產生。圖11是迴授頻率信號CKFEB相位超前參考頻率信號CKREF(相位差=0.5 $\pi$ )時，下數信號的脈波寬度大於上數信號的脈波寬度以將迴授頻率信號CKFEB的頻率降下。圖12是迴授頻率信號CKFEB相位落後參考頻率信號CKREF(相位差=1.0 $\pi$ )時，上數信號的脈波寬度大於下數信號的脈波寬度以將迴授頻率信號

CKFEB的頻率拉升。

**【0054】** 綜上所述，上述實施例具有以下優點：一、第一脈衝門鎖電路31只使用第一下拉電晶體MN1與第二下拉電晶體MN2共二顆電晶體作為q點準位下拉路徑，有利於降低第一上拉電晶體MP1的設計面積(根據CMOS電路電晶體寬度設計原理)。二、使用第一保持器41與第一反相器51的電路連接取代傳統使用二顆反相器的全門鎖電路。三、反相重置信號的路徑只需要經過第一脈衝門鎖電路31的第一下拉電晶體MN1與第一上拉電晶體MP1、第一反相器51、重置電路6。四、據一至三所述，有效降低反相重置信號的傳輸延遲時間、達到縮小盲區、提昇輸入時脈頻率速度、減少占用面積、節省晶片製作成本。五、特別是操作於高頻時，相位頻率偵測器3的最大操作頻率為傳統具重置迴路相位頻率偵測器的兩倍，可省略第一脈衝產生器71與第二脈衝產生器72，有利於降低功率消耗，減少占用面積，節省晶片製作成本。

**【0055】** 惟以上所述者，僅為本發明的實施例而已，當不能以此限定本發明實施的範圍，凡是依本發明申請專利範圍及專利說明書內容所作的簡單的等效變化與修飾，皆仍屬本發明專利涵蓋的範圍內。

## **【符號說明】**

### **【0056】**

1	頻率調整器
11	電荷幫浦
12	迴路濾波器
13	電壓控制振盪器
2	除頻器
3	相位頻率偵測器
31	第一脈衝閃鎖電路
MN1	第一下拉電晶體
MN2	第二下拉電晶體
MP1	第一上拉電晶體
32	第二脈衝閃鎖電路
MN3	第三下拉電晶體
MN4	第四下拉電晶體
MP2	第二上拉電晶體
41	第一保持器
K1	第一保持電晶體
K2	第二保持電晶體
42	第二保持器
K3	第三保持電晶體
K4	第四保持電晶體
51	第一反相器
52	第二反相器
6	重置電路
UP	上數信號

DN …… 下數信號  
VDD …… 工作電壓  
q …… 節點  
71 …… 第一脈衝產生器  
711 …… 緩衝器  
712 …… 傳輸電晶體  
MN5 …… 第五下拉電晶體  
72 …… 第二脈衝產生器

## 【發明申請專利範圍】

【請求項1】一種相位頻率偵測器，包含：

一第一脈衝門鎖電路，接收一反相重置信號與一參考頻率信號且據以產生一第一儲存信號，當該反相重置信號與該參考頻率信號皆為一第一邏輯準位時，該第一儲存信號為一反相於該第一邏輯準位的第二邏輯準位；

一第二脈衝門鎖電路，接收該反相重置信號與一迴授頻率信號且據以產生一第二儲存信號，當該反相重置信號與該迴授頻率信號皆為一第一邏輯準位時，該第二儲存信號為一反相於該第一邏輯準位的第二邏輯準位；

一第一反相器，具有一電連接該第一脈衝門鎖電路以接收該第一儲存信號的第一輸入端，與一第一輸出端，且將該第一儲存信號進行反相以產生一上數信號，從該第一輸出端輸出該上數信號；

一第二反相器，具有一電連接該第二脈衝門鎖電路以接收該第二儲存信號的第二輸入端，與一第二輸出端，且將該第二儲存信號進行反相以產生一下數信號，從該第二輸出端輸出該下數信號；

一第一保持器，電連接該第一反相器的該第一輸出端與該第一輸入端之間，用以保持該上數信號的電位；

一第二保持器，電連接該第二反相器的該第二輸出端與該第二輸入端之間，用以保持該下數信號的電位；及

一重置電路，電連接該第一脈衝門鎖電路與該第二脈衝門鎖電路，且電連接該第一反相器的第一輸出端與該

第二反相器的第二輸出端以分別接收該上數信號與該下數信號，且根據該上數信號與該下數信號產生該反相重置信號，當該上數信號與該下數信號皆為該第一邏輯準位時，該反相重置信號為該第二邏輯準位，

該第一脈衝門鎖電路包括一第一下拉電晶體、一第二下拉電晶體、一第一上拉電晶體，

該第一下拉電晶體具有一電連接該第一反相器的第一輸入端的第一端、一第二端與一接收該反相重置信號的控制端，

該第二下拉電晶體具有一電連接該第一下拉電晶體的第二端的第一端、一接地的第二端，與一接收該參考頻率信號的控制端，

該第一上拉電晶體具有一電連接該第一下拉電晶體的第一端的第一端、一接受一工作電壓的第二端，與一接收該反相重置信號的控制端，

該第一保持器包括第一保持電晶體與第二保持電晶體，

該第一保持電晶體具有一電連接該第一反相器的第一輸入端的第一端、一接受一工作電壓的第二端，與一電連接該第一反相器的第一輸出端以接收該上數信號的控制端，

該第二保持電晶體具有一電連接該第二下拉電晶體的第一端的第一端、一接地的第二端，與一電連接該第一反相器的第一輸出端以接收該上數信號的控制端。

**【請求項2】**如請求項1所述的相位頻率偵測器，其中，該第二脈衝門鎖電路包括一第三下拉電晶體、一第四下拉電晶體、一第二上拉電晶體，

該第三下拉電晶體具有一電連接該第二反相器的第二輸入端的第一端、一第二端與一接收該反相重置信號的控制端，

該第四下拉電晶體具有一電連接該第三下拉電晶體的第二端的第一端、一接地的第二端與一接收該迴授頻率信號的控制端，

該第二上拉電晶體具有一電連接該第三下拉電晶體的第一端的第一端、一接受一工作電壓的第二端與一接收該反相重置信號的控制端。

**【請求項3】**如請求項1所述的相位頻率偵測器，其中，該第二保持器包括第三保持電晶體與第四保持電晶體，

該第三保持電晶體具有一電連接該第二反相器的第二輸入端的第一端、一接受一工作電壓的第二端，與一電連接該第二反相器的第二輸出端以接收該下數信號的控制端，

該第四保持電晶體具有一電連接該第四下拉電晶體的第一端的第一端、一接地的第二端，與一電連接該第二反相器的第二輸出端以接收該下數信號的控制端。

**【請求項4】**如請求項1所述的相位頻率偵測器，其中，該重置電路包括一反及閘，該反及閘具有一電連接該第一反相器的第

一輸出端以接收該上數信號的第一端、電連接該第二反相器的第二輸出端以接收該下數信號的第二端，與一用以輸出該反相重置信號的輸出端。

**【請求項5】**如請求項1所述的相位頻率偵測器，當該參考頻率信號的週期時間的一半大於或等於該反相重置信號的重置寬度時，還包含一第一脈衝產生器與一第二脈衝產生器，

該第一脈衝產生器用以接收一原始參考頻率信號，且將該原始參考頻率信號的脈衝寬度進行縮短產生一縮短後的脈衝寬度，以作為該參考頻率信號，

該第二脈衝產生器用以接收一原始迴授頻率信號，且將該原始迴授頻率信號的脈衝寬度進行縮短產生一縮短後的脈衝寬度，以作為該迴授頻率信號，其中，該參考頻率信號與該迴授頻率信號該縮短後的脈衝寬度接近該反相重置信號的重置寬度。

**【請求項6】**如請求項5所述的相位頻率偵測器，其中，該第一脈衝產生器包括一緩衝器、一傳輸電晶體、一第五下拉電晶體，

該緩衝器具有一接收該原始參考頻率信號的輸入端與一輸出端，該緩衝器將該原始參考頻率信號進行延遲後產生一延遲信號，從該輸出端輸出，

該傳輸電晶體具有一電連接該第二下拉電晶體的第一端、一電連接該緩衝器的輸入端的第二端，與一電連接該緩衝器的輸出端的控制端，

該第五下拉電晶體具有一電連接該傳輸電晶體的第一端的第一端、一接地的第二端，與一電連接該緩衝器的

輸出端的控制端。

【請求項7】如請求項1所述的相位頻率偵測器，其中，該參考頻率信號的週期時間的一半小於該反相重置信號的重置寬度。

【請求項8】一種鎖相迴路裝置，包含：

一頻率調整器，接收一上數信號與一下數信號，且據以產生一時鐘頻率信號，其中，該時鐘頻率信號的一操作頻率正相關於該上數信號的脈波寬度，該操作頻率反相關於該下數信號的脈波寬度；

一除頻器，電連接該頻率調整器以接收時鐘頻率信號，產生一頻率正比該時鐘頻率信號的迴授頻率信號；

一相位頻率偵測器，包括

一第一脈衝閘鎖電路，接收一反相重置信號與一參考頻率信號且據以產生一第一儲存信號，當該反相重置信號與該參考頻率信號皆為一第一邏輯準位時，該第一儲存信號為一反相於該第一邏輯準位的第二邏輯準位；

一第二脈衝閘鎖電路，接收該反相重置信號與該迴授頻率信號，且據以產生一第二儲存信號，當該反相重置信號與該迴授頻率信號皆為一第一邏輯準位時，該第二儲存信號為一反相於該第一邏輯準位的第二邏輯準位；

一第一反相器，具有一電連接該第一脈衝閘鎖電路以接收該第一儲存信號的第一輸入端，與一第一輸出端，且將該第一儲存信號進行反相以產生一上數信號，從

第5頁，共7頁(發明申請專利範圍)

該第一輸出端輸出該上數信號；

一第二反相器，具有一電連接該第二脈衝閘鎖電路以接收該第二儲存信號的第二輸入端，與一第二輸出端，且將該第二儲存信號進行反相以產生一下數信號，從該第二輸出端輸出該下數信號；

一第一保持器，電連接該第一反相器的該第一輸出端與該第一輸入端之間，用以保持該上數信號的電位；

一第二保持器，電連接該第二反相器的該第二輸出端與該第二輸入端之間，用以保持該下數信號的電位；

一重置電路，電連接該第一脈衝閘鎖電路與該第二脈衝閘鎖電路，且電連接該第一反相器的第一輸出端與該第二反相器的第二輸出端以分別接收該上數信號與該下數信號，且根據該上數信號與該下數信號產生該反相重置信號，當該上數信號與該下數信號皆為該第一邏輯準位時，該反相重置信號為該第二邏輯準位，

該第一脈衝閘鎖電路包括一第一下拉電晶體、一第二下拉電晶體、一第一上拉電晶體，

該第一下拉電晶體具有一電連接該第一反相器的第一輸入端的第一端、一第二端與一接收該反相重置信號的控制端，

該第二下拉電晶體具有一電連接該第一下拉電晶體的第二端的第一端、一接地的第二端，與一接收該參考頻率信號的控制端，

該第一上拉電晶體具有一電連接該第一下拉電晶體

第 6 頁，共 7 頁(發明申請專利範圍)

的第一端的第一端、一接受一工作電壓的第二端，與一接收該反相重置信號的控制端，

該第一保持器包括第一保持電晶體與第二保持電晶體，

該第一保持電晶體具有一電連接該第一反相器的第一輸入端的第一端、一接受一工作電壓的第二端，與一電連接該第一反相器的第一輸出端以接收該上數信號的控制端，

該第二保持電晶體具有一電連接該第二下拉電晶體的第一端的第一端、一接地的第二端，與一電連接該第一反相器的第一輸出端以接收該上數信號的控制端。

【發明圖式】

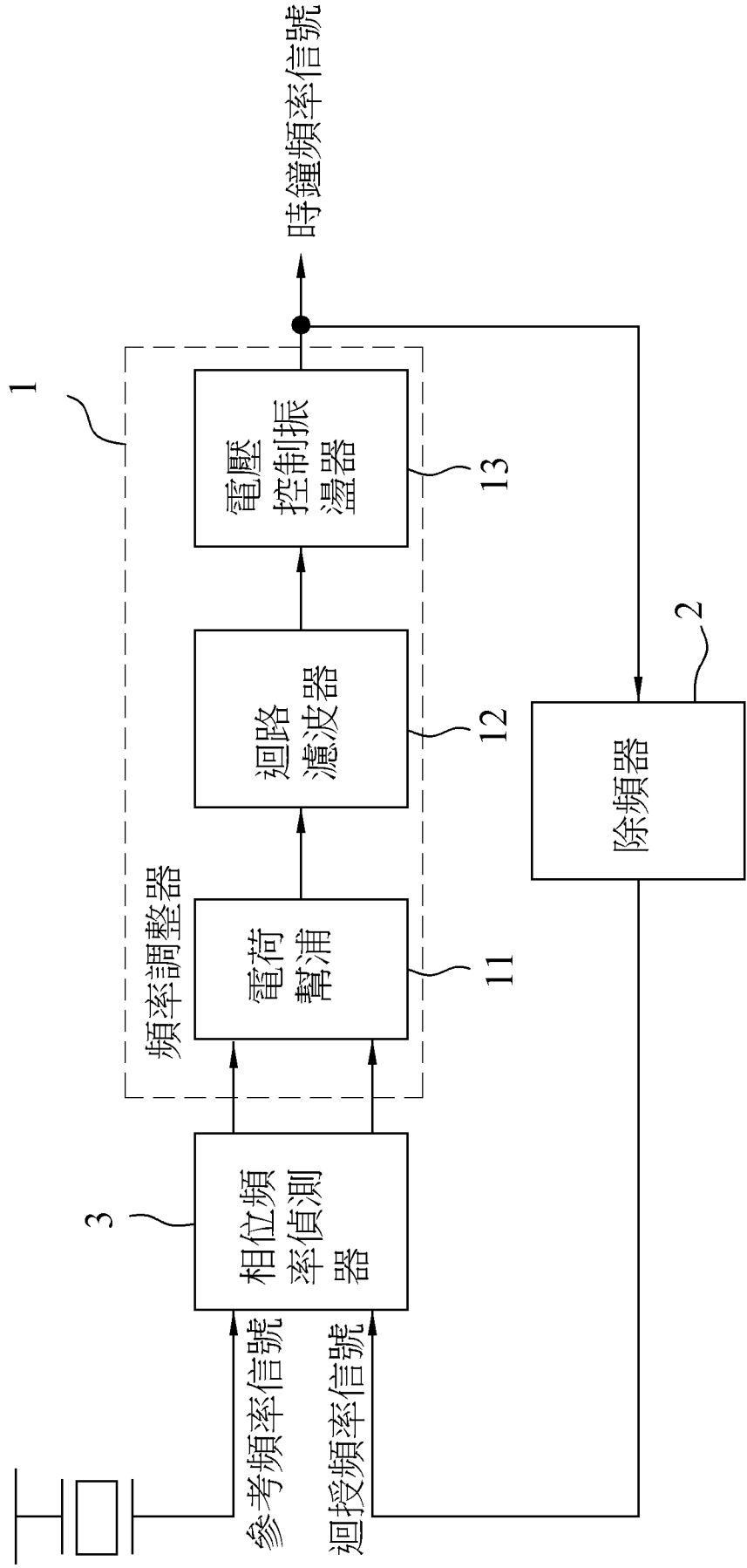


圖1

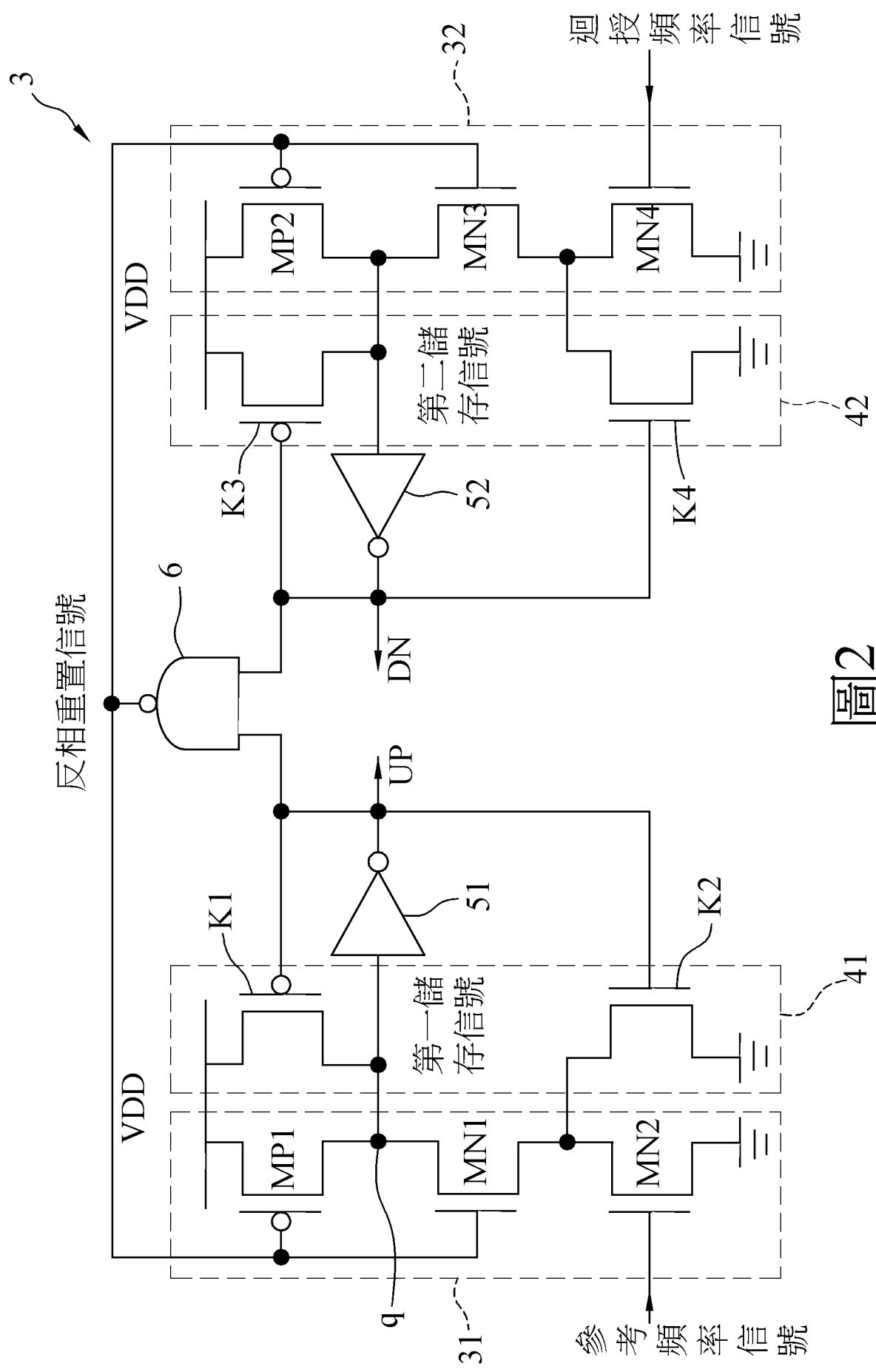


圖2

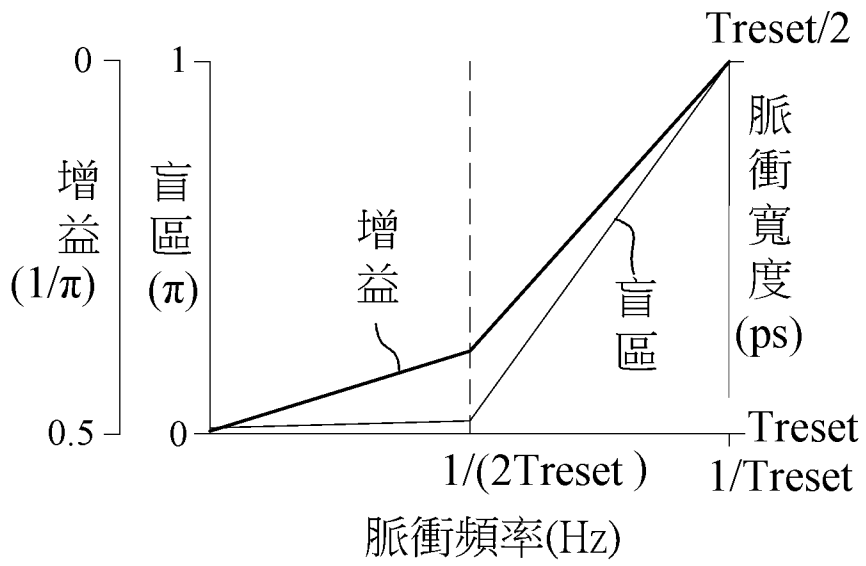


圖3

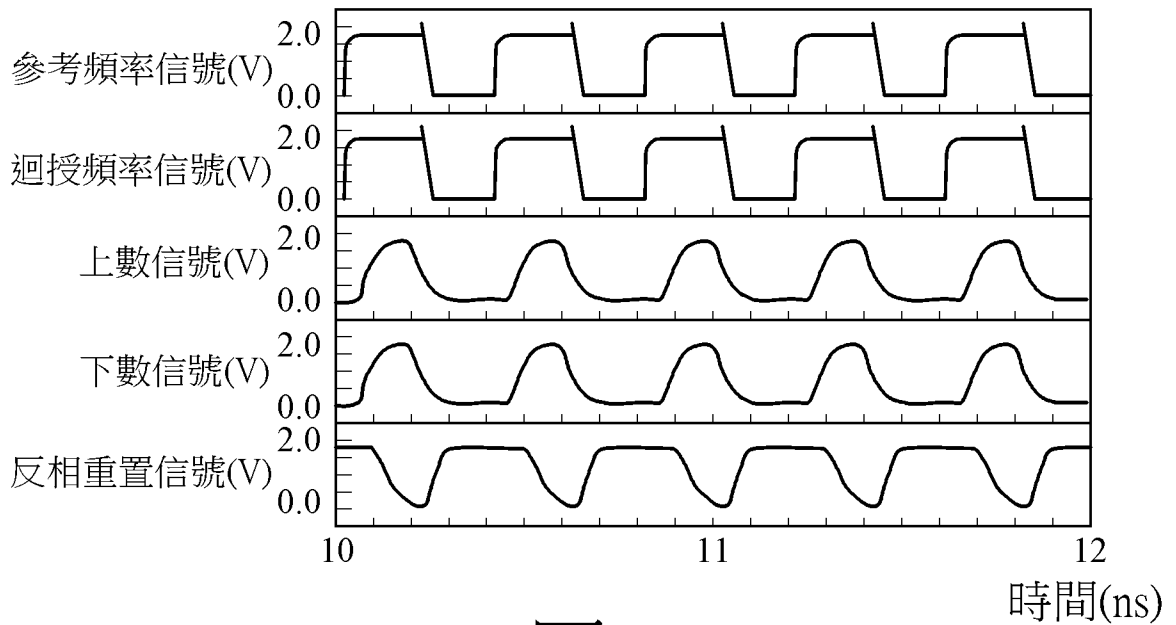


圖4

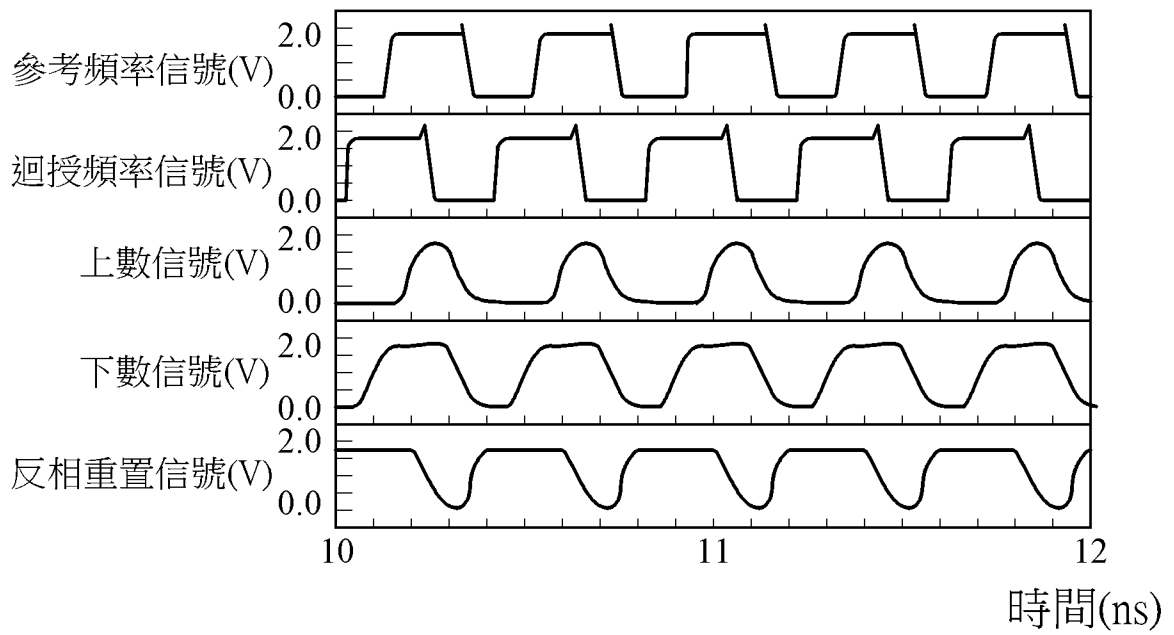


圖5

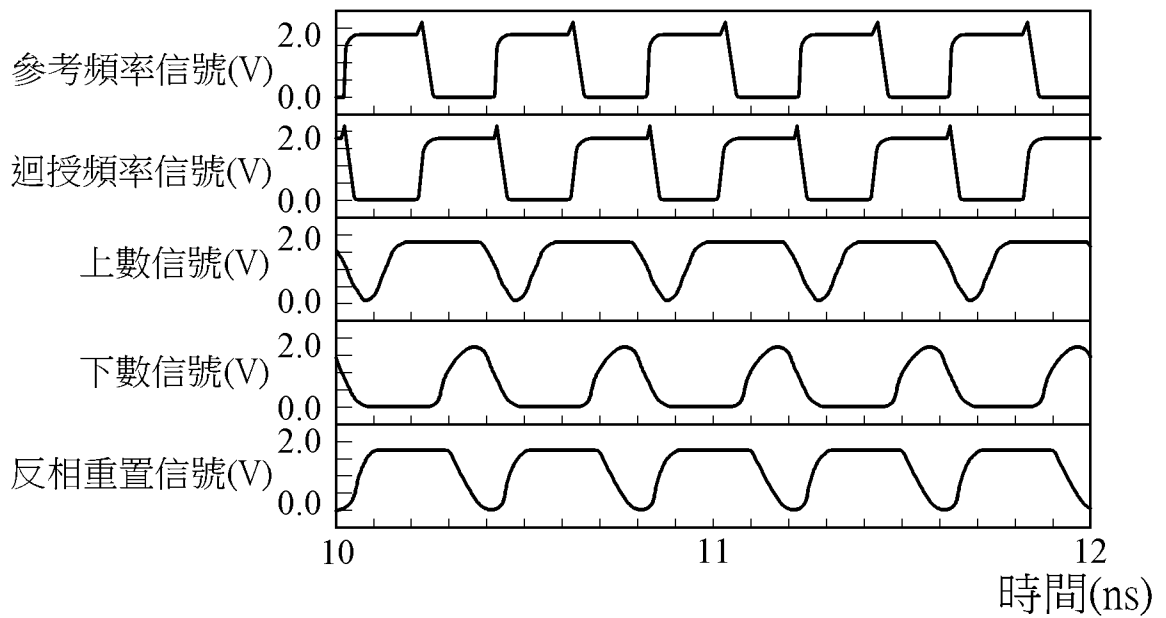


圖6

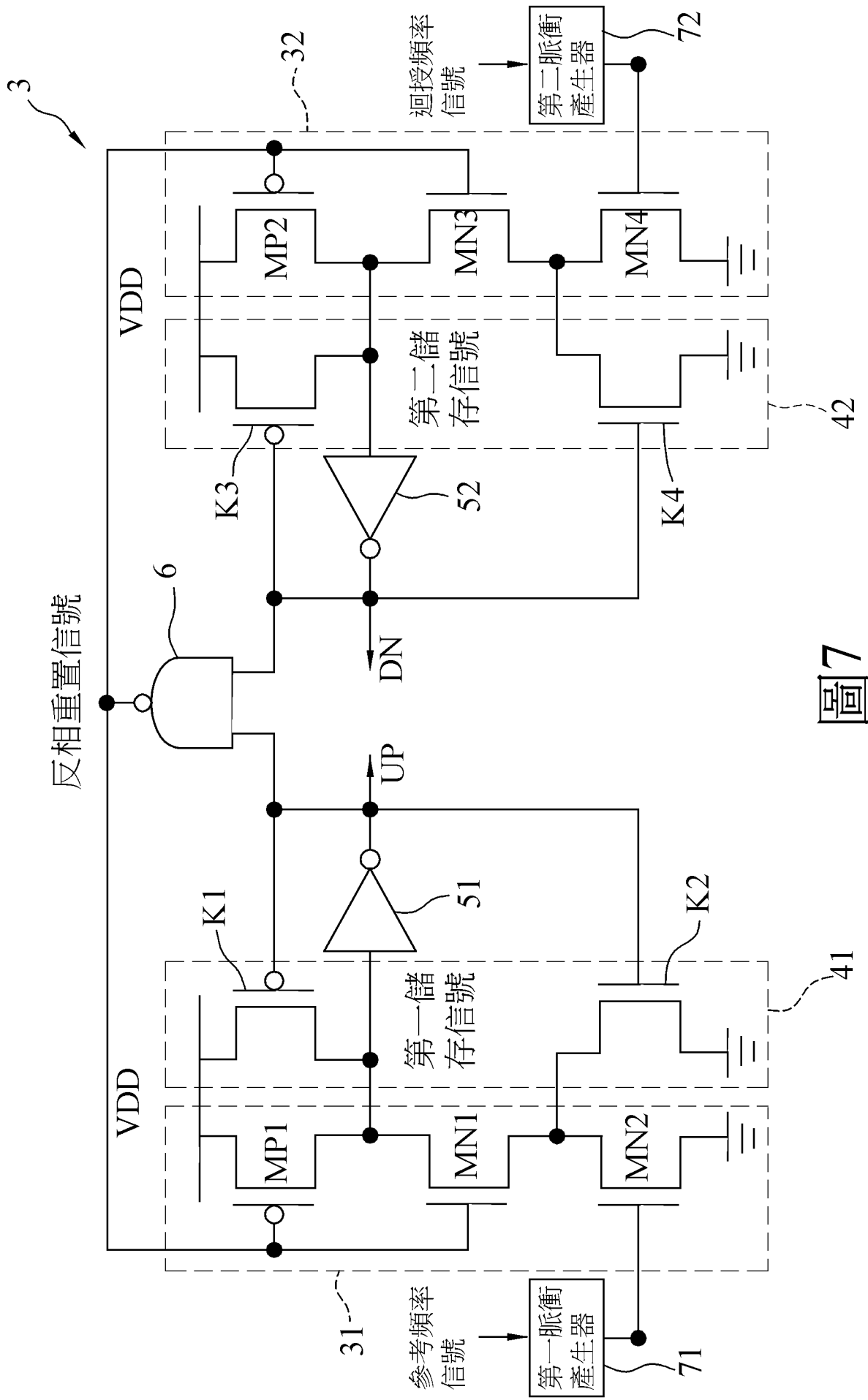


圖7

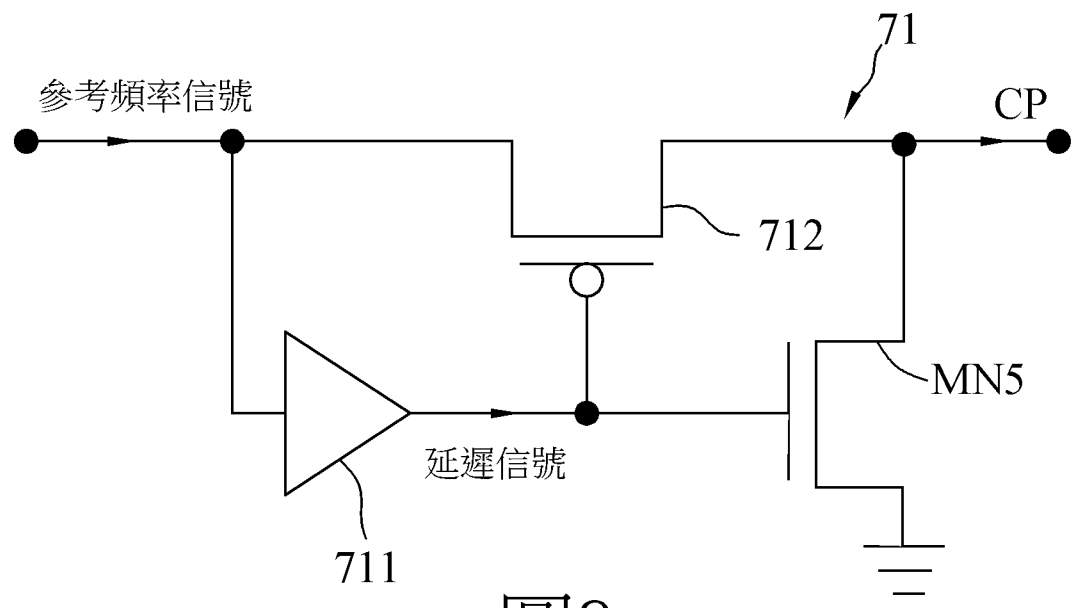


圖8

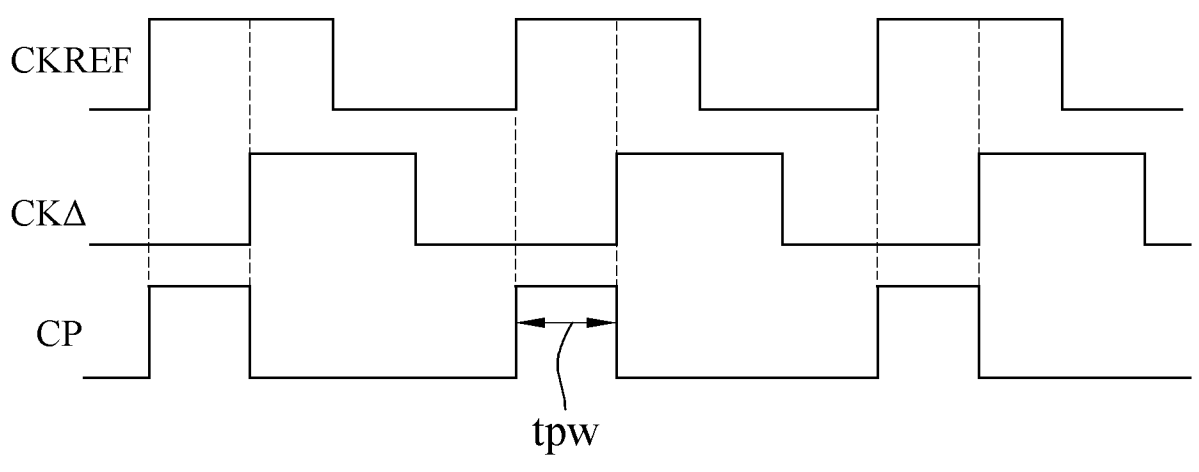


圖9

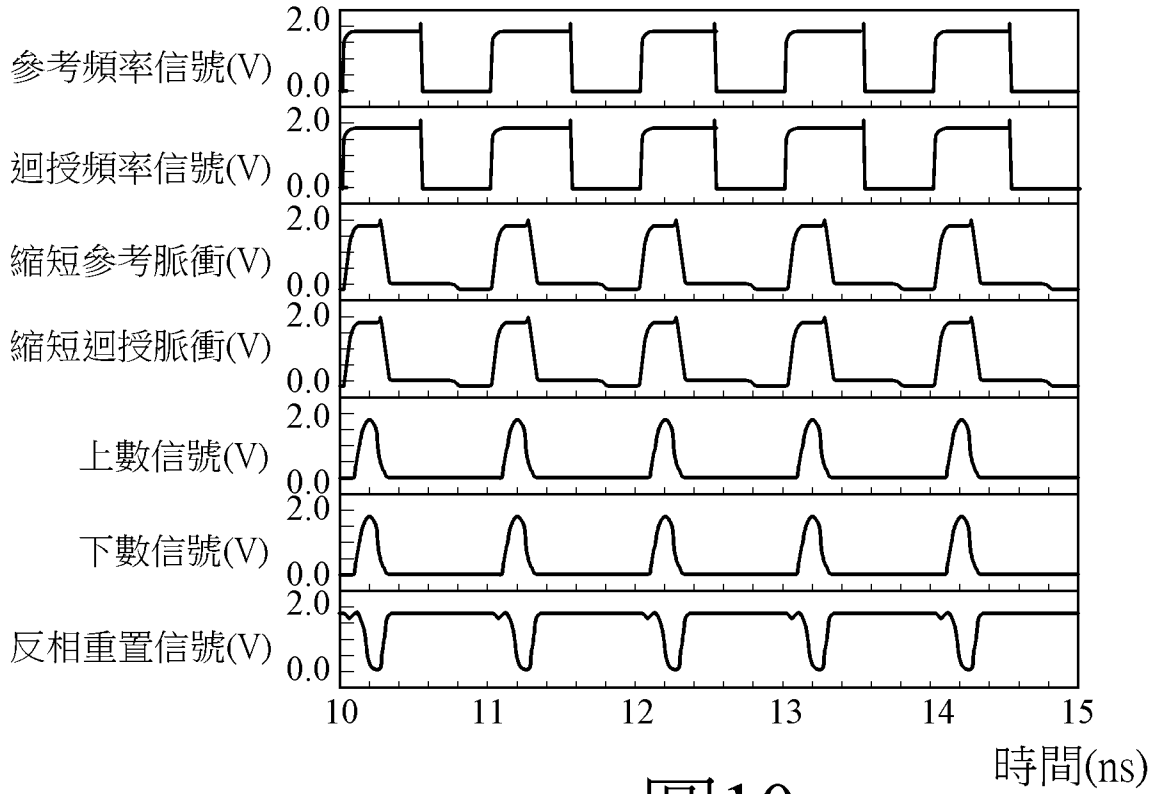


圖 10

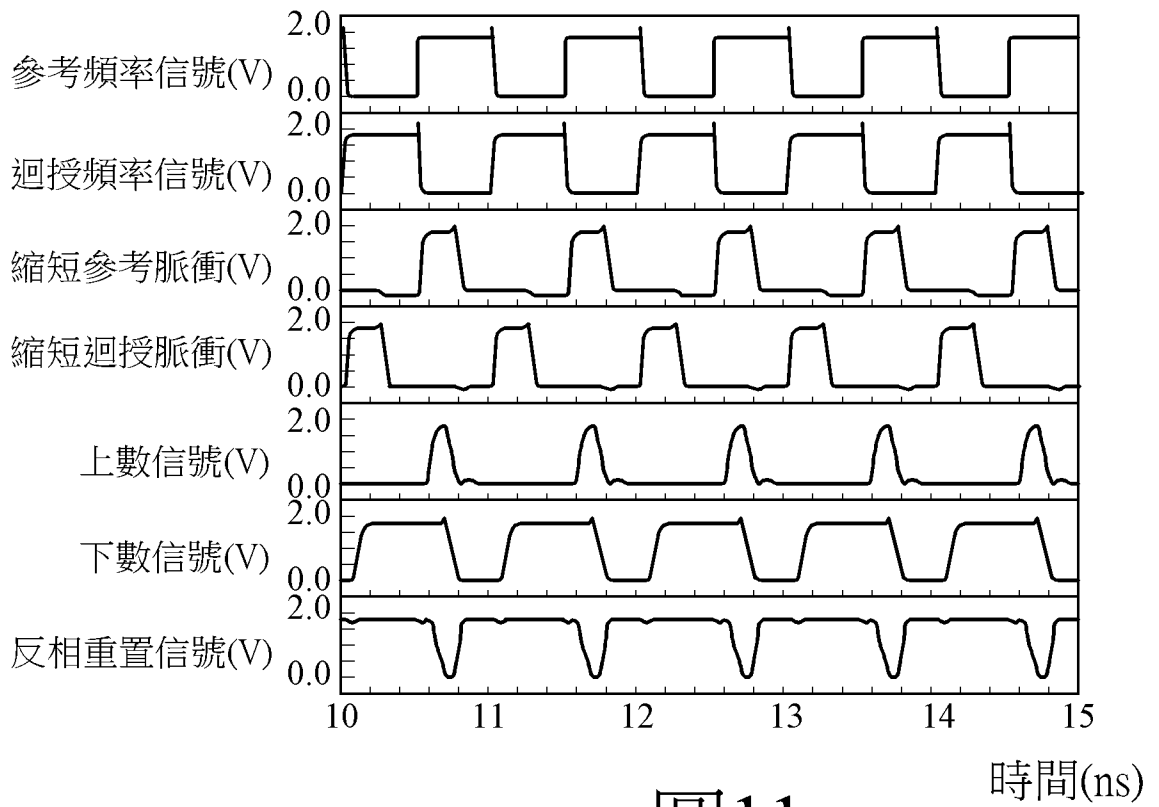


圖 11

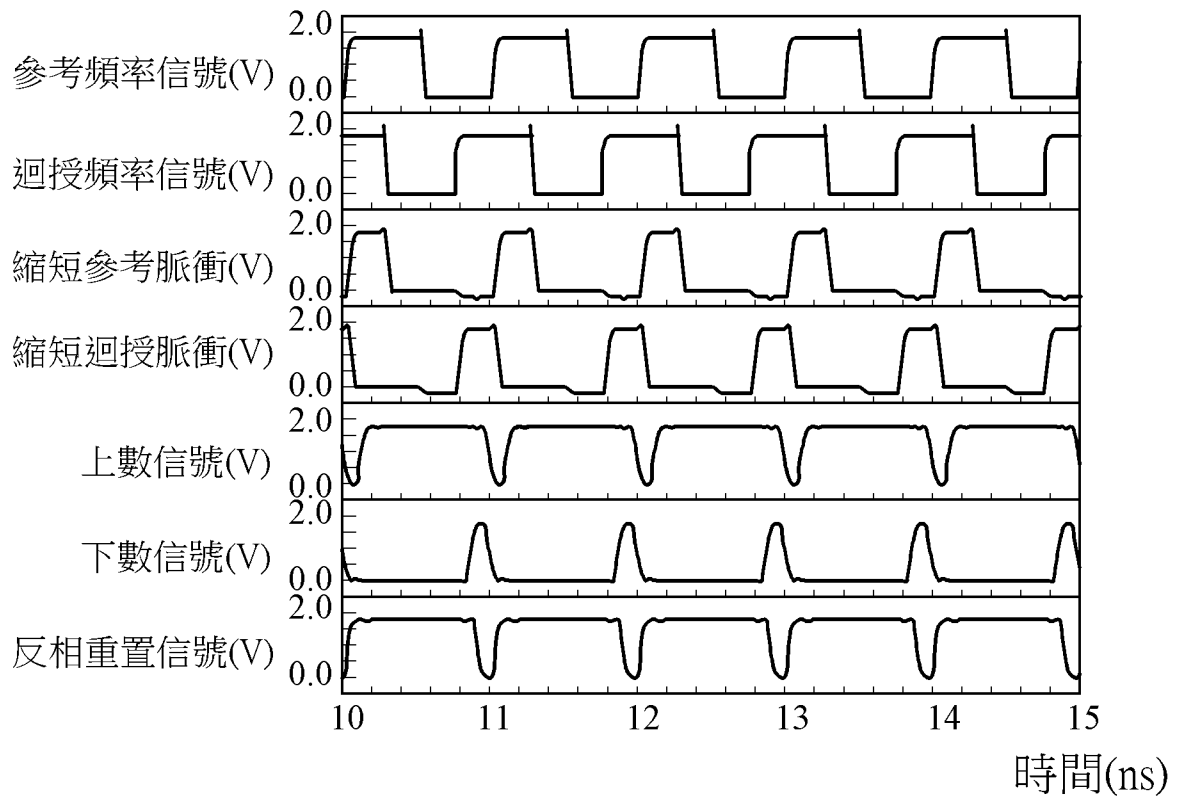


圖 12