(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 9 月 13 日(13.09.2012)

WIPO | PCT

(10) 国際公開番号
WO 2012/121255 A1

(51) 国際特許分類:
H01L 21/822 (2006.01)　*H01L 27/04* (2006.01)
H01L 21/3205 (2006.01)　*H01L 27/06* (2006.01)
H01L 21/768 (2006.01)　*H01L 27/088* (2006.01)
H01L 21/8234 (2006.01)　*H01L 27/092* (2006.01)
H01L 21/8238 (2006.01)　*H01L 29/786* (2006.01)
H01L 23/522 (2006.01)

(21) 国際出願番号: PCT/JP2012/055707

(22) 国際出願日: 2012 年 3 月 6 日(06.03.2012)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2011-052209 2011 年 3 月 9 日(09.03.2011) JP

(71) 出願人 (米国を除く全ての指定国について): ルネサスエレクトロニクス株式会社 (RENESAS ELECTRONICS CORPORATION) [JP/JP]; 〒2118668 神奈川県川崎市中原区下沼部１７５３番地 Kanagawa (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 金子　貴昭 (KANEKO Kishou) [JP/JP]; 〒2118668 神奈川県川崎市中原区下沼部１７５３番地　ルネサスエレクトロニクス株式会社内 Kanagawa (JP). 井上　尚也 (INOUE Naoya) [JP/JP]; 〒2118668 神奈川県川崎市中原区下沼部１７５３番地　ルネサスエレクトロニクス株式会社内 Kanagawa (JP). 林　喜宏 (HAYASHI Yoshihiro) [JP/JP]; 〒2118668 神奈川県川崎市中原区下沼部１７５３番地　ルネサスエレクトロニクス株式会社内 Kanagawa (JP).

(74) 代理人: 工藤　実(KUDOH Minoru); 〒1400013 東京都品川区南大井六丁目２４番１０号カドヤビル６階 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

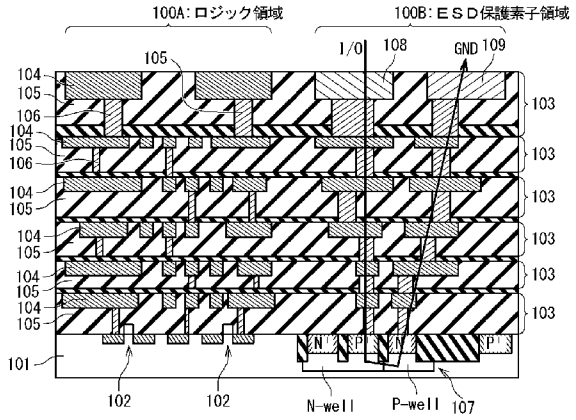
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,

[続葉有]

(54) **Title**: SEMICONDUCTOR DEVICE

(54) 発明の名称 : 半導体装置

[図1]



100A Logic region
100B ESD protection element region

(57) **Abstract**: This semiconductor device is provided with: a semiconductor substrate having a semiconductor element formed thereon; first and second pads; a first insulating film formed above the semiconductor substrate; a plurality of wiring lines embedded in trenches that are provided in the first insulating film; a second insulating film, which is provided to cover the first insulating film and the wiring lines; a semiconductor layer formed on the second insulating film; a source electrode connected to the semiconductor layer; and a drain electrode connected to the semiconductor layer. The wiring lines include a gate electrode, which is provide at a position that faces the semiconductor layer. The semiconductor layer, the source electrode, the drain electrode, and the gate electrode constitute an ESD protection element that discharges, from the first pad to the second pad, a current generated due to ESD surge.

(57) 要約: 半導体装置が、半導体素子が形成された半導体基板と、第１及び第２パッドと、半導体基板の上方に形成された第１絶縁膜と、第１絶縁膜に設けられた溝に埋め込まれた複数の配線と、第１絶縁膜と複数の配線とを被覆するように設けられた第２絶縁膜と、第２絶縁膜の上に形成された半導体層と、半導体層に接続されたソース電極と、半導体層に接続されたドレイン電極とを具備する。該複数の配線は、半導体層に対向する位置に設けられたゲート電極を含む。半導体層とソース電極とドレイン電極とゲート電極とが、第１パッドから第２パッドにＥＳＤサージによる電流を放電するＥＳＤ保護素子を構成している。

WO 2012/121255 A1

ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告（条約第 21 条(3)）

明　細　書

発明の名称 ： 半導体装置

技術分野

[0001] 本発明は、半導体装置に関し、特に、ＥＳＤ（electro-static discharge）保護素子を備える半導体装置に関する。

背景技術

[0002] 集積回路を備えた半導体装置には、一般に、ＥＳＤから当該集積回路を保護するために、ＥＳＤ保護素子が集積化される。このＥＳＤ保護素子としては、可変抵抗のような能動作用を得るために、トランジスタやダイオードのような能動素子を用いる必要がある。

[0003] 一般的な半導体装置では、能動素子が半導体基板（例えば、シリコン基板）に形成されることから、ＥＳＤ保護素子としても半導体基板に形成されたトランジスタ又はダイオードが使用される。図１は、このような半導体装置の構成の一例を示す断面図である。図１の半導体装置１００は、ロジック領域１００ＡとＥＳＤ保護素子領域１００Ｂとを備えている。

[0004] ロジック領域１００Ａは、ロジック回路その他の集積回路が形成される領域である。詳細には、半導体基板１０１のロジック領域１００Ａの部分にはＭＯＳトランジスタ等の半導体素子１０２が形成されており、その上方には、複数の（図１では６層の）配線層１０３が設けられている。各配線層１０３は、配線１０４と、隣接する配線層１０３の配線１０４を電気的に分離する層間絶縁膜１０５とが形成されている。半導体素子１０２と最も下方に位置する配線層１０３の配線１０４、及び、隣接する２つの配線層１０３の配線１０４は、層間絶縁膜１０５を貫通して設けられるビア１０６によって電気的に接続される。半導体素子１０２と配線１０４とビア１０６によって集積回路が形成されている。

[0005] 一方、ＥＳＤ保護素子領域１００Ｂは、ＥＳＤ保護素子１０７が形成される領域である。半導体基板１０１のＥＳＤ保護素子領域１００Ｂの部分には

、ＥＳＤ保護素子１０７が形成されている。ＥＳＤ保護素子１０７としては能動素子が用いられ、図１の例では、ＰＮＰＮ構造を有するサイリスタがＥＳＤ保護素子１０７として形成されている。そのＥＳＤ保護素子１０７は、各配線層１０３に設けられた配線１０４及びビア１０６を介して、最上層の配線層１０３に設けられたＩ／Ｏパッド、接地パッドに接続されている。図１では、Ｉ／Ｏパッドに接続された配線が符号１０８で、接地パッドに接続された配線が符号１０９で示されている。Ｉ／ＯパッドにＥＳＤサージが印加されると、ＥＳＤ保護素子１０７がオンして該ＥＳＤサージが接地パッドに逃がされる。このような動作により、内部の集積回路がＥＳＤサージから保護される。

[0006] 図１のような、ＥＳＤ保護素子として半導体基板に形成されたトランジスタ又はダイオードを使用する半導体装置の一つの問題は、ＥＳＤ保護素子の形成のためにチップ面積の増大を招く点である。ＥＳＤ保護素子が半導体基板に形成されるため、ＥＳＤ保護素子を形成するための領域を、集積回路を形成するための領域とは別に設ける必要がある。これは、チップ面積の増大に繋がる。しかも、ＥＳＤサージが印加された場合にはＥＳＤ保護素子に大電流が流れ得るから、ＥＳＤ保護素子としては面積の大きいトランジスタ又はダイオードを形成する必要がある。これは、チップ面積の増大の問題をますます深刻にする。

[0007] なお、本出願に関連し得る技術として、特開２０１０－１４１２３０号公報は、配線層に半導体層を設け、当該半導体層を用いて半導体素子を形成する技術を開示している。半導体層の材料としては、ＩｎＧａＺｎＯ（ＩＧＺＯ）、ＺｎＯなどの酸化物半導体、ポリシリコン、アモルファスシリコンが挙げられている。配線層に設けられた半導体素子の用途としては、スイッチング素子であるトランジスタが挙げられている。また、該半導体素子にトラップ膜及びバックゲート電極を設け、該半導体素子をメモリ素子として用いる技術も開示されている。特開２０１０－１４１２３０号公報には、ＥＳＤ保護については何らの言及もない。

[0008] 更に、特開２０１０－４１０５８号公報、特開２０１０－９８２８０号公報及び特開２０１０－１３５７６２号公報は、酸化物半導体膜を備えた薄膜トランジスタを開示している。これらの公報に開示された技術では、酸化物半導体膜を備えた薄膜トランジスタが、液晶表示装置その他のアクティブマトリクス表示装置に使用されている。

先行技術文献

特許文献

[0009] 特許文献1：特開２０１０－１４１２３０号公報

特許文献2：特開２０１０－４１０５８号公報

特許文献3：特開２０１０－９８２８０号公報

特許文献4：特開２０１０－１３５７６２号公報

発明の概要

[0010] したがって、本発明の課題は、ＥＳＤ保護素子を備えた半導体装置のチップサイズを低減することにある。

[0011] 本発明の一の観点では、半導体装置が、半導体素子が形成された半導体基板と、第１及び第２パッドと、半導体基板の上方に形成された第１絶縁膜と、第１絶縁膜に設けられた溝に埋め込まれた複数の配線と、第１絶縁膜と複数の配線とを被覆するように設けられた第２絶縁膜と、第２絶縁膜の上に形成された半導体層と、半導体層に接続されたソース電極と、半導体層に接続されたドレイン電極とを具備する。該複数の配線は、半導体層に対向する位置に設けられたゲート電極を含む。半導体層とソース電極とドレイン電極とゲート電極とが、第１パッドから第２パッドにＥＳＤサージによる電流を放電するＥＳＤ保護素子を構成している。

[0012] 本発明によれば、ＥＳＤ保護素子を備えた半導体装置のチップサイズを低減することができる。

図面の簡単な説明

[0013] [図1]ＥＳＤ保護素子を備えた半導体装置の構造の一例を示す断面図である。

[図2]本発明の一実施形態の半導体装置の構造を示す断面図である。

[図3]図２の半導体装置のＥＳＤ保護素子の付近の構造を示す断面図である。

[図4A]図２の半導体装置におけるＥＳＤ保護素子の平面レイアウトを示すレイアウト図である。

[図4B]本実施形態の半導体装置のＥＳＤ保護素子の付近の他の構造を示す断面図である。

[図4C]図４Ｂの半導体装置におけるＥＳＤ保護素子の平面レイアウトを示すレイアウト図である。

[図5A]本発明の半導体装置におけるＥＳＤ保護素子の使用形態の一例を示す回路図である。

[図5B]本発明の半導体装置におけるＥＳＤ保護素子の使用形態の他の例を示す回路図である。

[図6]本発明の半導体装置の変形例を示す断面図である。

[図7A]本発明の一実施例におけるＥＳＤ保護素子のトランジスタ動作特性を示すグラフである。

[図7B]本発明の一実施例におけるＥＳＤ保護素子のダイオード動作特性を示すグラフである。

[図8A]耐圧を測定したＥＳＤ保護素子の端子接続を示す回路図である。

[図8B]２０ｎｍのＳｉＮ膜をゲート絶縁膜として含むＥＳＤ保護素子のドレイン電流特性を示すグラフである。

[図8C]ゲート絶縁膜として使用されるＳｉＮ膜の膜厚とゲートードレイン間の耐圧の関係を示すグラフである。

[図9A]測定を行ったＥＳＤ保護素子のうち、ドレイン電極がゲート電極にオーバーラップしているＥＳＤ保護素子の構造を示す断面図である。

[図9B]測定を行ったＥＳＤ保護素子のうち、平面構造においてドレイン電極の端の位置がゲート電極の端の位置と一致するＥＳＤ保護素子の構造を示す断面図である。

[図9C]測定を行ったＥＳＤ保護素子のうち、ドレイン電極がゲート電極にオ

ーバーラップしていないＥＳＤ保護素子の構造を示す断面図である。

[図10A]２０ｎｍのＳｉＮ膜をゲート絶縁膜として含み、オーバーラップ長が０．１６μ、０．０μｍ、－０．１６μｍであるＥＳＤ保護素子のドレイン電流特性を示すグラフである。

[図10B]３０ｎｍのＳｉＮ膜をゲート絶縁膜として含み、オーバーラップ長が０．１６μ、０．０μｍ、－０．１６μｍであるＥＳＤ保護素子のドレイン電流特性を示すグラフである。

[図10C]５０ｎｍのＳｉＮ膜をゲート絶縁膜として含み、オーバーラップ長が０．１６μ、０．０μｍ、－０．１６μｍであるＥＳＤ保護素子のドレイン電流特性を示すグラフである。

[図11]図９Ａ～図９ＣのＥＳＤ保護素子のオーバーラップ長とゲートードレイン間の耐圧の関係を示すグラフである。

[図12]内部回路の保護のためにＥＳＤ保護素子を使用する回路構成の一例を示す回路図である。

[図13]図１２の回路構成の半導体装置の構造の例を示す断面図である。

[図14]内部回路の保護のためにＥＳＤ保護素子を使用する回路構成の他の例を示す回路図である。

[図15]図１４の回路構成の半導体装置の構造の例を示す断面図である。

発明を実施するための形態

[0014] 図２は、本発明の一実施形態における半導体装置１０の構成を示す断面図である。半導体基板１の表面部にはＭＯＳトランジスタ等の半導体素子２が形成されており、その上方に、複数の配線層３が形成されている。本実施形態では、半導体基板１として例えばシリコン基板が使用される。各配線層３は、層間絶縁膜４と、その表面に設けられた配線溝に埋め込まれた配線５とを備えている。本実施形態では、最も上方に位置する配線層３の配線５はアルミ配線であり、それ以外の配線層３の配線５は銅配線である。また、配線層３の数は８である。層間絶縁膜４としては、例えば、酸化シリコンよりも誘電率が低い低誘電率絶縁層が使用される。低誘電率絶縁層としては、例え

ば、ＳｉＯＣ膜、ＳｉＬＫ膜（ＳｉＬＫは、登録商標）、ＨＳＱ（ハイドロジェンシルセスキオキサン）膜、ＭＨＳＱ（メチル化ハイドロジェンシルセスキオキサン）膜、ＭＳＱ（メチルシルセスキオキサン）膜、またはこれらの多孔質膜を用いることができる。半導体素子２と最も下方に位置する配線層３の配線５、及び、隣接する２つの配線層３の配線５は、層間絶縁膜４を貫通して設けられるビア６によって電気的に接続される。

[0015] 以下において、最も上方に位置する配線層３を配線層３－１と記載し、上から２番目の配線層３を配線層３－３と記載する場合がある。また、最も上方に位置する層間絶縁膜４を層間絶縁膜４－１と記載し、上から２番目の層間絶縁膜４を層間絶縁膜４－２と記載することがある。

[0016] 加えて、最上層の層間絶縁膜４－１以外の層間絶縁膜４と、それらに埋め込まれた配線５が、拡散防止層７で被覆されている。拡散防止層７は、配線５の材料（特に、銅配線を構成する銅）の拡散を防止するための絶縁膜である。拡散防止層７としては、例えば、ＳｉＮ膜、SiO_2膜、及びＳｉＣＮ膜が使用され得る。拡散防止層７の厚さは、例えば、１０～５０ｎｍである。なお、以下において、最も上方に位置する拡散防止層７を拡散防止層７－１と記載することがある。

[0017] 本実施形態の半導体装置１０の一つの特徴は、半導体基板１とは別に半導体層１２が形成され、その半導体層１２を用いて作製された能動素子をＥＳＤ保護素子１１として用いることである。本実施形態では、ＥＳＤ保護素子１１として薄膜トランジスタが使用される。図３は、ＥＳＤ保護素子１１とその周辺における半導体装置１０の構造を示す断面図である。

[0018] 上から２番目の層間絶縁膜４－２には配線溝が形成され、それらの配線溝に、配線５－１、５－２が埋め込まれている。本実施形態では、配線５－１、５－２がいずれも銅配線であり、同一の配線形成工程でダマシン法を用いて形成される。後述されるように、配線５－２は、ＥＳＤ保護素子１１として使用される薄膜トランジスタのゲート電極として使用される。このため、以下では、配線５－２のことを、ゲート電極１３と記載することがある。

[0019] 半導体層１２は、拡散防止層７－１の上面にゲート電極１３と対向するような位置に形成される。本実施形態では、半導体層１２が、ＩｎＧａＺｎＯ（ＩＧＺＯ）、ＩｎＺｎＯ（ＩＺＯ）、ＺｎＯ、ＺｎＡｌＯ、ＺｎＣｕＯ等の酸化物半導体で形成される。これらの酸化物半導体は比較的低温で（例えば、４００℃以下の温度で）形成可能であり、半導体層１２をこれらの酸化物半導体で形成することには、半導体層１２より下方に位置する配線層３の形成のために一般的に使用される配線工程に適合した温度で半導体層１２を形成できる利点がある。

[0020] 半導体層１２の上にはハードマスク層１４が形成されている。ハードマスク層１４は、半導体層１２をパターニングする工程においてマスクとして使用される絶縁膜であり、例えば、SiO_2膜、ＳｉＮ膜がハードマスク層１４として使用される。ハードマスク層１４は、半導体装置１０の製造プロセスにおいて、半導体層１２が還元されることを抑制する役割も果たす。最も上方に位置する層間絶縁膜４－１は、これらの半導体層１２とハードマスク層１４を覆うように形成される。

[0021] 層間絶縁膜４－１は配線溝とビアホールが形成され、その配線溝とビアホールは、バリアメタル層８－３～８－５で被覆される。バリアメタル層８－３～８－５は、配線層３－２に属する配線５－１に接触するように形成され、バリアメタル層８－４、８－５は、半導体層１２に接触するように形成される。バリアメタル層８－３～８－５の材料としては、例えば、Ｔｉ、Ｔａ、Ｒｕ、W、これらの窒化物又は酸化物が挙げられる。バリアメタル層８－３～８－５は、これらの材料で構成された単層の膜であってもよく、２つ以上の層が積層したものであってもよい。積層されたバリアメタル層８－３～８－５の例としては、例えば、ＴｉＮ（上層）／Ｔｉ（下層）、又は、ＴａＮ（上層）／Ｔａ（下層）の積層体が挙げられる。バリアメタル層８－３～８－５は、同一の形成工程で一括して形成される。バリアメタル層８－４～８－５は、半導体層１２との接触部にオーミックコンタクトが形成されるように形成される。

[0022] バリアメタル層８－３～８－５で被覆された該配線溝及びビアホールの内部に、それぞれ、配線５－３～５－５とビア６－３～６－５が形成される。配線５－３～５－５は、いずれも配線層３－１に属する配線である。配線５－３～５－５とビア６－３～６－５は、同一の形成工程で一括して形成される。配線５－３は、ビア６－３を介して配線層３－２の配線５－１に接続されている。一方、配線５－４、５－５は、それぞれビア６－４、６－５を介して半導体層１２に接続されている。

[0023] 後述されるように、配線５－４、ビア６－４及びバリアメタル層８－４は、ＥＳＤ保護素子１１として使用される薄膜トランジスタのソース電極として使用される。以下では、これらを総称してソース電極１５と呼ぶことがある。一方、配線５－５、ビア６－５及びバリアメタル層８－５は、該薄膜トランジスタのドレイン電極として使用される。以下では、これらを総称してドレイン電極１６と呼ぶことがある。

[0024] 以上の構成の半導体装置１０において、配線５－１、５－３、ビア６－３は、半導体装置１０に集積化される集積回路の構成要素となる。一方、半導体層１２と、ゲート電極１３と、ソース電極１５と、ドレイン電極１６と、拡散防止層７－１とは、薄膜トランジスタを構成している。このとき、拡散防止層７－１の半導体層１２とゲート電極１３との間に位置する部分がゲート絶縁膜として機能する。本実施形態では、このような構成の薄膜トランジスタがＥＳＤ保護素子１１として使用される。ＩｎＧａＺｎＯ（ＩＧＺＯ）、ＩｎＺｎＯ（ＩＺＯ）、ＺｎＯ、ＺｎＡｌＯ、ＺｎＣｕＯ等の酸化物半導体で半導体層１２が形成される場合、半導体層１２はｎ型半導体となり、ＥＳＤ保護素子１１は、キャリアが電子である薄膜トランジスタとして動作する。

[0025] 図４Ａは、半導体層１２、ゲート電極１３、ソース電極１５及びドレイン電極１６の平面レイアウトの例を示す平面図である。ここで、図４Ａにおいては、ソース電極１５からドレイン電極１６に向かう方向にｘ軸が定義され、ｘ軸に垂直にｙ軸が定義されている。半導体層１２のうちソース電極１５

とドレイン電極１６の間にある部分はゲート電極１３に対向しており、この部分がチャネル領域として使用される。図４Ａの平面レイアウトでは、ソース電極１５とドレイン電極１６と半導体層１２の接触面は矩形の同一形状を有しており、半導体層１２に沿ったソース電極１５とドレイン電極１６の距離が薄膜トランジスタのゲート長Ｌ、ソース電極１５とドレイン電極１６と半導体層１２の接触面のｙ軸方向の幅がゲート幅Ｗとなる。

[0026] 図４Ａでは、ソース電極１５とドレイン電極１６の一部分が、ゲート電極１３にオーバーラップする平面レイアウトが図示されている。図４Ａでは、ソース電極１５のゲート電極１３に対するオーバーラップ長が記号d_{OL1}、ドレイン電極１６のゲート電極１３に対するオーバーラップ長が記号d_{OL2}で示されている。ここで、オーバーラップ長とは、ソース電極１５又はドレイン電極１６の端からゲート電極１３の端までの面内方向の距離のことである。

[0027] ソース電極１５とドレイン電極１６がゲート電極１３にオーバーラップしない平面レイアウトを用いてもよい。特に、図４Ｂ、図４Ｃに図示されているように、ドレイン電極１６がゲート電極１３にオーバーラップしない構造（即ち、ドレイン電極１６と半導体層１２の接触面が半導体基板１の垂直方向においてゲート電極１３と重なっていない構造）を採用することは、ドレイン電極１６とゲート電極１３の間の耐圧を増大させるために有効である。図４Ｂ、図４Ｃに図示されているように、ドレイン電極１６がゲート電極１３にオーバーラップしない構造では、ドレイン電極１６とゲート電極１３の間の距離d_{eff}が大きくなる。距離を離すことによってドレイン電圧によりゲート端にかかる実効電界強度が、オーバーラップする構造よりも低減される。そのため、ドレイン電極１６とゲート電極１３の間の耐圧を有効に増大させることが可能である。

[0028] 図５Ａ、図５Ｂは、半導体装置１０におけるＥＳＤ保護素子１１の使用態様の例を示す回路図である。一実施形態では、図５Ａに図示されているように、ＥＳＤ保護素子１１のゲート電極１３はソース電極１５に共通接続されており、共通接続されたゲート電極１３とソース電極１５は、接地パッド１

７に接続される。一方、ＥＳＤ保護素子１１のドレイン電極１６は、信号を入出力するためのＩ／Ｏパッド１８に接続される。このような接続によれば、ＥＳＤ保護素子１１は、ゲート接地Ｎチャンネルトランジスタとして機能する。加えて、図５Ｂに図示されているように、ゲート電極１３に抵抗素子１９を接続してもよい。一例としては、抵抗素子１９は、配線抵抗によって実現してもよい。

[0029] 上記に説明した本実施形態の半導体装置１０の構成には様々な利点がある。第１に、本実施形態の半導体装置１０の構造によれば、チップ面積を低減することができる。図１に図示された半導体装置１００の構造では、ロジック回路領域１００Ａとは別にＥＳＤ保護素子領域１００Ｂを設ける必要がある。一方、本実施形態の半導体装置１０は、半導体基板１の半導体素子２が設けられる領域の上方にＥＳＤ保護素子１１を設けることができるので、ＥＳＤ保護素子１１を設けるための専用の領域を用意する必要がない。これは、チップ面積の低減に有効である。

[0030] 加えて、本実施形態の構成のＥＳＤ保護素子１１には、耐圧を広範囲に調節できるという利点もある。ゲート電極１３とドレイン電極１６の間の耐圧は、拡散防止層７－１の材料、膜厚を適切に選択することにより、広範囲に調節可能である。更に、図４Ｂ、図４Ｃに図示されているように、ドレイン電極１６がゲート電極１３にオーバーラップしない場合には、ゲート電極１３とドレイン電極１６の間の耐圧をドレイン電極１６とゲート電極１３との距離によって調節することができる。

[0031] 特に、本実施形態のＥＳＤ保護素子１１は、耐圧の調整によって高耐圧素子として設計可能である。まず、拡散防止層７－１の膜厚を厚くすれば、ドレイン電極１６とゲート電極１３との間の耐圧を増大できる。また、図４Ｂに図示されているように、ドレイン電極１６がゲート電極１３にオーバーラップしない場合には、ドレイン電極１６とゲート電極１３との距離を大きくすることによってゲート電極１３とドレイン電極１６の間の耐圧を増大することができる。更に、半導体層１２としてバンドギャップが大きい材料を選

択することにより、ソース電極１５とドレイン電極１６の間の耐圧を増大させることができる。例えば、酸化物半導体は、一般に、シリコンのバンドギャップ（約１．２ｅＶ）よりも高いバンドギャップを有するので、半導体層１２として酸化物半導体を用いることでソース電極１５とドレイン電極１６の間の耐圧を高くすることができる。例えば、ＩｎＧａＺｎＯ（ＩＧＺＯ）のバンドギャップは、３．３～３．４ｅＶであり、他の酸化物半導体（ＩｎＺｎＯ（ＩＺＯ）、ＺｎＯ、ＺｎＡｌＯ、ＺｎＣｕＯ等）でも、３．２ｅＶ以上のバンドギャップを示す。このように、本実施形態のＥＳＤ保護素子１１の構造によれば、その設計によって、一般のシリコン半導体基板を用いたＣＭＯＳ集積回路では実現が難しい、耐圧が２０～１００ＶであるようなＥＳＤ保護素子を実現することができる。

[0032] 更に、本実施形態の半導体装置１０では、ＥＳＤサージを半導体基板１に到達させないという利点がある。図１において矢印で示されているように、ＥＳＤ保護素子１０７が半導体基板１０１に設けられている構成では、ＥＳＤサージがパッド（図１ではＩ／Ｏパッド）に印加されると、大電流が半導体基板１０１を流れる可能性がある。半導体基板１０１に大電流が流れると、電力消費による局所加熱が起こり、この熱により半導体基板１０１（例えば、シリコン基板）に熱破壊が生じる可能性がある。一方、本実施形態では、ＥＳＤサージによる電流を半導体基板１に流さずにＥＳＤサージを接地パッド１７へ逃がすことができ、半導体基板１の熱破壊を防ぐことが可能である。更に、図１に図示されているような従来のＥＳＤ保護素子と、本実施形態のＥＳＤ保護素子１１を併用することで、半導体基板に伝わってしまうＥＳＤサージを緩和する構成も可能である。このような構成によれば、チップ面積を増加することなく、ＥＳＤ保護素子の特性を改善することができる。

[0033] 本実施形態のように、配線層３に設けられたＥＳＤ保護素子１１を用いる場合、大電流、大電圧がかかることにより、ＥＳＤ保護素子１１と配線層３の配線５に局所的に熱が発生することが予想される。この問題に対処するためには、放熱経路として、ＥＳＤ保護素子１１の近傍に熱伝導率の高い金属

配線（例えば、Ｃｕ配線やＡｌ配線）を形成してもよい。図６は、ＥＳＤ保護素子１１の近傍に熱伝導率の高い金属配線を設けた構成の例を示す断面図である。図６の構成では、ソース電極１５とドレイン電極１６と同一の配線層３－１に放熱用の配線２１、２２が形成されている。また、ソース電極１５とドレイン電極１６とが形成された配線層３－１より上に位置する配線層３に、放熱用の配線２３が形成されている。このように、ＥＳＤ保護素子１１と配線層３内に局所的に発生した熱を配線２１～２３により緩和する構造を取ることにより、ＥＳＤ保護素子１１の熱耐性、信頼性を高めることができる。配線２１～２３は、電源線、接地線、又は信号を伝送する配線と兼用してもよいし、放熱のために専用に用いられてもよい。配線２１～２３が放熱のために専用に用いられる場合、他の配線５や素子には接続しなくてもよい。

[0034] 上記のＥＳＤ保護素子１１は、内部回路のＥＳＤサージからの保護のために使用してもよい。ここで、内部回路とは、半導体基板１に形成された能動素子（主にはＭＯＳトランジスタ）を用いた回路、半導体基板１の上方にある配線層３内に形成された能動素子を用いた回路（配線層３内に形成された半導体層を用いた能動素子）、又は、半導体基板１に形成された能動素子および配線層３内に形成された能動素子の両方を含んだ回路を指す。

[0035] 図１２は、内部回路２０３のＥＳＤサージからの保護のために上記のＥＳＤ保護素子１１を用いる回路構成の一例である。図１２の回路構成では、ＥＳＤ保護素子１１の接地（grounding）と内部回路２０３の接地とが分離されており、接地パッド２０１がＥＳＤ保護素子１１に、接地パッド２０２が内部回路２０３に接続されている。ＥＳＤ保護素子１１の接地と内部回路２０３の接地とを分離することで、ＥＳＤ保護素子１１に接続された接地パッド２０１へ大電流を確実に逃がすことが可能となる。ＥＳＤ保護素子１１と内部回路２０３とで共通の接地が設けられる場合には内部回路２０３に動作電圧以上の電圧が瞬時に印加される恐れがあるが、接地を分離することで、その問題を回避することができる。これにより、ＥＳＤサージに対する信頼性

を高めることが可能となる。

[0036] 図１３は、図１２の回路構成の半導体装置の構造の一例を示す断面図である。図１３のここでは、Ｉ／Ｏパッド１８が、内部回路２０３とＥＳＤ保護素子１１との両方に接続されているが、このような構成に限定されない。Ｉ／Ｏパッド１８からＥＳＤサージ２０４が入ってきた場合には、配線層３に形成されたＥＳＤ保護素子１１に電流が流れる。即ち、半導体基板１に形成された半導体素子２を含む内部回路２０３にＥＳＤサージ２０４を侵入させることなく、ＥＳＤサージ２０４をＥＳＤ保護素子１１に接続された接地パッド２０１に逃がすことができる。これにより、内部回路２０３の破壊を防止することができる。

[0037] 図１４は、半導体基板１に形成された能動素子を用いた内部回路２０６と、配線層３に形成された能動素子を用いた内部回路２０７の両方を含む半導体装置の回路構成の一例を示している。ここで、配線層３に形成された能動素子とは、ＥＳＤ保護素子１１と同様に、配線層３に形成された半導体層を用いて形成した能動素子をいう。内部回路２０６、２０７は電気的に接続されており、半導体基板１に形成された能動素子からの出力信号が配線層３に形成された能動素子に入力される。なお、半導体基板１に形成された能動素子と配線層３に形成された能動素子とが電気的に接続されずに、別々に機能していてもよい。半導体基板１に形成された能動素子を用いた内部回路２０６と、配線層３に形成された能動素子を用いた内部回路２０７の動作電圧が異なる場合は、それぞれに別々のＩ／Ｏパッドを用意してもよい。図１４の回路構成では、内部回路２０６に接続されたＩ／Ｏパッド１８と内部回路２０７に接続されたＩ／Ｏパッド１８Ａとが別々に設けられている。Ｉ／Ｏパッド１８、１８Ａのそれぞれにに接続することが好ましい。図１４の回路構成では内部回路２０６、２０７にそれぞれに接続されたＩ／Ｏパッド１８、１８Ａに、ＥＳＤ保護素子１１、１１Ａが接続されている。

[0038] 図１５は、図１４の回路構成の半導体装置の構造の一例を示す断面図である。図１５の構造では、半導体基板１に形成された能動素子を用いた内部回

路２０６と、配線層３に形成された能動素子を用いた内部回路２０７とが電気的に接続されている。更に、内部回路２０６、２０７の保護のために、それぞれ、ＥＳＤ保護素子１１、１１Ａが設けられている。

[0039] 以下では、実施例として、実際に作製されたＥＳＤ保護素子１１の特性を示す実験結果を説明する。

実施例

[0040] 図７Ａは、ＥＳＤ保護素子１１がトランジスタ動作を行う場合の特性の例を示すグラフであり、図７Ｂは、ダイオード動作を行う場合の特性の例を示すグラフである。測定されたＥＳＤ保護素子１１は、半導体層１２がＩＧＺＯで形成されており、また、ゲート絶縁膜（拡散防止層７－１）として２０ｎｍのＳｉＮが用いられている。図７Ａに示されているように、ソース電位（ソース電極１５の電位）を０Ｖに固定し、ドレイン電位Ｖｄ（ドレイン電極１６の電位）を１Ｖに固定したままゲート電極１３に正の電圧バイアスを加えるとドレイン電流が流れる一方で、負の電圧バイアスを加えるとドレイン電流が遮断される。この結果は、ＥＳＤ保護素子１１が実際にトランジスタ動作を行うことを意味している。一方、図７Ｂに示されているように、ゲート電極１３とソース電極１５とを０Ｖに固定したまま（これは、ＥＳＤ保護素子１１をダイオード接続をすることを意味している）、ドレイン電極１６に正の電圧バイアスを印加するとドレイン電流が遮断される一方、負の電圧バイアスを印加するとドレイン電流が流れる。図７Ｂの例では、オン電圧は、－０．７Ｖである。この結果は、ＥＳＤ保護素子１１が実際にダイオード動作（整流動作）を行うことを意味している。このように、発明者は、配線層３に設けられたＥＳＤ保護素子１１が実際に能動素子（トランジスタ又はダイオード）として動作することを実験によって確認している。

[0041] 上述のように本実施形態のＥＳＤ保護素子１１の利点は、高耐圧特性が実現でき、更に、耐圧の調節の自由度が大きいことであるが、発明者らは、実際に作製したＥＳＤ保護素子１１の耐圧を測定し、このような利点を実証している。耐圧の測定を行ったＥＳＤ保護素子１１の構成は、次のとおりであ

る。半導体層１２は、１０ｎｍのＩＧＺＯ膜であり、ゲート絶縁膜（拡散防止層７－１）としては、２０～５０ｎｍのＳｉＮ膜が用いられている。ゲート長Ｌ、ゲート幅Ｗは、いずれも０．６μｍである。ソース電極１５、ドレイン電極１６は、ゲート電極１３にオーバーラップしており、オーバーラップ長d_{OL1}、d_{OL2}は、０．１６μｍである。図８Ａに図示されているように、ゲート電極１３とソース電極１５とが共通接続されて０Ｖに固定された状態で、ドレイン電極１６に電圧バイアスが印加されている。ＥＳＤ保護素子１１をゲート接地Ｎチャネルトランジスタとして使用する場合にはゲート電極１３とソース電極１５とが共通接続されるから、このような接続で耐圧を測定することは技術的に妥当である。

[0042] 図８Ｂは、半導体層１２が１０ｎｍのＩＧＺＯ膜であり、ゲート絶縁膜（拡散防止層７－１）が２０ｎｍのＳｉＮ膜である場合に、ドレイン電極１６に印加される電圧バイアス（ドレイン電位Ｖｄ）を変化させたときのドレイン電流Ｉｄ、ゲート電流Ｉｇの変化を示すグラフである。ドレイン電位Ｖｄを増大させると、２０Ｖより高いある電位でＥＳＤ保護素子１１が破壊し、ドレイン電流Ｉｄ及びゲート電流Ｉｇが急増した後に急減した。破壊モードは、ゲート絶縁膜の破壊であった。即ち、このような測定ではＥＳＤ保護素子１１のゲートードレイン間の耐圧を測定でき、ソースードレイン間の耐圧は測定されたゲートードレイン間の耐圧よりも高いことを意味している。

[0043] 図８Ｃは、このようにして測定したＥＳＤ保護素子１１の耐圧とゲート絶縁膜として用いられるＳｉＮ膜の膜厚の関係を示すグラフである。ＳｉＮ膜の膜厚を２０ｎｍに設定することで、２０Ｖ以上のゲートードレイン間の耐圧を実現できる。更に、ＳｉＮ膜の膜厚を５０ｎｍまで増大させることで、ゲートードレイン間の耐圧を約５０Ｖまで増大させることができる。このように、本実施形態のＥＳＤ保護素子１１は、高耐圧特性が実現できる上、更に、耐圧の調節の自由度が大きい。なお、ＳｉＮ膜の膜厚を更に厚くすることでＥＳＤ保護素子１１の耐圧を増大することができるが、ＳｉＮ膜の膜厚を厚くし過ぎるとＥＳＤ保護素子１１を流れる電流が小さくなるので、Ｓｉ

Ｎ膜の膜厚は１００ｎｍ以下であることが好ましい。

[0044] ゲートードレイン間の耐圧は、ゲート電極１３とドレイン電極１６とを半導体層１２の面内方向において離間させる（即ち、ドレイン電極１６をゲート電極１３に対してオーバーラップさせない）ことによっても増大できる。発明者は、このことを実際に作製したＥＳＤ保護素子１１の特性を測定することにより実証した。図９Ａ～図９Ｃは、作製したＥＳＤ保護素子１１の構造を示す断面図である。図９Ａの構造では、ドレイン電極１６がゲート電極１３にオーバーラップしており、図９Ｂの構造では、ドレイン電極１６の端とゲート電極１３の端が面内方向において一致している。また、図９Ｃの構造では、ドレイン電極１６がゲート電極１３にオーバーラップしていない。なお、ドレイン電極１６がゲート電極１３にオーバーラップしていない構造（図９Ｃ）については、面内方向におけるドレイン電極１６からゲート電極１３までの距離を負の値のオーバーラップ長として定義する。図８Ｂ、図８Ｃの場合と同様に、半導体層１２は、１０ｎｍのＩＧＺＯ膜であり、ゲート絶縁膜（拡散防止層７－１）としては、２０～５０ｎｍのＳｉＮ膜が用いられている。ゲート長Ｌ、ゲート幅Ｗは、いずれも０．６μｍである。

[0045] 図１０Ａ、図１０Ｂ、図１０Ｃは、それぞれ、ＳｉＮ膜の膜厚が２０ｎｍ、３０ｎｍ、５０ｎｍである場合のドレイン電流特性のグラフである。一点破線は、オーバーラップ長が０．１６μｍである場合、破線はオーバーラップ長が０．０μｍである場合、実線はオーバーラップ長が－０．１６μｍである場合（即ち、オーバーラップしていない場合）のドレイン電流を示している。ドレイン電流特性のグラフにおいて、ドレイン電流が急変しているゲートードレイン間電圧V_{GD}が、ゲートードレイン間の耐圧を示している。

[0046] 図１１は、ドレイン電極１６のゲート電極１３に対するオーバーラップ長と、ゲートードレイン間の耐圧の関係を示すグラフである。図１１から理解されるように、ドレイン電極１６がゲート電極１３にオーバーラップしている構造及びドレイン電極１６の端とゲート電極１３の端が面内方向において一致している構造については、ゲートードレイン間の耐圧はオーバーラップ

長に依存しない。これは、ドレイン電極１６とゲート電極１３の間の（最短位置で定義した場合の）距離ｄｅｆｆが、拡散防止層７－１の膜厚で同一であるためと考えられる。一方、ドレイン電極１６がゲート電極１３にオーバーラップしていない場合には、ドレイン電極１６とゲート電極１３の間の距離ｄｅｆｆが増大する。ゲートードレイン間の耐圧の増大は、距離ｄｅｆｆの増大に起因するものと考えられる。

[0047] 以上には、本発明の実施形態が具体的に記述されているが、本発明は、上記の実施形態に限定されるものではない。本発明は、当業者には自明的な様々な変更が行われた上で実施され得る。特に、図２には、最も上の配線層３－１に半導体層１２を設ける構成が開示されているが、半導体層１２は、半導体基板１から離れていれば、適宜の位置に設けられ得ることに留意されたい。

符号の説明

[0048] １０：半導体装置

１：半導体基板

２：半導体素子

３：配線層

４：層間絶縁膜

５：配線

６：ビア

７：拡散防止層

８：バリアメタル層

１１：ＥＳＤ保護素子

１２：半導体層

１３：ゲート電極

１４：ハードマスク層

１５：ソース電極

１６：ドレイン電極

１７：接地パッド

１８：Ｉ／Ｏパッド

１９：抵抗素子

２１、２２、２３：配線

１００：半導体装置

１０１：半導体基板

１０２：半導体素子

１０３：配線層

１０４：配線

１０５：層間絶縁膜

１０６：ビア

１０７：ＥＳＤ保護素子

１０８、１０９：配線

２０１、２０２：接地パッド

２０３：内部回路

２０４：ＥＳＤサージ

２０６、２０７：内部回路

請求の範囲

[請求項1] 半導体素子が形成された半導体基板と、

第１及び第２パッドと、

前記半導体基板の上方に形成された第１絶縁膜と、

前記第１絶縁膜に設けられた溝に埋め込まれた複数の配線と、

前記第１絶縁膜と前記複数の配線とを被覆するように設けられた第２絶縁膜と、

前記第２絶縁膜の上に形成された半導体層と、

前記半導体層に接続されたソース電極と、

前記半導体層に接続されたドレイン電極

とを具備し、

前記複数の配線は、前記半導体層に対向する位置に設けられたゲート電極を含み、

前記半導体層と前記ソース電極と前記ドレイン電極と前記ゲート電極とが、前記第１パッドから前記第２パッドにＥＳＤサージによる電流を放電するＥＳＤ保護素子を構成している

半導体装置。

[請求項2] 請求項１に記載の半導体装置であって、

前記半導体層は、ＩｎＧａＺｎＯ、ＩｎＺｎＯ、ＺｎＯ、ＺｎＡＩＯ又はＺｎＣｕＯのいずれかで形成されている

半導体装置。

[請求項3] 請求項１又は２に記載の半導体装置であって、

前記ドレイン電極が前記半導体層と接触する接触面が前記半導体基板に垂直な方向において前記ゲート電極に重ならない

半導体装置。

[請求項4] 請求項１乃至３のいずれかに記載の半導体装置であって、

前記ゲート電極と前記ドレイン電極との間の耐圧が２０Ｖ以上である

半導体装置。

［請求項5］ 請求項４に記載の半導体装置であって、

前記第２絶縁膜がＳｉＮ膜である

半導体装置。

［請求項6］ 請求項５に記載の半導体装置であって、

前記第２絶縁膜の膜厚が２０ｎｍ以上１００ｎｍ以下である

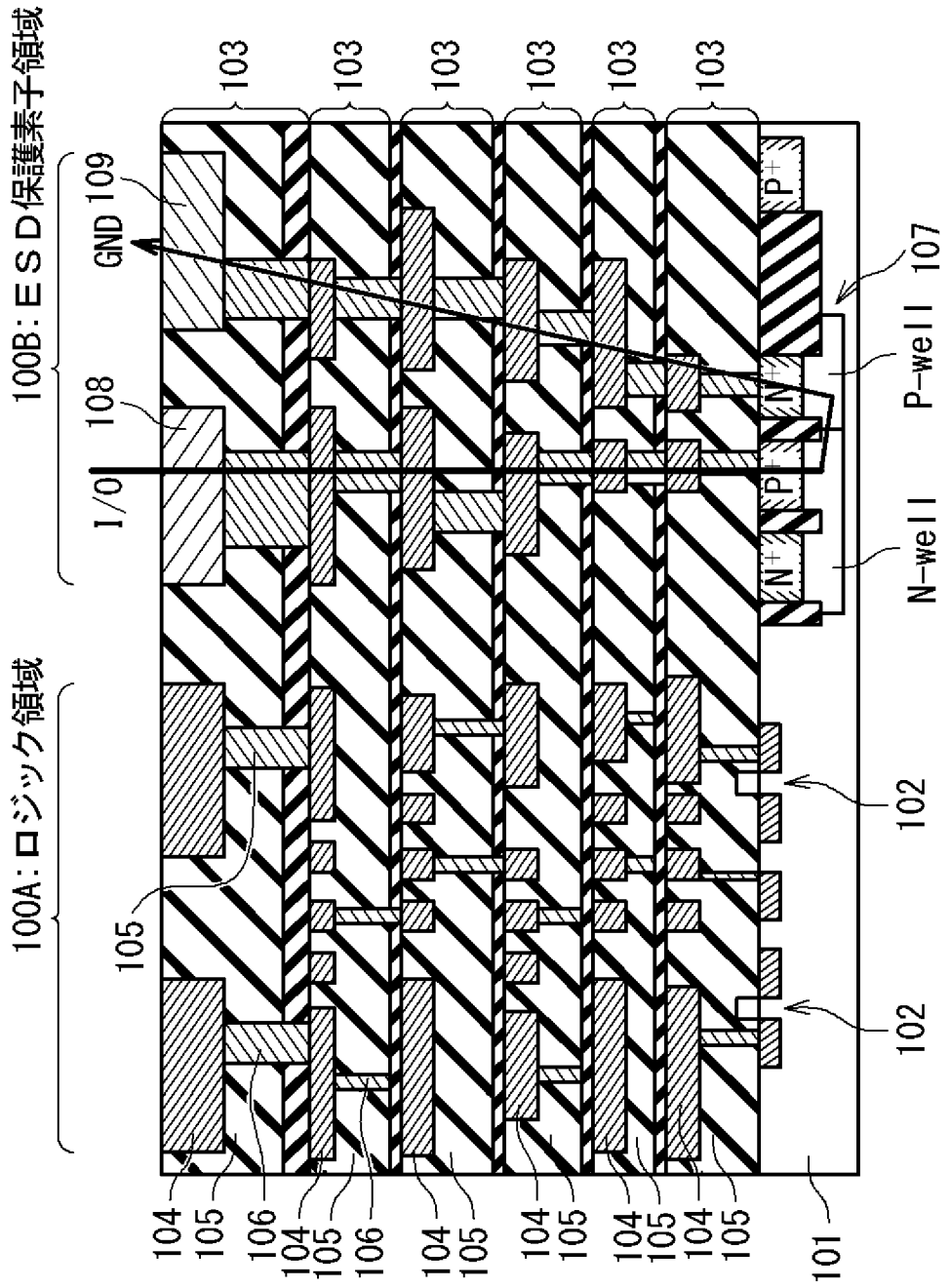
半導体装置。

［請求項7］ 請求項１乃至６のいずれかに記載の半導体装置であって、

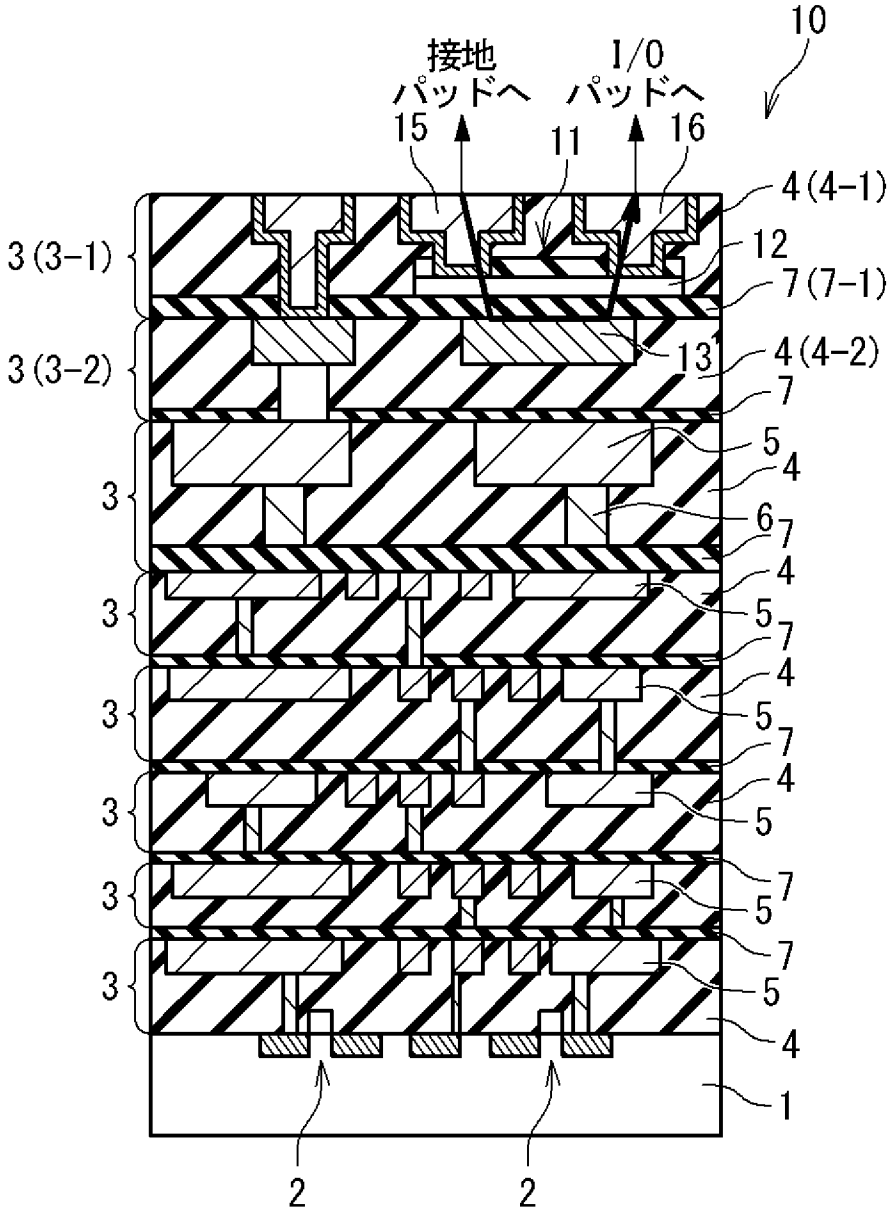
更に、前記ＥＳＤ保護素子の近傍に設けられた放熱用の配線を備える

半導体装置。

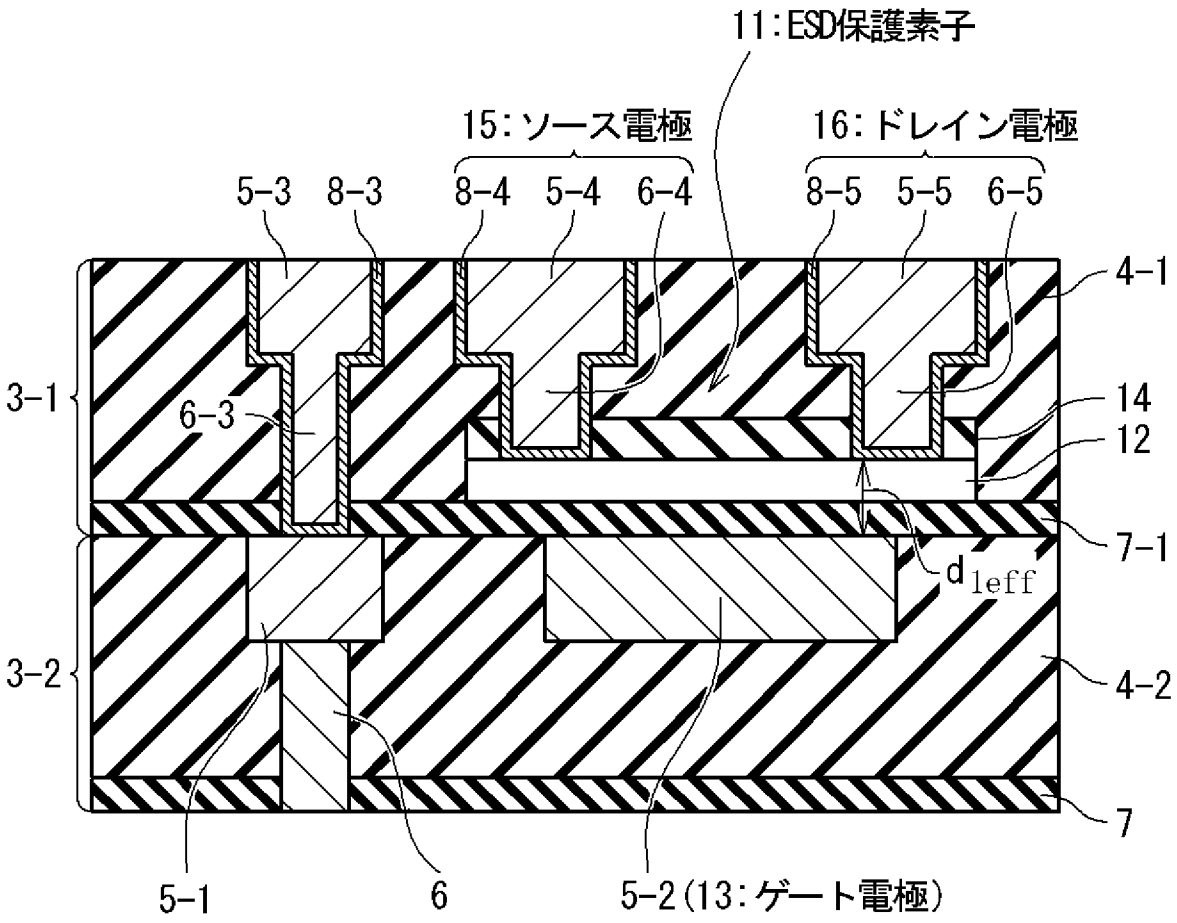
[図1]


100B: ＥＳＤ保護素子領域
100A: ロジック領域
GND
109
108
I/O
103
105
104
106
101
102
107
P-well
N-well
P+
N+

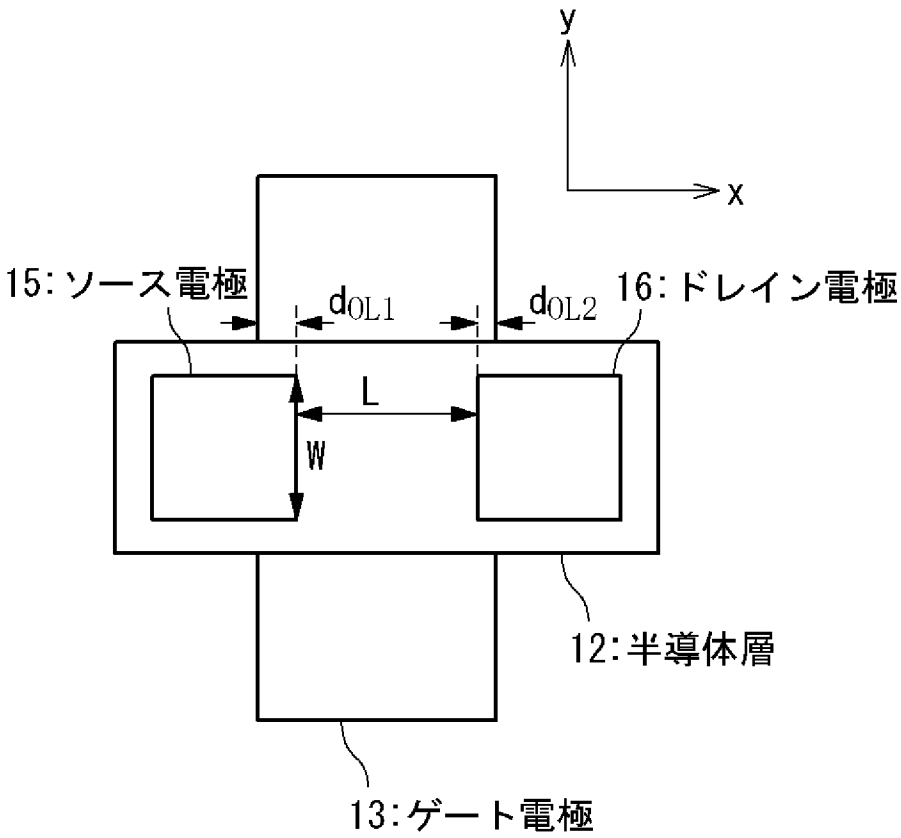
[図2]


10
接地
パッドへ
I/O
パッドへ
15
11
16
4(4-1)
12
7(7-1)
3(3-1)
3(3-2)
13
4(4-2)
7
5
4
3
6
7
4
3
5
7
4
3
5
7
4
3
5
7
3
5
7
3
5
4
1
2
2

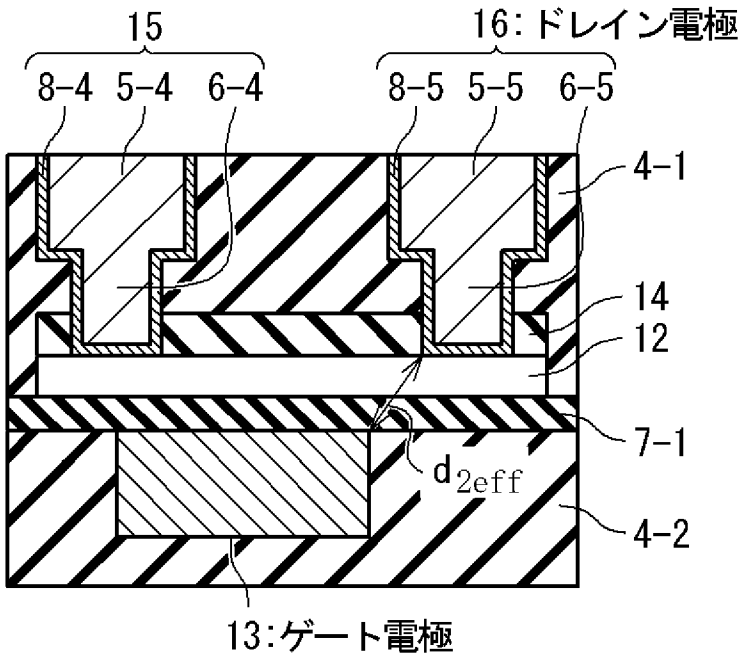
[図3]


11:ESD保護素子
15:ソース電極
16:ドレイン電極
5-3
8-3
8-4
5-4
6-4
8-5
5-5
6-5
4-1
3-1
6-3
14
12
7-1
d leff
3-2
4-2
7
5-1
6
5-2(13:ゲート電極)

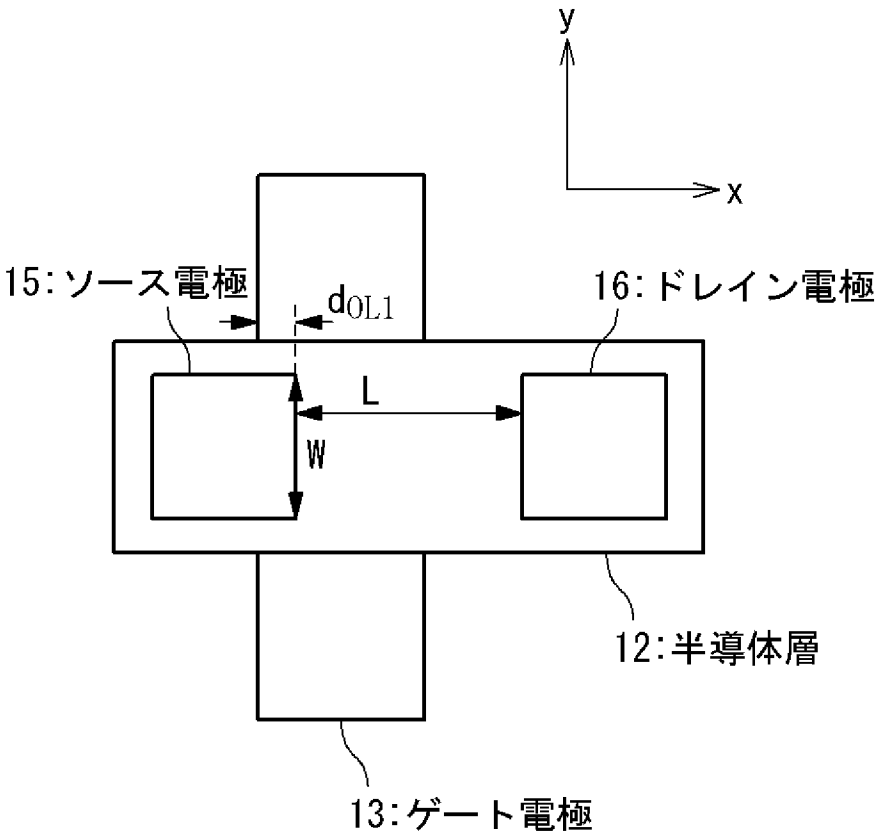
[図4A]


y
x
15:ソース電極
dOL1
dOL2
16:ドレイン電極
L
W
12:半導体層
13:ゲート電極

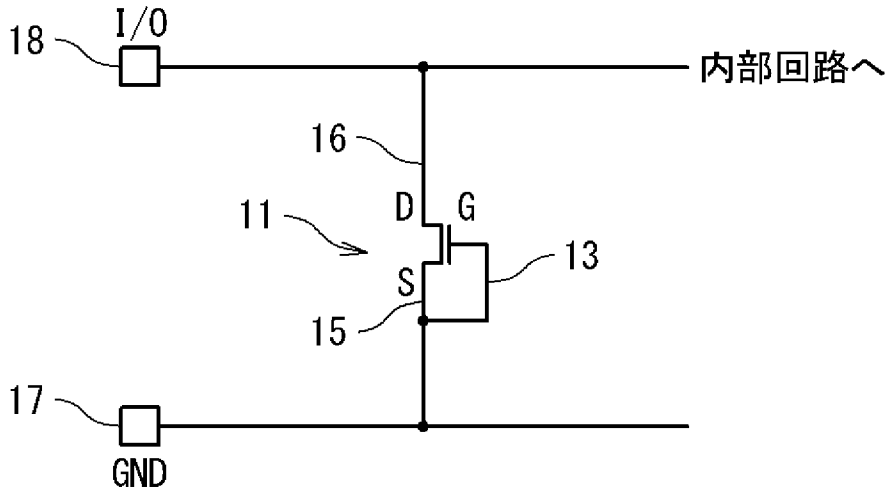
[図4B]


15
16:ドレイン電極
8-4
5-4
6-4
8-5
5-5
6-5
4-1
14
12
7-1
d_{2eff}
4-2
13:ゲート電極

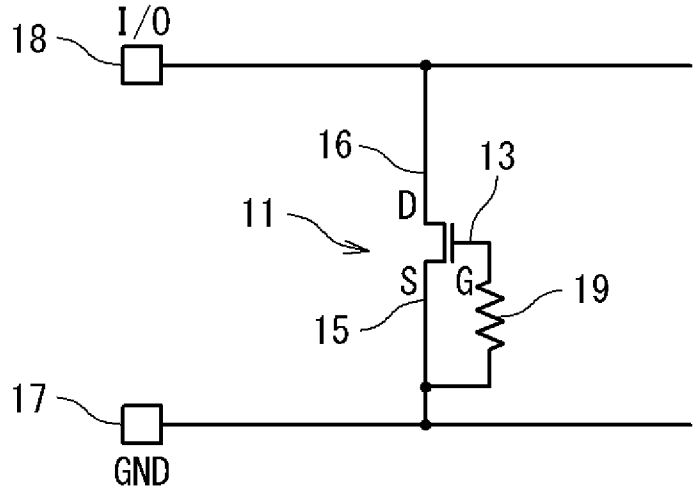
[図4C]


y
x
15:ソース電極
d_{OL1}
16:ドレイン電極
L
W
12:半導体層
13:ゲート電極

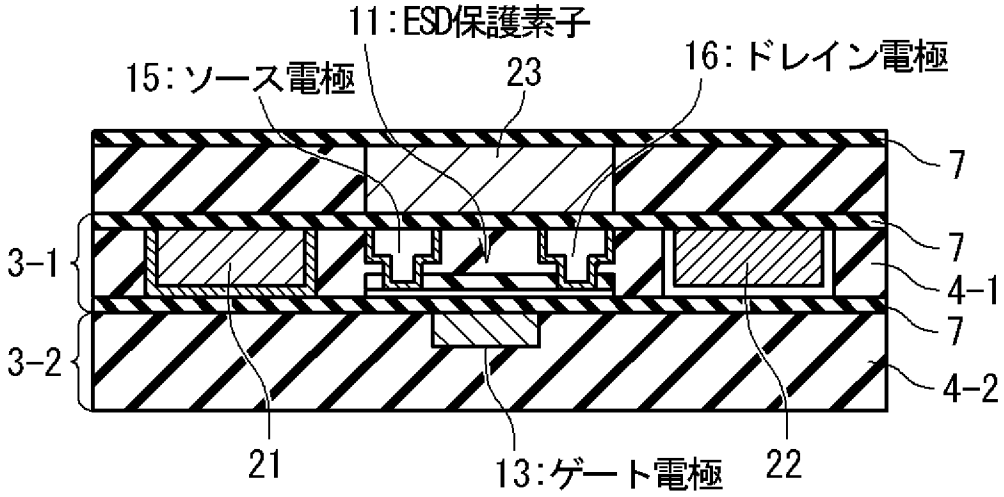
[図5A]


18
I/O
内部回路へ
16
11
D
G
13
S
15
17
GND

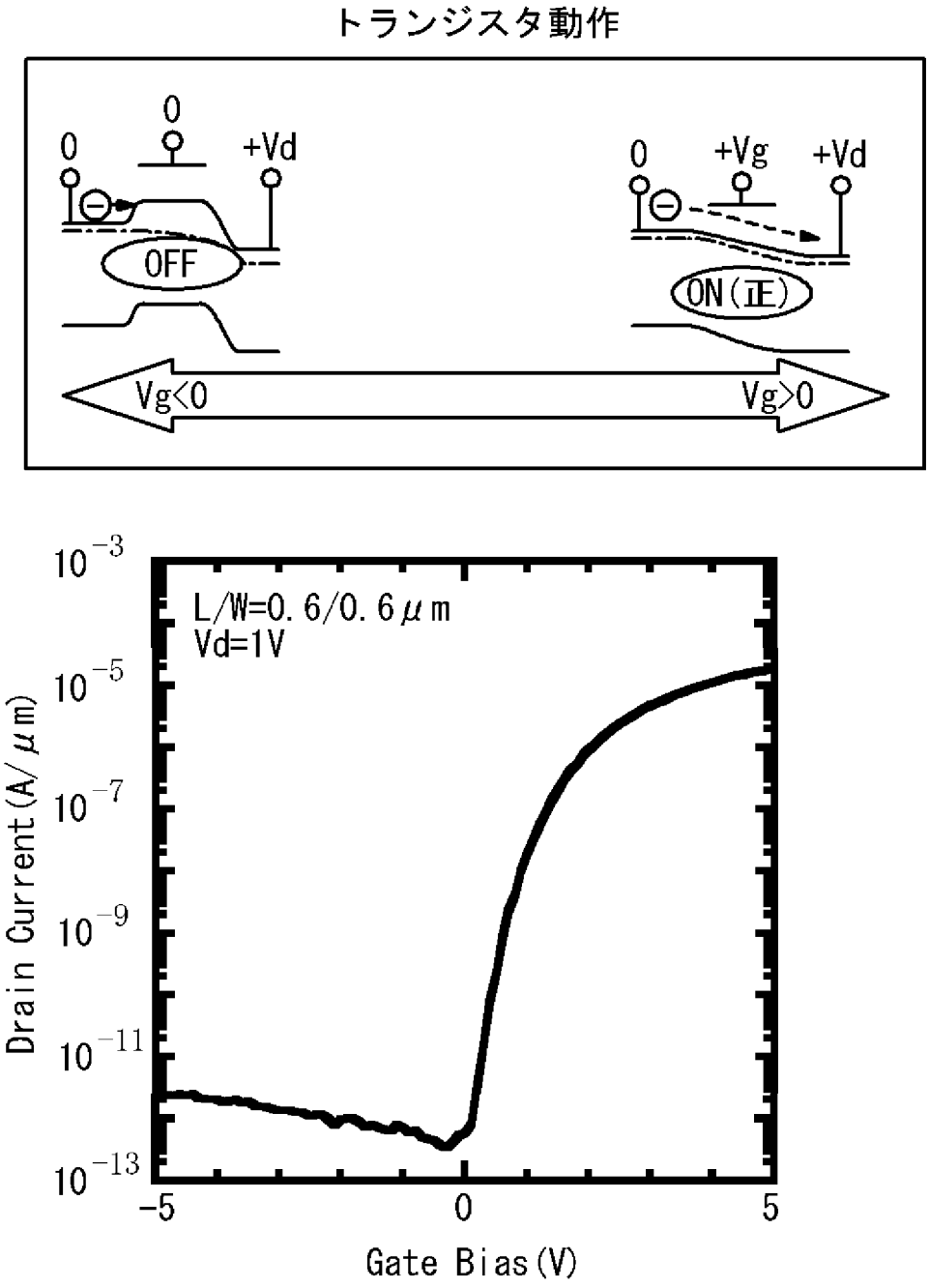
[図5B]


18
I/O
16
13
11
D
S
G
19
15
17
GND

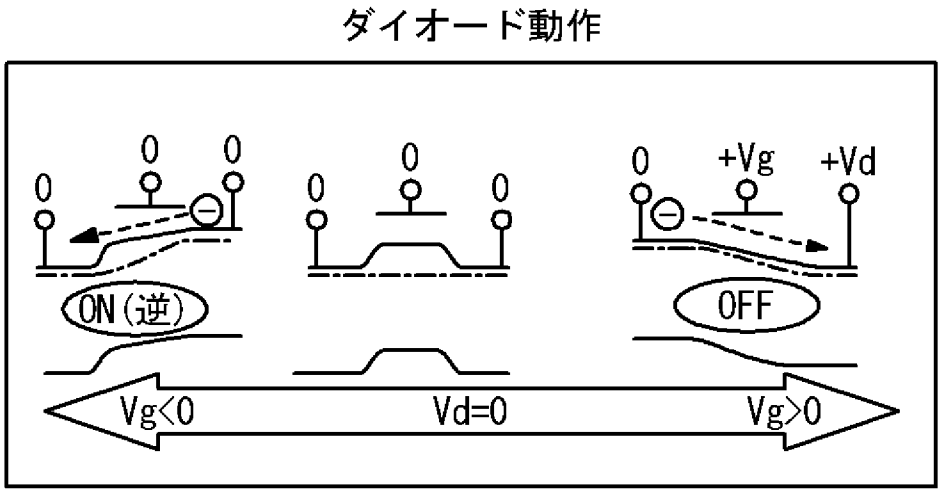
[図6]

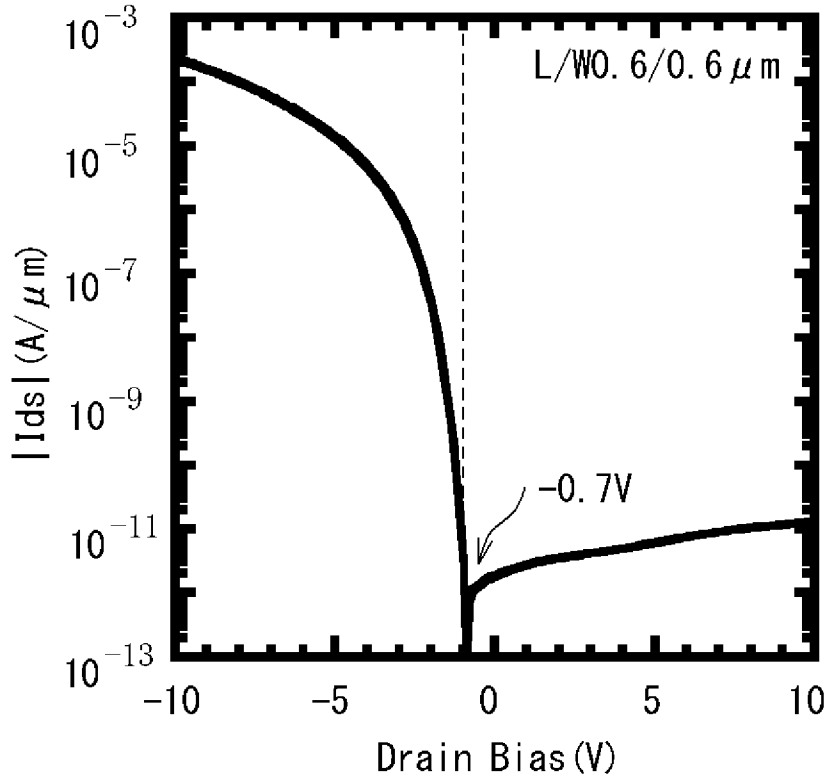

11:ESD保護素子
15:ソース電極
23
16:ドレイン電極
7
7
3-1
4-1
7
3-2
4-2
21
13:ゲート電極
22

[図7A]

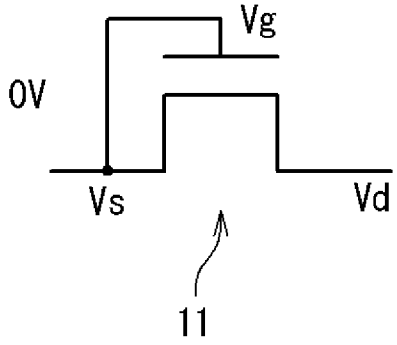

トランジスタ動作
0
0
+Vd
OFF
0
+Vg
+Vd
ON(正)
Vg<0
Vg>0
L/W=0.6/0.6μm
Vd=1V
Drain Current(A/μm)
10^-3
10^-5
10^-7
10^-9
10^-11
10^-13
-5
0
5
Gate Bias(V)

[図7B]

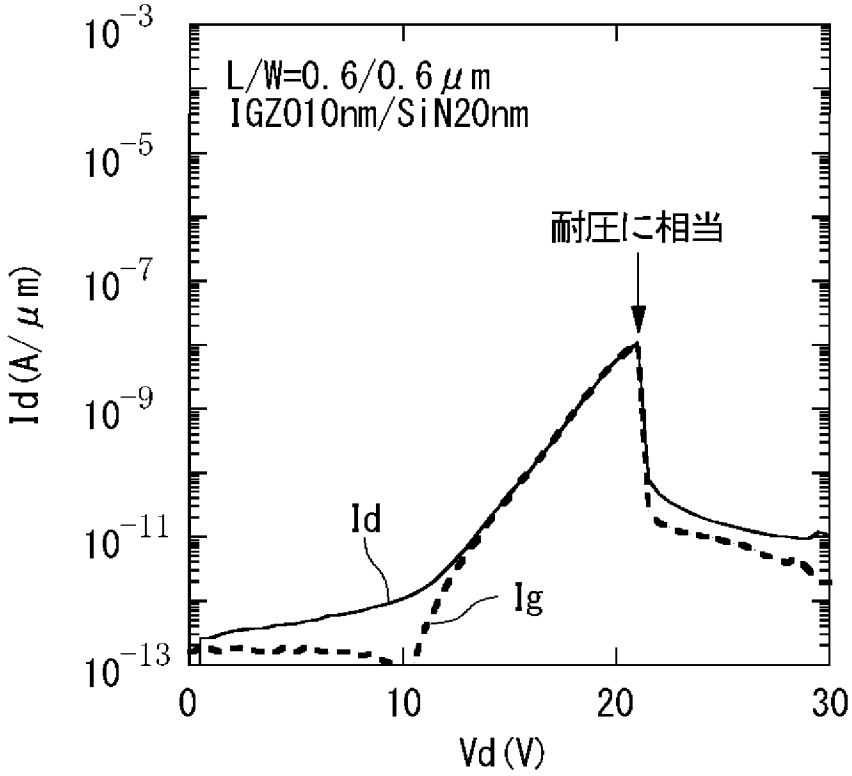

ダイオード動作
0
0
0
0
0
0
+Vg
+Vd
ON(逆)
OFF
Vg<0
Vd=0
Vg>0


L/W0.6/0.6μm
-0.7V
|Ids|(A/μm)
10^-3
10^-5
10^-7
10^-9
10^-11
10^-13
-10
-5
0
5
10
Drain Bias(V)

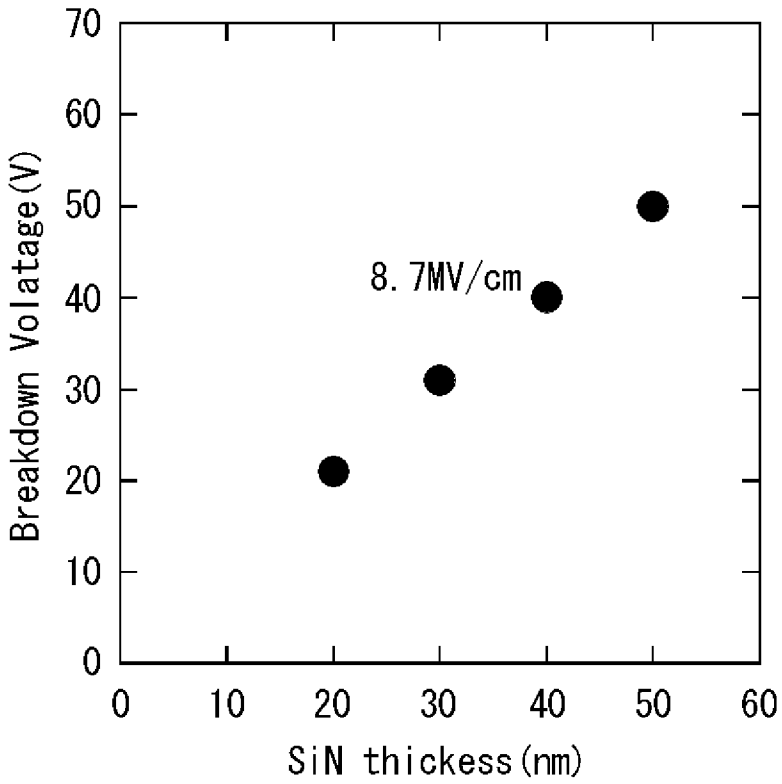
[図8A]


Vg
0V
Vs
Vd
11

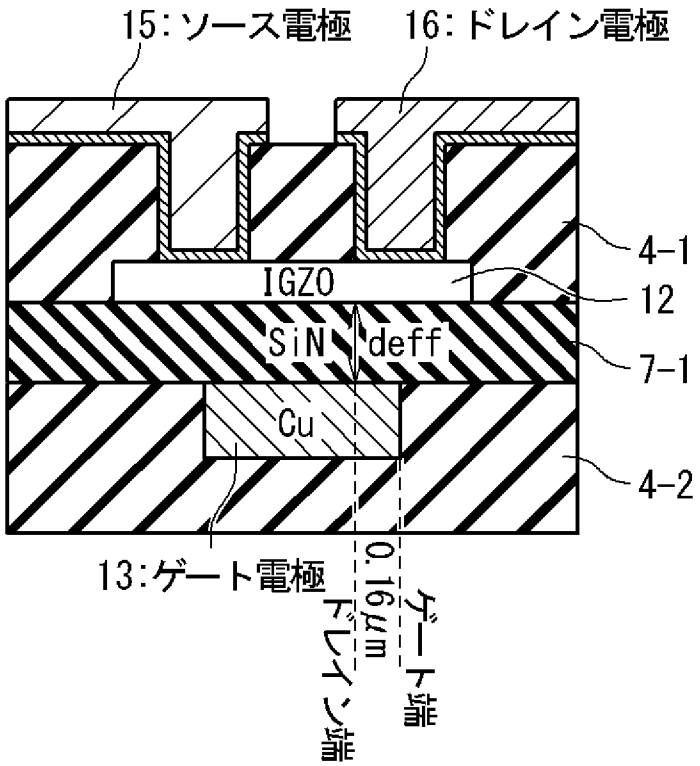
[図8B]


L/W=0.6/0.6μm
IGZO10nm/SiN20nm
耐圧に相当
Id
Ig
Id(A/μm)
Vd(V)
10^-3
10^-5
10^-7
10^-9
10^-11
10^-13
0
10
20
30

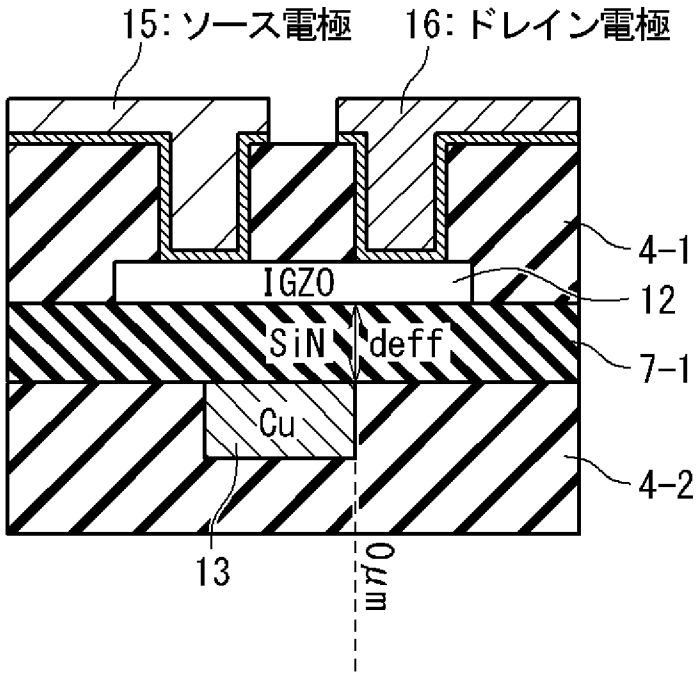
[図8C]


8.7MV/cm
Breakdown Volatage(V)
SiN thickess(nm)
0
10
20
30
40
50
60
70

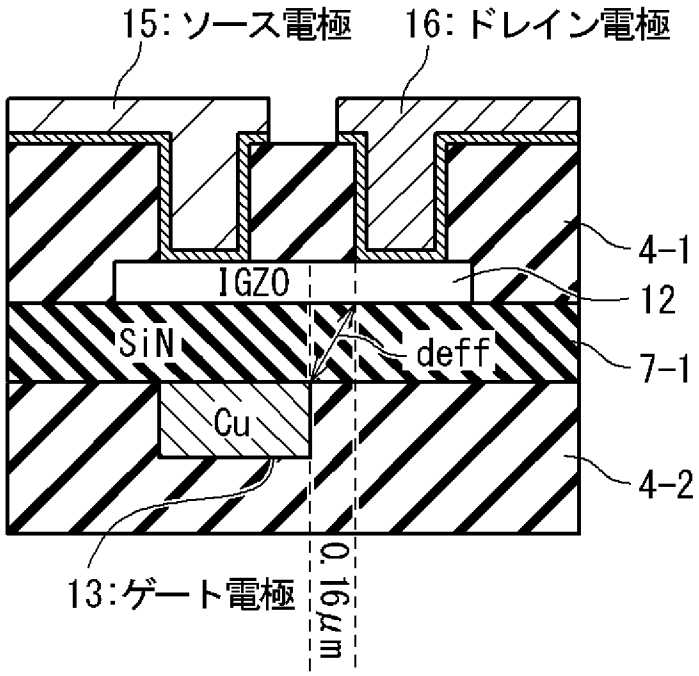
[図9A]


15:ソース電極
16:ドレイン電極
4-1
IGZO
12
SiN
deff
7-1
Cu
4-2
13:ゲート電極
0.16μm
ドレイン端
ゲート端

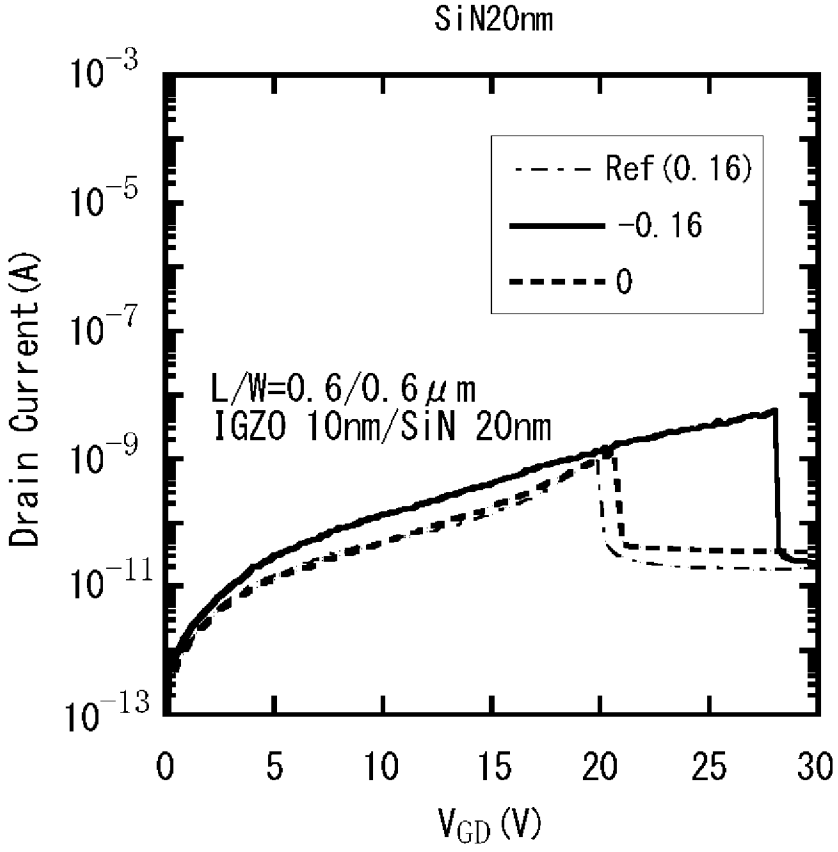
[図9B]


15:ソース電極
16:ドレイン電極
4-1
IGZO
12
SiN
deff
7-1
Cu
4-2
13
0μm

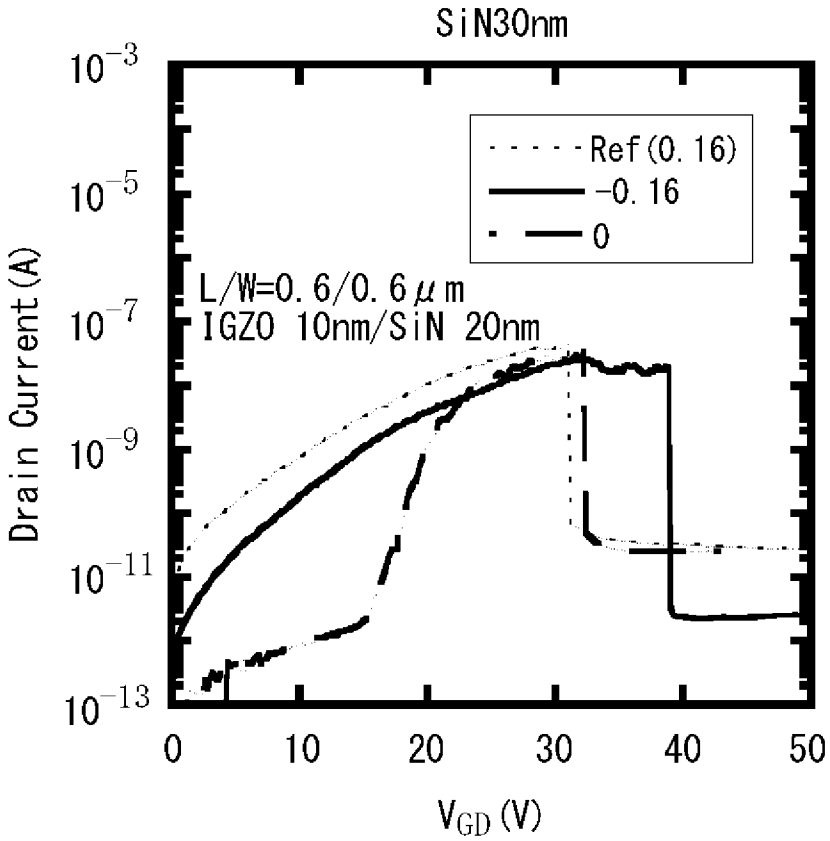
[図9C]


15:ソース電極
16:ドレイン電極
4-1
IGZO
12
SiN
deff
7-1
Cu
4-2
13:ゲート電極
0.16μm

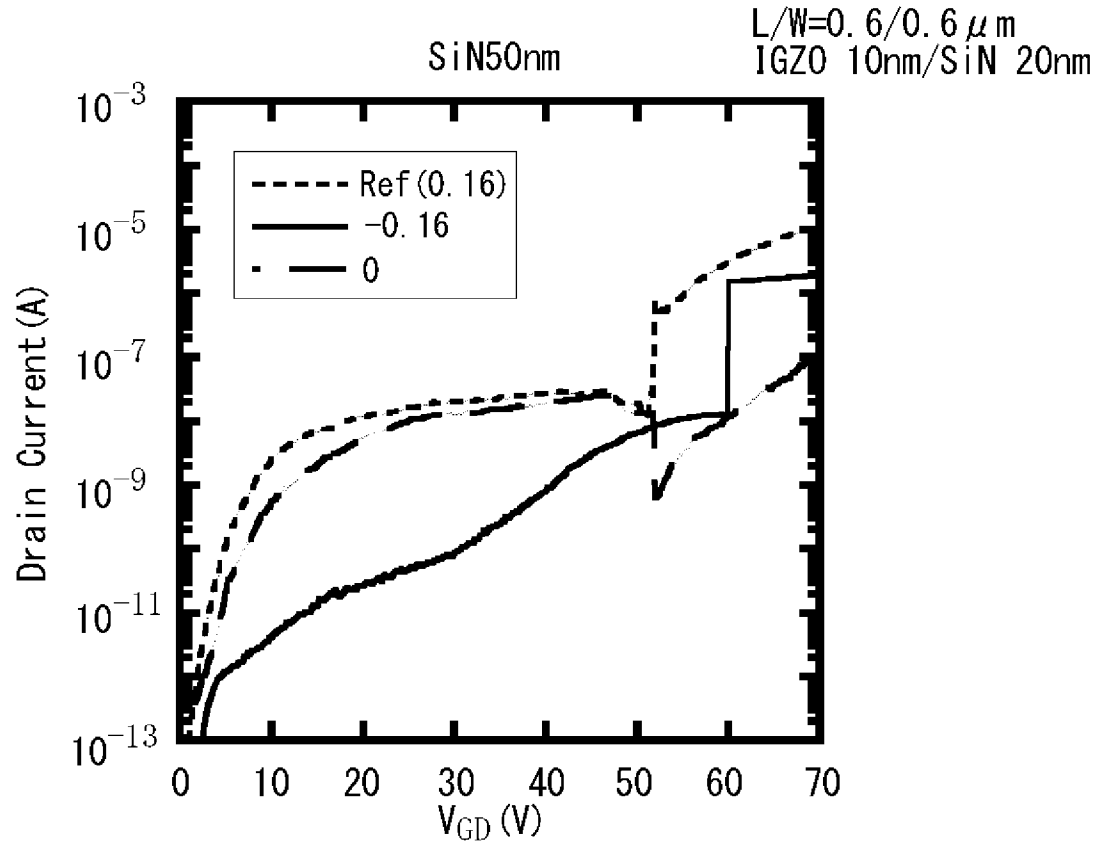
[図10A]


SiN20nm
Ref(0.16)
-0.16
0
L/W=0.6/0.6μm
IGZO 10nm/SiN 20nm
Drain Current(A)
10^-3
10^-5
10^-7
10^-9
10^-11
10^-13
0
5
10
15
20
25
30
VGD(V)

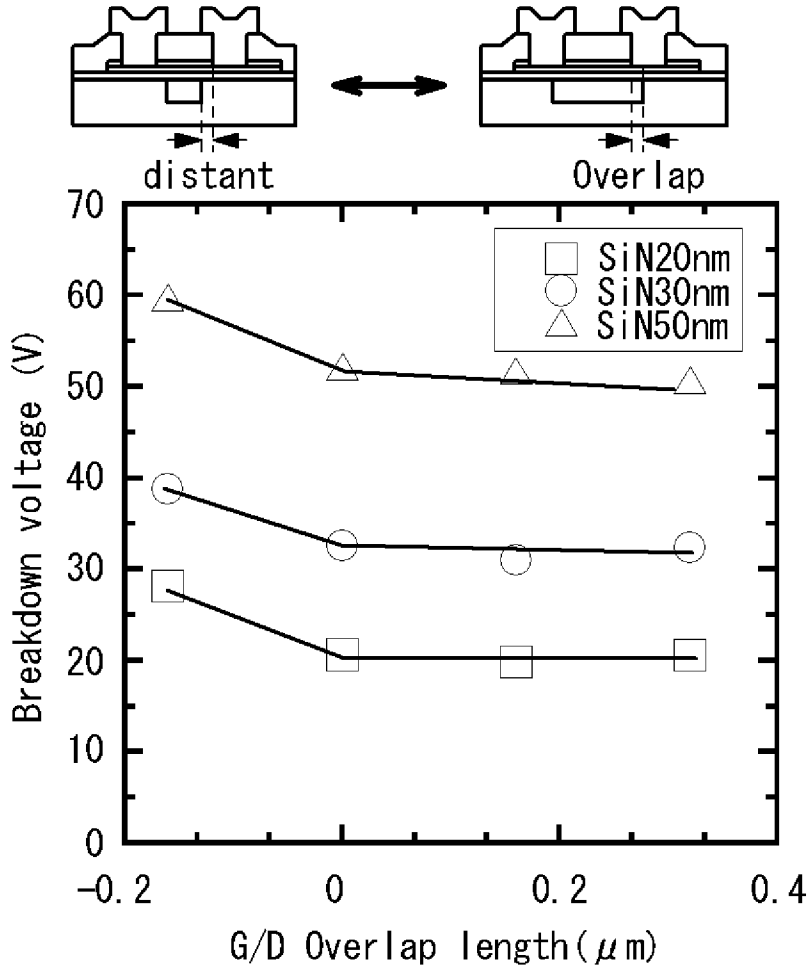
[図10B]


SiN30nm
Ref(0.16)
-0.16
0
L/W=0.6/0.6μm
IGZO 10nm/SiN 20nm
Drain Current(A)
10^{-3}
10^{-5}
10^{-7}
10^{-9}
10^{-11}
10^{-13}
0
10
20
30
40
50
V_{GD} (V)

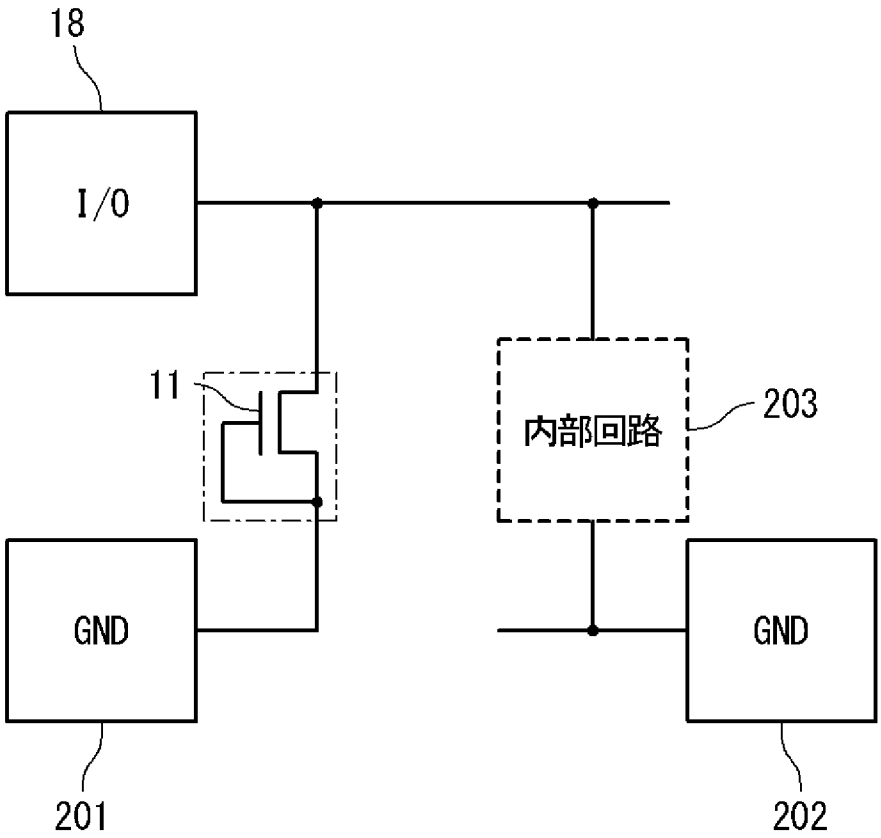
[図10C]


L/W=0.6/0.6μm
IGZO 10nm/SiN 20nm
SiN50nm
Ref(0.16)
-0.16
0
Drain Current(A)
10^{-3}
10^{-5}
10^{-7}
10^{-9}
10^{-11}
10^{-13}
0
10
20
30
40
50
60
70
V_{GD} (V)

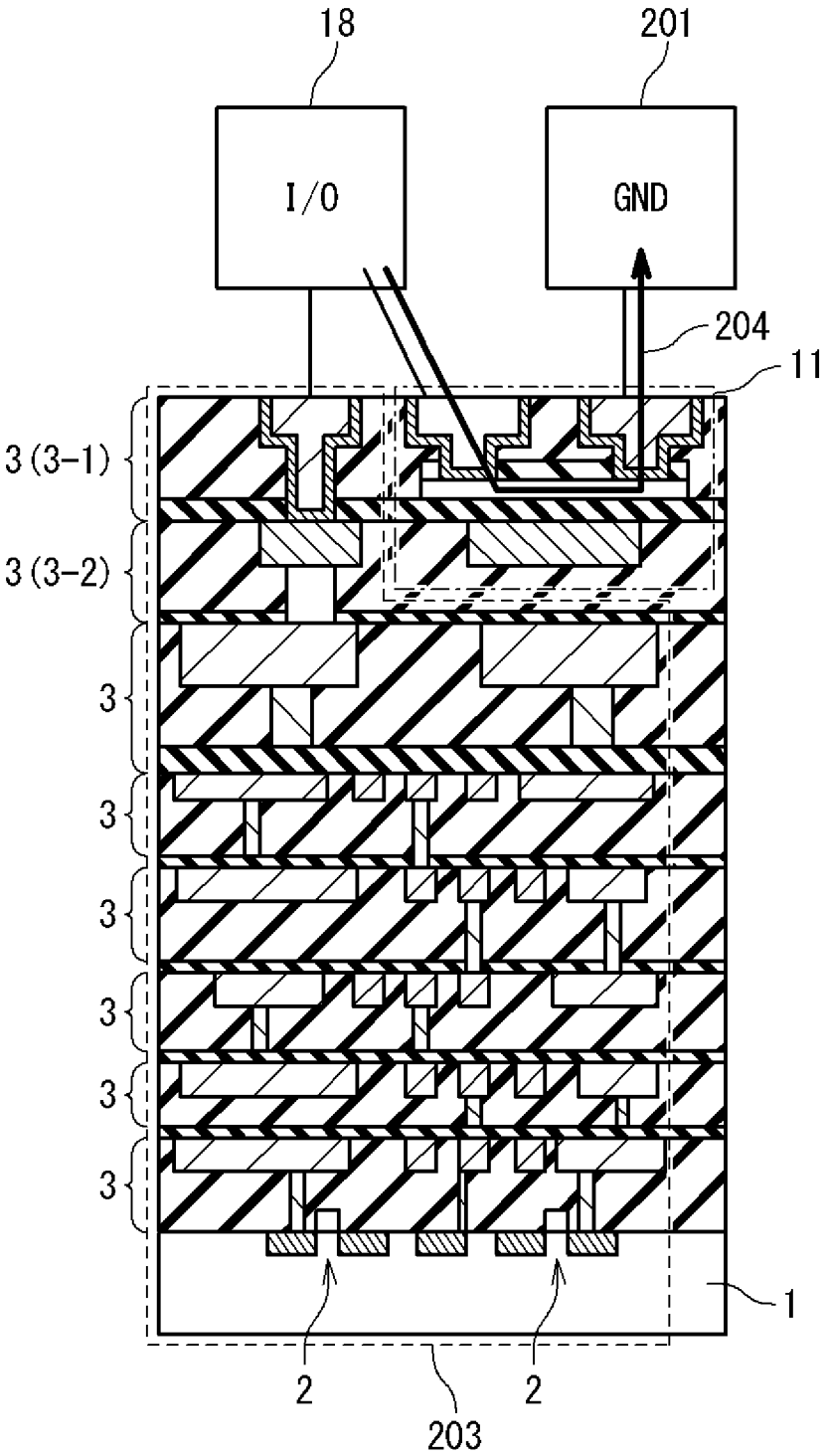
[図11]


distant
Overlap
70
60
50
40
30
20
10
0
Breakdown voltage (V)
SiN20nm
SiN30nm
SiN50nm
-0.2
0
0.2
0.4
G/D Overlap length(μm)

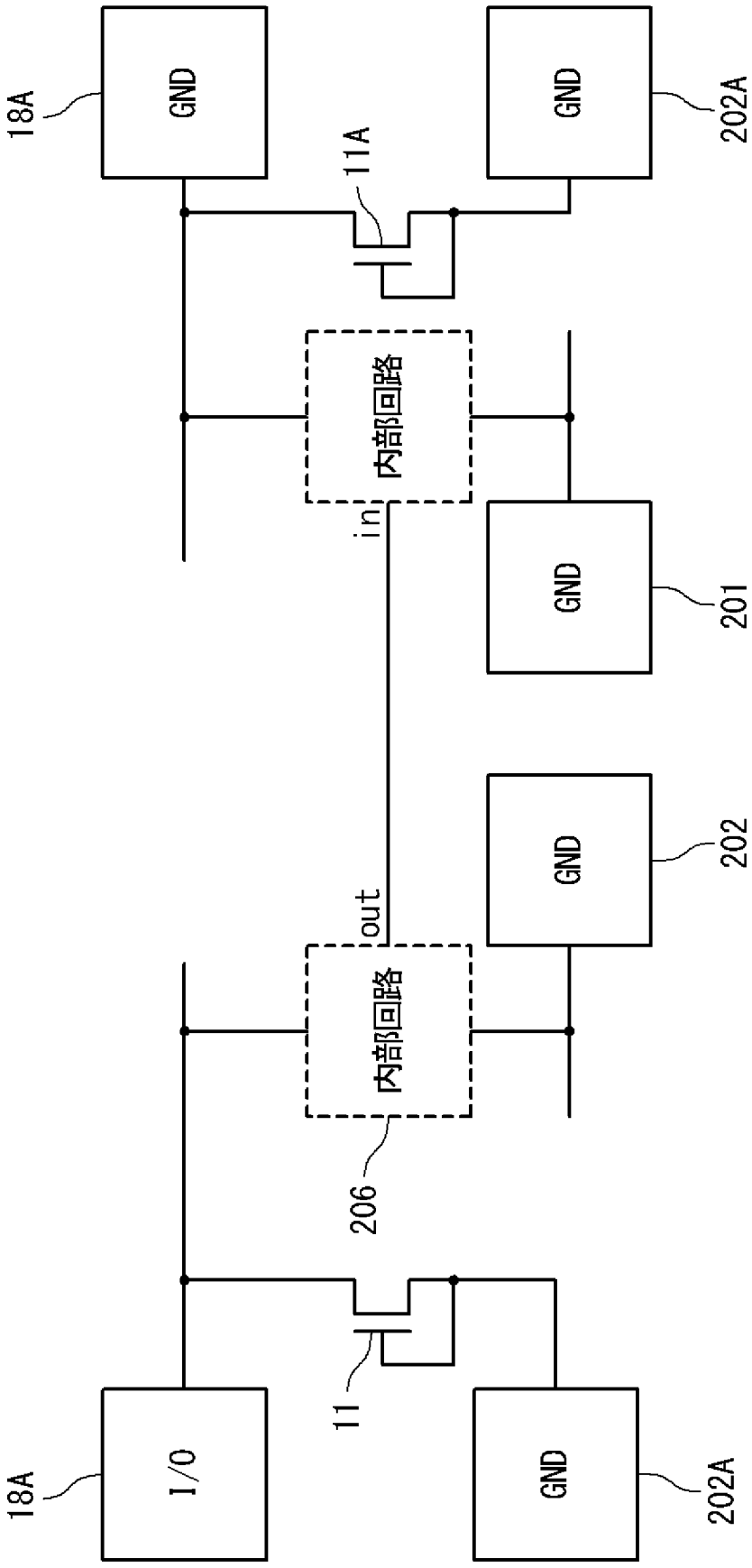
[図12]



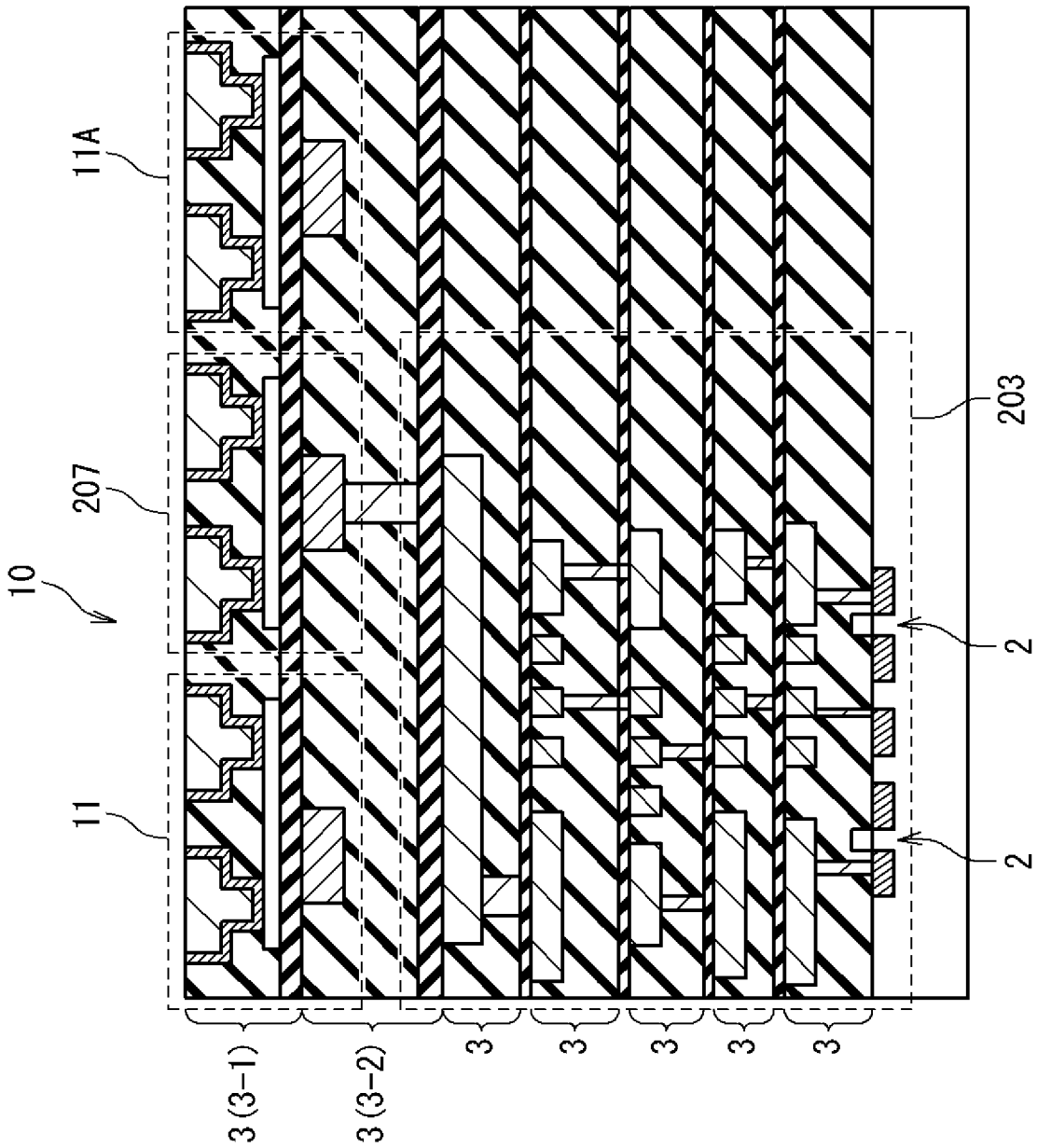
[図13]



[図14]


18A
GND
GND
202A
11A
内部回路
in
GND
201
GND
202
out
内部回路
206
11
18A
I/O
GND
202A

[図15]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2012/055707

A. CLASSIFICATION OF SUBJECT MATTER
H01L21/822(2006.01)i, *H01L21/3205*(2006.01)i, *H01L21/768*(2006.01)i, *H01L21/8234*(2006.01)i, *H01L21/8238*(2006.01)i, *H01L23/522*(2006.01)i, *H01L27/04*(2006.01)i, *H01L27/06*(2006.01)i, *H01L27/088*(2006.01)i,
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L21/822, H01L21/3205, H01L21/768, H01L21/8234, H01L21/8238, H01L23/522, H01L27/04, H01L27/06, H01L27/088, H01L27/092, H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2008-218818 A (Toshiba Corp.), 18 September 2008 (18.09.2008), fig. 5, 6 & US 2008/0315197 A1 fig. 5, 6	1-7
Y	JP 60-148161 A (Hitachi, Ltd.), 05 August 1985 (05.08.1985), fig. 4 (Family: none)	1-7

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
28 May, 2012 (28.05.12)	05 June, 2012 (05.06.12)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2012/055707

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2010-206186 A (Semiconductor Energy Laboratory Co., Ltd.), 16 September 2010 (16.09.2010), paragraph [0053] & US 2010/0202090 A1 paragraph [0071] & KR 10-2010-0091111 A	2
Y	JP 2005-019452 A (Toshiba Corp.), 20 January 2005 (20.01.2005), entire text; all drawings & US 2005/0023692 A1 entire text; all drawings & US 2007/0187830 A1 & US 2009/0127582 A1	7
Y	JP 01-295455 A (Matsushita Electric Industrial Co., Ltd.), 29 November 1989 (29.11.1989), entire text; all drawings (Family: none)	7
A	JP 2010-129958 A (Seiko Epson Corp.), 10 June 2010 (10.06.2010), entire text; all drawings & US 2010/0133701 A1 entire text; all drawings	1-7
A	JP 2010-141174 A (Seiko Epson Corp.), 24 June 2010 (24.06.2010), entire text; all drawings (Family: none)	1-7
A	WO 2010/030532 A1 (QUALCOMM INC.), 18 March 2010 (18.03.2010), entire text; all drawings & US 2010/0059869 A1 & EP 2335282 A & CA 2735689 A & CN 102150266 A & MX 2011002564 A & KR 10-2011-0069064 A & TW 201027705 A	1-7

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2012/055707

Continuation of A. CLASSIFICATION OF SUBJECT MATTER
(International Patent Classification (IPC))

H01L27/092(2006.01)i, *H01L29/786*(2006.01)i

(According to International Patent Classification (IPC) or to both national classification and IPC)

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１２／０５５７０７

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L21/822(2006.01)i, H01L21/3205(2006.01)i, H01L21/768(2006.01)i, H01L21/8234(2006.01)i, H01L21/8238(2006.01)i, H01L23/522(2006.01)i, H01L27/04(2006.01)i, H01L27/06(2006.01)i, H01L27/088(2006.01)i, H01L27/092(2006.01)i, H01L29/786(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L21/822, H01L21/3205, H01L21/768, H01L21/8234, H01L21/8238, H01L23/522, H01L27/04, H01L27/06, H01L27/088, H01L27/092, H01L29/786

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１２年
日本国実用新案登録公報	１９９６－２０１２年
日本国登録実用新案公報	１９９４－２０１２年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2008-218818 A (株式会社東芝) 2008.09.18, 第５、６図 & US 2008/0315197 A1, 第５、６図	1-7
Y	JP 60-148161 A (株式会社日立製作所) 1985.08.05, 第４図（ファミリーなし）	1-7
Y	JP 2010-206186 A (株式会社半導体エネルギー研究所) 2010.09.16, 【0053】段落 & US 2010/0202090 A1, [0071] & KR 10-2010-0091111 A	2

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日 ２８．０５．２０１２	国際調査報告の発送日 ０５．０６．２０１２
国際調査機関の名称及びあて先 日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	特許庁審査官（権限のある職員）　５Ｏ　３１２５ 宇多川　勉 電話番号　０３－３５８１－１１０１　内線　３５５９

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2005-019452 A (株式会社東芝) 2005.01.20, 全文, 全図 & US 2005/0023692 A1, 全文, 全図 & US 2007/0187830 A1 & US 2009/0127582 A1	7
Y	JP 01-295455 A (松下電器産業株式会社) 1989.11.29, 全文, 全図 (ファミリーなし)	7
A	JP 2010-129958 A (セイコーエプソン株式会社) 2010.06.10, 全文, 全図 & US 2010/0133701 A1, 全文, 全図	1-7
A	JP 2010-141174 A (セイコーエプソン株式会社) 2010.06.24, 全文, 全図 (ファミリーなし)	1-7
A	WO 2010/030532 A1 (QUALCOMM INCORPORATED) 2010.03.18, 全文, 全図 & US 2010/0059869 A1 & EP 2335282 A & CA 2735689 A & CN 102150266 A & MX 2011002564 A & KR 10-2011-0069064 A & TW 201027705 A	1-7