

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年1月2日(02.01.2020)



(10) 国際公開番号

WO 2020/004340 A1

(51) 国際特許分類:

H03H 7/46 (2006.01) **H03H 9/72** (2006.01)
H03H 9/70 (2006.01)

阪市北区中之島三丁目2番4号 中之島フェスティバルタワー・ウエスト Osaka (JP).

(21) 国際出願番号: PCT/JP2019/024981

(22) 国際出願日: 2019年6月24日(24.06.2019)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:

特願 2018-124079 2018年6月29日(29.06.2018) JP

(71) 出願人: 株式会社村田製作所
(MURATA MANUFACTURING CO., LTD.) [JP/
JP]; 〒6178555 京都府長岡京市東神足1
丁目10番1号 Kyoto (JP).

(72) 発明者: 横山 仁(YOKOYAMA, Jin); 〒6178555
京都府長岡京市東神足1丁目10番1号 株
式会社村田製作所内 Kyoto (JP).

(74) 代理人: 特許業務法人深見特許事務所(FUKAMI
PATENT OFFICE, P.C.); 〒5300005 大阪府大

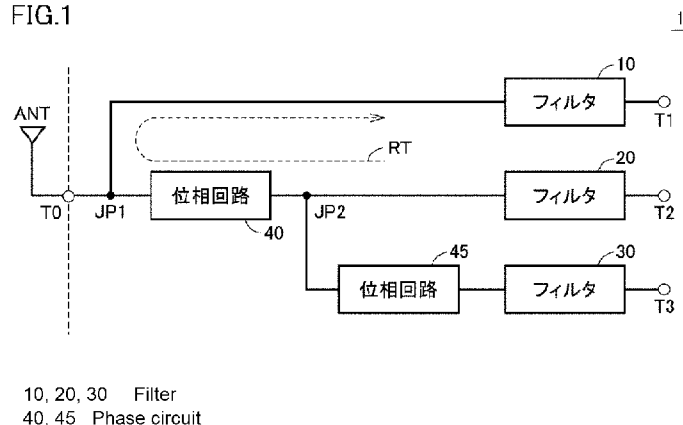
(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS,

(54) Title: MULTIPLEXER

(54) 発明の名称: マルチプレクサ

FIG.1



(57) **Abstract:** A multiplexer (1) that comprises an antenna terminal (ANT), filters (10–30) that have different passbands, and phase circuits (40, 45) that adjust the phases of passing signals. Filter (10) is connected to the antenna terminal (ANT). A second filter (20) is connected to the antenna terminal (ANT) via phase circuit (40). Filter (30) is connected to a junction point (JP2) via phase circuit (45). Unnecessary waves occur at filter (20) in a first passband of filter (10). Phase circuit (40) performs phase adjustment such that the impedance at the antenna terminal (ANT) for the first passband is in an open state. Phase circuit (45) performs phase adjustment such that the impedance at the junction point (JP2) for the first passband is in a shorted state.

SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM,
GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一 国際調査報告（条約第21条(3)）

(57) 要約：マルチプレクサ（1）は、アンテナ端子（A N T）と、互いに異なる通過帯域を有するフィルタ（1 0～3 0）と、通過する信号の位相を調整する位相回路（4 0，4 5）とを備える。フィルタ（1 0）は、アンテナ端子（A N T）に接続される。第2フィルタ（2 0）は、位相回路（4 0）を介してアンテナ端子（A N T）に接続される。フィルタ（3 0）は、位相回路（4 5）を介して合流点（J P 2）に接続される。フィルタ（2 0）は、フィルタ（1 0）の第1通過帯域において不要波が生じる。位相回路（4 0）は、アンテナ端子（A N T）における第1通過帯域のインピーダンスがオープン状態となるように位相を調整する。位相回路（4 5）は、合流点（J P 2）における第1通過帯域のインピーダンスがショート状態となるように位相を調整する。

明 細 書

発明の名称： マルチプレクサ

技術分野

[0001] 本開示はマルチプレクサに関し、より特定的には、フィルタに生じる不要波（スプリアス）の影響を低減するマルチプレクサの構成に関する。

背景技術

[0002] 近年、携帯電話あるいはスマートフォンなどの携帯端末において、複数の周波数帯域の電波を用いて通信を行なうマルチバンド通信が進められている。このような携帯端末においては、1つのアンテナで送受信した高周波信号を複数の周波数帯域の信号に分割するためのマルチプレクサが搭載される。

[0003] 特開2013-62556号公報（特許文献1）には、互いに異なる通過帯域を有する複数の帯域通過フィルタを備えたマルチプレクサが開示されている。特開2013-62556号公報（特許文献1）においては、2つのフィルタ（F1, F2）が並列接続されたデュプレクサと他のフィルタとが、整合回路を介してアンテナ端子に並列接続された構成を有しており、各フィルタにおいて、他のフィルタの通過帯域におけるインピーダンスの位相が、アンテナ端子から見て開放状態となるように整合回路が調整されている。

先行技術文献

特許文献

[0004] 特許文献1：特開2013-62556号公報

発明の概要

発明が解決しようとする課題

[0005] マルチプレクサが用いられる通信装置においては、外部ノイズ等の影響によって突発的な位相変化が生じ、所定周波数以外の周波数信号成分である不要波（スプリアス）が発生する場合がある。たとえば、フィルタAから、フィルタBの通過帯域の信号が発生するような場合である。この場合、アンテナ端子から見て各フィルタのインピーダンスが開放状態であったとしても、

フィルタ A で発生したスプリアスの影響がフィルタ B に伝達されてしまい、フィルタ B の通過特性の悪化につながる可能性がある。

[0006] 本開示は、このような課題を解決するためになされたものであって、その目的は、互いに異なる通過帯域を有する複数の帯域通過フィルタを備えたマルチプレクサにおいて、スプリアスの発生による通過特性の悪化を抑制することである。

課題を解決するための手段

[0007] 本開示のある局面に従うマルチプレクサは、アンテナ端子と、第 1 ～ 第 3 フィルタと、通過する信号の位相を調整するように構成された第 1 および第 2 位相回路とを備える。第 1 フィルタは、第 1 通過帯域を有し、アンテナ端子に接続される。第 2 フィルタは、第 2 通過帯域を有し、第 1 位相回路を介してアンテナ端子に接続される。第 2 フィルタは、第 1 通過帯域において不要波が生じる。第 3 フィルタは、第 3 通過帯域を有し、第 2 位相回路を介して、第 1 位相回路と第 2 フィルタとの間の接続ノードに接続される。第 1 位相回路は、アンテナ端子における第 1 通過帯域のインピーダンスがオープン状態となるように位相を調整する。第 2 位相回路は、接続ノードにおける第 1 通過帯域のインピーダンスがショート状態となるように位相を調整する。

発明の効果

[0008] 本開示によるマルチプレクサによれば、第 1 通過帯域においてスプリアスが生じる第 2 フィルタが、第 1 通過帯域のインピーダンスがオープン状態となるように調整された第 1 位相回路を介して第 1 フィルタに接続されるとともに、第 1 通過帯域のインピーダンスがショート状態となるように調整された第 2 位相回路を介して第 3 フィルタに接続される。そのため、第 2 フィルタで発生したスプリアスは、第 1 通過帯域を有する第 1 フィルタ側には伝達されず、第 3 フィルタ側に伝達される。したがって、第 2 フィルタで発生したスプリアスの影響により第 1 フィルタの通過特性が悪化することを抑制することができる。

図面の簡単な説明

[0009] [図1]実施の形態に従うマルチプレクサの概略回路図である。

[図2]スプリアスの発生を説明するための図である。

[図3]第2位相回路による位相変化を説明するための図である。

[図4]第2フィルタと第3フィルタとの合流点における、第2フィルタおよび第3フィルタの位相を説明するための図である。

[図5]第2位相回路の例を示す図である。

[図6]第1位相回路による位相変化を説明するための図である。

[図7]第1位相回路の例を示す図である。

[図8]位相回路の有無による第2フィルタで生じたスプリアスの第1フィルタへの影響を説明するための図である。

[図9]第2フィルタに生じるスプリアスレベルと第2位相回路の調整範囲との関係を説明するための図である。

[図10]スプリアスレベルに対する第2位相回路の調整範囲の一例を示す図である。

発明を実施するための形態

[0010] 以下、本開示の実施の形態について、図面を参照しながら詳細に説明する。なお、図中同一または相当部分には同一符号を付してその説明は繰り返さない。

[0011] 図1は、本実施の形態に従うマルチプレクサ1の概略回路図である。図1を参照して、マルチプレクサ1は、アンテナANTが接続されるアンテナ端子T0と、フィルタ10～30と、位相回路40、45と、出力端子T1～T3とを備える。

[0012] フィルタ10～30は、互いに異なる通過帯域を有するバンドパスフィルタである。フィルタ10～30として、たとえば弾性表面波（Surface Acoustic Wave：SAW）フィルタあるいはバルク弾性波（Bulk Acoustic Wave：BAW）フィルタなどを用いることができる。

[0013] フィルタ10（第1フィルタ）は通過帯域BW1（第1通過帯域）を有し、フィルタ20（第2フィルタ）は通過帯域BW2（第2通過帯域）を有し

、フィルタ 30（第3フィルタ）は通過帯域 BW3（第3通過帯域）を有する。各フィルタの通過帯域の設定は任意とすることができるが、本実施の形態の例においては、通過帯域 BW1 が最も低域側の周波数帯域に位置し、通過帯域 BW3 が最も高域側の周波数帯域に位置し、通過帯域 BW2 が中間の周波数帯域に位置するように設定される。

[0014] フィルタ 10 は、アンテナ端子 T0 に接続され、アンテナ ANT で受信した高周波信号のうちの通過帯域 BW1 の信号を出力端子 T1 へと通過させる。フィルタ 20 は、位相回路 40（第1位相回路）を介してアンテナ端子 T0 に接続される。フィルタ 20 は、アンテナ ANT で受信した高周波信号のうちの通過帯域 BW2 の信号を出力端子 T2 へと通過させる。

[0015] フィルタ 30 は、位相回路 45（第2位相回路）を介して位相回路 40 とフィルタ 20 との接続ノード JP2 に接続される。フィルタ 30 は、アンテナ ANT で受信した高周波信号のうちの通過帯域 BW3 の信号を出力端子 T3 へと通過させる。

[0016] すなわち、マルチプレクサ 1 は、位相回路 45 を介して並列接続されたフィルタ 20、30 が、位相回路 40 を介してフィルタ 10 と並列接続された構成となっている。

[0017] 位相回路 40、45 は、通過する高周波信号の位相を調整するための回路である。本実施の形態においては、位相回路 40 は、フィルタ 10 とデュプレクサとの接続ノード JP1（すなわち、アンテナ端子 T0）におけるフィルタ 10 の通過帯域（通過帯域 BW1）のインピーダンスがオープン状態となるように、通過信号の位相を調整する。一方、位相回路 45 は、接続ノード JP2 における通過帯域 BW1 のインピーダンスがショート状態となるように通過信号の位相を調整する。

[0018] なお、本実施の形態において、インピーダンスが「オープン状態」とは、高インピーダンス状態であることを意味しており、スミスチャートにおける左端部付近（ -180° 付近）の位相となる状態を示している。本実施の形態において「オープン状態」とは、必ずしもインピーダンスが無限大である

必要はない。また、インピーダンスが「ショート状態」とは、インピーダンスが $0\ \Omega$ に近い低インピーダンス状態であることを意味しており、スミスチャートにおける右端部付近 (0° 付近) の位相となる状態を示している。

[0019] このような、マルチプレクサにおいては、各フィルタは、アンテナ端子T0から見た場合に自身の通過帯域に対応する周波数の信号に対してはショート状態であり、当該通過帯域以外の周波数の信号に対してはオープン状態とされる。ところが、各出力端子に接続される回路あるいはフィルタ自身において、ノイズ等の影響により自身の通過帯域以外の周波数を有する不要波（スプリアス）が生じる場合がある。このスプリアスの周波数が他のフィルタの通過帯域に含まれる場合には、当該他のフィルタの通過特性に影響を及ぼす可能性がある。

[0020] 図2は、スプリアスの発生を説明するための図であり、図1の構成のフィルタ20において、フィルタ10の通過帯域BW1内の周波数を有するスプリアスが生じている例を示している。より詳細には、図2においては、横軸に周波数が示されており、縦軸にはアンテナ端子T0におけるフィルタ20の反射損失（リターンロス）が示されている。

[0021] 図2の線LN1で示されるように、フィルタ20の通過帯域BW2 ($f_3 < f < f_4$) においては、インピーダンスが低く、リターンロスが大きくなっており、当該通過帯域BW2の信号を低損失で通過するようになっている。一方で、フィルタ10の通過帯域BW1 ($f_1 < f < f_2$) においては、本来であれば低いリターンロスとなるはずであるが、周波数 f_a においてスプリアスの影響によりリターンロスがやや大きくなっている。

[0022] このようなスプリアスが生じた場合、図1における位相回路40がない場合には、フィルタ20で発生したスプリアスが、図1中の破線矢印RTのように、接続ノードJP1を通過してフィルタ10に伝達されてしまう。スプリアスの周波数がフィルタ10の通過帯域BW1内であるため、当該スプリアスはフィルタ10を通過して出力端子T1から出力され、結果としてフィルタ10の通過特性が劣化してしまうことになる。

[0023] 本実施の形態においては、位相回路40によって、アンテナ端子T0（すなわち接続ノードJP1）における通過帯域BW1のインピーダンスがオープン状態となるように位相が調整され、さらに、位相回路45については、接続ノードJP2における通過帯域BW1のインピーダンスがショート状態となるように位相が調整される。これによって、フィルタ20で発生したスプリアスは、相対的に高いインピーダンスの位相回路40を通過せずに、相対的に低いインピーダンスの位相回路45に流れやすくなる。これにより、フィルタ20で発生したスプリアスがフィルタ10に伝達されにくくなる。

[0024] また、位相回路40の通過帯域BW1のインピーダンスがオープン状態とされるため、アンテナANTで受信した高周波信号における通過帯域BW1の信号はフィルタ20、30側へは流れず、フィルタ10へ流れることになる。これらにより、フィルタ10の通過特性の低下を抑制することができる。

[0025] 次に、図3～図7を用いて、本実施の形態のマルチプレクサ1の各点における位相について説明する。図3は、位相回路45を通過した後の、フィルタ30の通過帯域BW1の位相について説明するための図である。言い換えると、図3（a）のように、接続ノードJP2からフィルタ30側を見た場合の、通過帯域BW1の信号についてのインピーダンスを説明するための図である。上述のように、位相回路45は、フィルタ10の通過帯域BW1に対するインピーダンスがショート状態となるように調整されているため、図3（b）のスミスチャート上では、外周円の -180° 付近（図中の領域AR1）付近にインピーダンスが位置することになる。

[0026] 図4は、フィルタ20とフィルタ30とを接続した状態において、接続ノードJP2からフィルタ20、30側を見た場合（図4（a））の、通過帯域BW1の信号についての位相について説明するための図である。この場合、接続ノードJP2とフィルタ20とは直接接続されており、位相回路45については通過帯域BW1のインピーダンスがショート状態となるように位相が調整されている。そのため、接続ノードJP2からフィルタ20、30

側を見た場合、通過帯域BW1のインピーダンスは全体としてもショート状態となり、図4(b)のように、スミスチャート上では、外周円の -180° 付近(図中の領域AR1)付近にインピーダンスが位置することになる。

[0027] 図5は、位相回路45を実現するための具体的な回路構成の例を示す図である。位相回路45としては、遅延線60(図5(a))、直列インダクタL1(図5(b))、並列キャパシタC1(図5(c))、および、直列インダクタL1および並列キャパシタC1との組み合わせ(図5(d))のいずれかを適用することができる。

[0028] 図5(a)は位相回路45として遅延線60を適用する例である。スミスチャート上において、遅延線は、スミスチャートの中央を中心とする円(等SWR円)に沿って時計回りにインピーダンスを移動させる。したがって、遅延線の長さを調整することで、図4(b)のショート状態の領域AR2にインピーダンスを近づけることができる。

[0029] 位相回路45として、図5(b)のように直列インダクタL1を適用することも可能である。直列インダクタは、スミスチャートの右端部に接する円(等抵抗円)に沿って時計回りにインピーダンスを移動させる。したがって、直列インダクタL1のインダクタンスを調整することによって、インピーダンスを図4(b)のショート状態の領域AR2に近づけることができる。

[0030] 位相回路45として、図5(c)のように並列キャパシタC1を適用することも可能である。並列キャパシタは、スミスチャートの左端部に接する円(等コンダクタンス円)に沿って時計回りにインピーダンスを移動させる。したがって、並列キャパシタC1の容量を調整することによって、インピーダンスを図4(b)のショート状態の領域AR2に近づけることができる。

[0031] 図5(d)は上述の直列インダクタL1と並列キャパシタC1とを組み合わせた例である。初期のインピーダンスの状態によっては、直列インダクタのみ、あるいは並列キャパシタのみで位相を調整すると、ショート状態に十分近づけることができなかったり、使用するインダクタ、キャパシタの素子サイズを大きくしなくてはならない場合が生じたりする場合がある。直列イ

ンダクタと並列キャパシタとを適切に組み合わせることによって、素子サイズが大きくなることを抑制しつつ、インピーダンスをショート状態に近づけることが可能となる。なお、直列インダクタ L_1 と並列キャパシタ C_1 に加えて、遅延線 60 をさらに組み合わせてもよい。

[0032] 図6は、位相回路 40 を通過した後の、フィルタ 20 、 30 の通過帯域 BW_1 の位相について説明するための図である。すなわち、図6(a)のように、接続ノード JP_1 からフィルタ 20 、 30 側を見た場合の、通過帯域 BW_1 の信号についてのインピーダンスを説明するための図である。上述のように、位相回路 40 は、フィルタ 10 の通過帯域 BW_1 に対するインピーダンスがオープン状態となるように調整されているため、図6(b)のスミスチャート上では、外周円の -0° 付近(図中の領域 AR_3)付近にインピーダンスが位置することになる。その結果、フィルタ 20 で発生した通過帯域 BW_1 内の周波数を有するスプリアスは、位相回路 40 を通過できず、低インピーダンスの位相回路 45 を通過してフィルタ 30 側に流れる。したがって、フィルタ 20 で生じたスプリアスがフィルタ 10 へ伝達されることを抑制することができる。

[0033] 図7は、位相回路 40 を実現するための具体的な回路構成の例を示す図である。位相回路 40 としては、遅延線 62 (図7(a))、直列インダクタ L_2 (図7(b))、および、遅延線 62 と直列インダクタ L_2 との組み合わせ(図7(c))を適用することができる。上述のように、遅延線を使用すると等 SWR 円に沿って時計回りにインピーダンスが移動し、直列インダクタを使用すると等抵抗円に沿って時計回りにインピーダンスが移動する。したがって、初期のインピーダンスがスミスチャートの下半分に位置する容量性のインピーダンスである場合には、図4で示したショート状態にする場合よりもさらに大きく位相を変化させることによって、図6(b)のオープン状態の領域 AR_3 に近づけることができる。たとえば、位相回路 40 、 45 として、ともに直列インダクタを用いる場合には、位相回路 40 に使用する直列インダクタ L_2 のインダクタンスを、位相回路 45 に使用する直列イ

ンダクタ L_1 のインダクタンスよりも大きくする。

[0034] 図8は、位相回路40、45の有無による、フィルタ20で生じたスプリアスのフィルタ10への影響を説明するための図である。具体的には、図8は、位相回路40、45を用いないマルチプレクサ（比較例）の場合のフィルタ10の挿入損失と、本実施の形態のマルチプレクサ1の場合のフィルタ10の挿入損失とを比較したシミュレーション結果である。図8において、破線LN2が比較例の場合における挿入損失を示しており、実線LN3が本実施の形態の場合における挿入損失を示している。

[0035] 図8を参照して、比較例の場合（破線LN2）には、フィルタ10の通過帯域BW1において、スプリアスの周波数 f_a の部分でリップルが発生しており挿入損失が増加している。このスプリアスの周波数 f_a の挿入損失が、たとえばピーク値との比較で0.5 dB以上増加している場合、不要波として問題になる。挿入損失の増加が、ピーク値との比較で0.5 dB未満の場合は、不要波が生じないと考えてよい。すなわち、比較例においては、フィルタ20で発生したスプリアスが不要波としてフィルタ10の通過特性に影響を与えていることがわかる。

[0036] 一方、本実施の形態のマルチプレクサ1の場合（実線LN3）には、周波数 f_a における挿入損失の増加が抑制されており、フィルタ20からのスプリアスの影響が低減されている。

[0037] 図9は、フィルタ20で生じるスプリアスのレベルと位相回路45の調整範囲との関係を説明するための図である。図9の横軸には位相回路45を通過後の位相が示されており、縦軸には接続ノードJP1からフィルタ20、30側を見た場合のフィルタ20、30のリターンロスが示されている。線LN10～LN50は、フィルタ20において生じるスプリアス（リップル）のリターンロスが、それぞれ1 dB、3 dB、5 dB、10 dB、30 dBの場合を示している。リターンロスのデシベル値が大きくなるほどスプリアスレベルは大きくなる。

[0038] 図9においては、リターンロスの許容値を1 dB（線ALW）としており

、当該許容値よりもリターンロスが小さい状態（すなわち、図9において線ALWよりも上側）が、フィルタ10へのスプリアスの影響が低減された状態を示している。

[0039] たとえば、スプリアスの反射損失が1 dBと小さい場合（線LN10）には、位相回路45を用いて -235° 以上 -15° 未満の範囲内で位相を調整すれば、フィルタ20で生じるスプリアスによるフィルタ10への影響を許容範囲まで低減できることが示されている。

[0040] また、スプリアスのリターンロスが30 dBと大きい場合（線LN50）においては、スプリアスの影響を許容範囲まで低減するには、位相回路45によって -200° 以上 -155° 未満のより狭い範囲に位相を調整することが必要であることが示されている。

[0041] すなわち、フィルタ20で発生するスプリアスレベルが大きくなるほど、位相回路45による位相の調整範囲が狭くなる。また、 -180° 以上 0° 未満の範囲で見た場合には、スプリアスレベルが大きくなるに従って、スプリアスの影響を許容範囲まで低減するために、位相をより大きく調整することが必要となる。

[0042] 図10は、スプリアスレベルに対する位相回路45の調整範囲の一例を示す図である。なお、図10の例においては、図9で示したシミュレーションの結果に基づいて調整範囲が定められている。

[0043] 図10を参照して、フィルタ20で生じるスプリアスのリターンロスが10 dB以上30 dB未満（図9の線LN50と線LN40の間）である場合は、位相回路45によって -200° 以上 -155° 未満の範囲に位相を調整することで、フィルタ10に対するスプリアスの影響を許容範囲まで低減することができる。

[0044] スプリアスのリターンロスが5 dB以上10 dB未満（図9の線LN40と線LN30の間）である場合は、位相回路45の位相調整範囲は -205° 以上 -145° 未満となる。スプリアスのリターンロスが3 dB以上5 dB未満（図9の線LN30と線LN20の間）である場合は、位相回路45

の位相調整範囲は -210° 以上 -130° 未満となる。スプリアスのリターンロスが1 dB以上3 dB未満（図9の線LN20と線LN10の間）である場合は、位相回路45の位相調整範囲は -215° 以上 -105° 未満となる。

[0045] 以上のように、フィルタ20において発生するスプリアスのレベルに応じて位相回路45の位相を適切に調整することによって、フィルタ20で生じるスプリアスによるフィルタ10への影響を低減することができる。

[0046] なお、上記の実施の形態においては、3つのフィルタから構成されるマルチプレクサ（トリプレクサ）の場合の例について説明したが、フィルタ数が4つ以上のマルチプレクサにおいても、スプリアスが発生するフィルタに応じて位相回路を適切に配置することで、当該スプリアスの周波数を含む他のフィルタへの影響を低減することができる。

[0047] 今回開示された実施の形態は、すべての点で例示であって制限的なものではないと考えられるべきである。本開示の範囲は、上記した実施の形態の説明ではなくて請求の範囲によって示され、請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

符号の説明

[0048] 1 マルチプレクサ、10, 20, 30 フィルタ、40, 45 位相回路、60, 62 遅延線、ALW, LN1, LN10~LN50 線、ANT アンテナ、AR1~AR3 領域、BW1~BW3 通過帯域、C1 キャパシタ、JP1, JP2 接続ノード、L1, L2 直列インダクタ、T0 アンテナ端子、T1~T3 出力端子。

請求の範囲

- [請求項1] アンテナ端子と、
 前記アンテナ端子に接続され、第1通過帯域を有する第1フィルタと、
 と、
 第2通過帯域を有し、前記第1通過帯域において不要波が生じる第2フィルタと、
 第3通過帯域を有し、前記第1通過帯域において不要波が生じない第3フィルタと、
 通過する信号の位相を調整するように構成された第1位相回路および第2位相回路とを備え、
 前記第2フィルタは、前記第1位相回路を介して前記アンテナ端子に接続されており、
 前記第3フィルタは、前記第2位相回路を介して、前記第1位相回路と前記第2フィルタとの間の接続ノードに接続されており、
 前記第1位相回路は、前記アンテナ端子における前記第1通過帯域のインピーダンスがオープン状態となるように位相を調整し、
 前記第2位相回路は、前記接続ノードにおける前記第1通過帯域のインピーダンスがショート状態となるように位相を調整する、マルチプレクサ。
- [請求項2] 前記第1位相回路は、前記アンテナ端子と前記第2フィルタとの間に接続された、遅延線、インダクタ、または、直列接続された遅延線およびインダクタのいずれかの構成を有する、請求項1に記載のマルチプレクサ。
- [請求項3] 前記第2位相回路は、前記接続ノードと前記第3フィルタとの間に接続された遅延線およびインダクタ、ならびに、前記接続ノードと接地電位との間に接続されたキャパシタの少なくとも1つの含んだ構成を有する、請求項1または2に記載のマルチプレクサ。
- [請求項4] 前記第2フィルタで生じる前記第1通過帯域の不要波が大きいほど

、前記第2位相回路の位相調整範囲が狭く設定される、請求項1～3のいずれか1項に記載のマルチプレクサ。

[請求項5]

前記第2位相回路は、

前記第2フィルタで生じる前記第1通過帯域の不要波の反射損失が10 dB以上30 dB未満の場合には、前記位相調整範囲は -200° 以上 -155° 未満に設定され、

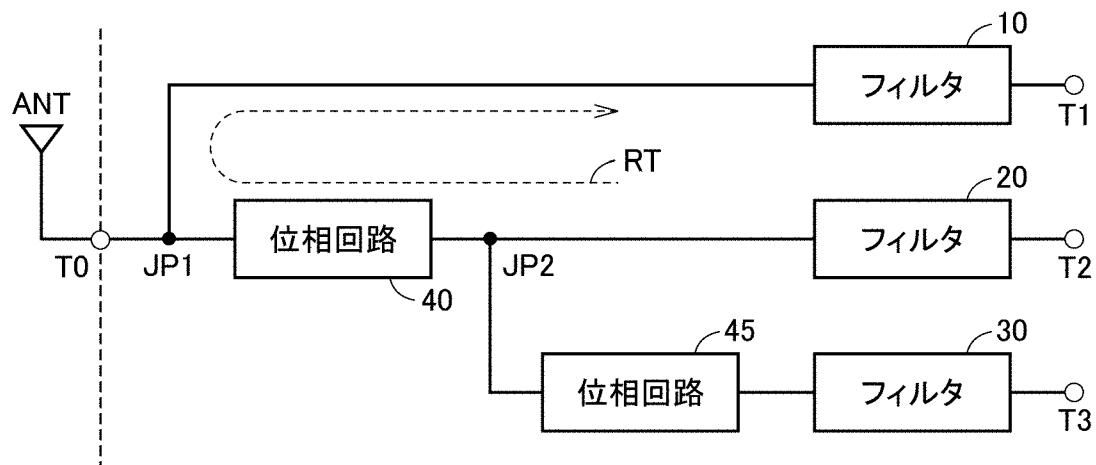
前記反射損失が5 dB以上10 dB未満の場合には、前記位相調整範囲は -205° 以上 -145° 未満に設定され、

前記反射損失が3 dB以上5 dB未満の場合には、前記位相調整範囲は -210° 以上 -130° 未満に設定され、

前記反射損失が1 dB以上3 dB未満の場合には、前記位相調整範囲は -215° 以上 -105° 未満に設定される、請求項4に記載のマルチプレクサ。

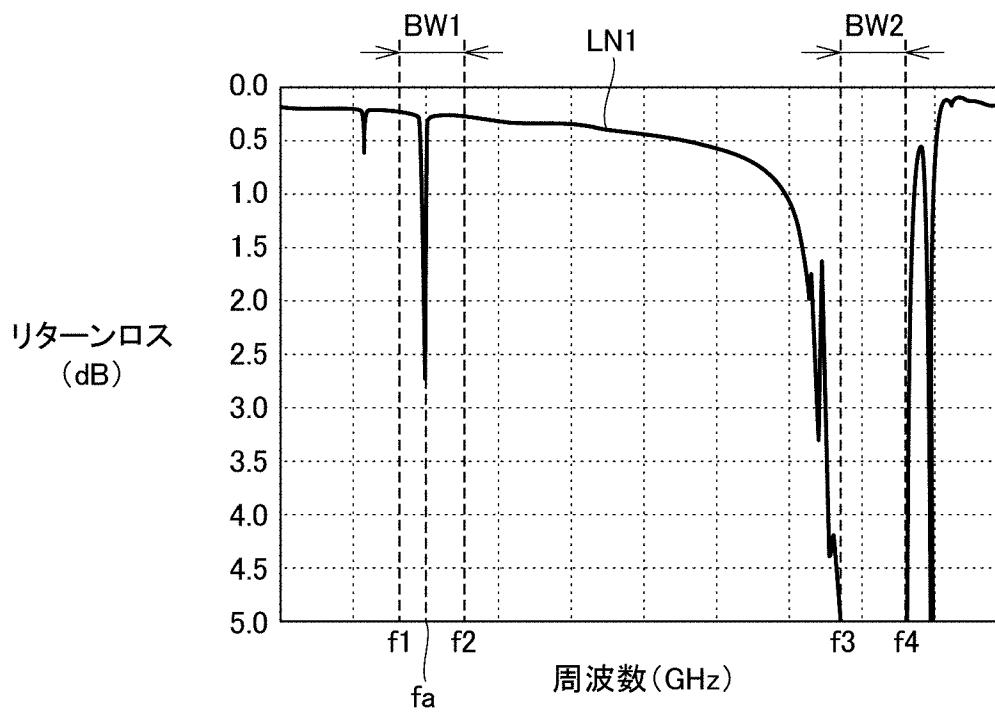
[図1]

FIG.1

1

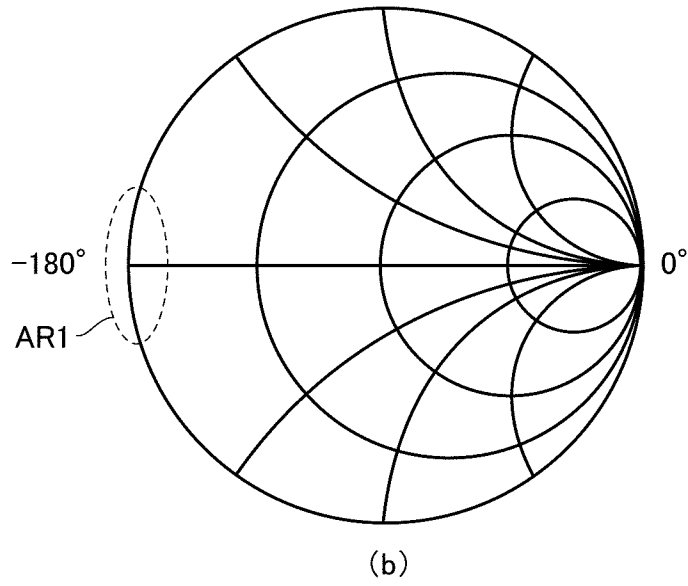
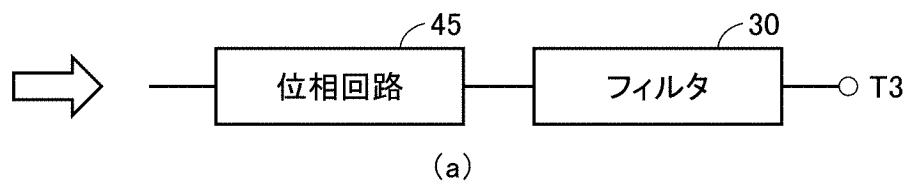
[図2]

FIG.2



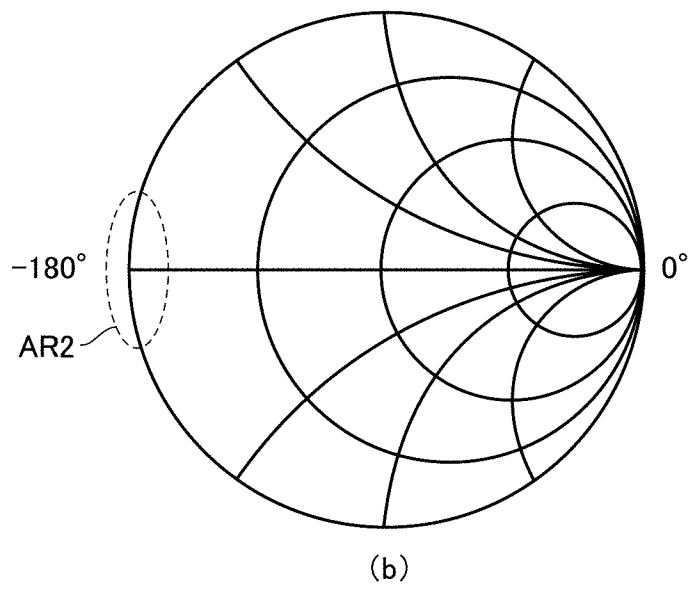
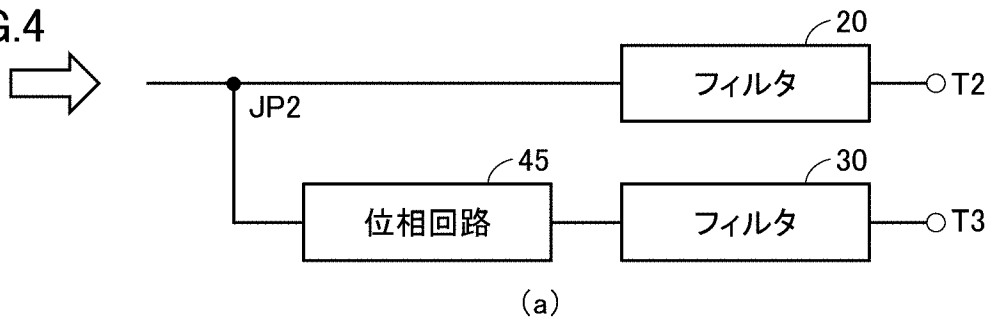
[図3]

FIG.3



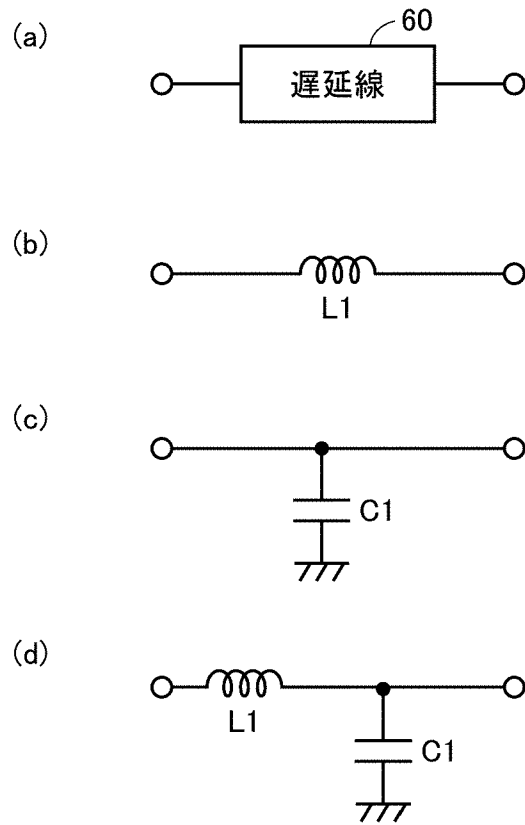
[図4]

FIG.4



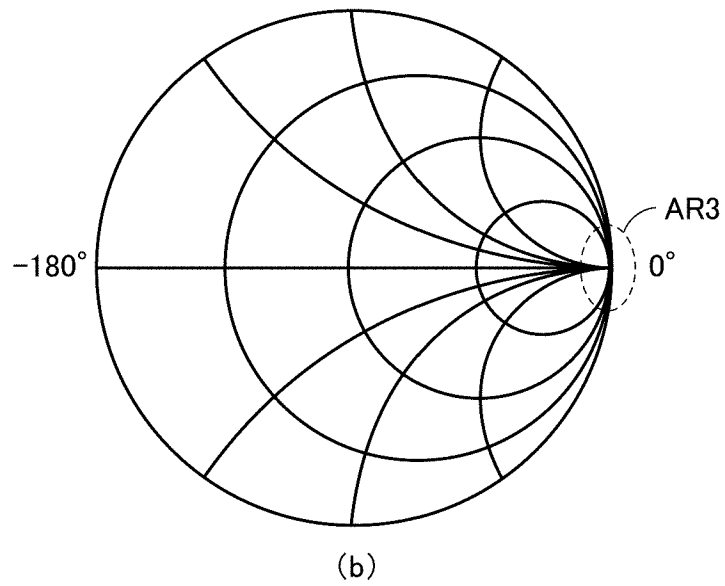
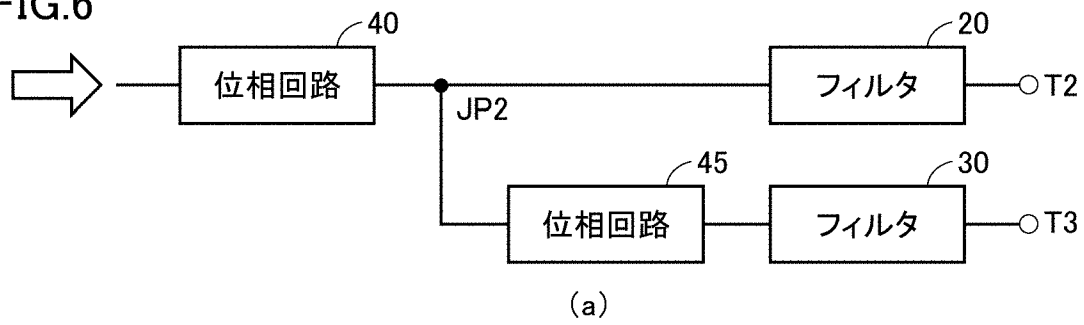
[図5]

FIG.5



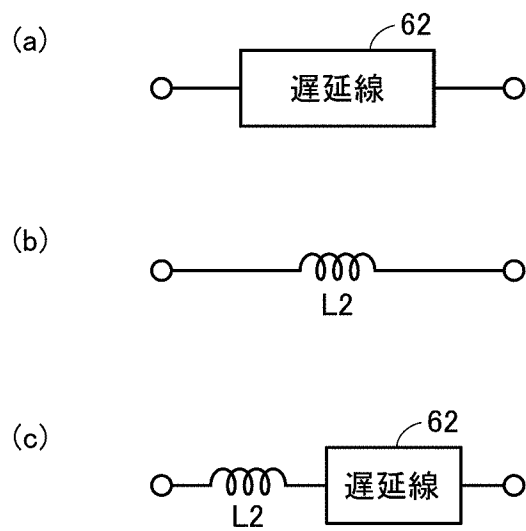
[図6]

FIG.6



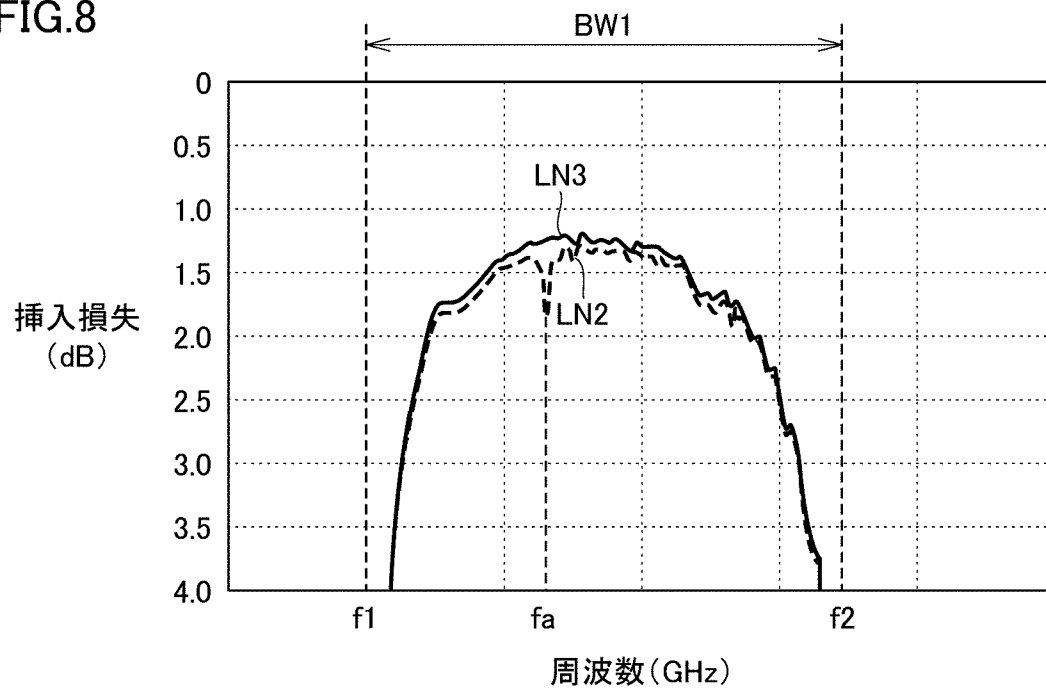
[図7]

FIG.7



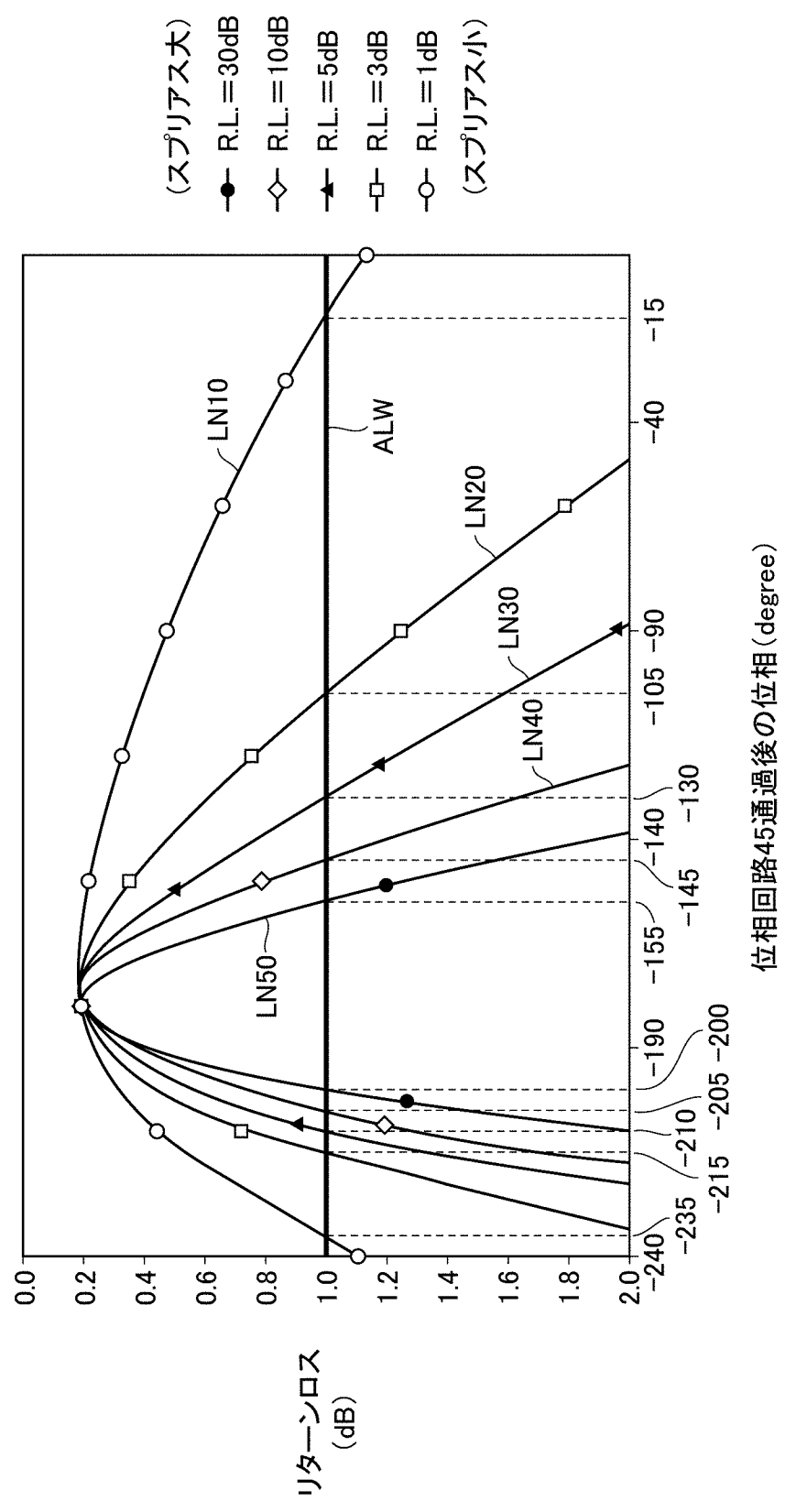
[図8]

FIG.8



[図9]

FIG.9



[図10]

FIG.10

フィルタ20で生じる スプリアスのリターンロス	位相回路45の 位相調整範囲
10dB ~ 30dB	-200° ~ -155°
5dB ~ 10dB	-205° ~ -145°
3dB ~ 5dB	-210° ~ -130°
1dB ~ 3dB	-215° ~ -105°

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/024981

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H03H7/46 (2006.01) i, H03H9/70 (2006.01) i, H03H9/72 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H03H7/46, H03H9/70, H03H9/72

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2019
Registered utility model specifications of Japan	1996-2019
Published registered utility model applications of Japan	1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2007-266897 A (KYOCERA CORPORATION) 11 October 2007, paragraphs [0053]-[0061], fig. 1 (Family: none)	1-5
A	JP 2018-19392 A (MURATA MANUFACTURING CO., LTD.) 01 February 2018, paragraph [0214], fig. 9A & US 2018/0019730 A1, paragraph [0240], fig. 9A & CN 107634782 A	1-5

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 01.08.2019	Date of mailing of the international search report 13.08.2019
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/024981

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2009-33733 A (NIPPON DEMPA KOGYO CO., LTD.) 12 February 2009, paragraphs [0012], [0013], fig. 1 & US 2009/0002095 A1, paragraphs [0042], [0043], fig. 1 & EP 2009788 A2	1-5

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H03H7/46(2006.01)i, H03H9/70(2006.01)i, H03H9/72(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H03H7/46, H03H9/70, H03H9/72

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2019年
日本国実用新案登録公報	1996-2019年
日本国登録実用新案公報	1994-2019年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2007-266897 A（京セラ株式会社）2007.10.11, 段落[0053]-[0061], 図1（ファミリーなし）	1-5
A	JP 2018-19392 A（株式会社村田製作所）2018.02.01, 段落[0214], 図9A & US 2018/0019730 A1, 段落[0240], 図9A & CN 107634782 A	1-5

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの	「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」 口頭による開示、使用、展示等に言及する文献	「&」 同一パテントファミリー文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日

01.08.2019

国際調査報告の発送日

13.08.2019

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

▲高▼橋 徳浩

電話番号 03-3581-1101 内線 3576

5W

1787

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2009-33733 A (日本電波工業株式会社) 2009. 02. 12, 段落[0012]-[0013], 図 1 & US 2009/0002095 A1 段落[0042]-[0043], 図 1 & EP 2009788 A2	1-5