

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5357063号  
(P5357063)

(45) 発行日 平成25年12月4日 (2013. 12. 4)

(24) 登録日 平成25年9月6日 (2013. 9. 6)

(51) Int. Cl.	F I
HO 1 L 27/146 (2006. 01)	HO 1 L 27/14 A
HO 4 N 5/369 (2011. 01)	HO 4 N 5/335 6 9 O
HO 4 N 5/374 (2011. 01)	HO 4 N 5/335 7 4 O

請求項の数 4 (全 9 頁)

(21) 出願番号 特願2009-553578 (P2009-553578)  
(86) (22) 出願日 平成20年2月20日 (2008. 2. 20)  
(65) 公表番号 特表2010-521812 (P2010-521812A)  
(43) 公表日 平成22年6月24日 (2010. 6. 24)  
(86) 国際出願番号 PCT/US2008/002235  
(87) 国際公開番号 W02008/115331  
(87) 国際公開日 平成20年9月25日 (2008. 9. 25)  
審査請求日 平成23年2月17日 (2011. 2. 17)  
(31) 優先権主張番号 11/686, 573  
(32) 優先日 平成19年3月15日 (2007. 3. 15)  
(33) 優先権主張国 米国 (US)

(73) 特許権者 510215606  
オムニヴィジョン テクノロジーズ イン  
コーポレイテッド  
アメリカ合衆国 カリフォルニア州 9 5  
0 5 4 サンタ クララ パートン ドラ  
イヴ 4 2 7 5  
(74) 代理人 110001210  
特許業務法人 Y K I 国際特許事務所  
(72) 発明者 パークス クリストファー  
アメリカ合衆国 ニューヨーク ロチェス  
ター ケンタッキー クロッシング 1 1  
3

審査官 石坂 博明

最終頁に続く

(54) 【発明の名称】 画像センサ

(57) 【特許請求の範囲】

【請求項 1】

画像センサであって、  
(a) 基板上に行および列に配置された複数の画素を備えており、  
各画素が、  
(i) 入射光に反応して電荷を収集する少なくとも一つの感光性領域と、  
(ii) 前記少なくとも一つの感光性領域から前記電荷を感知し、前記電荷を電圧に変換する電荷・電圧変換ノードと、  
(iii) 出力ノードに接続されたソースを有し、前記電荷・電圧変換ノードに接続されたゲートを有し、電源ノードの一部に接続されたドレインを有する増幅器トランジスタであって、隣接する列の画素は前記電源ノードの残りの部分に接続されたドレインを有する増幅器トランジスタを含む、増幅器トランジスタと、  
(iv) 前記出力ノードと前記電荷・電圧変換ノードとを接続するリセットトランジスタと、  
を備え、  
1つの列内の各画素に含まれる、前記電荷・電圧変換ノード、前記リセットトランジスタのリセットゲート、前記出力ノード、前記増幅器トランジスタのゲート、および前記電源ノードの一部は、

前記隣接する列に向かう方向に、前記電荷・電圧変換ノード、前記リセットトランジスタのリセットゲート、前記出力ノード、前記増幅器トランジスタのゲート、および前記電

10

20

源ノードの一部、という空間的順序で配置されており、

前記隣接する列内の各画素に含まれる、前記電源ノードの残りの部分、前記増幅器トランジスタのゲート、前記出力ノード、前記リセットトランジスタのリセットゲート、および前記電荷・電圧変換ノードは、

前記１つの列から離れる方向に、前記電源ノードの残りの部分、前記増幅器トランジスタのゲート、前記出力ノード、前記リセットトランジスタのリセットゲート、および前記電荷・電圧変換ノード、という空間的順序で配置されている、

画素センサ。

【請求項２】

各画素が、各感光性領域から前記電荷・電圧変換ノードへ電荷を転送する転送ゲートを  
含む、請求項１に記載の画像センサ。

10

【請求項３】

前記１つの列内の各画素、および前記隣接する列内の各画素は、

隣接する二つの感光性領域を備え、

前記二つの感光性領域のそれぞれは、転送ゲートを備え、

各転送ゲートは、前記二つの感光性領域に共有される前記電荷・電圧変換ノードに接続されている、請求項１に記載の画像センサ。

【請求項４】

前記画素センサは撮像装置内に設けられる、請求項１から３のいずれか１項に記載の画像センサ。

20

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、一般的にはＣＭＯＳアクティブ画素画像センサの分野に関し、より具体的には、画素のサイズの低減に関する。

【背景技術】

【０００２】

図１は、典型的なＣＭＯＳアクティブ画素画像センサ１００を示す。画像センサ１００の基本的な構成要素は、感光性画素１３０のアレイである。行デコード回路１０５が、相関二重サンプリング（ＣＤＳ）回路１２５によってサンプリングされるべき画素１３０の行全体を選択する。アナログ・デジタル変換器１１５が列デコードを走査し、ＣＤＳ１２５に記憶された信号をデジタル化する。アナログ・デジタル変換器１１５は、各列に一つの変換器を有するタイプ（並列）であっても、各列をシリアルにデジタル化する一つの高速変換器であってもよい。デジタル化されたデータは、画像センサ１００から直接的に出力されてもよく、あるいは、欠陥補正、カラーフィルタ補間、画像スケーリング、及びその他の特殊効果のための集積された画像処理１２０があってもよい。タイミング生成器１１０が行及び列デコードを制御して、画素アレイ全体又は画素アレイの一部のみをサンプリングする。

30

【０００３】

図２は、ＣＭＯＳ画像センサのための多くの異なる可能な模式図の一つを示す。画素アレイのうちの４つの画素１３０（明瞭化のために一つのみがラベルされている）が示されている。各画素１３０は、２つのフォトダイオード１５０及び１５１の間で共有される回路を有している。このタイプの画素は、他の変形とともに、米国特許第５，６２５，２１０号、第５，８４１，１５９号、５，９４９，０６１号、第６，１０７，６５５号、第６，１６０，２８１号、第６，４２３，９９４号、及び第６，６５７，６６５号に見出され得る。

40

【０００４】

フォトダイオード１５０及び１５１は、それぞれ転送ゲート１５２及び１５３によって共通の共有された浮遊拡散部１５５に接続されている。フォトダイオード１５０をサンプリングするプロセスは、電源（ＶＤＤ）１５８をオンし、リセットトランジスタ１５４も

50

またオンして、浮遊拡散部 1 5 5 の電圧を電源 1 5 8 の電圧に設定することによって始まる。リセットトランジスタ 1 5 4 はそれからオフして、出力トランジスタ 1 5 6 によってサンプリングされた信号レベルが出力信号線 1 5 7 の上にドライブされる。次に、転送ゲート 1 5 3 がオンして、光生成された信号電荷をフォトダイオード 1 5 0 から浮遊拡散部 1 5 5 に転送する。ここで、出力トランジスタ 1 5 6 は、信号レベル電圧を出力信号線 1 5 7 の上にドライブする。リセット直後の第1の信号マイナス転送ゲート 1 5 3 がパルスされた後の信号の差は、フォトダイオード 1 5 0 内にあった電子の数に比例する。

#### 【 0 0 0 5 】

第2のフォトダイオード 1 5 1 は、転送ゲート 1 5 2 を通して同じ方法でサンプリングされる。この画素 1 3 0 は2つの共有された画素として示されているが、これは、2つのフォトダイオード 1 5 0 及び 1 5 1 が共通の浮遊拡散部 1 5 5 を共有しているからである。2つの共有された画素が物理的にどのようにしてシリコン基板上に製造され得るかの一例が、図3に示されている。図3で番号が付けられた構成要素は、図2の模式的な記号に対応している。ポリシリコントランジスタ転送ゲートが 1 5 2 及び 1 5 3 であり、リセットトランジスタゲートが 1 5 4 であり、出力トランジスタゲートが 1 5 6 である。浮遊拡散部コンタクト 1 5 5 は、金属ワイヤによって共通に接続されている。リセット 1 5 4 及び出力 1 5 6 のトランジスタは、電源線まで共通の拡散接続部 1 5 8 を共有している。

#### 【 発明の概要 】

#### 【 発明が解決しようとする課題 】

#### 【 0 0 0 6 】

図3の画素レイアウトの欠点は、画素のサイズをどのように低減するかという点である。2つの隣接する画素の間のギャップ 1 6 0 は、隣接する画素の間での電子のリークというリスク無しに、さらに縮減されることはできない。トランジスタゲート 1 5 4 及び 1 5 6 のサイズは、電源の動作電圧がそれらのサイズを決定するので、縮減できない。電源電圧を低減することは、それが、フォトダイオードによって収集されることが出来る光電子の最大数もまた減らすことになるので、魅力的なオプションではない。

#### 【 0 0 0 7 】

本発明は、リセット及び出力トランジスタのゲートのサイズを低減する必要なしに画素サイズを低減する方策を開示することで、この欠点及びその他に対応する。

#### 【 課題を解決するための手段 】

#### 【 0 0 0 8 】

本発明は、上述の問題の一つ又はそれ以上を克服することに向けられている。本発明の一つの局面によれば、本発明は基板上に配置された複数の画素を含む画像センサに関しており、各画素が、入射光に反応して電荷を収集する少なくとも一つの感光性領域と、前記少なくとも一つの感光性領域から前記電荷を感知し、前記電荷を電圧に変換する電荷・電圧変換ノードと、出力ノードに接続されたソースを有し、前記電荷・電圧変換ノードに接続されたゲートを有し、電源ノードの一部に接続されたドレインを有する増幅器トランジスタであって、隣接する列の画素は前記電源ノードの残りの部分に接続されたドレインを有する増幅器トランジスタを含む、増幅器トランジスタと、前記出力ノードと前記電荷・電圧変換ノードとを接続するリセットトランジスタと、を含み、1つの列内の各画素に含まれる、前記電荷・電圧変換ノード、前記リセットトランジスタのリセットゲート、前記出力ノード、前記増幅器トランジスタのゲート、および前記電源ノードの一部は、前記隣接する列に向かう方向に、前記電荷・電圧変換ノード、前記リセットトランジスタのリセットゲート、前記出力ノード、前記増幅器トランジスタのゲート、および前記電源ノードの一部、という空間的順序で配置されており、前記隣接する列内の各画素に含まれる、前記電源ノードの残りの部分、前記増幅器トランジスタのゲート、前記出力ノード、前記リセットトランジスタのリセットゲート、および前記電荷・電圧変換ノードは、前記1つの列から離れる方向に、前記電源ノードの残りの部分、前記増幅器トランジスタのゲート、前記出力ノード、前記リセットトランジスタのリセットゲート、および前記電荷・電圧変換ノード、という空間的順序で配置されている。

## 【発明の効果】

## 【0009】

本発明は、トランジスタ配置のサイズを低減することなく、画像センサの画素サイズを低減することを許容する。

## 【図面の簡単な説明】

## 【0010】

【図1】従来技術のアクティブ画素画像センサである。

【図2】図1の画素の模式図である。

【図3】図1の平面図（上面図）である。

【図4】本発明の複数の画素の模式図である。

10

【図5】図4の平面図（上面図）である。

【図6】図5のトランジスタを通る水平断面図である。

【図7】図4の画素を有する本発明の画像センサである。

【図8】本発明の画像センサを有するカメラである。

## 【発明を実施するための形態】

## 【0011】

本発明を詳細に議論する前に、本発明が好ましくはCMOSアクティブ画素センサで使  
用されるが、これに限定されるものではないことを指摘することは、有益である。アク  
ティブ画素センサは、画素内のアクティブな電氣的要素、より具体的には増幅器を指して  
おり、CMOSは、画素に関連しているが典型的には画素内には無いトランジスタのような  
相補的な金属・酸化物・シリコン形の電氣的要素を指しており、一つのトランジスタのソ  
ース/ドレインが一つのドーパントタイプ（例えばp形）であり、その対向するトランジ  
スタが反対のドーパントタイプ（n形）であるように形成されている。CMOS装置はい  
くつかの効果を含み、その一つは、消費電力が少ないことである。

20

## 【0012】

画素サイズを低減するために、画素内のトランジスタの動作を変える必要がある。本発  
明の画素の模式図が、図4に示されている。この画素235の従来技術からの主な相違点  
は、リセットトランジスタ212が浮遊拡散部218と出力信号線242との間に接続され  
ている点である。従来技術では、リセットトランジスタは電源線（VDD）234に接  
続されている。この模式図はトランジスタの全体数を低減しないが、電源線（VDD）2  
34拡散部が2つの画素235及び236の間で共有されることを許容する。これは、図  
5に、より明瞭に示されている。

30

## 【0013】

図4に戻ると、ここで各画素が詳細に説明される。画素235が、代表的な画素として  
使用される。これに関して、画素235は2つの感光性領域又はフォトダイオード232  
及び233を含み、その各々は入射光に反応して電荷を収集する。この特徴が主に光に反  
応して電荷を単に収集することを必要としていることが理解されると、ピン・フォトダイ  
オードもまた使用されることが出来る点が、明瞭化のために指摘される。転送ゲート21  
4は、フォトダイオード232から電荷・電圧変換ノード又はセンスノード218に電荷  
を転送する。出力トランジスタ又は増幅器210、好ましくはソースフォロワは、そのゲ  
ートを介してセンスノード218に接続されており、増幅器210は、センスノード21  
8上の信号を感知し、その信号をソースを介して出力バス242に出力する。増幅器21  
0のドレインは、電源（VDD）234に接続されている。この接続は、ドレインを電源  
ノード234の少なくとも一部に接続することを含む。この部分は、好ましくは、電源ノ  
ード234の1/2を含み、又は実質的に1/2を含む。増幅器220は同じ方法で接続  
されており、電源234の残りの部分に接続されている。画素235は、センスノード2  
18、増幅器210、及びリセットトランジスタ212を共有しているが、入射光に反応  
して電荷を収集する別個のフォトダイオード233とその電荷をセンスノード218に転  
送する転送ゲート216とを含んでいる。

40

## 【0014】

50

隣接する画素236は画素235と同じ構成要素を含んでいるが、明瞭化のために異なって番号が付けられている。この点に関して、画素236は、フォトダイオード237、転送ゲート224、センスノード又は浮遊拡散部228、増幅器220、及びリセットトランジスタ222を含む。画素236は、浮遊拡散部228、増幅器220、及びリセットトランジスタ222を共有しているが、別個のフォトダイオード238と転送ゲート226とを含んでいる。

#### 【0015】

図5において、参照番号は図4の数字に対応している。VDD拡散部234は、2つの出力トランジスタ210及び220の間で共有されている。リセットトランジスタゲート212及び222は、浮遊拡散部218及び228が出力242及び243を通した電圧にリセットされることを許容する。画素235（図4に示されている）は、電荷・電圧変換ノード218、リセットトランジスタ212のリセットゲート、出力ノード242、増幅器トランジスタ210のゲート、及び電源ノード234の少なくとも一部を、連続的なこのような空間順で含む。隣接する画素236（やはり図4に示されている）は、電源ノード234の残りの部分、増幅器トランジスタ220のゲート、出力ノード243、リセットトランジスタ222のリセットゲート、及び電荷・電圧変換ノード228を、連続的なこのような空間順で含む。

#### 【0016】

図4に戻ると、フォトダイオード232及び237の行から電荷を読み出すプロセスは、浮遊拡散部218及び228を活性化することによって始まる。これは、定電流シンク負荷トランジスタ240及び241（図4の下部を参照）をオフすることによって行われる。負荷トランジスタ240及び241をオフすると、スイッチ230及び231は、VHigh電圧設定に設定されることができる。ここで、リセットトランジスタ212及び222がオンされると、浮遊拡散部218及び228はVHigh電圧に設定される。次に、リセットトランジスタ212及び222はオフされて、スイッチ230及び231が開放設定に設定される。それから、電流シンク負荷トランジスタ240及び241がオンされて、出力トランジスタ210及び220が、出力線242及び243を、光信号の零電子に対応する浮遊リセットレベルを表す電圧にドライブする。次に、転送ゲート214及び224がパルスでオン・オフされて、光生成された電荷をフォトダイオード232及び237から浮遊拡散部218及び228に転送する。ここで、出力トランジスタ210及び220は、出力線242及び243を、フォトダイオード232及び237で生成された電子数に対応する電圧レベルにドライブする。この電圧レベルとリセット電圧レベルとの間の差は、フォトダイオード内の電荷量に比例する。

#### 【0017】

フォトダイオード233及び238の次の行を読み出すために、浮遊拡散部218及び228を活性化することによってプロセスが反復される。これは、定電流シンク負荷トランジスタ240及び241をオフすることによって行われる。負荷トランジスタ240及び241がオフすると、スイッチ230及び231は、VHigh電圧設定に設定されることができる。ここで、リセットトランジスタ212及び222がオンされると、浮遊拡散部218及び228はVHigh電圧に設定される。次に、リセットトランジスタ212及び222はオフされて、スイッチ230及び231が開放設定に設定される。それから、電流シンク負荷トランジスタ240及び241がオンされ、出力トランジスタ210及び220が、出力線242及び243を、光信号の零電子に対応する浮遊リセットレベルを表す電圧にドライブする。次に、転送ゲート216及び226がパルスでオン・オフされて、光生成された電荷をフォトダイオード233及び238から浮遊拡散部218及び228に転送する。ここで、出力トランジスタ210及び220は、出力線242及び243を、フォトダイオード233及び238で生成された電子数に対応する電圧レベルにドライブする。この電圧レベルとリセット電圧レベルとの間の差は、フォトダイオード内の電荷量に比例する。

#### 【0018】

次に、画素 2 3 5 及び 2 3 6 内のトランジスタは、画素の別の行を読み出しに動く前に、非活性化されなければならない。リセットトランジスタ 2 1 2 及び 2 2 2 をオン状態に保持することで、出力トランジスタ 2 1 0 及び 2 2 0 のゲート及びソース電圧が等しく設定される。表面チャンネルトランジスタでゲート及びソース電圧が等しいと、トランジスタはオフ状態にある。出力トランジスタ 2 1 0 及び 2 2 0 がオフ状態にあるとき、それらは、他の画像センサ行のフォトダイオードの読み出しには干渉しない。

#### 【 0 0 1 9 】

共通電源 ( V D D ) 拡散部 2 3 4 を共有することによって、図 5 において、トランジスタによって占有される面積量が低減される。図 3 の従来技術に比べて、コンタクトが一つ少なく、トランジスタ間の分離領域が一つ少ない。このことは、同じトランジスタゲート寸法を維持し且つ適正なサイズのフォトダイオードを維持しながら、画素の全体サイズが低減されることを許容する。

#### 【 0 0 2 0 】

図 6 は、トランジスタゲート 2 1 2、2 1 0、2 2 0、及び 2 2 2 の線を通る断面を示す。これらのトランジスタは、シリコン基板 2 5 0 に製造されている。

#### 【 0 0 2 1 】

図 4 の画素 2 3 5 は、共通浮遊拡散部 2 1 8 を共有する 2 つのフォトダイオード 2 3 2 及び 2 3 3 を示している。C M O S 画像センサの当業者は、本発明が、共有されるフォトダイオードが無い場合を含めて、任意の数のフォトダイオードを共有すること又は共通浮遊拡散部を共有しないことに適用されることができ、容易に認識するであろう。

#### 【 0 0 2 2 】

図 4 はまた、垂直方向に向いた V D D 電源線 2 3 4 を示す。電源線 2 3 4 はまた、水平に、あるいは方形グリッドとして両方向に向けられることもできる。さらに、V D D 電源線 2 3 4 が水平に向けられると、米国特許第 5, 9 4 9, 0 6 1 号及び第 6, 3 2 3, 4 7 6 号にあるように、読み出しのために行を選択又は非選択するために使用されることができる。

#### 【 0 0 2 3 】

図 7 は、画像センサ 3 0 0 に組み込まれた本発明 3 3 0 の画素を示す。画像センサ 3 0 0 は、読み出しのために行を選択又は非選択する行デコーダ 3 0 5 を有する。これはまた、各列の出力線をサンプリングする列デコーダ 3 2 5、及び出力線上の信号をデジタル化するアナログ・デジタル変換器 3 1 5 も有する。タイミング生成器 3 1 0 は、行 3 0 5 及び列 3 2 5 デコーダの走査を制御する。画像プロセッサ 3 2 0 は、行及び列のゲイン及びオフセットの補正、ならびに欠陥補正、及びカラーフィルタ補間、又はその他の画像処理機能のために使用される。

#### 【 0 0 2 4 】

図 8 は、本発明の画像センサ 3 0 0 を有するデジタルカメラ 4 0 0 である。

#### 【 符号の説明 】

#### 【 0 0 2 5 】

1 0 0 画像センサ、1 0 5 行デコーダ回路、1 1 0 タイミング生成器、1 1 5 アナログ・デジタル変換器、1 2 0 画像処理、1 2 5 相関二重サンプリング ( C D S ) 回路、1 3 0 感光性画素、1 5 0 フォトダイオード、1 5 1 フォトダイオード、1 5 2 転送ゲート、1 5 3 転送ゲート、1 5 4 リセットトランジスタゲート、1 5 5 浮遊拡散部、1 5 6 出力トランジスタゲート、1 5 7 出力信号線、1 5 8 電源線 ( V D D )、1 6 0 ギャップ、2 1 0 出力トランジスタ又は増幅器、2 1 2 リセットトランジスタゲート、2 1 4 転送ゲート、2 1 6 転送ゲート、2 1 8 浮遊拡散部又はセンスノード、2 2 0 出力トランジスタ又は増幅器、2 2 2 リセットトランジスタゲート、2 2 4 転送ゲート、2 2 6 転送ゲート、2 2 8 浮遊拡散部又はセンスノード、2 3 0 スイッチ、2 3 1 スイッチ、2 3 2 フォトダイオード、2 3 3 フォトダイオード、2 3 4 電源線 ( V D D )、2 3 5 画素、2 3 6 画素、2 3 7 フォトダイオード、2 3 8 フォトダイオード、2 4 0 シンク負荷トランジスタ、2 4 1

10

20

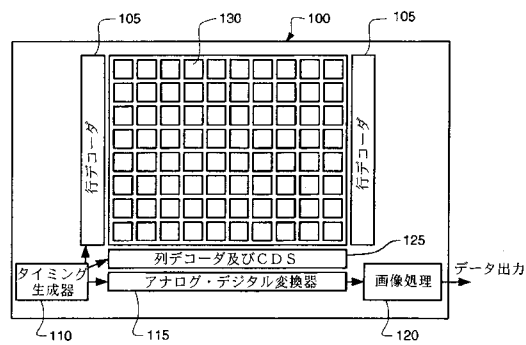
30

40

50

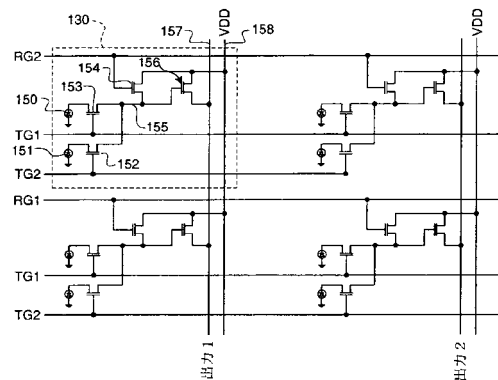
シンク負荷トランジスタ、242 出力信号線、243 出力信号線、250 シリコン基板、300 画像センサ、305 行デコーダ、310 タイミング生成器、315 アナログ・デジタル変換器、320 画像プロセッサ、325 列デコーダ、330 感光性画素、400 デジタルカメラ。

【図1】



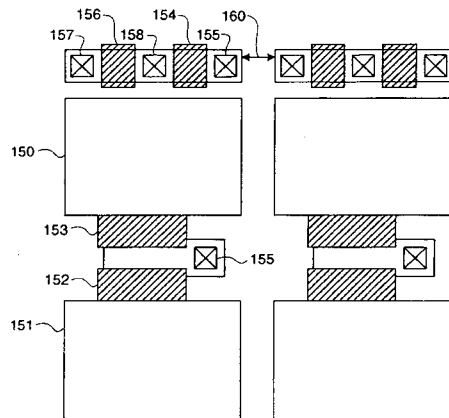
(従来技術)

【図2】



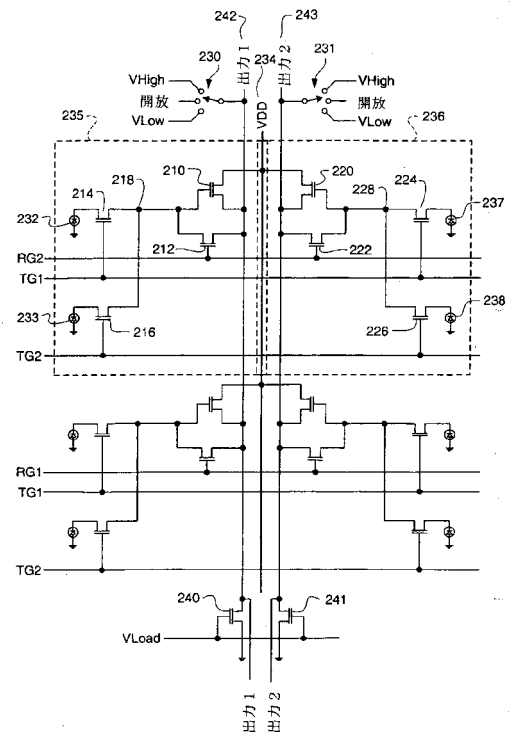
(従来技術)

【図 3】

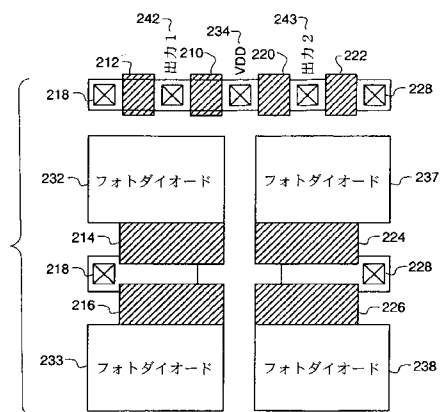


(従来技術)

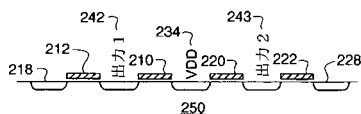
【図 4】



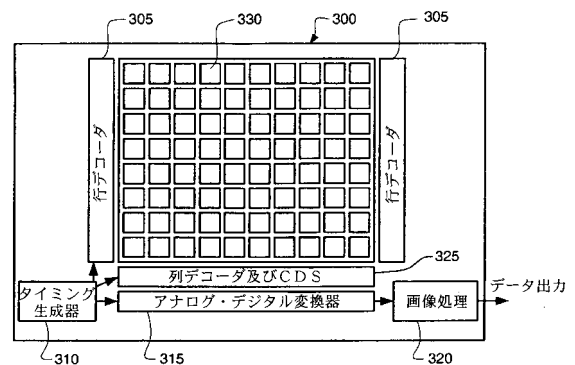
【図 5】



【図 6】



【図 7】



【図 8】

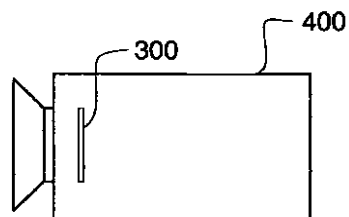


FIG. 8



---

フロントページの続き

(56)参考文献 特開 2 0 0 0 - 2 3 2 2 1 8 ( J P , A )  
特開平 1 1 - 1 1 2 0 1 8 ( J P , A )  
特開 2 0 0 6 - 3 1 9 9 5 1 ( J P , A )  
特開 2 0 0 6 - 3 0 2 9 7 0 ( J P , A )  
特開平 1 0 - 2 5 6 5 2 1 ( J P , A )  
特開 2 0 0 0 - 2 0 9 5 0 4 ( J P , A )  
特表 2 0 0 4 - 5 0 8 7 1 6 ( J P , A )

(58)調査した分野(Int.Cl. , DB名)

H 0 1 L      2 1 / 3 3 9、2 7 / 1 4、  
              2 7 / 1 4 4 - 2 7 / 1 4 8、2 9 / 7 6 2  
H 0 4 N      5 / 3 3 5 - 5 / 3 7 8