



(12) 发明专利申请

(10) 申请公布号 CN 119769193 A

(43) 申请公布日 2025. 04. 04

(21) 申请号 202280099413.2

(51) Int. Cl.

(22) 申请日 2022.09.07

H10D 30/60 (2025.01)

(85) PCT国际申请进入国家阶段日
2025.02.21

H10D 62/10 (2025.01)

H10D 12/00 (2025.01)

H10D 30/01 (2025.01)

(86) PCT国际申请的申请数据
PCT/JP2022/033581 2022.09.07

(87) PCT国际申请的公布数据
W02024/053022 JA 2024.03.14

(71) 申请人 三菱电机株式会社
地址 日本

(72) 发明人 小山皓洋 岩松俊明

(74) 专利代理机构 中国贸促会专利商标事务所
有限公司 11038
专利代理师 金春实

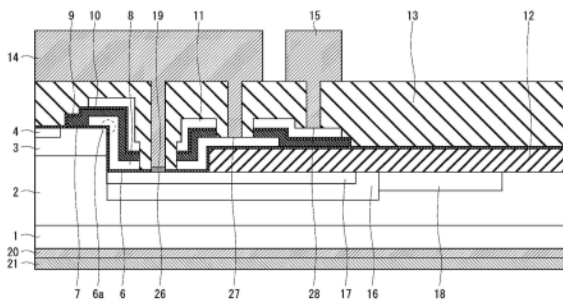
权利要求书2页 说明书15页 附图40页

(54) 发明名称

半导体装置及其制造方法

(57) 摘要

半导体装置具备:形成于激活区域(50)的栅极沟槽(22);形成于栅极沟槽(22)内的栅极绝缘膜(10)及栅极电极层(11);形成于覆盖栅极电极层(11)的层间绝缘膜(13)上的栅极布线电极(15);以及在终端区域(60)形成于漂移层(2)的外部沟槽(6)。在外部沟槽(6)内形成有覆盖外部沟槽(6)的上端角部(6a)的电位固定层(8)和形成于电位固定层(8)之上的绝缘层(9)。栅极绝缘膜(10)和栅极电极层(11)延伸至外部沟槽(6)内,栅极电极层(11)通过在外部沟槽(6)内形成于层间绝缘膜(13)的接触孔而与栅极布线电极(15)连接。



1. 一种半导体装置,具备:
 - 第一导电类型的漂移层;
 - 第二导电类型的阱区域,形成于所述漂移层的表层部;
 - 第一导电类型的杂质区域,形成于所述阱区域的表层部;
 - 栅极沟槽,以贯通激活区域的所述杂质区域和所述阱区域并到达所述漂移层的方式形成;
 - 栅极绝缘膜,以与所述栅极沟槽的内表面相接的方式形成;
 - 栅极电极层,形成于所述栅极绝缘膜上;
 - 层间绝缘膜,覆盖所述栅极电极层;
 - 栅极布线电极,形成于所述层间绝缘膜上,与所述栅极电极层连接;
 - 外部沟槽,在所述激活区域的外侧的终端区域形成于所述漂移层;
 - 电位固定层,形成于所述外部沟槽内,覆盖所述外部沟槽的上端角部;以及
 - 绝缘层,形成于所述电位固定层之上,所述栅极绝缘膜和所述栅极电极层延伸至所述终端区域的所述外部沟槽内,所述栅极电极层通过在所述外部沟槽内形成于所述层间绝缘膜的接触孔而与所述栅极布线电极连接。
2. 根据权利要求1所述的半导体装置,其中,
 - 所述电位固定层具有超过所述栅极绝缘膜的厚度的厚度。
3. 根据权利要求1或2所述的半导体装置,其中,
 - 还具备形成于所述电位固定层之下的敷底绝缘膜。
4. 根据权利要求3所述的半导体装置,其中,
 - 所述敷底绝缘膜的厚度为所述栅极绝缘膜的厚度以上。
5. 根据权利要求1至4中的任一项所述的半导体装置,其中,
 - 所述电位固定层的一部分形成于所述栅极沟槽的底部,所述栅极沟槽内的所述栅极绝缘膜和所述栅极电极层形成于所述栅极沟槽之上,
 - 以使所述栅极沟槽的底部的所述电位固定层成为浮置电位的方式构成。
6. 根据权利要求1至5中的任一项所述的半导体装置,还具备:
 - 第二导电类型的沟槽底面电场缓和区域,形成于所述外部沟槽的下方;以及
 - 第二导电类型的外部沟槽侧面连接层,形成于所述外部沟槽的侧面,将所述阱区域与所述沟槽底面电场缓和区域连接。
7. 根据权利要求1至6中的任一项所述的半导体装置,其中,
 - 还具备表面电极,该表面电极形成于所述层间绝缘膜上,与所述阱区域连接,
 - 所述电位固定层通过形成于所述层间绝缘膜的接触孔而与所述表面电极连接。
8. 根据权利要求1至6中的任一项所述的半导体装置,其中,
 - 还具备形成于所述层间绝缘膜上的接地布线电极,
 - 所述电位固定层通过形成于所述层间绝缘膜的接触孔而与所述接地布线电极连接。
9. 根据权利要求1至6中的任一项所述的半导体装置,其中,
 - 以使所述电位固定层成为浮置电位的方式构成。
10. 根据权利要求1至9中的任一项所述的半导体装置,其中,

所述终端区域的所述栅极电极层在平面视图中包围所述栅极沟槽。

11. 根据权利要求1至10中的任一项所述的半导体装置,其中,所述电位固定层的厚度为所述栅极绝缘膜的厚度的3倍以上。

12. 根据权利要求1至11中的任一项所述的半导体装置,其中,所述绝缘层的厚度为所述栅极绝缘膜的厚度以上。

13. 根据权利要求1至12中的任一项所述的半导体装置,其中,所述栅极沟槽的所述栅极电极层的上端的位置比所述栅极沟槽的上端低。

14. 一种半导体装置的制造方法,具备以下工序:

形成第一导电类型的漂移层;

在所述漂移层的表层部形成第二导电类型的阱区域;

在所述阱区域的表层部形成第一导电类型的杂质区域;

形成贯通激活区域的所述杂质区域和所述阱区域并到达所述漂移层的栅极沟槽;

在所述激活区域的外侧的终端区域在所述漂移层形成外部沟槽;

在所述外部沟槽内形成覆盖所述外部沟槽的上端角部的电位固定层;

在所述电位固定层之上形成绝缘层;

在所述栅极沟槽内及所述外部沟槽内形成栅极绝缘膜;

在所述栅极沟槽内及所述外部沟槽内的所述栅极绝缘膜上形成栅极电极层;

形成覆盖所述栅极电极层的层间绝缘膜;

在所述外部沟槽内的所述层间绝缘膜形成到达所述栅极电极层的接触孔;以及

在所述层间绝缘膜上形成通过所述接触孔而与所述栅极电极层连接的栅极布线电极。

15. 根据权利要求14所述的半导体装置的制造方法,其中,以超过所述栅极绝缘膜的厚度的厚度形成所述电位固定层。

16. 根据权利要求14或15所述的半导体装置的制造方法,其中,

还具备在形成所述电位固定层之前形成设置于所述电位固定层之下的敷底绝缘膜的工序。

17. 根据权利要求14至16中的任一项所述的半导体装置的制造方法,其中,

在形成所述电位固定层的工序中,所述电位固定层的一部分形成于所述栅极沟槽内。

半导体装置及其制造方法

技术领域

[0001] 本公开涉及一种沟槽栅型的半导体装置及其制造方法,特别涉及一种半导体装置的外周侧的栅极电极的构造。

背景技术

[0002] 在车载设备、产业设备等的电力控制用途中,使用具有沟槽栅构造的绝缘栅型双极晶体管(IGBT:Insulated Gate Bipolar Transistor)、绝缘栅型场效应晶体管(MOSFET: Metal Oxide Semiconductor Field Effect Transistor)等半导体装置。

[0003] 在具有沟槽栅构造的半导体装置中,设置使埋入有栅极电极的沟槽(以下称为“栅极沟槽”)从主电流流动的激活区域延伸至其外侧的终端区域的“栅极引出部”。在半导体装置导通的状态下虽然漏极电压低,但是由于栅极电极被施加电压,因此栅极绝缘膜中产生的电场变高,特别是电场容易集中在栅极沟槽的上端角部。

[0004] 在下述的专利文献1中公开了以下技术:在栅极引出部的栅极沟槽中,以与通过LOCOS(Local Oxidation of Silicon:硅局部氧化)氧化而形成的厚的场绝缘膜相接的方式形成栅极绝缘膜,由此降低该栅极沟槽上端角部的电场集中。

[0005] 另外,在下述的专利文献2中公开了以下技术:在栅极引出部的栅极沟槽内,与栅极电极一起设置场板电极,将场板电极的电位设为栅极电位或源极电位。

[0006] 专利文献1:日本特开2001-102572号公报

[0007] 专利文献2:日本特开2011-199109号公报

发明内容

[0008] 发明要解决的问题

[0009] 即使如专利文献1那样利用场绝缘膜来谋求提高栅极引出部的栅极绝缘膜的耐压,例如在栅极沟槽的上端角部具有偏离直角形状的檐状的部分的情况下,由于局部地形成场绝缘膜薄的部位,因此也无法充分地得到栅极绝缘膜的耐压提高的效果。

[0010] 在专利文献2所公开的栅极引出部中,在将场板电极的电位设为栅极电位的情况下,如果栅极绝缘膜的厚度不足够厚,则有可能在栅极沟槽的上端角部发生栅极绝缘膜的破坏。另一方面,在将场板电极的电位设为源极电位的情况下,有可能通过栅极电极与场板电极之间的绝缘膜产生栅极-源极间泄漏电流。另外,根据场板电极的形状,还有可能局部地形成在场板电极上形成的栅极绝缘膜薄的部位,招致栅极绝缘膜的破坏。

[0011] 本公开是为了解决如以上那样的问题而完成的,目的在于提供能够防止栅极引出部的栅极沟槽的上端角部处的栅极绝缘膜的破坏的半导体装置。

[0012] 用于解决问题的方案

[0013] 本公开所涉及的半导体装置具备:第一导电类型的漂移层;第二导电类型的阱区域,形成于所述漂移层的表层部;第一导电类型的杂质区域,形成于所述阱区域的表层部;栅极沟槽,以贯通激活区域的所述杂质区域和所述阱区域并到达所述漂移层的方式形成;

栅极绝缘膜,以与所述栅极沟槽的内表面相接的方式形成;栅极电极层,形成于所述栅极绝缘膜上;层间绝缘膜,覆盖所述栅极电极层;栅极布线电极,形成于所述层间绝缘膜上,与所述栅极电极层连接;外部沟槽,在所述激活区域的外侧的终端区域形成于所述漂移层;电位固定层,形成于所述外部沟槽内,覆盖所述外部沟槽的上端角部;以及绝缘层,形成于所述电位固定层之上,所述栅极绝缘膜和所述栅极电极层延伸至所述终端区域的所述外部沟槽内,所述栅极电极层通过在所述外部沟槽内形成于所述层间绝缘膜的接触孔而与所述栅极布线电极连接。

[0014] 发明的效果

[0015] 根据本公开,外部沟槽的上端角部被电位固定层和绝缘层覆盖,因此被引出到外部沟槽的栅极电极和栅极绝缘膜形成于绝缘层上,与外部沟槽的上端角部隔离。因此,防止由于起因于外部沟槽的上端角部的形状的电场集中而栅极绝缘膜被破坏。

[0016] 本公开的目的、特征、方式以及优点通过以下的详细的说明和附图变得更清楚。

附图说明

[0017] 图1是表示实施方式1所涉及的半导体装置的概略结构的平面示意图。

[0018] 图2是表示实施方式1所涉及的半导体装置中的激活区域50与终端区域60的边界部分的概略结构的示意图。

[0019] 图3是表示实施方式1中的沿着图2的A1-A2线的半导体装置的概略结构的截面示意图。

[0020] 图4是表示实施方式1中的沿着图2的B1-B2线的半导体装置的概略结构的截面示意图。

[0021] 图5是表示实施方式1中的沿着图2的C1-C2线的半导体装置的概略结构的截面示意图。

[0022] 图6是表示实施方式1中的沿着图2的D1-D2线的半导体装置的概略结构的截面示意图。

[0023] 图7是表示实施方式1中的沿着图2的B1-B2线的半导体装置的制造方法的局部截面图。

[0024] 图8是表示实施方式1中的沿着图2的B1-B2线的半导体装置的制造方法的局部截面图。

[0025] 图9是表示实施方式1中的沿着图2的B1-B2线的半导体装置的制造方法的局部截面图。

[0026] 图10是表示实施方式1中的沿着图2的B1-B2线的半导体装置的制造方法的局部截面图。

[0027] 图11是表示实施方式1中的沿着图2的B1-B2线的半导体装置的制造方法的局部截面图。

[0028] 图12是表示实施方式1中的沿着图2的B1-B2线的半导体装置的制造方法的局部截面图。

[0029] 图13是表示实施方式1中的沿着图2的D1-D2线的半导体装置的制造方法的局部截面图。

- [0030] 图14是表示实施方式1中的沿着图2的D1-D2线的半导体装置的制造方法的局部截面图。
- [0031] 图15是表示实施方式1中的沿着图2的D1-D2线的半导体装置的制造方法的局部截面图。
- [0032] 图16是表示实施方式1中的沿着图2的D1-D2线的半导体装置的制造方法的局部截面图。
- [0033] 图17是表示实施方式1中的沿着图2的D1-D2线的半导体装置的制造方法的局部截面图。
- [0034] 图18是表示实施方式1中的沿着图2的D1-D2线的半导体装置的制造方法的局部截面图。
- [0035] 图19是表示实施方式1中的沿着图2的D1-D2线的半导体装置的制造方法的局部截面图。
- [0036] 图20是表示实施方式1中的沿着图2的D1-D2线的半导体装置的制造方法的局部截面图。
- [0037] 图21是表示实施方式1中的沿着图2的D1-D2线的半导体装置的制造方法的局部截面图。
- [0038] 图22是表示实施方式2中的沿着图2的B1-B2线的半导体装置的概略结构的截面示意图。
- [0039] 图23是表示实施方式2中的沿着图2的C1-C2线的半导体装置的概略结构的截面示意图。
- [0040] 图24是表示实施方式2中的沿着图2的B1-B2线的半导体装置的制造方法的局部截面图。
- [0041] 图25是表示实施方式2中的沿着图2的B1-B2线的半导体装置的制造方法的局部截面图。
- [0042] 图26是表示实施方式2中的沿着图2的B1-B2线的半导体装置的制造方法的局部截面图。
- [0043] 图27是表示实施方式2中的沿着图2的B1-B2线的半导体装置的制造方法的局部截面图。
- [0044] 图28是表示实施方式2中的沿着图2的B1-B2线的半导体装置的制造方法的局部截面图。
- [0045] 图29是表示实施方式2中的沿着图2的B1-B2线的半导体装置的制造方法的局部截面图。
- [0046] 图30是表示实施方式2中的沿着图2的B1-B2线的半导体装置的制造方法的局部截面图。
- [0047] 图31是表示实施方式2中的沿着图2的C1-C2线的半导体装置的制造方法的局部截面图。
- [0048] 图32是表示实施方式2中的沿着图2的C1-C2线的半导体装置的制造方法的局部截面图。
- [0049] 图33是表示实施方式2中的沿着图2的C1-C2线的半导体装置的制造方法的局部截面图。

面图。

[0050] 图34是表示实施方式2中的沿着图2的C1-C2线的半导体装置的制造方法的局部截面图。

[0051] 图35是表示实施方式2中的沿着图2的C1-C2线的半导体装置的制造方法的局部截面图。

[0052] 图36是表示实施方式2中的沿着图2的C1-C2线的半导体装置的制造方法的局部截面图。

[0053] 图37是表示实施方式2中的沿着图2的C1-C2线的半导体装置的制造方法的局部截面图。

[0054] 图38是表示实施方式3所涉及的半导体装置的概略结构的平面示意图。

[0055] 图39是表示实施方式3所涉及的半导体装置的概略结构的示意图。

[0056] 图40是表示实施方式3中的沿着图39的D1-D2线的半导体装置的概略结构的截面示意图。

[0057] 图41是表示实施方式4所涉及的半导体装置的概略结构的示意图。

[0058] 图42是表示实施方式4中的沿着图41的D1-D2线的半导体装置的概略结构的截面示意图。

[0059] 图43是表示实施方式5中的沿着图2的D1-D2线的半导体装置的概略结构的截面示意图。

[0060] 图44是表示实施方式5中的沿着图39的D1-D2线的半导体装置的概略结构的截面示意图。

[0061] 图45是表示实施方式5中的沿着图41的D1-D2线的半导体装置的概略结构的截面示意图。

[0062] 图46是表示实施方式6中的沿着图2、图39或图41的B1-B2线的半导体装置的概略结构的截面示意图。

[0063] 图47是表示实施方式6中的沿着图2的D1-D2线的半导体装置的概略结构的截面示意图。

[0064] 图48是表示实施方式6中的沿着图39的D1-D2线的半导体装置的概略结构的截面示意图。

[0065] 图49是表示实施方式6中的沿着图41的D1-D2线的半导体装置的概略结构的截面示意图。

具体实施方式

[0066] 以下,关于本公开所涉及的技术的实施方式,参照图来进行说明。图是示意性地示出的,在不同的图中分别示出的图像的尺寸及位置的相互关系未必是准确记载的,可适当变更。另外,对同样的结构要素附加相同的符号来图示,设它们的名称及功能也同样。因此,有时省略关于它们的详细的说明。

[0067] 在说明中,有时使用“上”、“下”、“侧”、“底”、“表”或“背”等表示特定的位置及方向的用语,这些用语是为了便于容易理解实施方式而使用的,与实际使用时的位置及方向无关。

[0068] 只要不发生矛盾,被记载为具备“一个”的结构要素也可以具备“一个以上”。另外,结构要素是概念性的单位,还有时一个结构要素由多个构造物构成以及一个结构要素对应于某构造物的一部分。

[0069] 在以下的实施方式中,将半导体的第一导电类型设为n型、将第二导电类型设为p型来进行说明,但是也可以与此相反地将第一导电类型设为p型、将第二导电类型设为n型。另外,作为半导体装置的例子说明MOSFET,但是半导体装置也可以是IGBT。另外,设半导体基板和漂移层的材料为作为与硅相比带隙大的宽带隙半导体的碳化硅(SiC)来进行说明,但是它们既可以是硅,也可以是例如氮化镓、金刚石等其它宽带隙半导体,还可以是它们的组合。

[0070] 此外,在以下的说明中,设“杂质浓度”表示各区域中的杂质浓度的峰值。

[0071] <实施方式1>

[0072] 图1是表示实施方式1所涉及的半导体装置的概略结构的平面示意图。图2是表示实施方式1所涉及的半导体装置中的激活区域50与终端区域60的边界部分的概略结构的示意图,表示图1的用虚线包围的区域40的部分。在图2中为了简化说明,省略了层间绝缘膜13、表面电极14、表面欧姆电极19等的图示。并且,图3至图6是表示实施方式1所涉及的半导体装置的截面结构的示意图,图3表示沿着图2的A1-A2线的截面图,图4表示沿着图2的B1-B2线的截面图,图5表示沿着图2的C1-C2线的截面图,图6表示沿着图2的D1-D2线的截面图。

[0073] 激活区域50是在半导体装置的导通状态下通过形成沟道来流过电流的区域,终端区域60是激活区域50的周围的区域。终端区域60在半导体装置的芯片的外周部以包围激活区域50的方式设置,在终端区域60内形成有FLR(Field Limiting Ring:场限环)等p型的终端电场缓和区域18以及抑制耗尽层向芯片端部扩展的n型的沟道阻隔区域31。

[0074] 在激活区域50的漂移层2设置有栅极沟槽22,在终端区域60的漂移层2设置有相当于栅极引出部的栅极沟槽的外部沟槽6。如图2那样,栅极沟槽22在平面视图中形成为条状。在激活区域50内的被栅极沟槽22划分的多个区域分别形成单元。在图2中示出了四边形状的多个单元配置成条状的例子,但是单元的形状也可以是圆形形状或六边形形状等多边形形状,单元的配置也可以是棋盘格状、交错格子状等。

[0075] 如图3至图6所示,在构成半导体装置的半导体基板1的表侧设置漂移层2、阱区域3、杂质区域4、接触区域5等。在激活区域50设置栅极沟槽22、沟槽底面电场缓和区域16、栅极绝缘膜10、栅极电极层11。在终端区域60设置有外部沟槽6、沟槽底面电场缓和区域16、沟槽底面高浓度阱区域17、终端电场缓和区域18、敷底绝缘膜7、电位固定层8、绝缘层9、栅极绝缘膜10、栅极电极层11、场绝缘膜12、栅极布线电极15。形成于终端区域60的外部沟槽6内的栅极电极层11在平面视图中以包围栅极沟槽22的方式延伸。在半导体基板1的表面上,表面欧姆电极19、层间绝缘膜13、表面电极14以对于激活区域50和终端区域60共用的方式设置。在半导体基板1的背面上,以对于激活区域50和终端区域60共用的方式设置有背面欧姆电极20和背面电极21。

[0076] 漂移层2设置于由n型的碳化硅构成的半导体基板1之上,由n型的碳化硅构成。漂移层2的n型杂质为氮或磷即可,漂移层2的杂质浓度为 $1 \times 10^{14} \text{cm}^{-3}$ 以上且 $1 \times 10^{18} \text{cm}^{-3}$ 以下左右即可。漂移层2的厚度为 $5 \mu\text{m}$ 以上且 $300 \mu\text{m}$ 以下左右即可。

[0077] 阱区域3是设置于漂移层2的表层部的p型的区域,由碳化硅构成。阱区域3的p型杂

质为铝、硼或镓即可,阱区域3的杂质浓度为 $1 \times 10^{15} \text{cm}^{-3}$ 以上且 $1 \times 10^{20} \text{cm}^{-3}$ 以下左右即可。在此,阱区域3的杂质浓度在深度方向上既可以恒定,也可以不恒定。阱区域3的厚度为 $0.3 \mu\text{m}$ 以上且 $3 \mu\text{m}$ 以下左右即可。

[0078] 杂质区域4是设置于阱区域3的表层部的n型的区域,由碳化硅构成。杂质区域4的n型杂质为氮或磷即可,杂质区域4的杂质浓度为 $1 \times 10^{17} \text{cm}^{-3}$ 以上且 $1 \times 10^{22} \text{cm}^{-3}$ 以下左右即可。杂质区域4的厚度为阱区域3的厚度以下即可。

[0079] 接触区域5设置于阱区域3的表层部,是与阱区域3相比杂质浓度高的p型的区域,由碳化硅构成。接触区域5的p型杂质为铝、硼或镓即可,接触区域5的杂质浓度为 $1 \times 10^{18} \text{cm}^{-3}$ 以上且 $1 \times 10^{22} \text{cm}^{-3}$ 以下左右即可。接触区域5的厚度为阱区域3的厚度以下即可。

[0080] 在层间绝缘膜13中形成有到达杂质区域4及接触区域5的接触孔25(以下称为“源极接触孔25”),在源极接触孔25的底部形成有与杂质区域4及接触区域5连接的表面欧姆电极19。杂质区域4及接触区域5在源极接触孔25中通过表面欧姆电极19而与作为主电极的表面电极14电连接。

[0081] 在此,接触区域5通过表面欧姆电极19而与杂质区域4连接。当形成接触区域5时,形成从阱区域3经由接触区域5连接到表面欧姆电极19的路径,从阱区域3到表面欧姆电极19的电连接变得良好。也可以省略接触区域5。

[0082] 栅极沟槽22从杂质区域4的表面起贯通阱区域3并到达至漂移层2。栅极沟槽22如图2所示那样在激活区域50中设置成条状(也就是说,平行的多个线状)。如果将栅极沟槽22设置成条状,则在半导体装置是沟槽栅型的碳化硅MOSFET的情况下,能够将沟道迁移率高的(1-100)面等面用作沟道,能够提高半导体装置的特性。另外,栅极沟槽22向终端区域60的方向延伸。以后,将该栅极沟槽22延伸的方向称为栅极沟槽22的“延伸方向”。

[0083] 栅极沟槽22的宽度例如为 $0.5 \mu\text{m}$ 以上且 $10 \mu\text{m}$ 以下左右即可。在栅极沟槽22的形状在截面视图中为锥状的情况下,栅极沟槽22的宽度是指锥形形状中的最宽的部分的宽度。栅极沟槽22的深度例如 $0.5 \mu\text{m}$ 以上且 $6 \mu\text{m}$ 以下左右即可。

[0084] 沟槽底面电场缓和区域16是设置于栅极沟槽22的底面的下方的p型的区域,由碳化硅构成。沟槽底面电场缓和区域16具有与漂移层2的导电类型相反的导电类型,以缓和在半导体装置的动作状态下对形成于栅极沟槽22的底面的栅极绝缘膜10施加的电场的方式发挥功能,由此防止栅极绝缘膜10的破坏。沟槽底面电场缓和区域16的深度为从栅极沟槽22的底面起向下方为 $0.1 \mu\text{m}$ 以上且 $3.0 \mu\text{m}$ 以下左右即可。沟槽底面电场缓和区域16也可以与栅极沟槽22的底面相接。沟槽底面电场缓和区域16的p型杂质为铝、硼或镓即可,沟槽底面电场缓和区域16的杂质浓度为 $1 \times 10^{15} \text{cm}^{-3}$ 以上且 $1 \times 10^{19} \text{cm}^{-3}$ 以下左右即可。

[0085] 外部沟槽6是在终端区域60内以与栅极沟槽22相同程度的深度形成的大宽度的沟槽。在外部沟槽6的下方也设置沟槽底面电场缓和区域16。

[0086] 沟槽底面高浓度阱区域17具有与漂移层2的导电类型相反的导电类型,设置于外部沟槽6的下方的沟槽底面电场缓和区域16内。沟槽底面高浓度阱区域17是与沟槽底面电场缓和区域16相比高浓度的p型的区域,由碳化硅构成。在层间绝缘膜13中形成有到达沟槽底面高浓度阱区域17的接触孔26(以下称为“外周部阱区域接触孔26”),在外周部阱区域接触孔26的底部形成有与沟槽底面高浓度阱区域17连接的表面欧姆电极19。沟槽底面电场缓和区域16在外周部阱区域接触孔26中通过沟槽底面高浓度阱区域17及表面欧姆电极19而

与表面电极14电连接。

[0087] 沟槽底面高浓度阱区域17起到降低沟槽底面电场缓和区域16与表面欧姆电极19的接触电阻的效果以及降低沟槽底面电场缓和区域16的表面的薄膜电阻的效果。沟槽底面高浓度阱区域17的深度为从外部沟槽6的底面起向下方为 $0.1\mu\text{m}$ 以上且 $2.0\mu\text{m}$ 以下左右即可。沟槽底面高浓度阱区域17也可以与外部沟槽6的底面相接。沟槽底面高浓度阱区域17的p型杂质为铝、硼或镓即可,沟槽底面高浓度阱区域17的杂质浓度为 $1\times 10^{18}\text{cm}^{-3}$ 以上且 $1\times 10^{22}\text{cm}^{-3}$ 以下左右即可。

[0088] 终端电场缓和区域18是以包围激活区域50的方式连续或断续地形成的p型的电场缓和区域,例如是FLR(Field Limiting Ring)等。关于终端电场缓和区域18,例如通过将铝、硼、镓等进行离子注入至从漂移层2的表面起的不超过漂移层2的深度的 $0.2\mu\text{m}$ 至 $3\mu\text{m}$ 左右的深度来形成的。终端电场缓和区域18的p型杂质浓度超过漂移层2的杂质浓度,为 $1\times 10^{15}\text{cm}^{-3}$ 以上且 $1\times 10^{19}\text{cm}^{-3}$ 以下即可。

[0089] 场绝缘膜12以从外部沟槽6内部到芯片端部地与漂移层2的表面相接的方式形成。场绝缘膜12能够由二氧化硅等绝缘性的材料构成。场绝缘膜12的厚度例如能够设为 $0.1\mu\text{m}$ 以上且 $5.0\mu\text{m}$ 以下。

[0090] 敷底绝缘膜7以覆盖外部沟槽6的内部和外部沟槽6的上端角部6a(以下称为“外部沟槽上端角部6a”)的方式形成,与阱区域3、漂移层2、沟槽底面电场缓和区域16以及沟槽底面高浓度阱区域17相接。敷底绝缘膜7的一部分还形成于场绝缘膜12上。敷底绝缘膜7由二氧化硅等绝缘性的材料构成。敷底绝缘膜7的厚度例如为 10nm 以上且 1000nm 以下左右。

[0091] 电位固定层8是多晶硅等具有导电性的层,形成于敷底绝缘膜7之上,隔着敷底绝缘膜7覆盖外部沟槽6的内部和外部沟槽上端角部6a。电位固定层8的一部分还形成于场绝缘膜12上。在本实施方式中,电位固定层8是由多晶硅构成的第一多晶硅层。在层间绝缘膜13中形成有到达场绝缘膜12上的电位固定层8的接触孔27(以下称为“电位固定层连接用接触孔27”),电位固定层8通过电位固定层连接用接触孔27而与表面电极14连接。表面电极14的电位成为源极电位,因此电位固定层8的电位也成为源极电位。电位固定层8具有超过栅极绝缘膜10的厚度,优选具有超过栅极绝缘膜10的3倍的厚度。

[0092] 绝缘层9以覆盖电位固定层8的方式形成。绝缘层9抑制在电位固定层8与栅极电极层11之间流过栅极泄漏电流。绝缘层9由二氧化硅等绝缘性的材料构成。绝缘层9的厚度例如为 10nm 以上且 1000nm 以下左右,优选具有栅极绝缘膜10以上的厚度。

[0093] 栅极绝缘膜10以与栅极沟槽22的内表面、漂移层2的一部分表面、绝缘层9、场绝缘膜12相接的方式形成,由二氧化硅构成。栅极绝缘膜10的厚度例如能够设为 10nm 以上且 200nm 以下左右。

[0094] 栅极电极层11形成于栅极沟槽22内的栅极绝缘膜10之上以及在外部沟槽6内的绝缘层9上形成的栅极绝缘膜10之上。这样,栅极绝缘膜10及栅极电极层11从栅极沟槽22内部延伸至外部沟槽6内部。栅极沟槽22内的栅极电极层11的上端的高度优选为漂移层2的表面位置以下,更优选的是比漂移层2的表面位置低。在本实施方式中,栅极电极层11是由多晶硅构成的第二多晶硅层。形成于终端区域60的栅极电极层11例如为超过栅极绝缘膜10的厚度。在层间绝缘膜13中形成有到达栅极电极层11的接触孔28(以下称为“栅极接触孔28”),栅极电极层11经由栅极接触孔28而连接于与栅极电极焊盘29相连的栅极布线电极15。

[0095] 表面电极14、栅极布线电极15以及栅极电极焊盘29形成于层间绝缘膜13之上,例如由铝等金属材料构成。表面电极14与栅极布线电极15及栅极电极焊盘29隔离地配置。

[0096] 背面欧姆电极20形成于半导体基板1的背面,由以镍为主成分的金属膜与半导体基板1的反应生成物、例如镍硅化物构成。背面电极21以与背面欧姆电极20相接的方式形成,由钛、镍、银、金、铝等构成。

[0097] 实施方式1所涉及的半导体装置由以上的结构要素构成。

[0098] 接着,关于实施方式1所涉及的半导体装置的制造方法,参照图7至图21来进行说明。图7至图21是半导体装置的各制造阶段的说明图,其中的图7至图12对应于沿着图2的B1-B2线的截面,图13至图21对应于沿着图2的D1-D2线的截面。

[0099] 首先,准备具有4H的多型的n型的碳化硅半导体基板1,在其上通过化学气相沉积法(CVD:Chemical Vapor Deposition)使n型的漂移层2外延生长。此时,使n型的漂移层2的杂质浓度在 $1 \times 10^{14} \text{ cm}^{-3}$ 至 $1 \times 10^{18} \text{ cm}^{-3}$ 的范围,将漂移层2的厚度设为 $5 \mu\text{m}$ 至 $300 \mu\text{m}$ 。

[0100] 接着,使用通过照相制版处理形成于漂移层2之上的抗蚀剂掩模,将铝、硼或镓进行离子注入,由此在漂移层2的表层部形成p型的阱区域3。也可以通过外延生长来形成阱区域3。

[0101] 接着,使用通过照相制版处理形成于阱区域3之上的抗蚀剂掩模,将氮或磷进行离子注入,由此在阱区域3的表层部形成n型的杂质区域4。

[0102] 接着,在阱区域3、杂质区域4之上形成厚度为 $1 \mu\text{m}$ 至 $2 \mu\text{m}$ 左右的二氧化硅膜,通过反应性离子蚀刻(RIE:Reactive Ion Etching)来形成栅极沟槽22及外部沟槽6的形成区域开口的蚀刻掩模。然后,当通过RIE形成了栅极沟槽22及外部沟槽6时,成为图7和图13的状态。

[0103] 接着,在留下蚀刻掩模的状态下,通过照相制版处理形成覆盖外部沟槽6的一部分的抗蚀剂掩模之后,从漂移层2的表面侧将铝、硼或镓进行离子注入,由此在栅极沟槽22及外部沟槽6的下方形成沟槽底面电场缓和区域16。

[0104] 接着,去除上述的蚀刻掩模和抗蚀剂掩模,在通过照相制版处理形成抗蚀剂掩模之后,从漂移层2的表面侧将铝、硼或镓进行离子注入,由此在终端区域60内形成终端电场缓和区域18。

[0105] 接着,在通过照相制版处理形成抗蚀剂掩模之后,将铝、硼或镓进行离子注入,由此在阱区域3的表层部形成p型的接触区域5,并且在沟槽底面电场缓和区域16的表层部形成沟槽底面高浓度阱区域17。将该离子注入中的半导体基板1的加热温度优选设为 150°C 以上。当将加热温度设为 150°C 以上时,能够降低接触区域5的电阻,能够降低半导体装置的动作状态下的电阻损耗。

[0106] 接着,在去除蚀刻掩模之后进行退火处理,由此将离子注入的杂质激活。关于退火处理,在氩等非活性气体气氛或真空中在 1500°C 以上且 1900°C 以下左右的温度下以30秒以上且1小时以下左右的时间进行。在此,为了防止因高温加热引起的碳化硅的劣化、也就是说表面粗糙,也可以在退火处理之前在半导体基板1上形成碳膜。通过这样,成为图8和图14的状态。

[0107] 接着,通过CVD法等形成要成为场绝缘膜12的二氧化硅等绝缘膜,在该绝缘膜上通过照相制版处理形成抗蚀剂掩模。然后,通过蚀刻使该绝缘膜开口来形成场绝缘膜12,去除抗蚀剂掩模。通过这样,成为图15的状态。

[0108] 接着,通过热氧化法或CVD法等,以覆盖外部沟槽6的内部及上端角部且与阱区域3、漂移层2、沟槽底面电场缓和区域16以及沟槽底面高浓度阱区域17相接的方式形成敷底绝缘膜7。敷底绝缘膜7的一部分还形成于场绝缘膜12上。

[0109] 接着,在敷底绝缘膜7上通过CVD法等形成要成为电位固定层8的多晶硅等导电材料,在多晶硅上通过照相制版处理形成抗蚀剂掩模。然后,对多晶硅进行蚀刻,由此在终端区域60形成电位固定层8。电位固定层8的一部分还形成于场绝缘膜12上。此时,关于激活区域50内的多晶硅,通过回蚀工艺将多晶硅全部通过蚀刻来去除,直到敷底绝缘膜7露出为止。之后,去除抗蚀剂掩模。通过这样,成为图16的状态。

[0110] 接着,通过CVD法等以覆盖电位固定层8的方式使要成为绝缘层9的二氧化硅等的层成膜。在电位固定层8以多晶硅为材料的情况下,也可以通过使电位固定层8的表面热氧化来形成该二氧化硅等的层。接着,通过照相制版处理形成抗蚀剂掩模,并进行蚀刻,由此形成绝缘层9。激活区域50内的栅极沟槽22内的敷底绝缘膜7和绝缘层9通过蚀刻全部被去除而使漂移层2露出。通过这样,成为图17的状态。

[0111] 接着,通过热氧化法或CVD法等,在漂移层2的表面和栅极沟槽22的内表面以及终端区域60内的绝缘层9和场绝缘膜12上形成栅极绝缘膜10。通过这样,成为图9和图18的状态。

[0112] 然后,通过CVD法等形成要成为栅极电极层11的多晶硅等导电材料,在多晶硅上通过照相制版处理形成抗蚀剂掩模。接着,对多晶硅进行蚀刻来形成栅极电极层11,去除抗蚀剂掩模。此时,在激活区域50中通过回蚀工艺对多晶硅进行蚀刻,在栅极沟槽22内,使栅极电极层11的上端在漂移层2的表面位置以下。通过这样,成为图10和图19的状态。

[0113] 接着,通过减压CVD法等形成层间绝缘膜13,通过照相制版处理在层间绝缘膜13之上形成抗蚀剂掩模。接着,通过对层间绝缘膜13进行蚀刻,形成到达杂质区域4及接触区域5的源极接触孔25以及到达沟槽底面高浓度阱区域17的外周部阱区域接触孔26。

[0114] 然后,在露出于源极接触孔25的杂质区域4及接触区域5之上以及露出于外周部阱区域接触孔26的沟槽底面高浓度阱区域17之上形成以Ni等为主成分的金属膜,进行退火处理来形成表面欧姆电极19。然后,通过蚀刻来去除层间绝缘膜13之上的金属膜,去除抗蚀剂掩模。

[0115] 进一步地,在半导体基板1的背面上形成以Ni等为主成分的金属膜,进行退火处理来形成背面欧姆电极20。在此,各退火处理的加热温度为600°C以上且1100°C以下左右即可。

[0116] 接着,在层间绝缘膜13之上通过照相制版处理形成抗蚀剂掩模,对层间绝缘膜13进行蚀刻,由此形成到达电位固定层8的电位固定层连接用接触孔27和到达栅极电极层11的栅极接触孔28,去除抗蚀剂掩模。通过这样,成为图11和图20的状态。

[0117] 然后,在层间绝缘膜13及表面欧姆电极19之上以及电位固定层连接用接触孔27及栅极接触孔28的内侧,通过溅射法或蒸镀法等形成铝等的金属膜,在金属膜之上通过照相制版处理形成抗蚀剂掩模。接着,通过蚀刻对金属膜进行图案形成,由此形成表面电极14、栅极布线电极15以及栅极电极焊盘29,之后去除抗蚀剂掩模。通过这样,成为图12和图21的状态。

[0118] 最后,通过溅射法或蒸镀法等,在背面欧姆电极20之上形成背面电极21,由此图4和图6所示的半导体装置的构造完成。

[0119] 在终端区域60中,也可以如图1所示那样设置有抑制耗尽层向半导体装置的端部扩张的沟道阻隔区域31。沟道阻隔区域31是设置于比外部沟槽6靠外周侧的位置的n型的区域,由碳化硅构成。沟道阻隔区域31的n型杂质为氮或磷即可,沟道阻隔区域31的杂质浓度为 $1 \times 10^{17} \text{cm}^{-3}$ 以上且 $1 \times 10^{22} \text{cm}^{-3}$ 以下左右即可。沟道阻隔区域31的厚度既可以与杂质区域4的厚度相同,也可以与杂质区域4的厚度不同。关于沟道阻隔区域31,通过离子注入来形成即可,也可以利用用于设置杂质区域4的抗蚀剂掩模来与杂质区域4同时形成,还可以在杂质区域4的形成之前或之后形成。在将沟道阻隔区域31与杂质区域4同时形成的情况下,例如可以在栅极沟槽22及外部沟槽6的形成后形成沟道阻隔区域31和杂质区域4。

[0120] 另外,形成阱区域3的工序和形成杂质区域4的工序也可以对调顺序。关于阱区域3和杂质区域4的形成方法,也可以在对阱区域3的表层部将n型杂质进行离子注入来设置杂质区域4之后,在其上通过照相制版处理形成抗蚀剂掩模,对杂质区域4以外的位置将p型杂质进行离子注入来设为阱区域3。

[0121] 另外,在上面说明的制造方法中,以在形成栅极沟槽22及外部沟槽6之后留下蚀刻掩模的方式调整蚀刻掩模的厚度、RIE工艺,通过使用了留下的蚀刻掩模和通过照相制版处理形成的抗蚀剂掩模的离子注入,形成了沟槽底面电场缓和区域16。但是,也可以将蚀刻掩模去除而不留下,通过仅使用通过照相制版处理形成的抗蚀剂掩模的离子注入来形成沟槽底面电场缓和区域16。

[0122] 另外,外部沟槽6下方的沟槽底面电场缓和区域16既可以与栅极沟槽22下方的沟槽底面电场缓和区域16同时形成,也可以在栅极沟槽22下方的沟槽底面电场缓和区域16的形成之前或之后形成。并且,也可以对栅极沟槽22从斜方向将p型杂质进行离子注入,在与栅极沟槽22的侧面相接的漂移层2内形成p型的半导体层,将沟槽底面电场缓和区域16与阱区域3经由该半导体层电连接。当将沟槽底面电场缓和区域16与阱区域3电连接时,与沟槽底面电场缓和区域16为浮置的状态相比,由于沟槽底面电场缓和区域16经由阱区域3而与表面电极14连接从而被接地,因此半导体装置的频率特性提高。

[0123] 另外,在本实施方式中示出了半导体装置为MOSFET的例子,但是在半导体装置为IGBT的情况下,将半导体基板1的导电类型设为p型即可,也可以对半导体基板1进行研磨来使厚度变薄。

[0124] 接着,说明本实施方式的半导体装置的动作。

[0125] 当栅极电极焊盘29与表面电极14之间被施加阈值以上的栅极电压时,在与栅极电极层11相向的阱区域3形成沟道,电子从杂质区域4流向漂移层2。当对表面电极14与背面电极21之间施加电压而产生电场时,电子经由漂移层2和半导体基板1到达背面电极21,也就是说,产生从背面电极21向表面电极14的电流,半导体装置成为导通状态。

[0126] 在此,在以与栅极沟槽22及外部沟槽6上的表面及内侧相接的方式形成有栅极绝缘膜10的情况下,在外部沟槽6的上端角部22a(以下称为“栅极沟槽上端角部22a”)和外部沟槽上端角部6a的附近的栅极绝缘膜10产生电场。但是,在激活区域50中,栅极电极层11形成于比栅极沟槽上端角部22a低的位置,抑制起因于栅极沟槽上端角部22a的形狀的电场集中,防止栅极绝缘膜10的破坏。

[0127] 另一方面,在终端区域60中,栅极绝缘膜10形成于绝缘层9上,与外部沟槽上端角部6a隔离,因此防止由于起因于外部沟槽上端角部6a的形狀的电场集中而栅极绝缘膜10被

破坏。外部沟槽上端角部6a被敷底绝缘膜7覆盖,但是阱区域3和电位固定层8成为源极电位,且电位固定层8通过绝缘层9及栅极绝缘膜10而与栅极电极层11绝缘,因此外部沟槽上端角部6a的敷底绝缘膜7不会因栅极电压而被破坏。

[0128] 在此,在电位固定层8的厚度足够厚的情况下,由于电位固定层8隔着敷底绝缘膜7覆盖外部沟槽6的上端角部和内部,因此能够通过外部沟槽6的高度差来增大电位固定层8上部的曲率。通过使电位固定层8上部的曲率变大,能够防止形成于电位固定层8上的绝缘层9和栅极绝缘膜10的膜厚局部地变薄,防止因电场集中引起的绝缘层9和栅极绝缘膜10的破坏的效果进一步提高。

[0129] 另外,在绝缘层9的厚度薄的情况下,电位固定层8与栅极电极层11之间的绝缘变得不充分,与在专利文献2中将场板电极的电位设为源极电位的情况同样地栅极-源极间泄漏增加,电位固定层8与栅极电极层11之间有可能因电场而被破坏从而短路。为了避免该情况,例如优选将绝缘层9的厚度设为超过栅极绝缘膜10的厚度的厚度。通过这样,能够通过至少栅极绝缘膜10的2倍以上的厚度来使电位固定层8与栅极电极层11之间绝缘,能够使终端区域60中的栅极-源极间的绝缘性相比于激活区域50提高,抑制终端区域60中的栅极-源极间泄漏电流,防止绝缘层9和栅极绝缘膜10的破坏的效果进一步提高。

[0130] 另一方面,当栅极电极焊盘29与表面电极14之间被施加小于阈值的电压时,在与栅极电极层11相向的阱区域3不形成沟道,不产生从背面电极21向表面电极14的电流,半导体装置成为截止状态。在半导体装置的截止状态下,表面电极14与背面电极21之间被施加比导通状态下的电压高的电压,耗尽层从阱区域3向漂移层2扩展。

[0131] 此时,耗尽层还从沟槽底面电场缓和区域16向漂移层2扩展。由此,抑制由于因表面电极14与背面电极21之间被施加的高的电压所产生的电场而栅极沟槽22及外部沟槽6的底面或底面角部处的栅极绝缘膜10破坏。

[0132] 在半导体装置从截止状态转移为导通状态时,表面电极14与背面电极21之间被施加的电压下降,向漂移层2扩展的耗尽层收缩。半导体装置以交替地重复上述的导通状态和截止状态的方式动作。

[0133] 根据实施方式1所涉及的半导体装置,能够防止栅极沟槽上端角部22a及外部沟槽上端角部6a处的栅极绝缘膜10的破坏。

[0134] <实施方式2>

[0135] 图22和图23是表示实施方式2所涉及的半导体装置的结构图,图22对应于沿着图2的B1-B2线的截面图,图23对应于沿着图2的C1-C2线的截面图。在本实施方式中,沿着图2的A1-A2线和D1-D2线的截面结构与实施方式1同样。

[0136] 在实施方式2中,在激活区域50的栅极沟槽22内的栅极绝缘膜10及栅极电极层11之下设置有敷底绝缘膜7和电位固定层8。在栅极沟槽22内,敷底绝缘膜7以与栅极沟槽22的内表面相接的方式形成,电位固定层8形成于敷底绝缘膜7上。栅极绝缘膜10以与栅极沟槽22的内表面及电位固定层8的上表面相接的方式形成,栅极电极层11形成于栅极绝缘膜10上。

[0137] 在本实施方式中,设形成于栅极沟槽内的电位固定层8的电位为浮置电位。另外,关于敷底绝缘膜7的厚度,为了缓和因漏极电压而在栅极沟槽22底面产生的电场的影

[0138] 在图22中,在栅极沟槽22的下方形成有沟槽底面电场缓和区域16,但是也可以省略沟槽底面电场缓和区域16。在不形成沟槽底面电场缓和区域16的情况下,因半导体装置截止时的漏极电压而在栅极沟槽22底面产生的电场由形成于阱区域3与漂移层2之间的耗尽层、敷底绝缘膜7以及电位固定层8来分担。如果使电位固定层8的多晶硅中的磷的浓度为低浓度,则多晶硅的耗尽化增加而能够提高电场缓和效果。

[0139] 另外,在不形成沟槽底面电场缓和区域16的情况下,消除因从阱区域3向漂移层2延伸的耗尽层和从沟槽底面电场缓和区域16向漂移层2延伸的耗尽层引起的半导体装置导通时的电流狭窄,因此还得到导通特性提高这样的效果。

[0140] 接着,关于实施方式2所涉及的半导体装置的制造方法,参照图24至图37来进行说明。图24至图37是半导体装置的各制造阶段的说明图,其中的图24至图30对应于沿着图2的B1-B2线的截面,图31至图37对应于沿着图2的C1-C2线的截面。

[0141] 首先,与实施方式1同样地,准备具有4H的多型的n型的碳化硅半导体基板1,在其上通过化学气相沉积法(CVD:Chemical Vapor Deposition)使n型的漂移层2外延生长,形成阱区域3、杂质区域4、栅极沟槽22以及沟槽底面电场缓和区域16。通过这样,成为图24和图31的状态。

[0142] 接着,通过CVD法等形成要成为场绝缘膜12的二氧化硅等的绝缘膜,在该绝缘膜上通过照相制版处理形成抗蚀剂掩模。然后,通过蚀刻使该绝缘膜开口来形成场绝缘膜12,去除抗蚀剂掩模。

[0143] 然后,通过热氧化法或CVD法等形成敷底绝缘膜7。通过这样,成为图25和图32的状态。

[0144] 接着,在敷底绝缘膜7上通过CVD法等形成要成为电位固定层8的多晶硅等导电材料,通过回蚀工艺以使期望的厚度残留于栅极沟槽22内的方式进行蚀刻。之后,通过照相制版处理形成抗蚀剂掩模,以使激活区域50内的电位固定层8成为浮置电位的方式,通过蚀刻来使激活区域50的电位固定层8与终端区域60的电位固定层8分离,去除抗蚀剂掩模。通过这样,成为图26和图33的状态。

[0145] 接着,通过CVD法等,以覆盖电位固定层8的方式使二氧化硅等的绝缘层9成膜。在电位固定层8以多晶硅为材料的情况下,也可以通过使电位固定层8热氧化来形成绝缘层9。通过这样,成为图27和图34的状态。

[0146] 接着,通过照相制版处理形成抗蚀剂掩模,进行蚀刻直到栅极沟槽22内的电位固定层8的侧壁的上方侧和上端部露出为止。之后,通过热氧化法或CVD法等,在漂移层2的表面和栅极沟槽22的内侧以及绝缘层9上形成栅极绝缘膜10。通过这样,成为图28和图35的状态。

[0147] 然后,通过CVD法等形成要成为栅极电极层11的多晶硅等导电材料,在多晶硅上通过照相制版处理形成抗蚀剂掩模。接着,对多晶硅进行蚀刻来形成栅极电极层11,去除抗蚀剂掩模。此时,在激活区域50中通过回蚀工艺对多晶硅进行蚀刻,在栅极沟槽22内,使栅极电极层11的上端在漂移层2的表面位置以下。通过这样,成为图29和图36的状态。

[0148] 接着,通过减压CVD法等形成层间绝缘膜13,通过照相制版处理在层间绝缘膜13之上形成抗蚀剂掩模。接着,通过对层间绝缘膜13进行蚀刻,形成到达杂质区域4及接触区域5的源极接触孔25以及到达沟槽底面高浓度阱区域17的外周部阱区域接触孔26。

[0149] 然后,在露出于源极接触孔25的杂质区域4及接触区域5之上以及露出于外周部阱区域接触孔26的沟槽底面高浓度阱区域17之上形成以Ni等为主成分的金属膜,进行退火处理来形成表面欧姆电极19。然后,通过蚀刻来去除层间绝缘膜13之上的金属膜,去除抗蚀剂掩模。

[0150] 进一步地,在半导体基板1的背面上形成以Ni等为主成分的金属膜,进行退火处理来形成背面欧姆电极20。在此,各退火处理的加热温度为600°C以上且1100°C以下左右即可。通过这样,成为图30和图37的状态。

[0151] 然后,在层间绝缘膜13及表面欧姆电极19之上以及电位固定层连接用接触孔27及栅极接触孔28的内侧,通过溅射法或蒸镀法等形成铝等的金属膜,在金属膜之上通过照相制版处理形成抗蚀剂掩模。接着,通过蚀刻对金属膜进行图案形成,由此形成表面电极14、栅极布线电极15以及栅极电极焊盘29,之后去除抗蚀剂掩模。

[0152] 最后,通过溅射法或蒸镀法等背面欧姆电极20之上形成背面电极21,由此图22和图23所示的半导体装置的构造完成。

[0153] 在实施方式2中说明了以使激活区域50内的电位固定层8成为浮置电位的方式通过蚀刻来使激活区域50的电位固定层8与终端区域60的电位固定层8分离的例子,但是在如实施方式4中叙述的那样将终端区域60的电位固定层8不与外部电极连接而设为浮置电位的结构的情况下,也可以将激活区域50的电位固定层8与终端区域60的电位固定层8相互连接。

[0154] 在实施方式2所涉及的半导体装置中,也得到与实施方式1同样的效果。另外,形成于栅极沟槽22底面的敷底绝缘膜7的厚度比栅极绝缘膜10厚,栅极电极层11不会位于栅极沟槽22的底面。因此,与在栅极沟槽22的底面仅形成栅极绝缘膜10的情况相比,缓和因半导体装置截止状态时的漏极电压或栅极电压等而在栅极沟槽22底面的绝缘膜(二氧化硅等)中产生的电场的影响。

[0155] <实施方式3>

[0156] 图38至图40是表示实施方式3所涉及的半导体装置的结构图。图38是表示实施方式3所涉及的半导体装置的概略结构的平面示意图,图39表示图38的用虚线包围的区域41的结构。图40是沿着图39的D1-D2线的截面图。在图39中为了简化说明,省略了层间绝缘膜13、表面电极14、表面欧姆电极19等的图示。

[0157] 实施方式3所涉及的半导体装置具备被供给0V的接地电位的接地电极焊盘30以及与其相连的接地布线电极23。在实施方式1、2中示出了电位固定层8与表面电极14连接来将电位固定层8的电位设为源极电位的例子。在实施方式3中,电位固定层8与接地布线电极23连接,电位固定层8的电位被设定为接地电位。除此以外的结构与实施方式1同样。

[0158] 即使在将电位固定层8设为接地电位的情况下,由于在终端区域60中栅极绝缘膜10以与外部沟槽上端角部6a隔离的方式形成,因此也抑制起因于外部沟槽上端角部6a的形状的电场集中,防止栅极绝缘膜10的破坏。外部沟槽上端角部6a被敷底绝缘膜7覆盖,但是阱区域3成为源极电位、电位固定层8成为接地电位,且电位固定层8通过绝缘层9及栅极绝缘膜10而与栅极电极层11绝缘,因此外部沟槽上端角部6a的敷底绝缘膜7不会因栅极电压而被破坏。

[0159] <实施方式4>

[0160] 图41和图42是表示实施方式4所涉及的半导体装置的结构图。图41是表示实施方式4所涉及的半导体装置的概略结构的示意图,表示图1的用虚线包围的区域40的结构。图42是沿着图41的D1-D2线的截面图。在图41中为了简化说明,省略了层间绝缘膜13、表面电极14、表面欧姆电极19等的图示。

[0161] 在实施方式4中,在层间绝缘膜13没有形成电位固定层连接用接触孔27,电位固定层8不与其它任何电极连接。也就是说,电位固定层8的电位被设定为浮置电位。除此以外的结构与实施方式1~3同样。

[0162] 即使在将电位固定层8设为浮置电位的情况下,由于在终端区域60中栅极绝缘膜10以与外部沟槽上端角部6a隔离的方式形成,因此也抑制起因于外部沟槽上端角部6a的形状的电场集中,防止栅极绝缘膜10的破坏。外部沟槽上端角部6a被敷底绝缘膜7覆盖,但是阱区域3成为源极电位,电位固定层8成为浮置电位,且电位固定层8通过绝缘层9及栅极绝缘膜10而与栅极电极层11绝缘,因此外部沟槽上端角部6a的敷底绝缘膜7不会因栅极电压而被破坏。

[0163] <实施方式5>

[0164] 图43至图45是表示实施方式5所涉及的半导体装置的结构图。图43是沿着图2的D1-D2线的截面图,图44是沿着图39的D1-D2线的截面图,图45是沿着图41的D1-D2线的截面图。

[0165] 在实施方式1~4中,示出了在终端区域60中阱区域3与沟槽底面电场缓和区域16相互隔离的例子。在实施方式5中,阱区域3与沟槽底面电场缓和区域16通过形成于外部沟槽6的侧面的p型的外部沟槽侧面连接层24被相互连接。除此以外的结构与实施方式1~4同样。此外,图43相当于对图6的结构设置外部沟槽侧面连接层24而成的,图44相当于对图40的结构设置外部沟槽侧面连接层24而成的,图45相当于对图42的结构设置外部沟槽侧面连接层24而成的。

[0166] 关于外部沟槽侧面连接层24,例如在沟槽底面电场缓和区域16的形成后通过离子注入来形成,p型杂质为铝、硼或镓即可,杂质浓度为 $1 \times 10^{17} \text{cm}^{-3}$ 以上且 $1 \times 10^{22} \text{cm}^{-3}$ 以下左右即可。

[0167] 在外部沟槽6的侧面,阱区域3与沟槽底面电场缓和区域16连接,由此在关断时产生的位移电流流向表面电极14的路径增加。因此,抑制因位移电流引起的外部沟槽上端角部6a处的敷底绝缘膜7的电位上升,防止敷底绝缘膜7的破坏。

[0168] <实施方式6>

[0169] 图46至图49是表示实施方式5所涉及的半导体装置的结构图。图46是沿着图2、图39或图41的B1-B2线的截面图,图47是沿着图2的D1-D2线的截面图,图48是沿着图39的D1-D2线的截面图,图49是沿着图41的D1-D2线的截面图。

[0170] 在实施方式6中,没有形成敷底绝缘膜7,电位固定层8与外部沟槽6的内表面及外部沟槽上端角部6a相接。除此以外的结构与实施方式1~5同样。此外,图47相当于从图43的结构省略敷底绝缘膜7而成的,图48相当于从图44的结构省略敷底绝缘膜7而成的,图49相当于从图45的结构省略敷底绝缘膜7而成的。

[0171] 即使在省略了敷底绝缘膜7的情况下,由于在终端区域60中栅极绝缘膜10以与外部沟槽上端角部6a隔离的方式形成,因此也抑制起因于外部沟槽上端角部6a的形状的电场

集中,防止栅极绝缘膜10的破坏。

[0172] 与实施方式1~5同样地,电位固定层8的电位被设定为源极电位、接地电位、浮置电位的任一个。即使电位固定层8的电位为源极电位或接地电位,也由于阱区域3、外部沟槽侧面连接层24、沟槽底面电场缓和区域16及沟槽底面高浓度阱区域17与漂移层2之间的PN结的影响而电流不易从背面电极21流向电位固定层8,对损耗的影响少。

[0173] 此外,能够将各实施方式自由组合,或者将各实施方式适当变形、省略。

[0174] 上述的说明在全部的方式中均是例示,可理解能够设想未例示的无数个变形例。

[0175] (附图标记说明)

[0176] 1:半导体基板;2:漂移层;3:阱区域;4:杂质区域;5:接触区域;6:外部沟槽;6a:外部沟槽上端角部;7:敷底绝缘膜;8:电位固定层;9:绝缘层;10:栅极绝缘膜;11:栅极电极层;12:场绝缘膜;13:层间绝缘膜;14:表面电极;15:栅极布线电极;16:沟槽底面电场缓和区域;17:沟槽底面高浓度阱区域;18:终端电场缓和区域;19:表面欧姆电极;20:背面欧姆电极;21:背面电极;22:栅极沟槽;22a:栅极沟槽上端角部;23:接地布线电极;24:外部沟槽侧面连接层;25:源极接触孔;26:外周部阱区域接触孔;27:电位固定层连接用接触孔;28:栅极接触孔;29:栅极电极焊盘;30:接地电极焊盘;31:沟道阻隔区域;50:激活区域;60:终端区域。

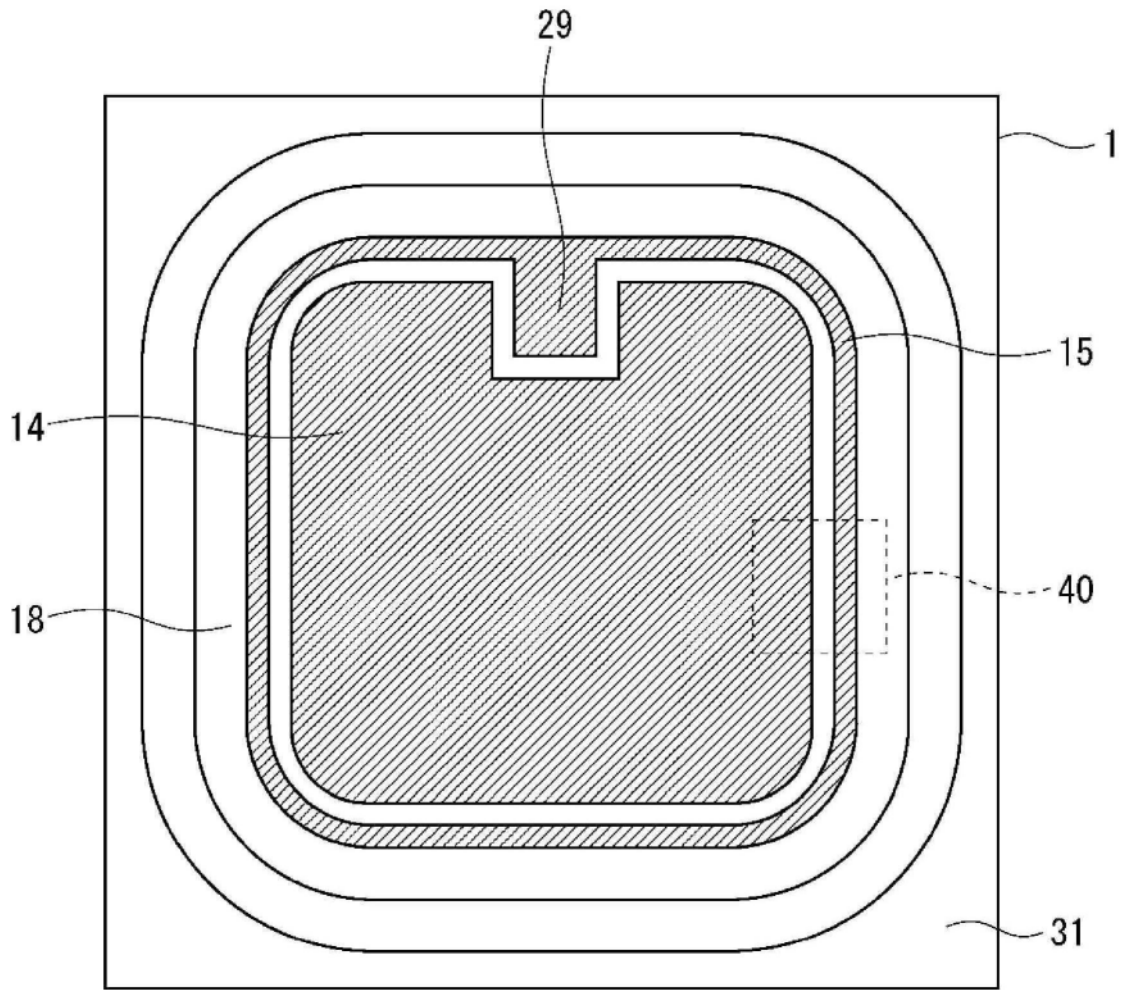


图1

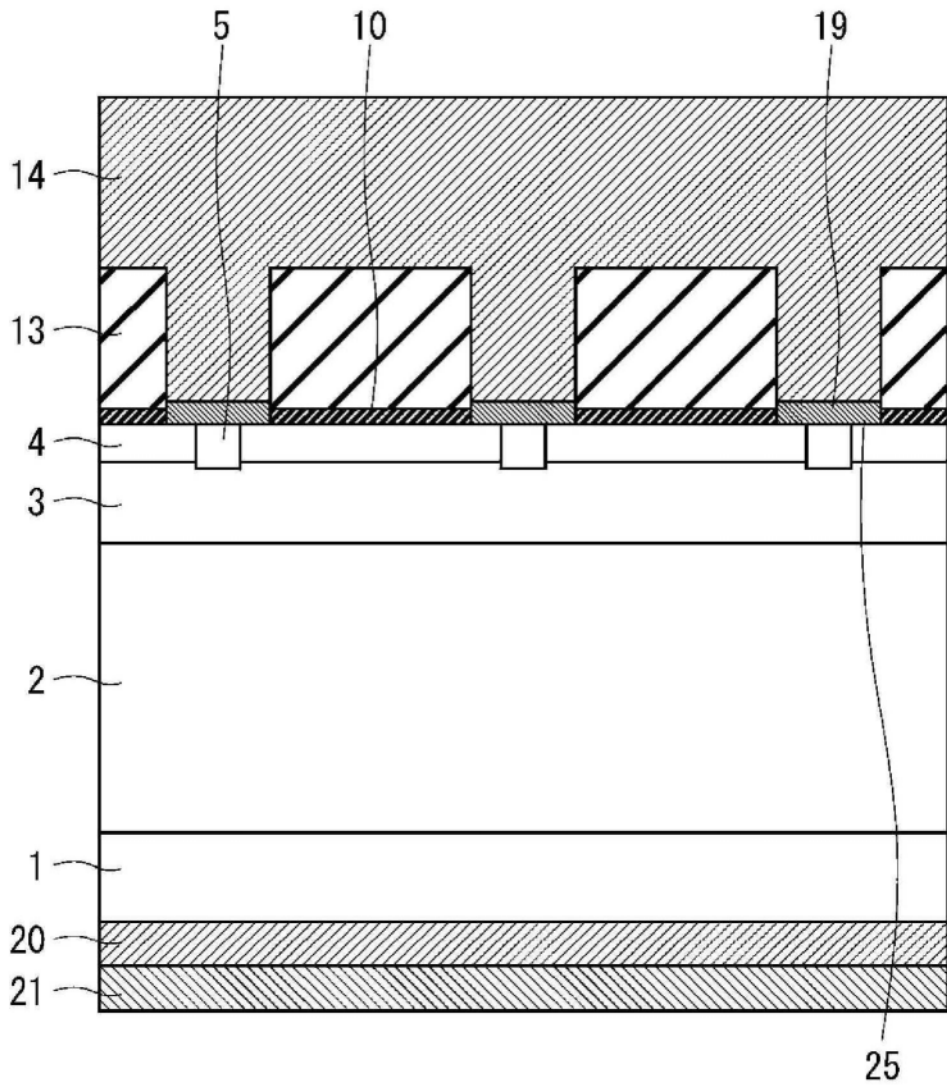


图3

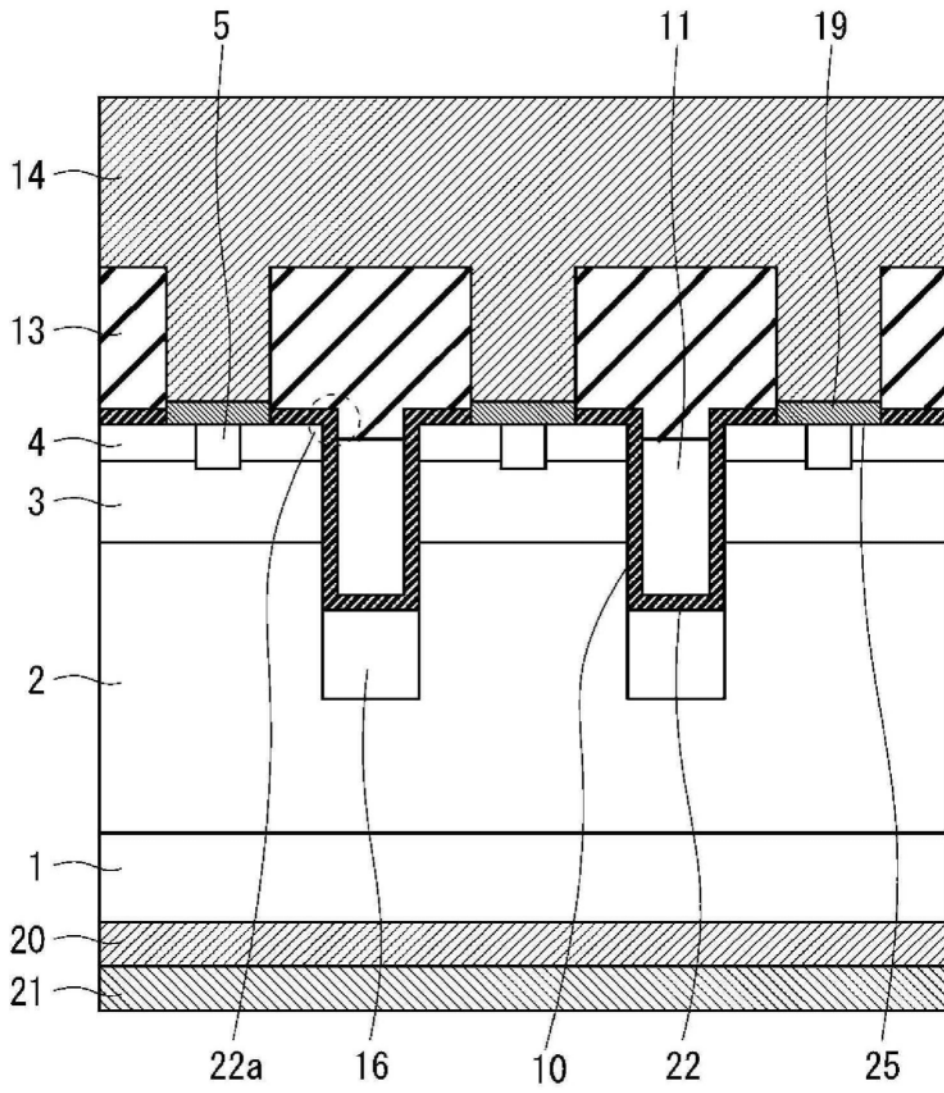


图4

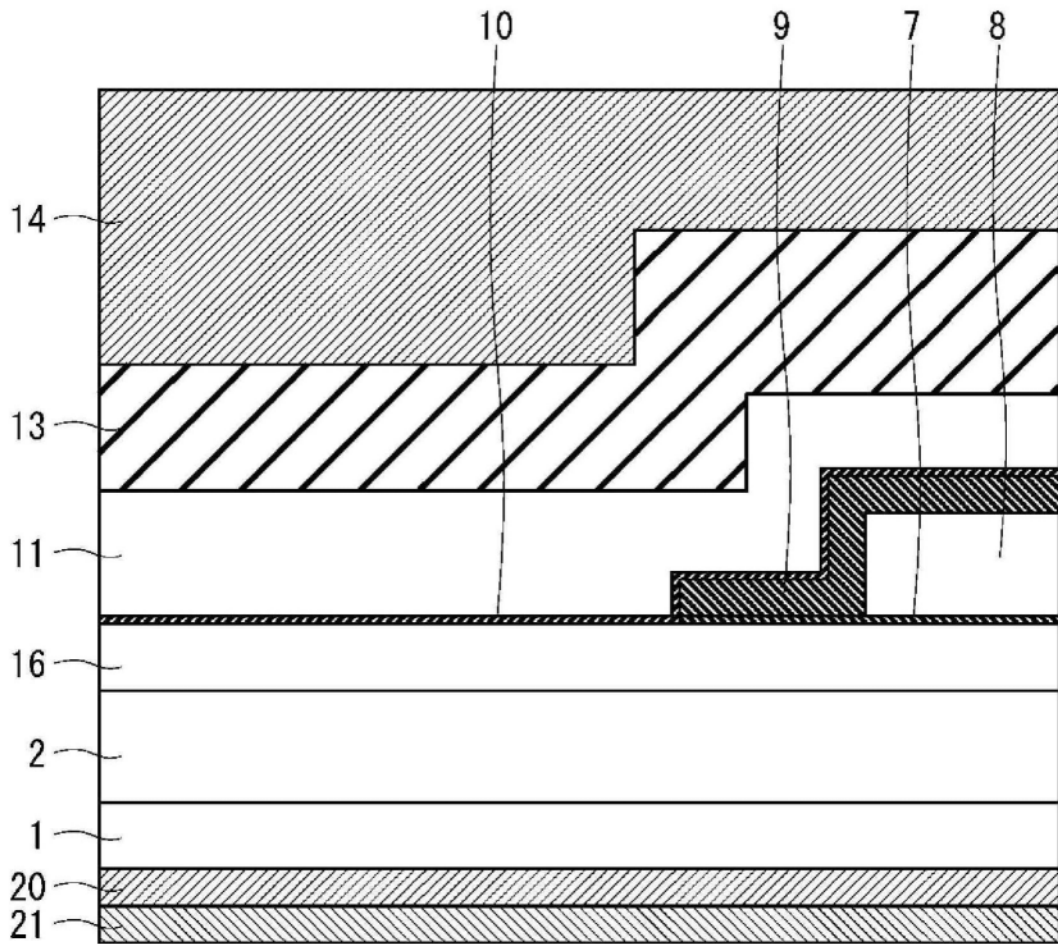


图5

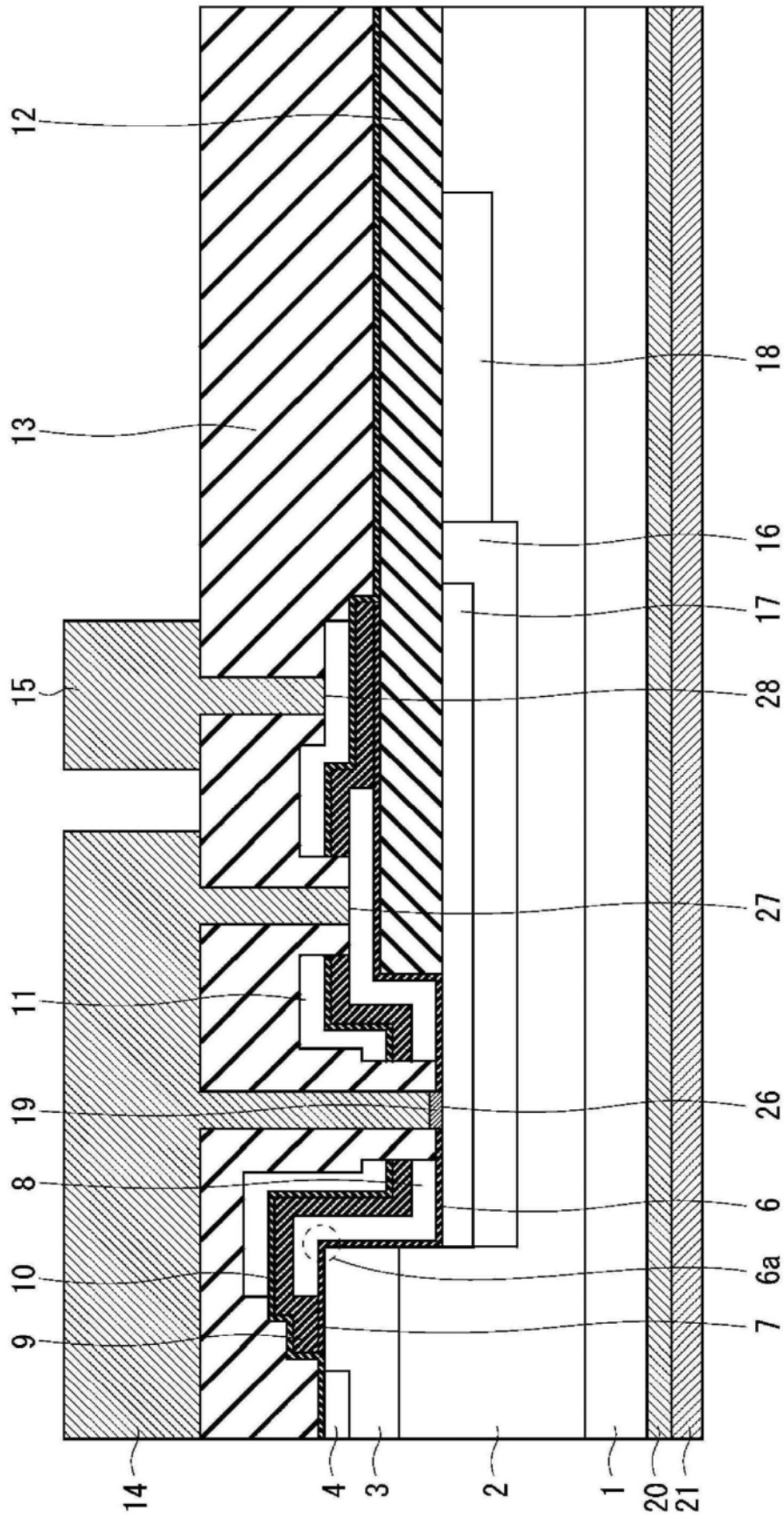


图6

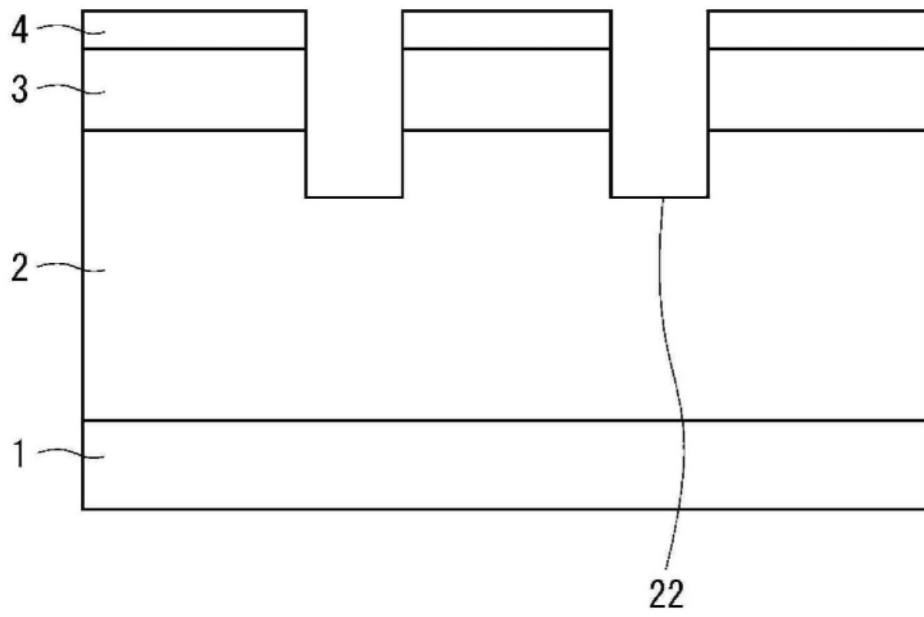


图7

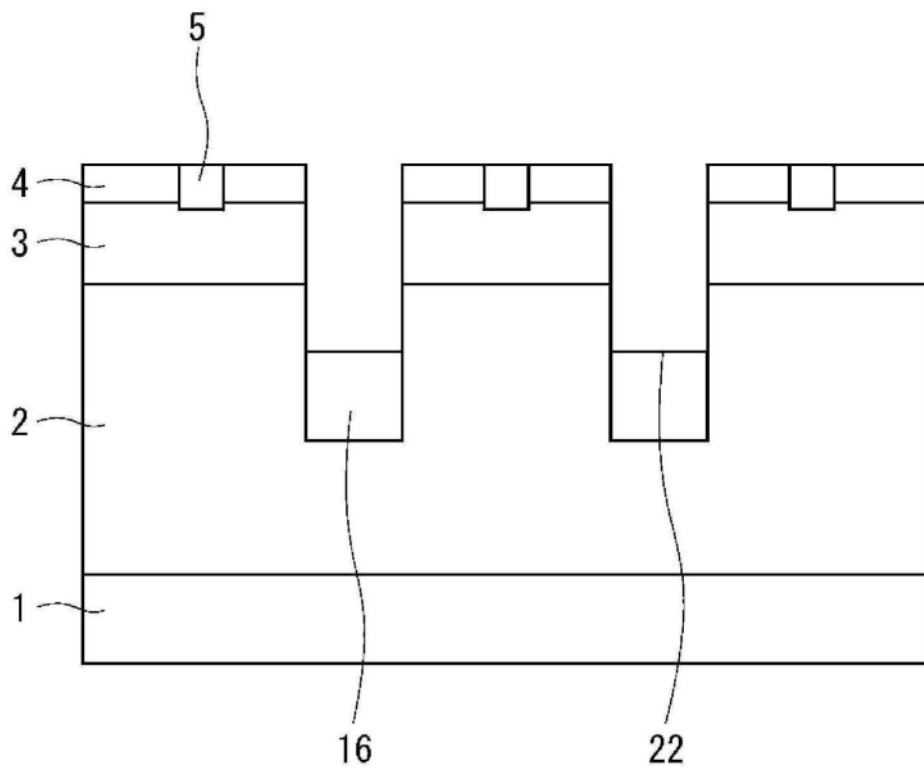


图8

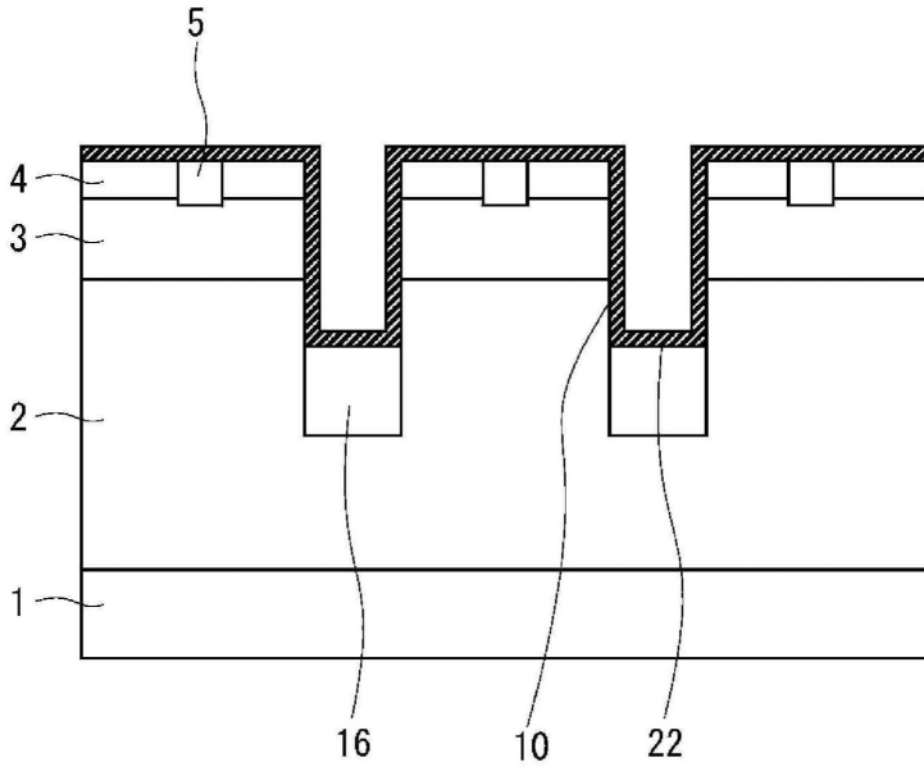


图9

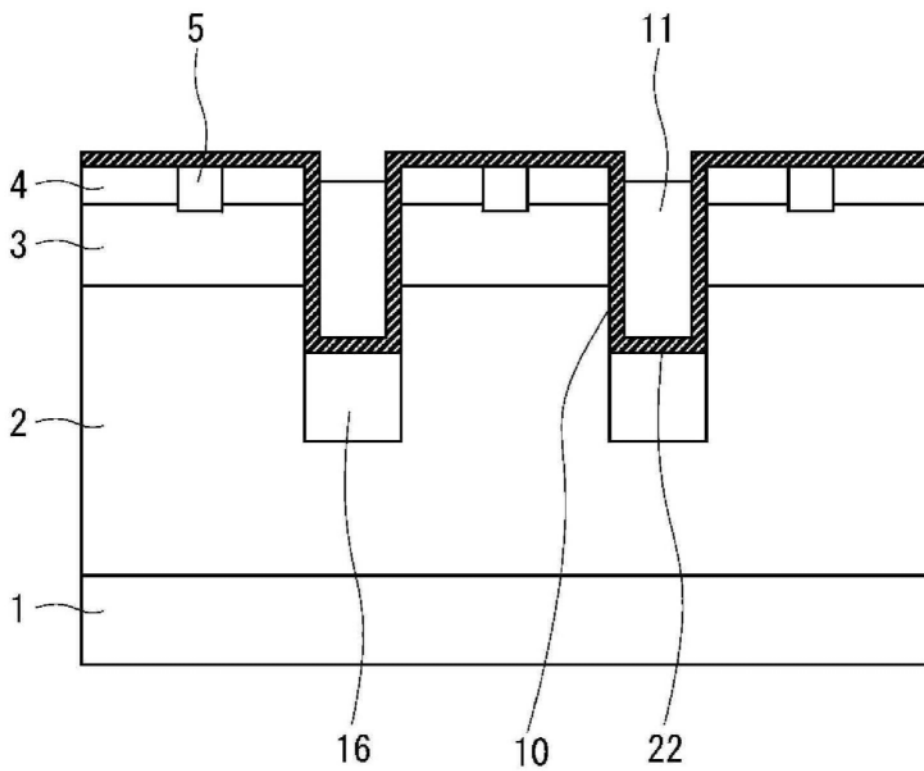


图10

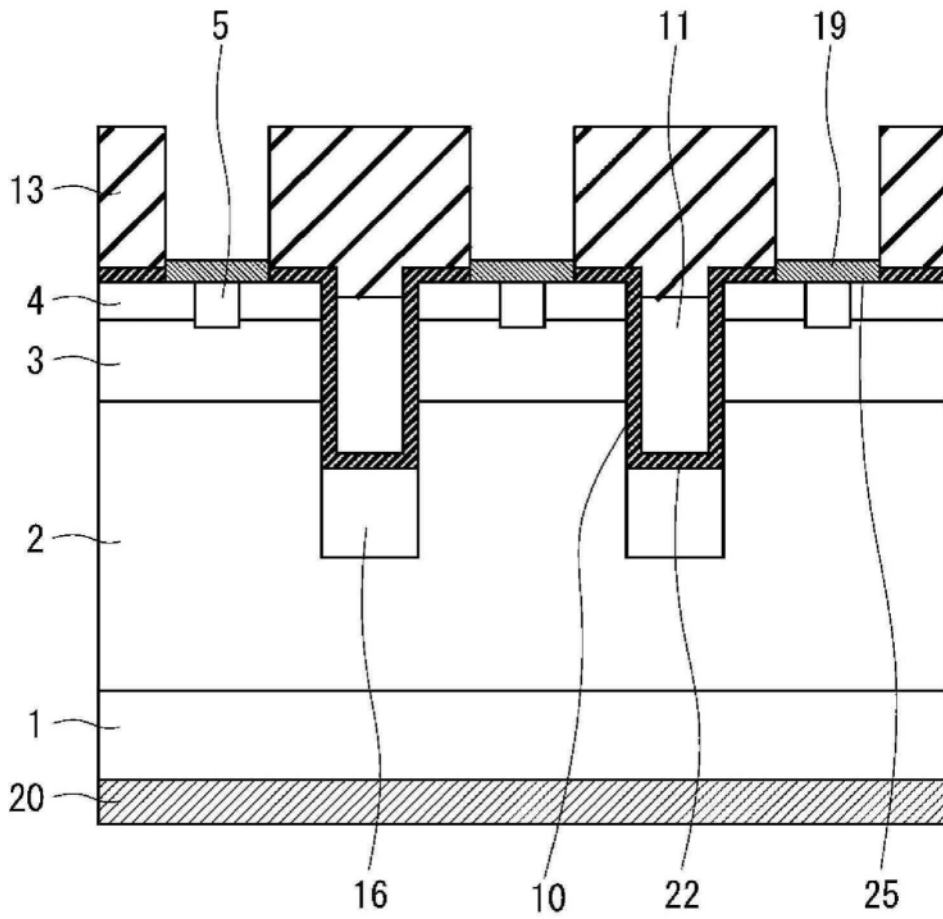


图11

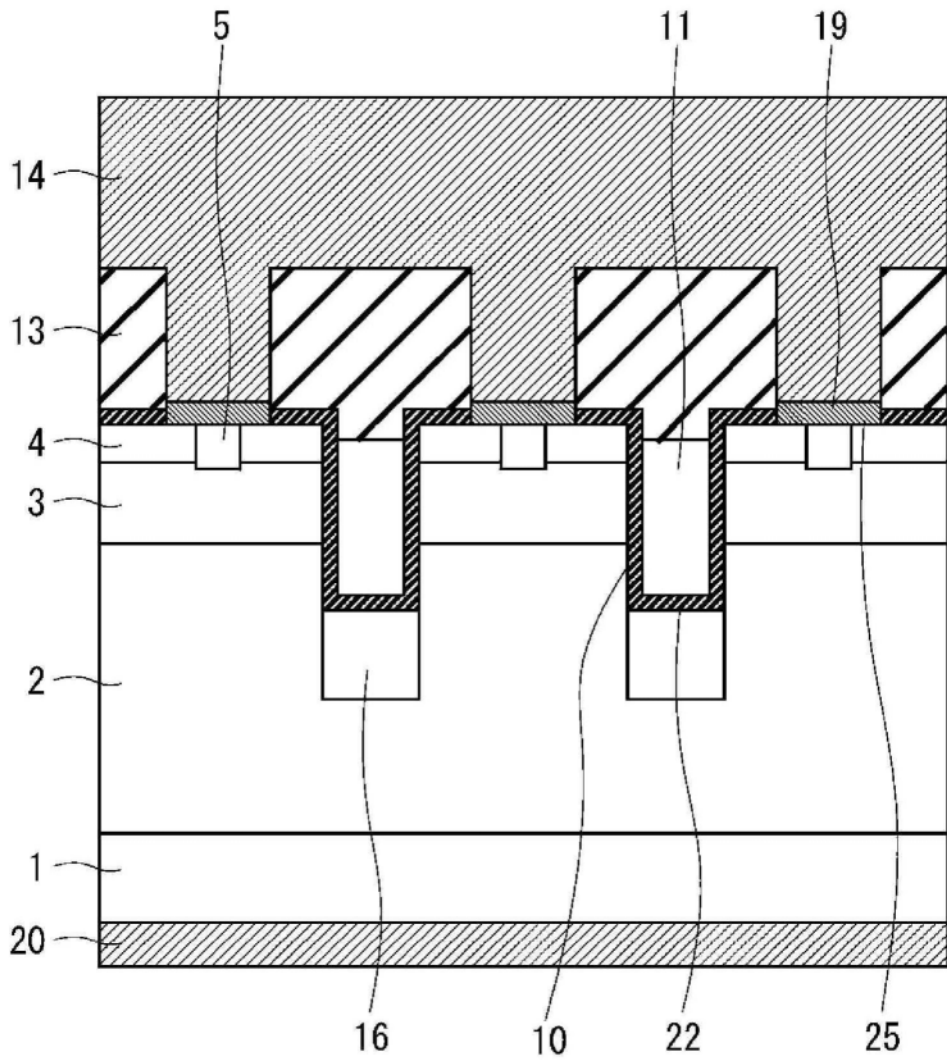


图12

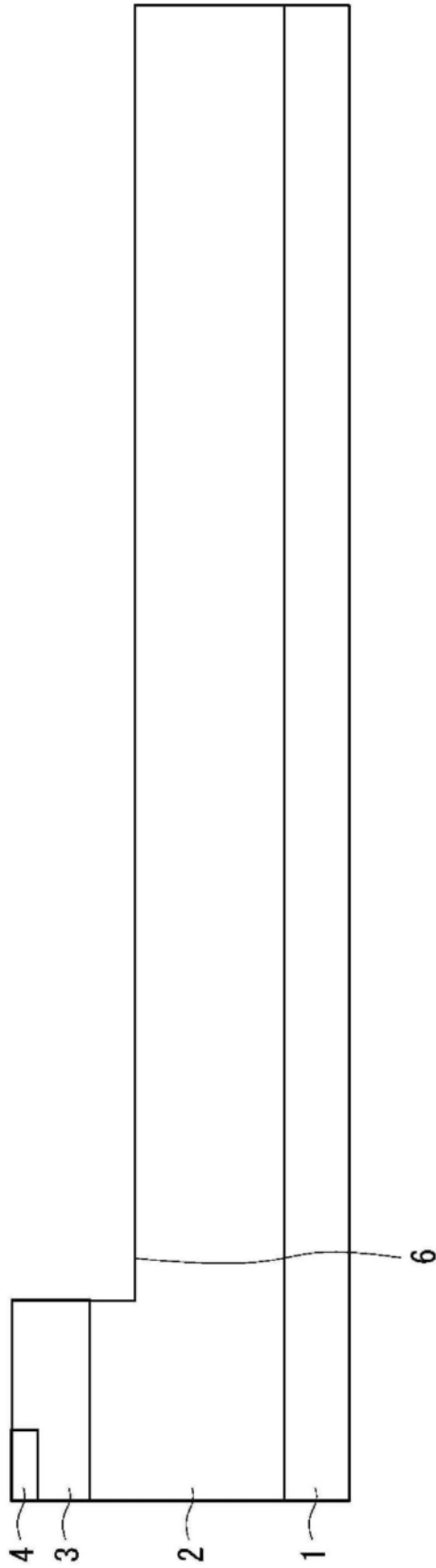


图13

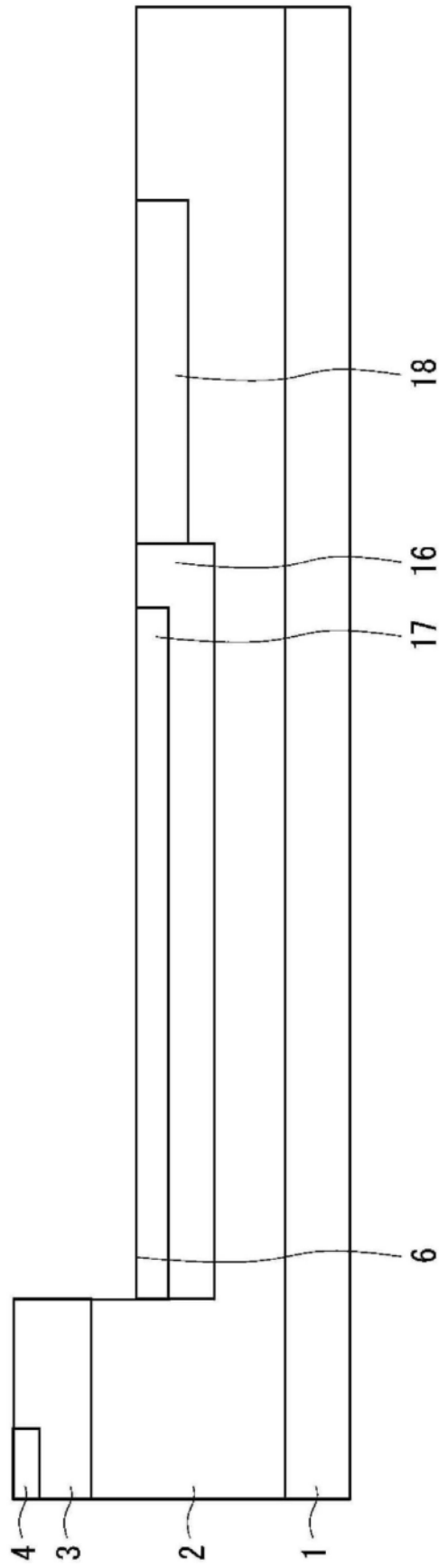


图14

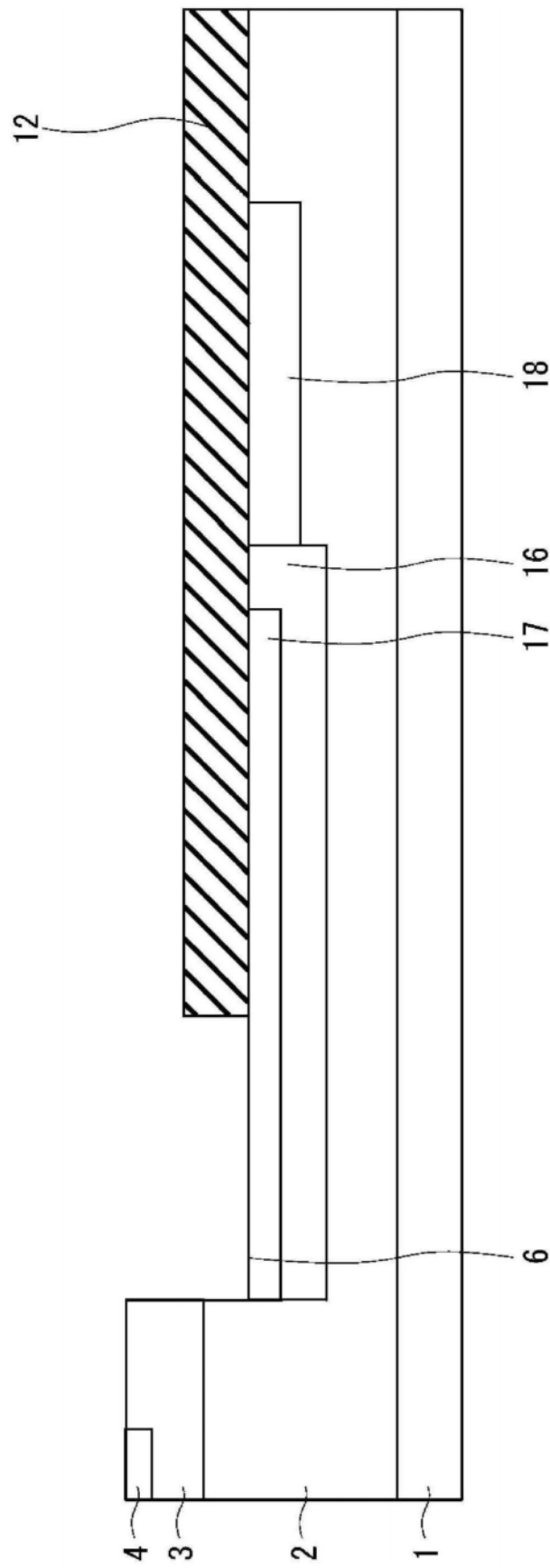


图15

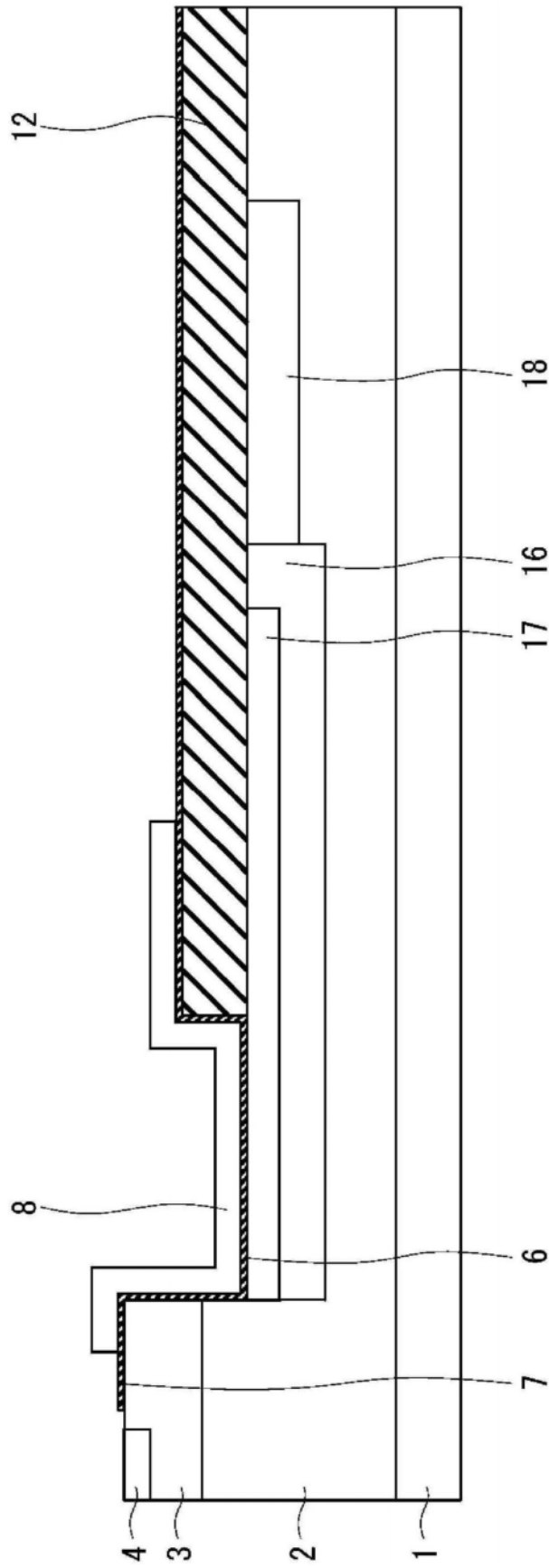


图16

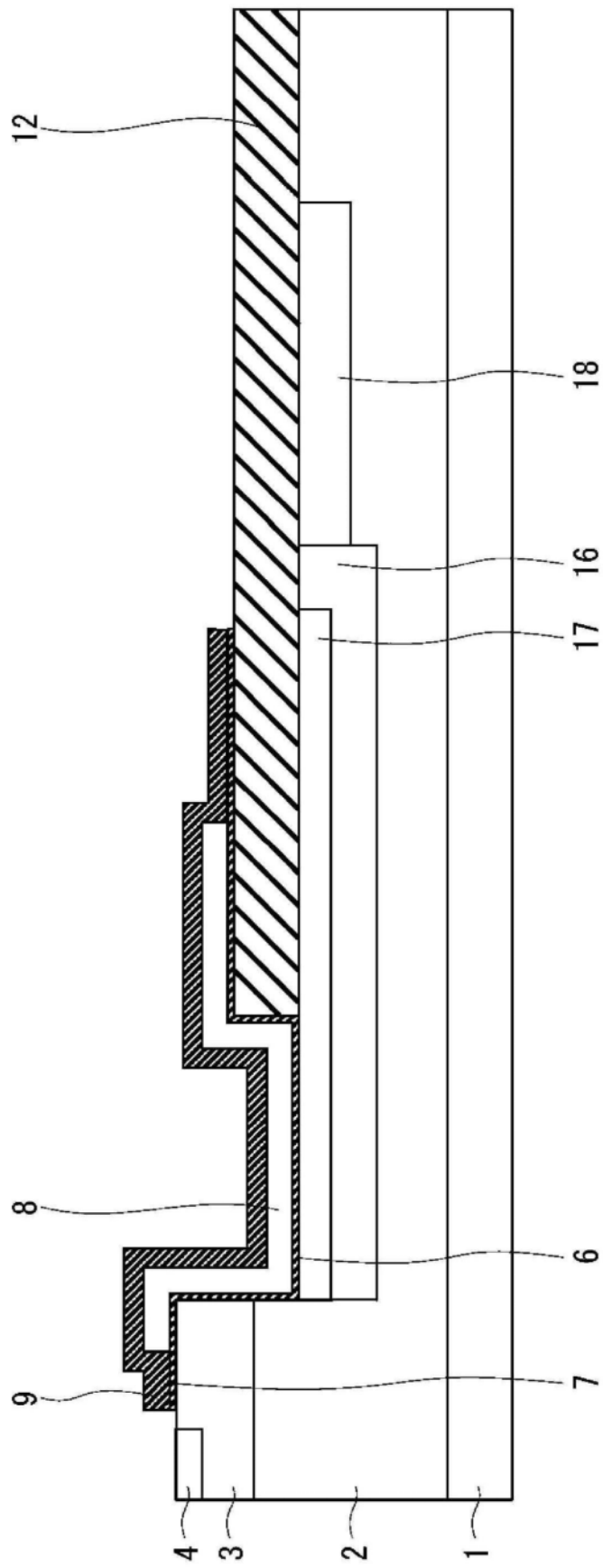


图17

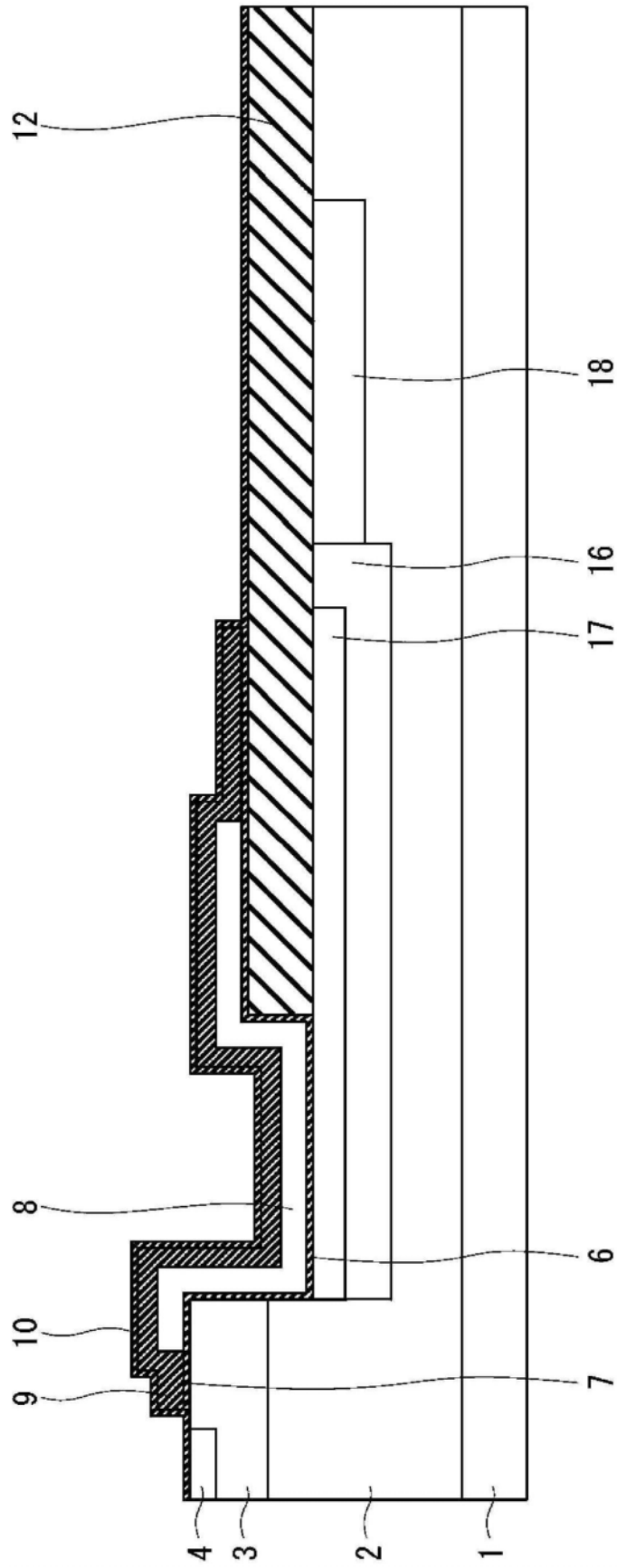


图18

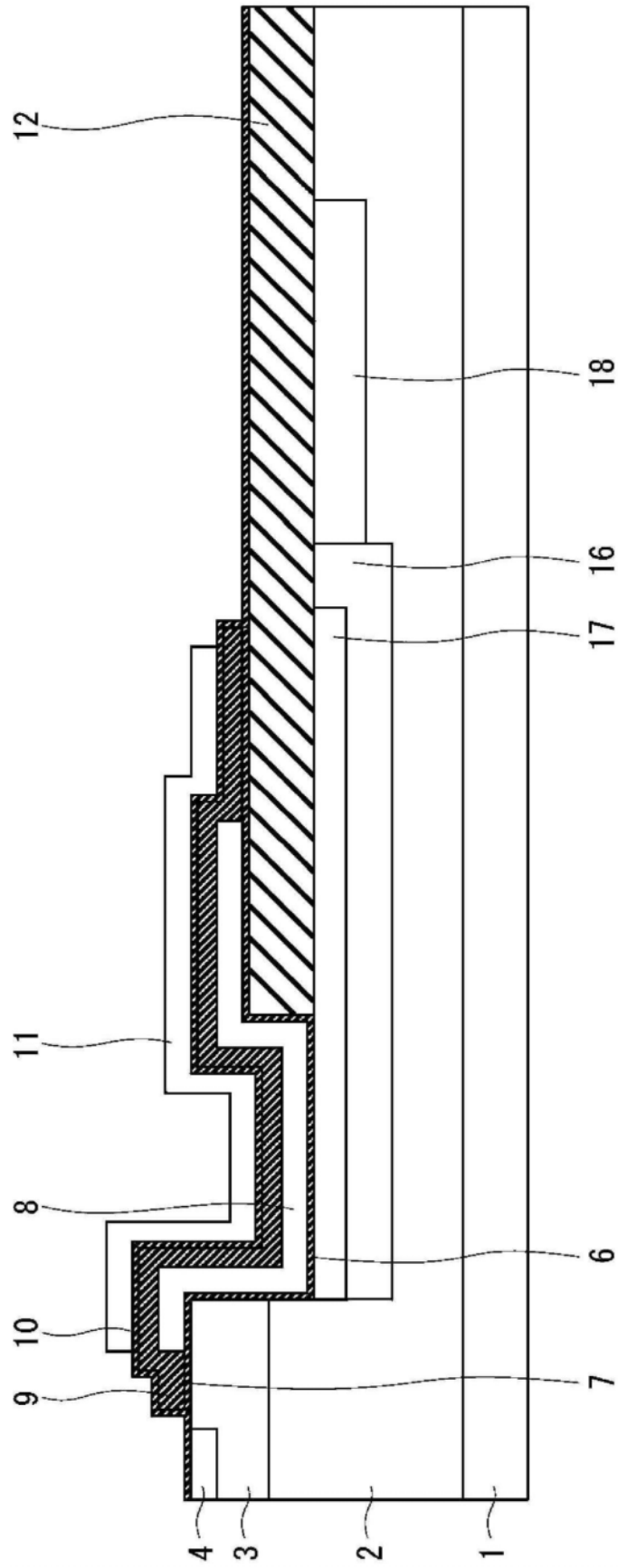


图19

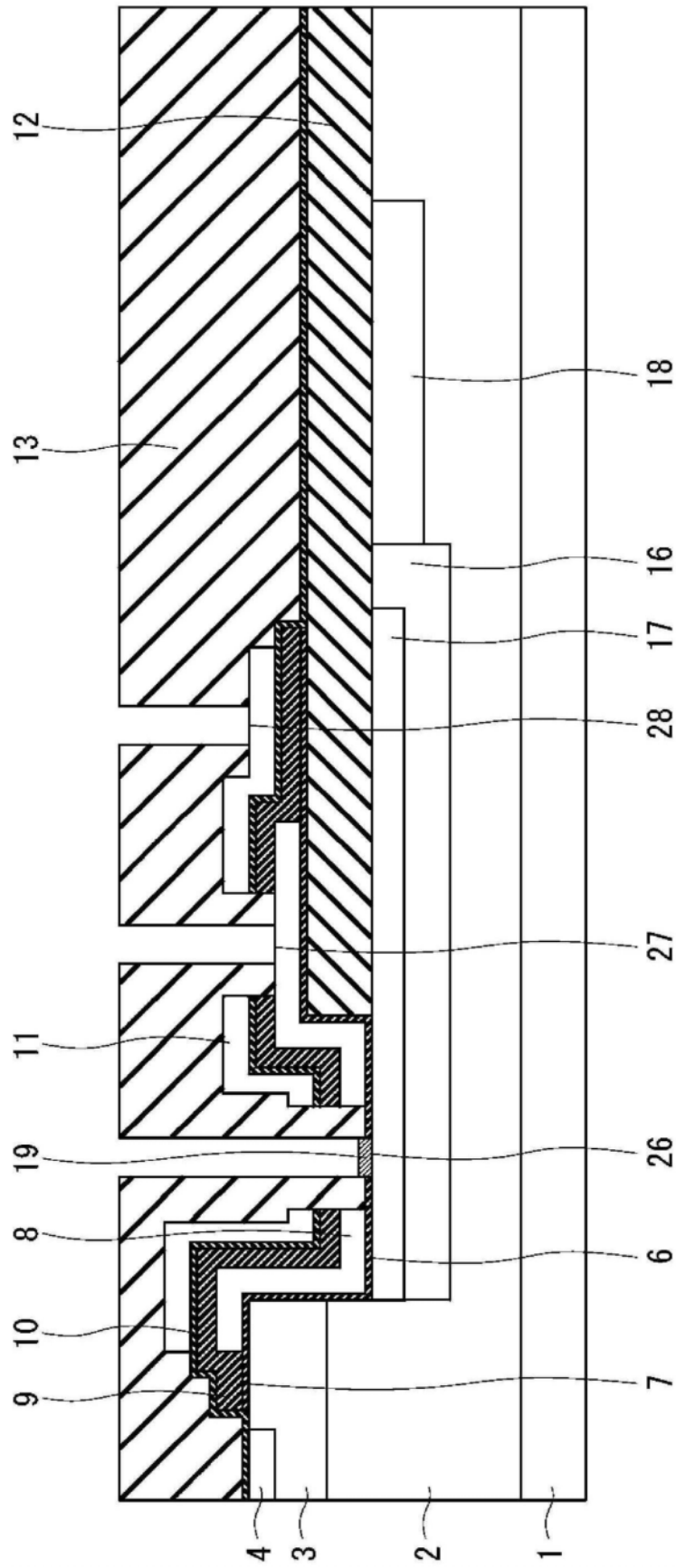


图20

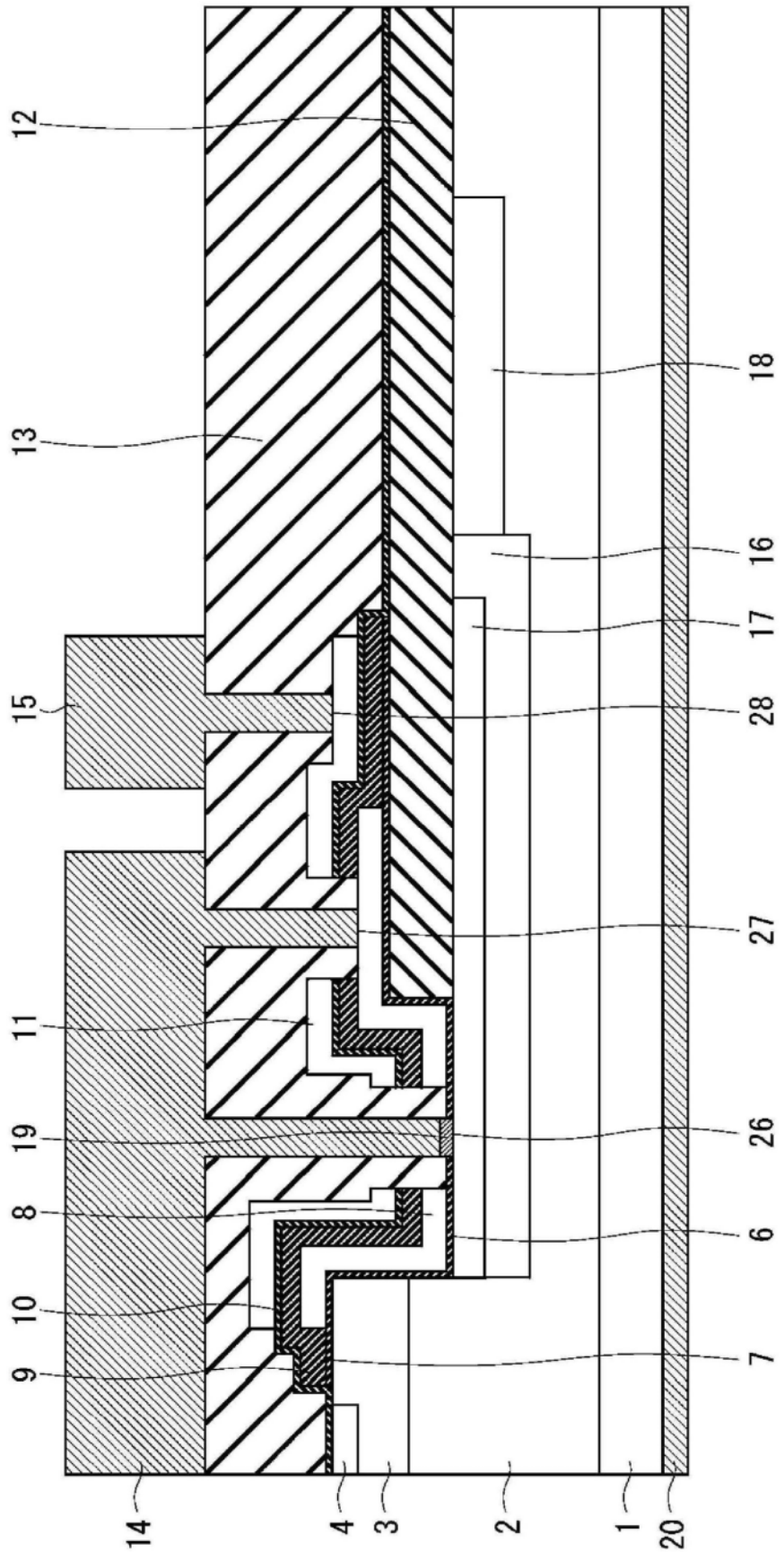


图21

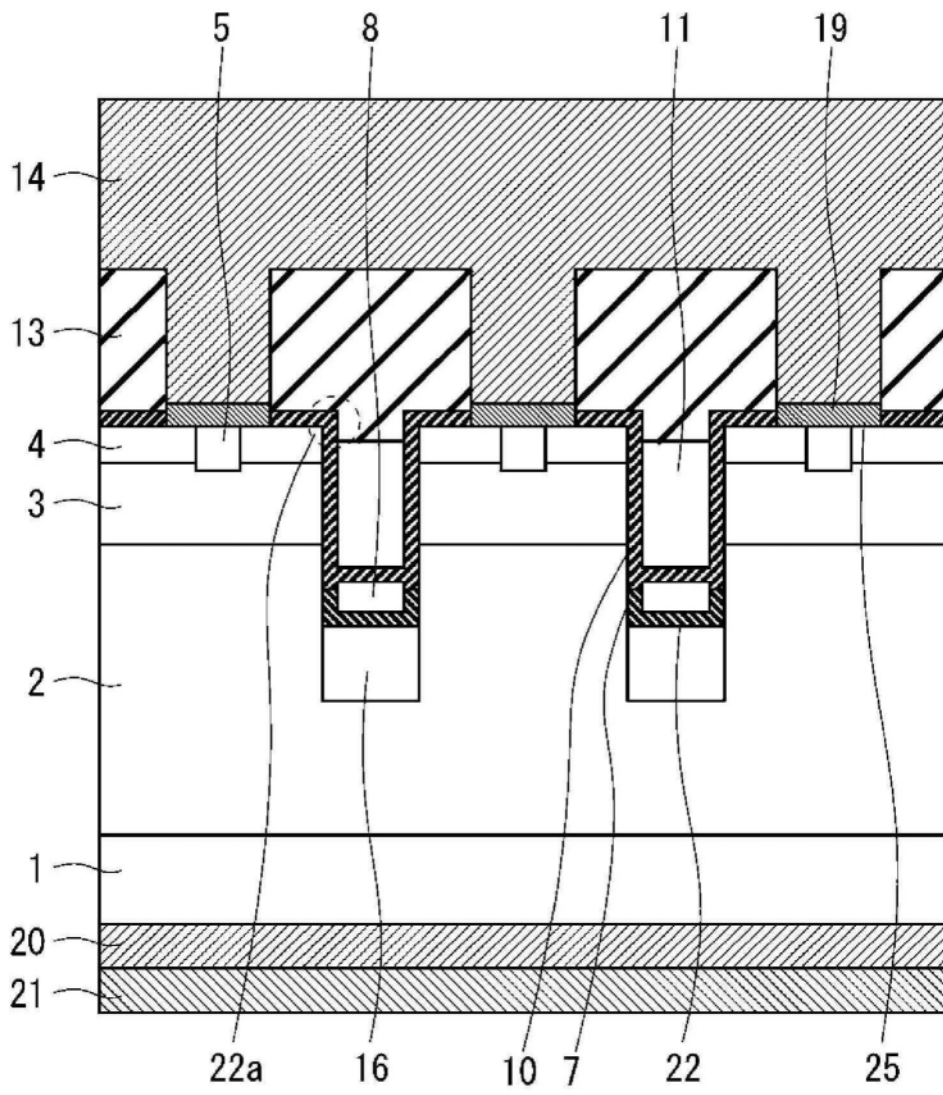


图22

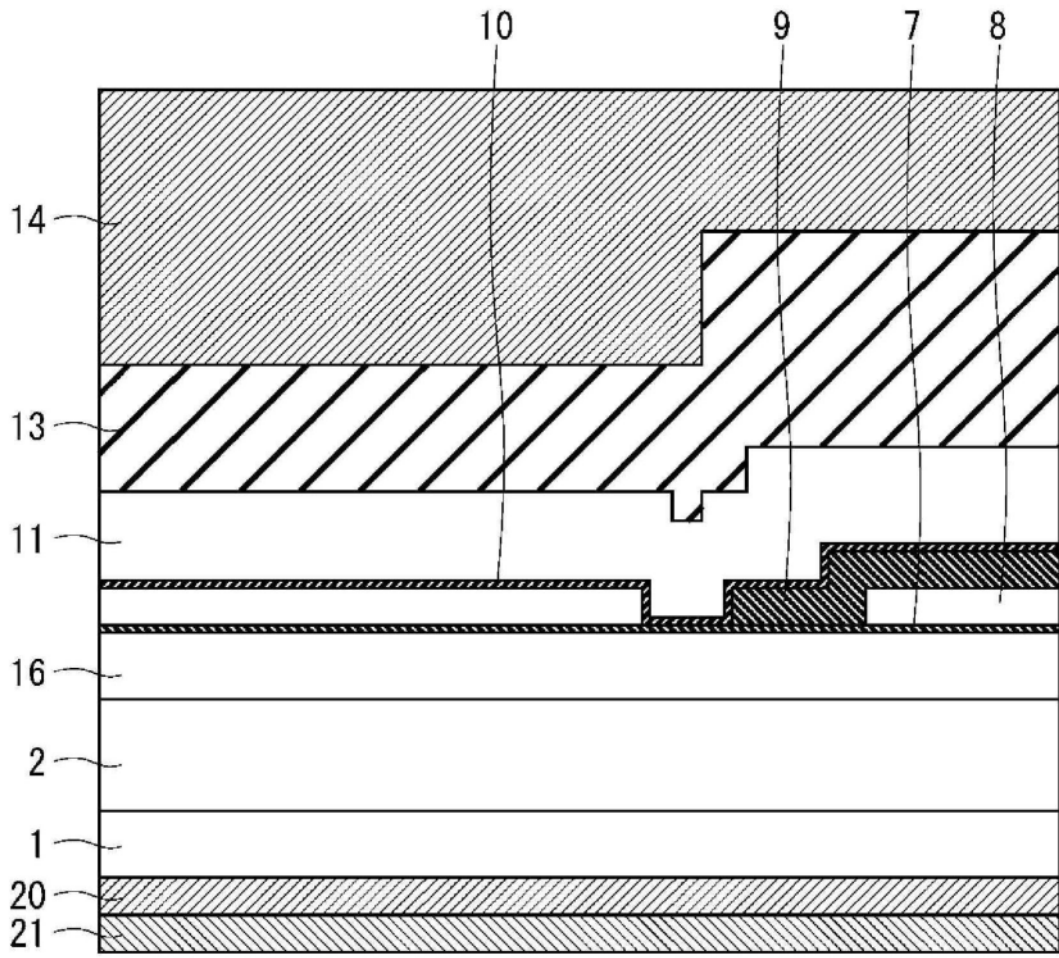


图23

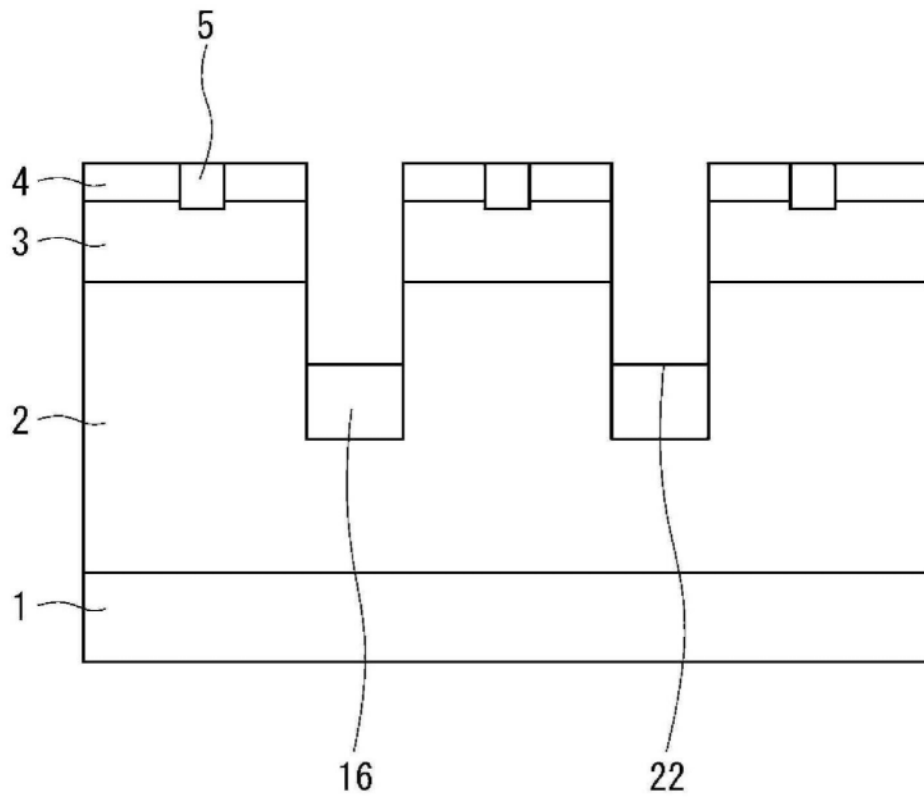


图24

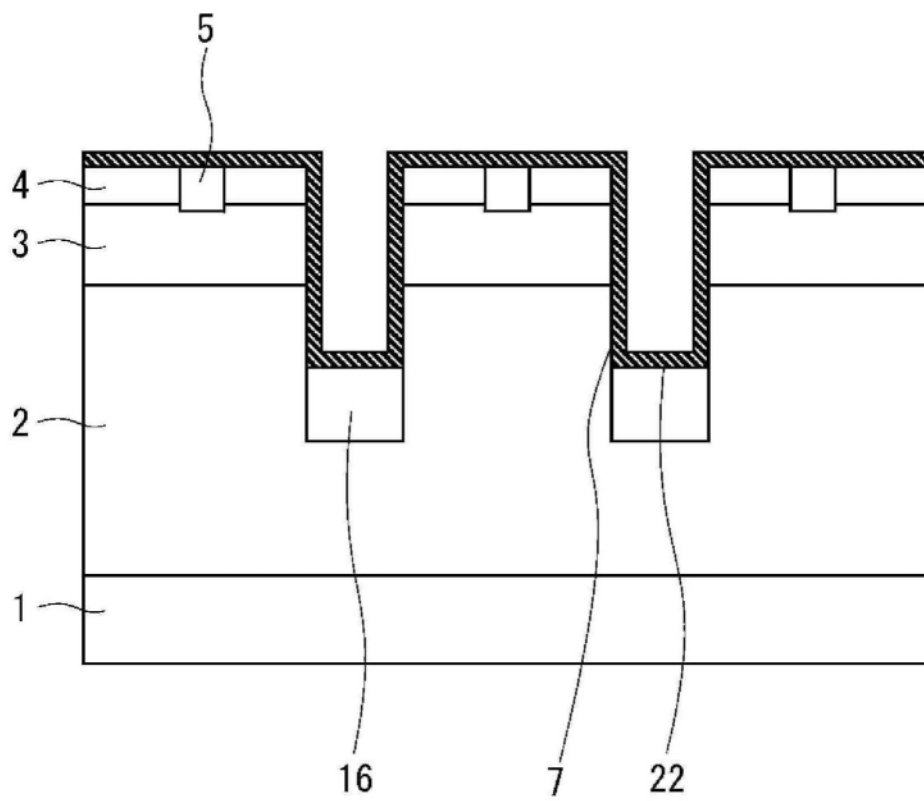


图25

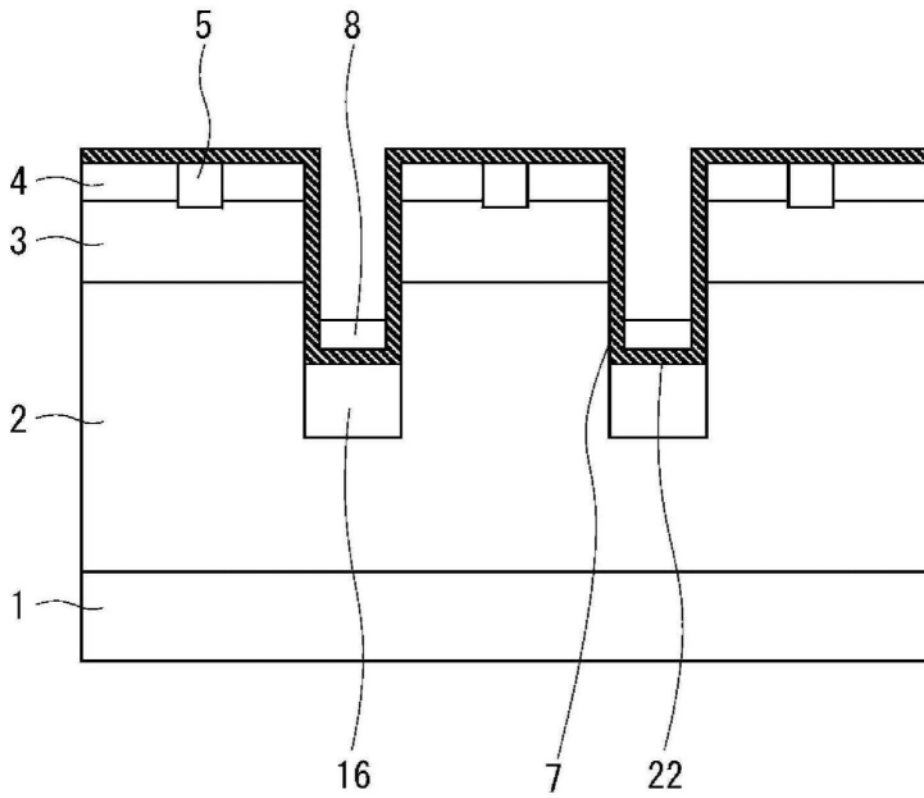


图26

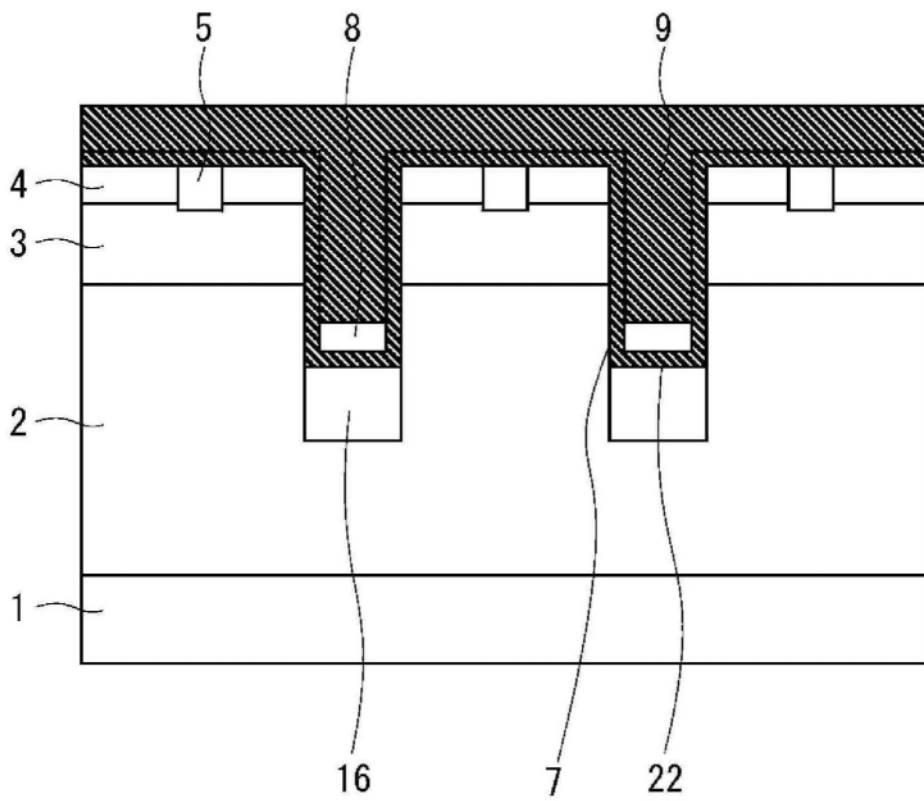


图27

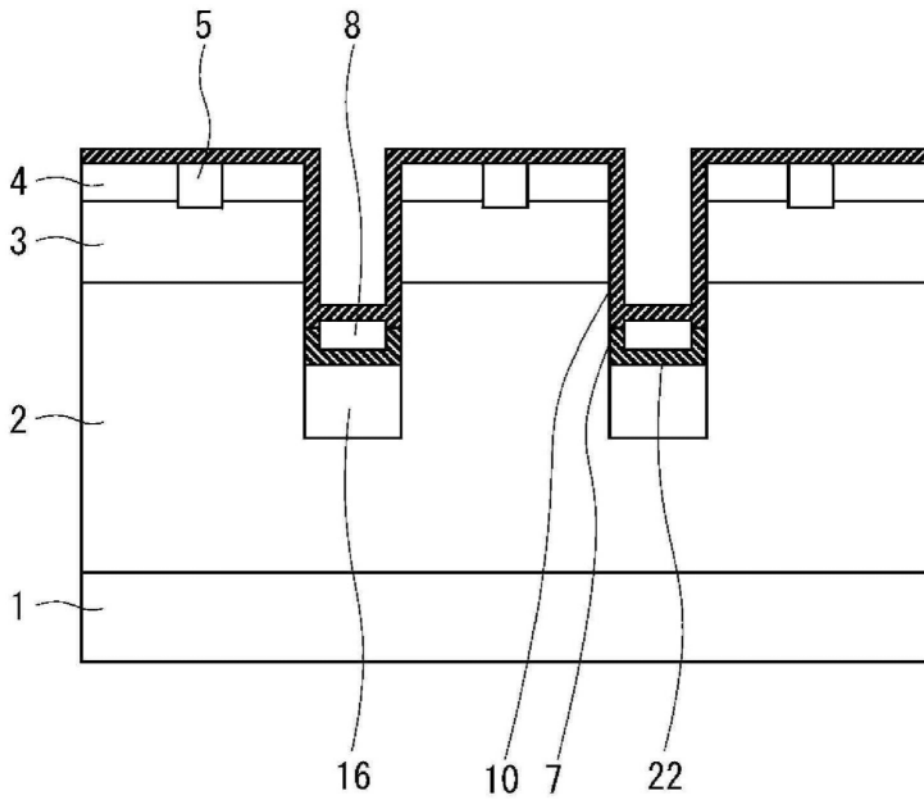


图28

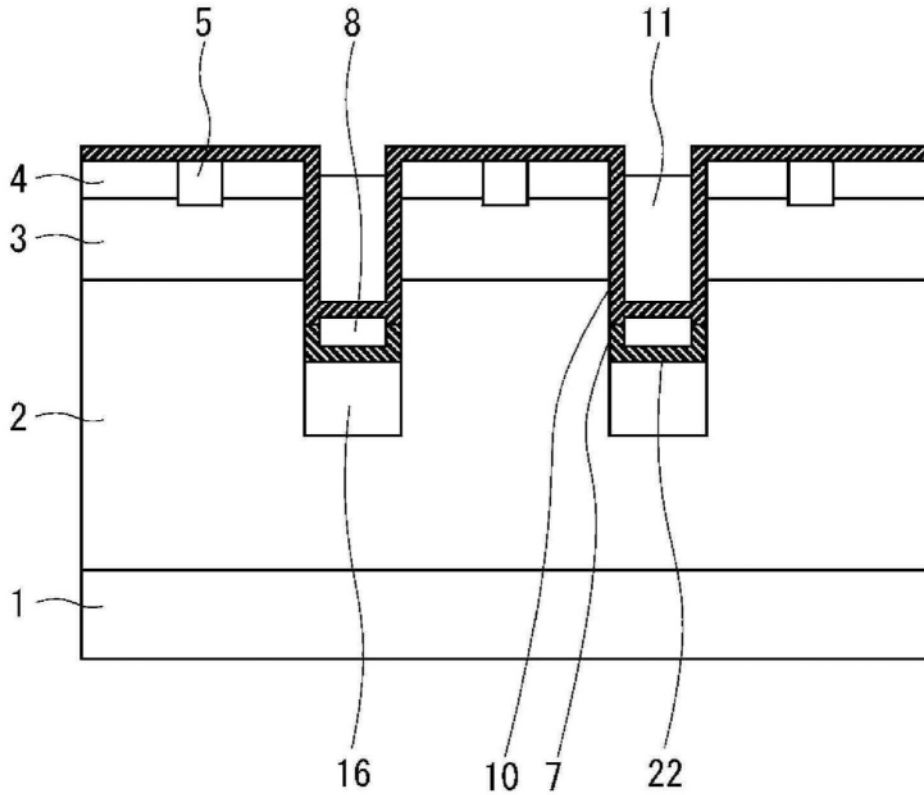


图29

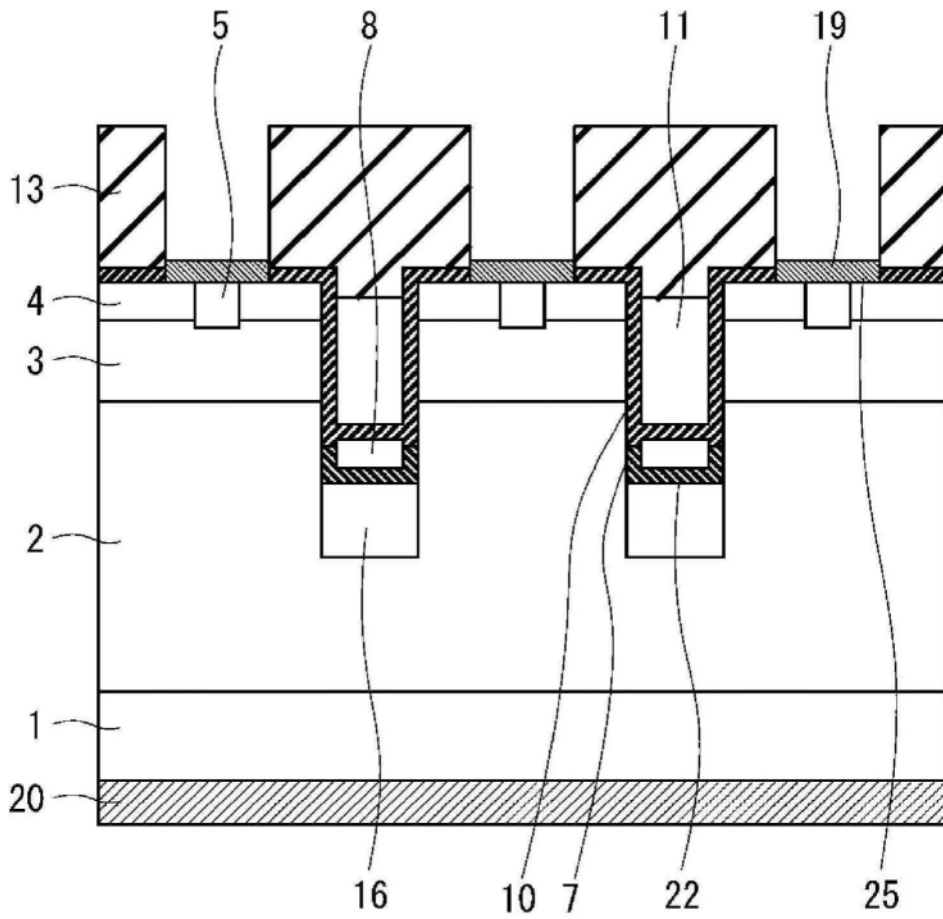


图30

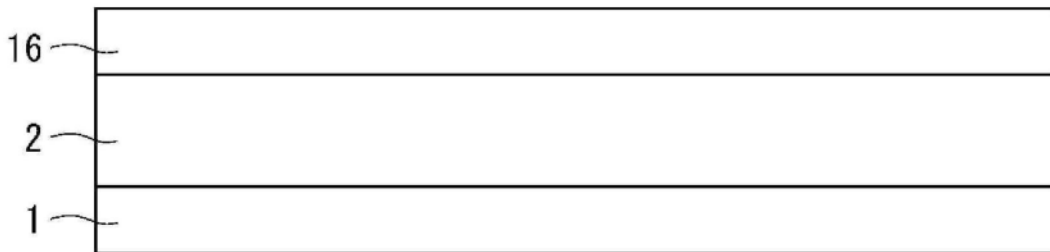


图31

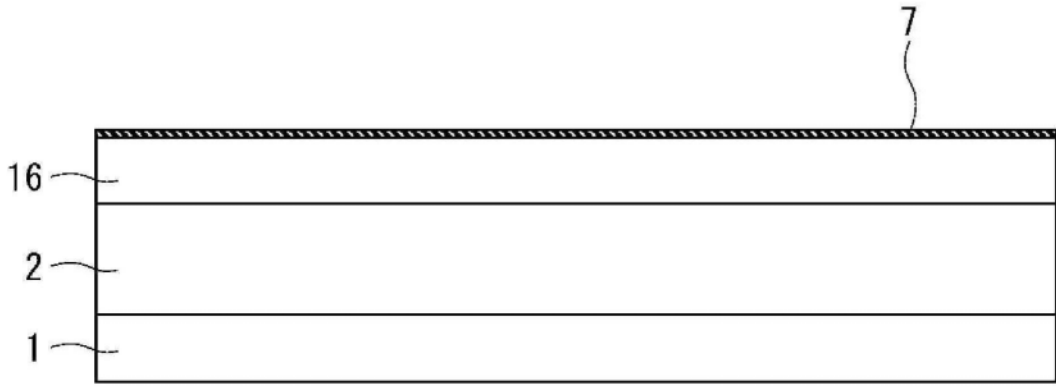


图32

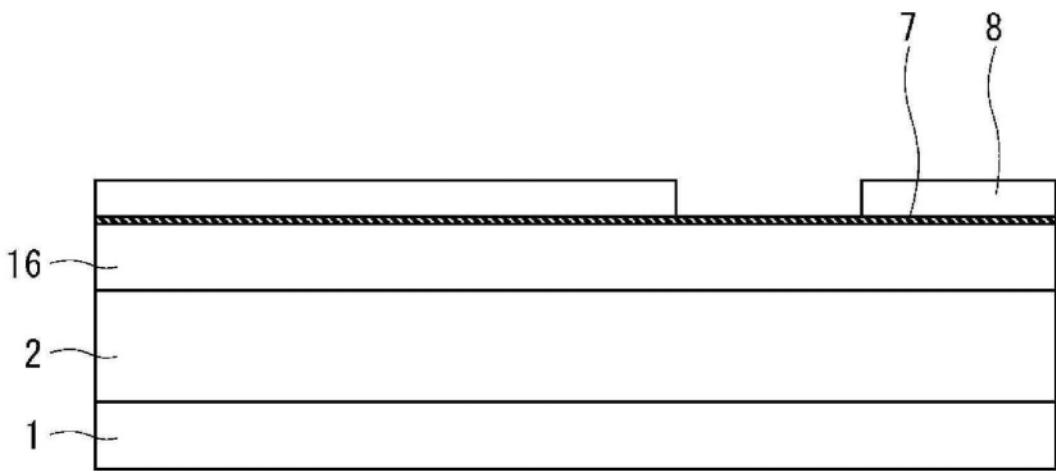


图33

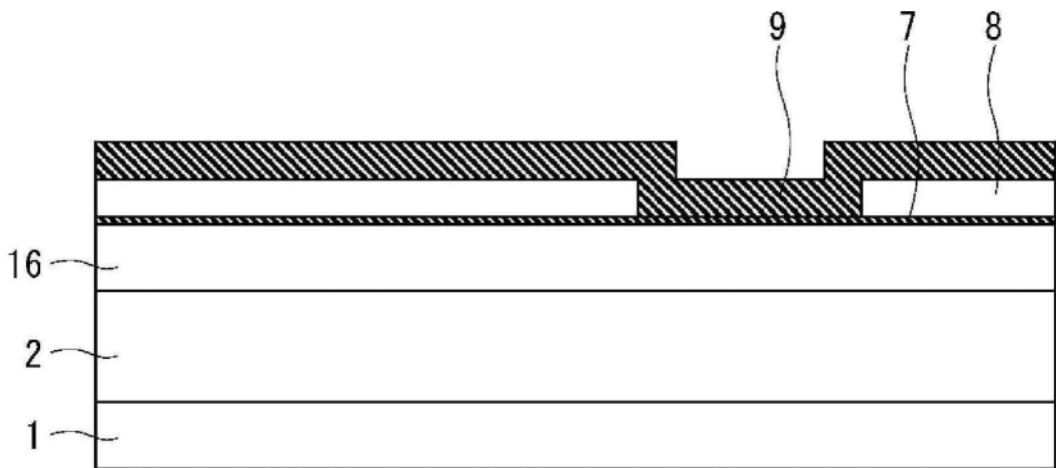


图34

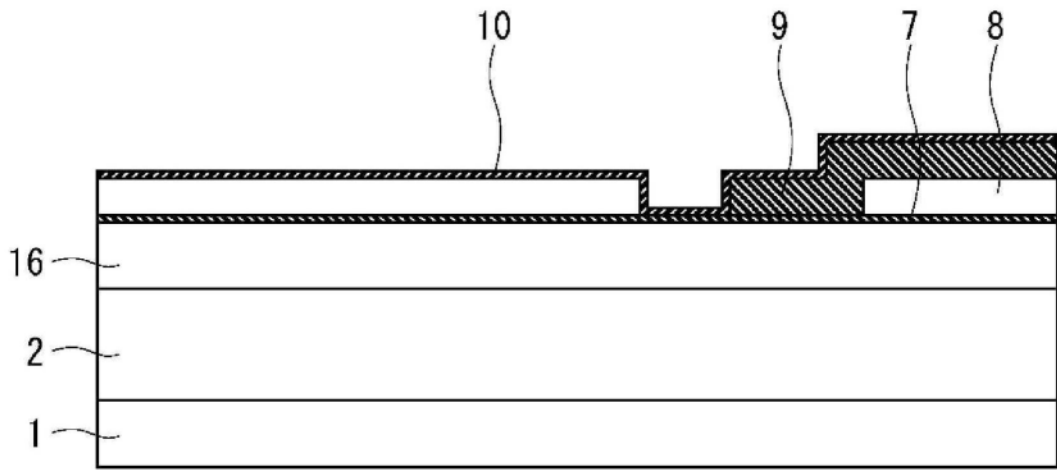


图35

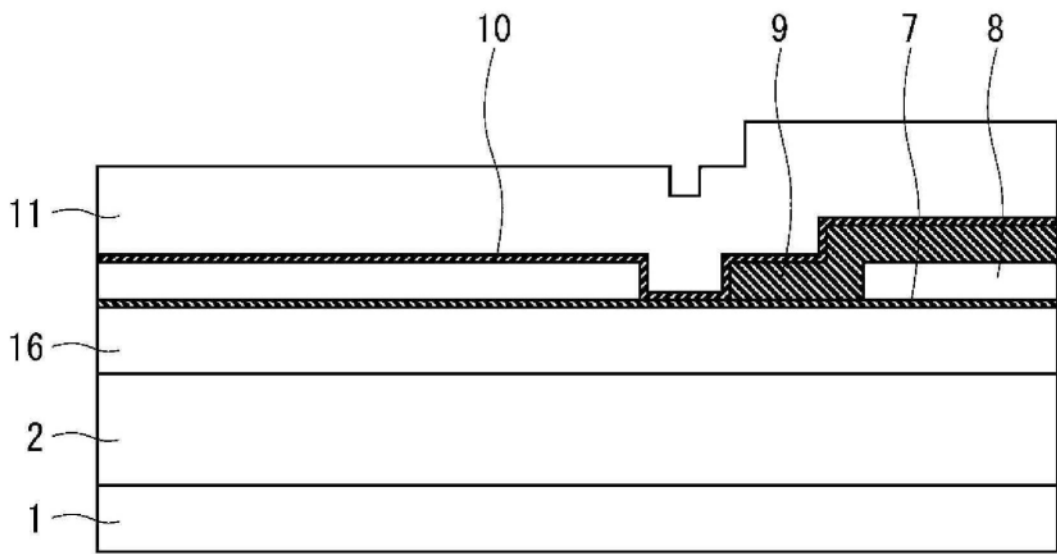


图36

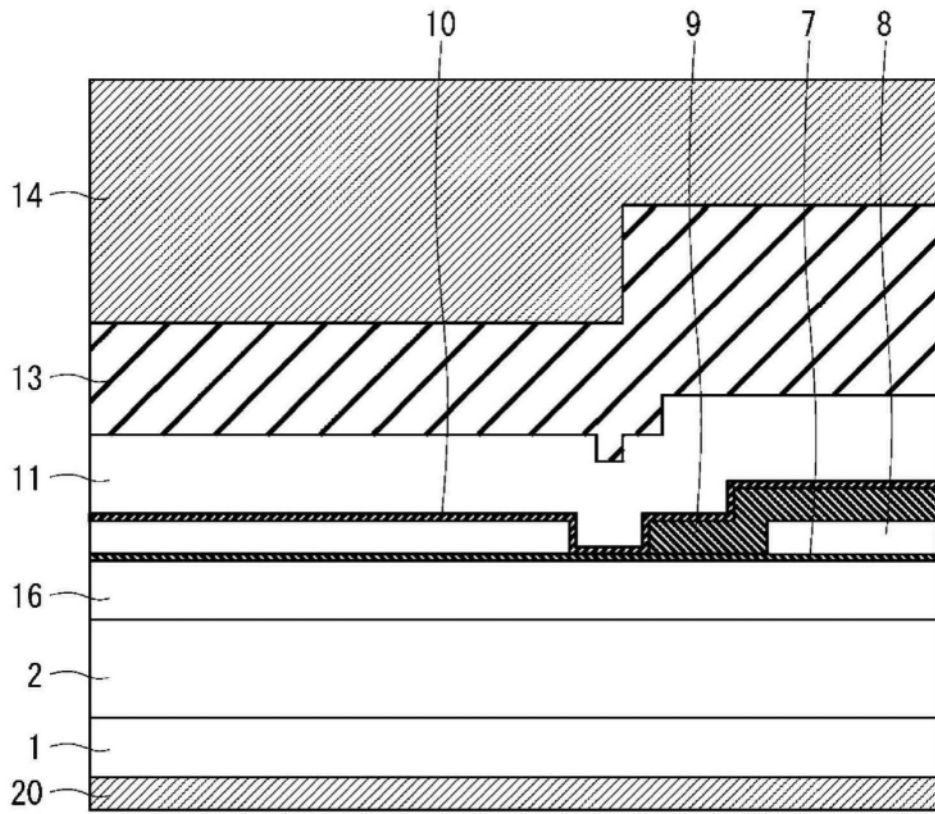


图37

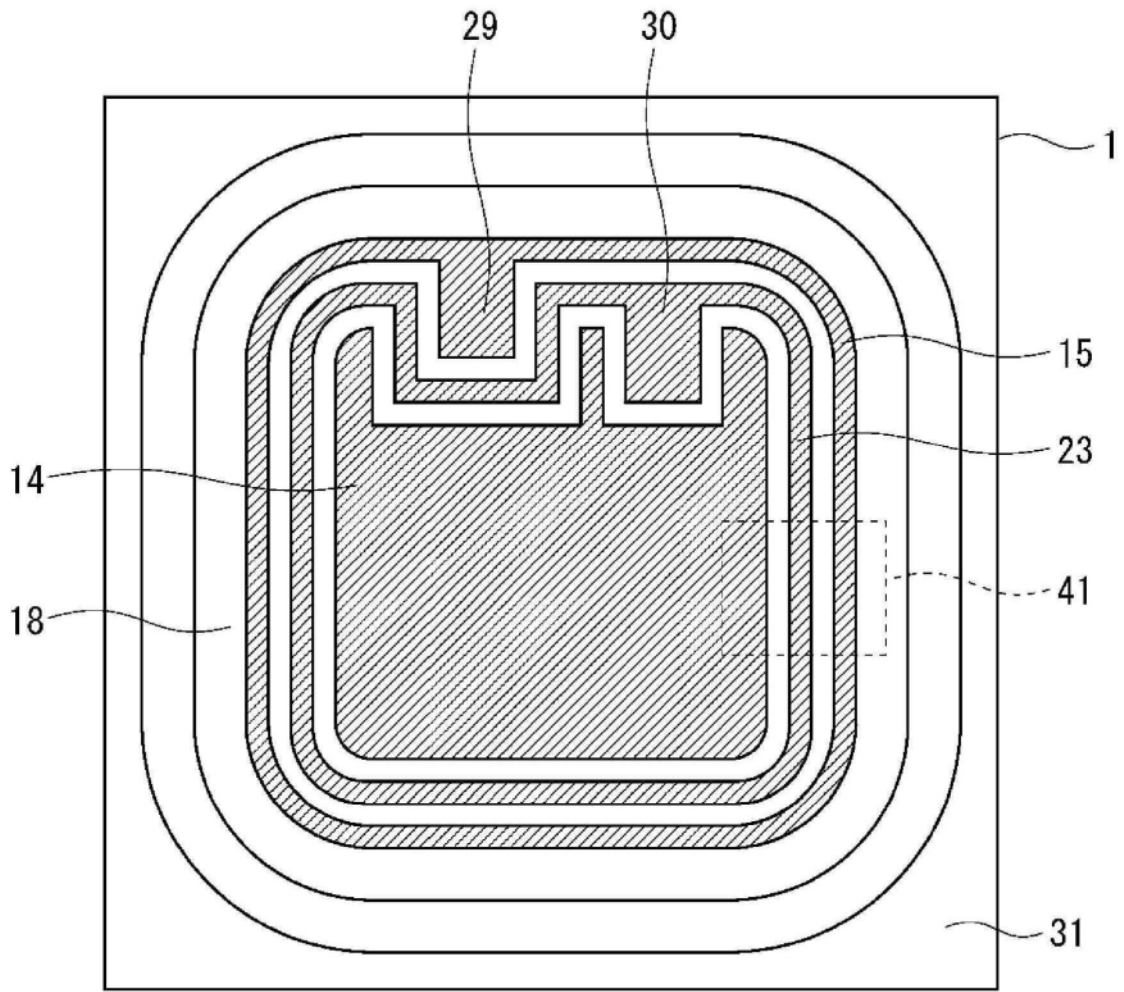


图38

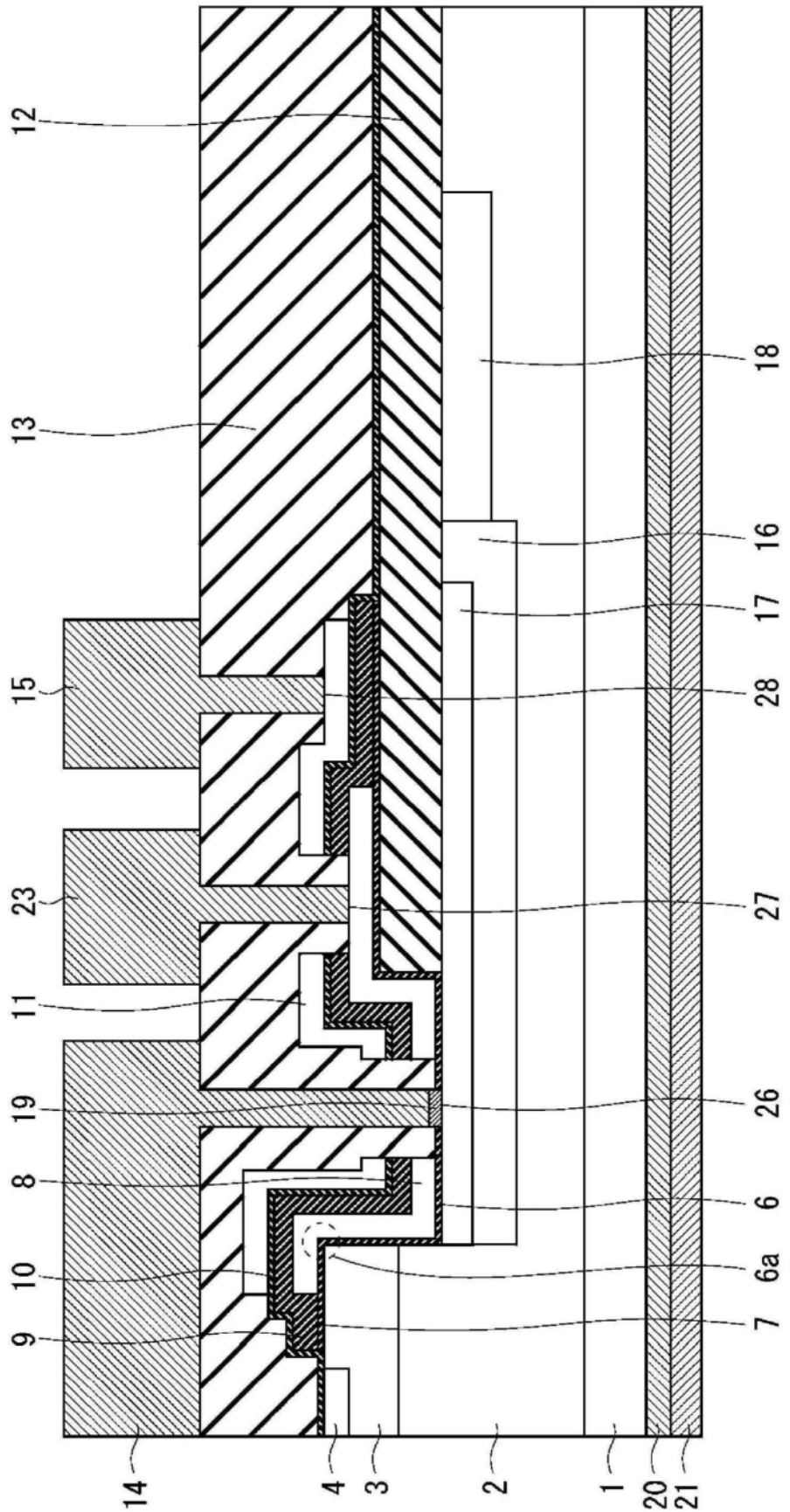


图40

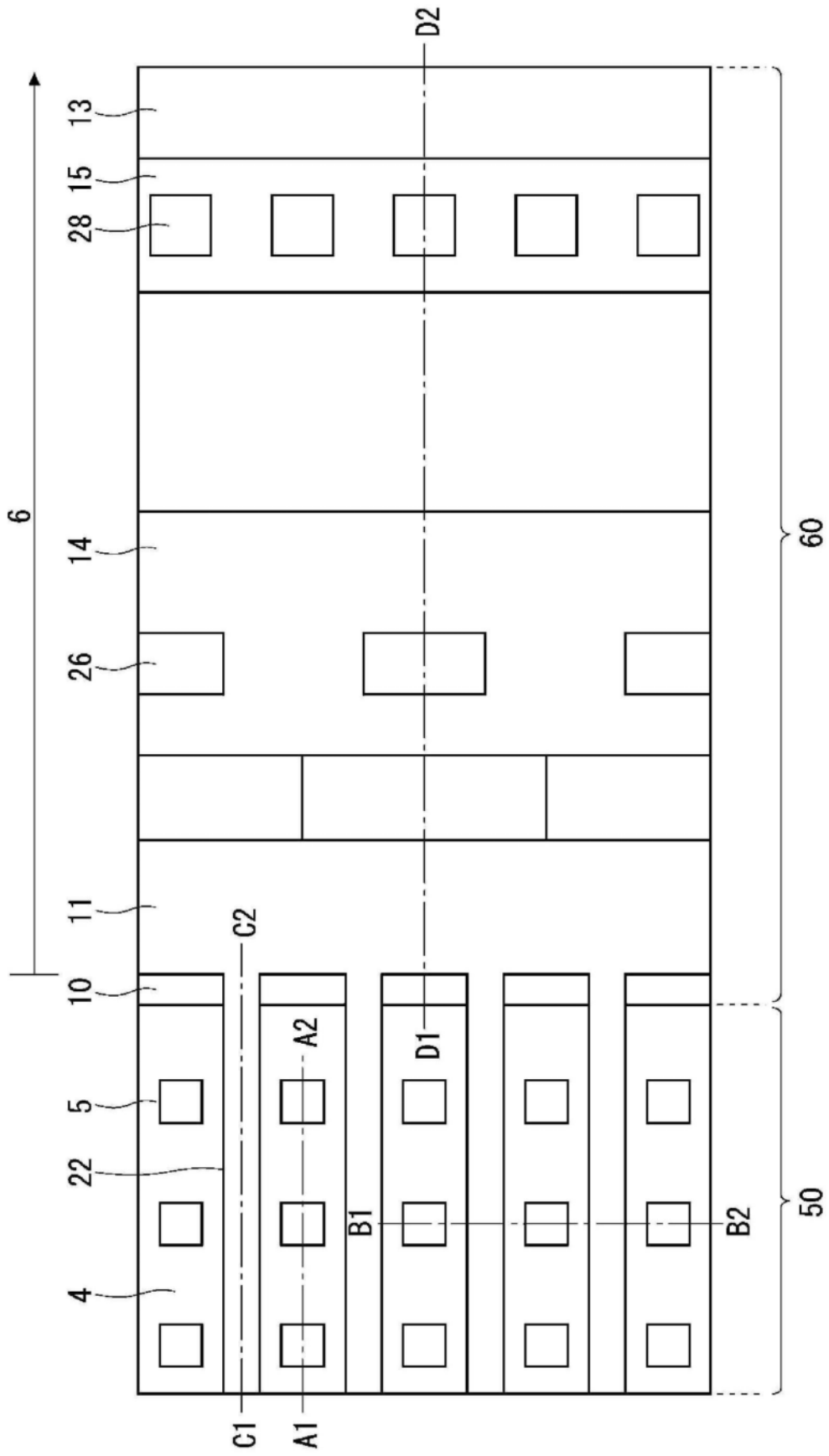


图41

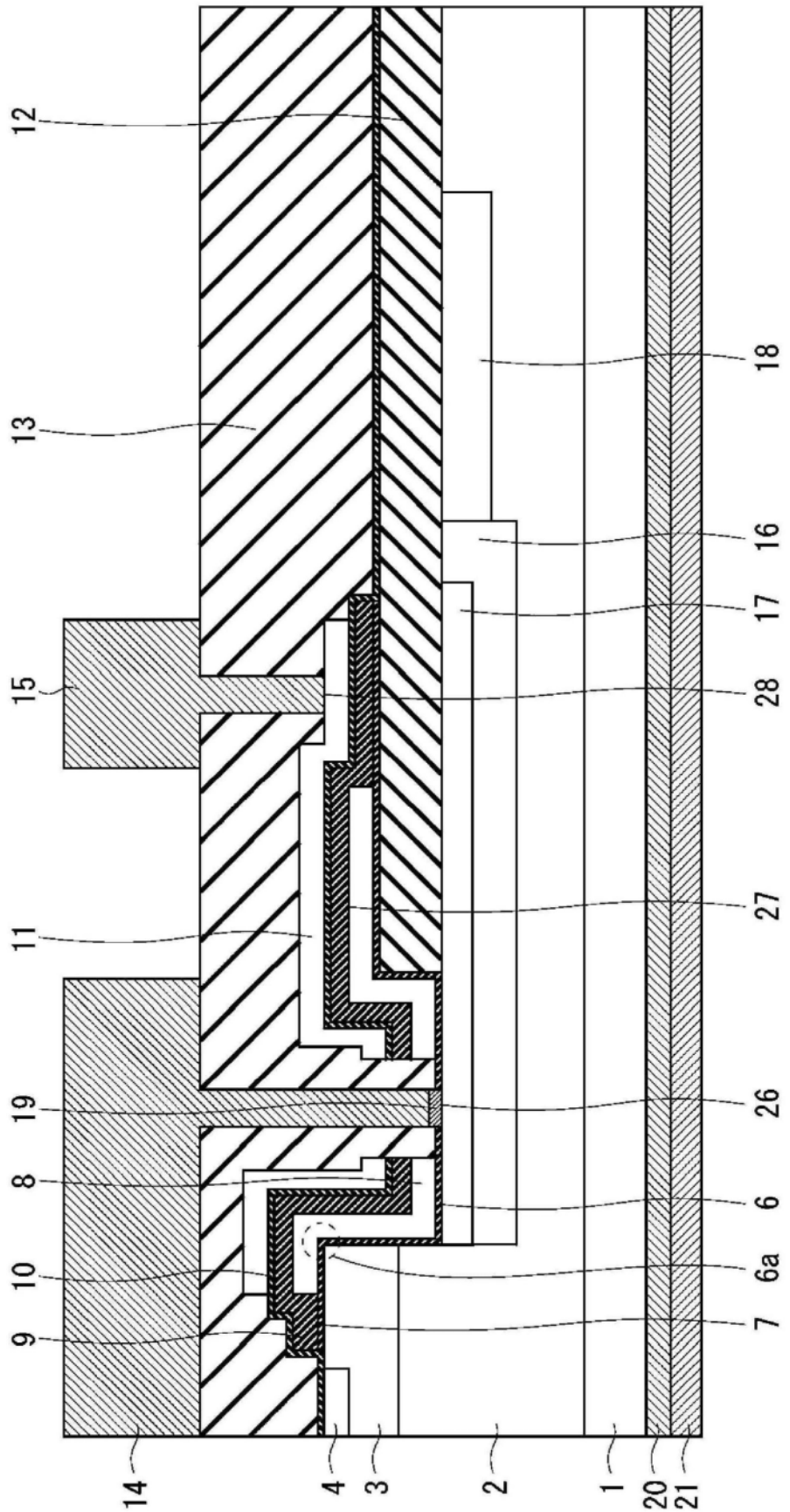


图42

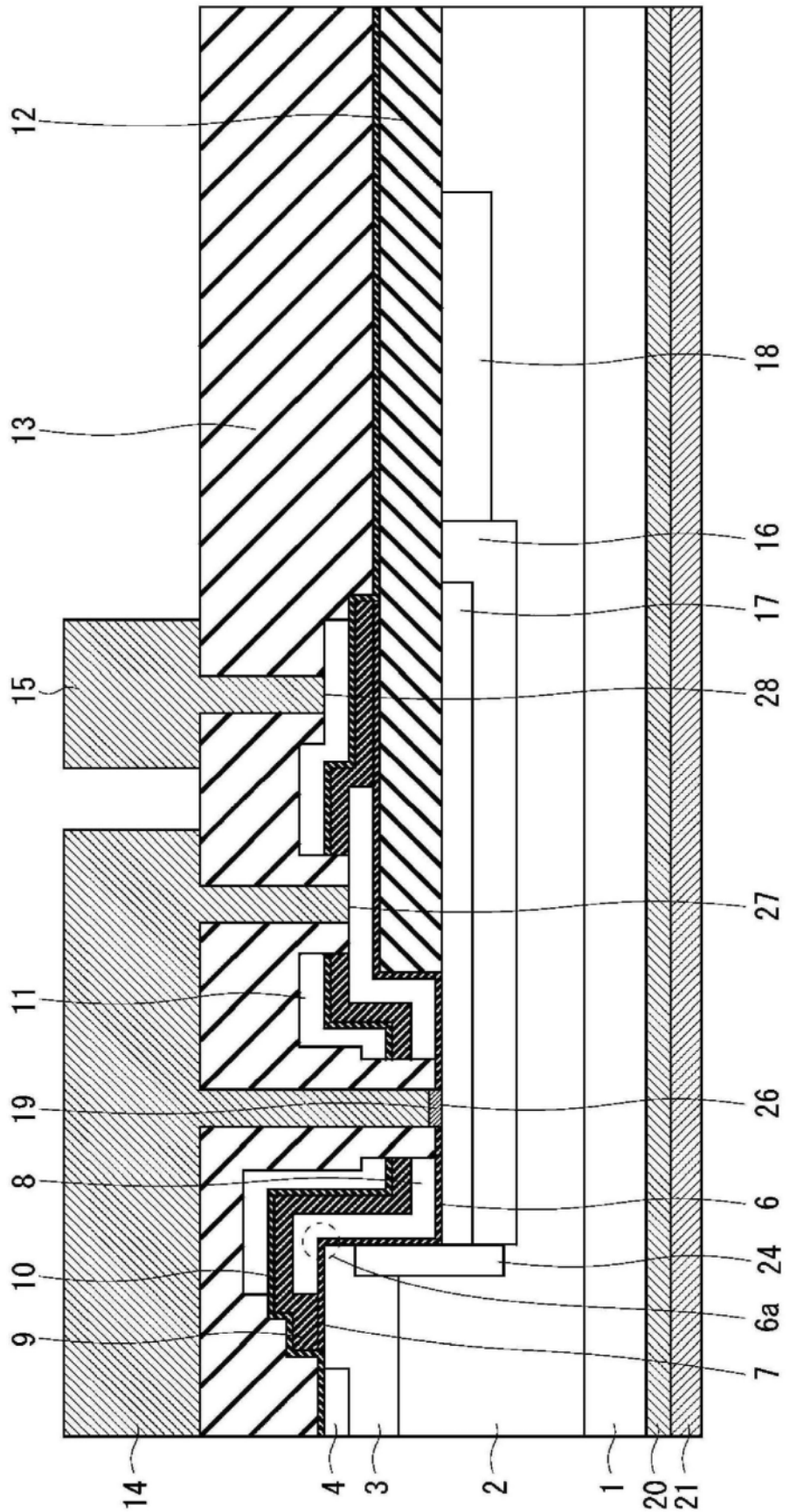


图43

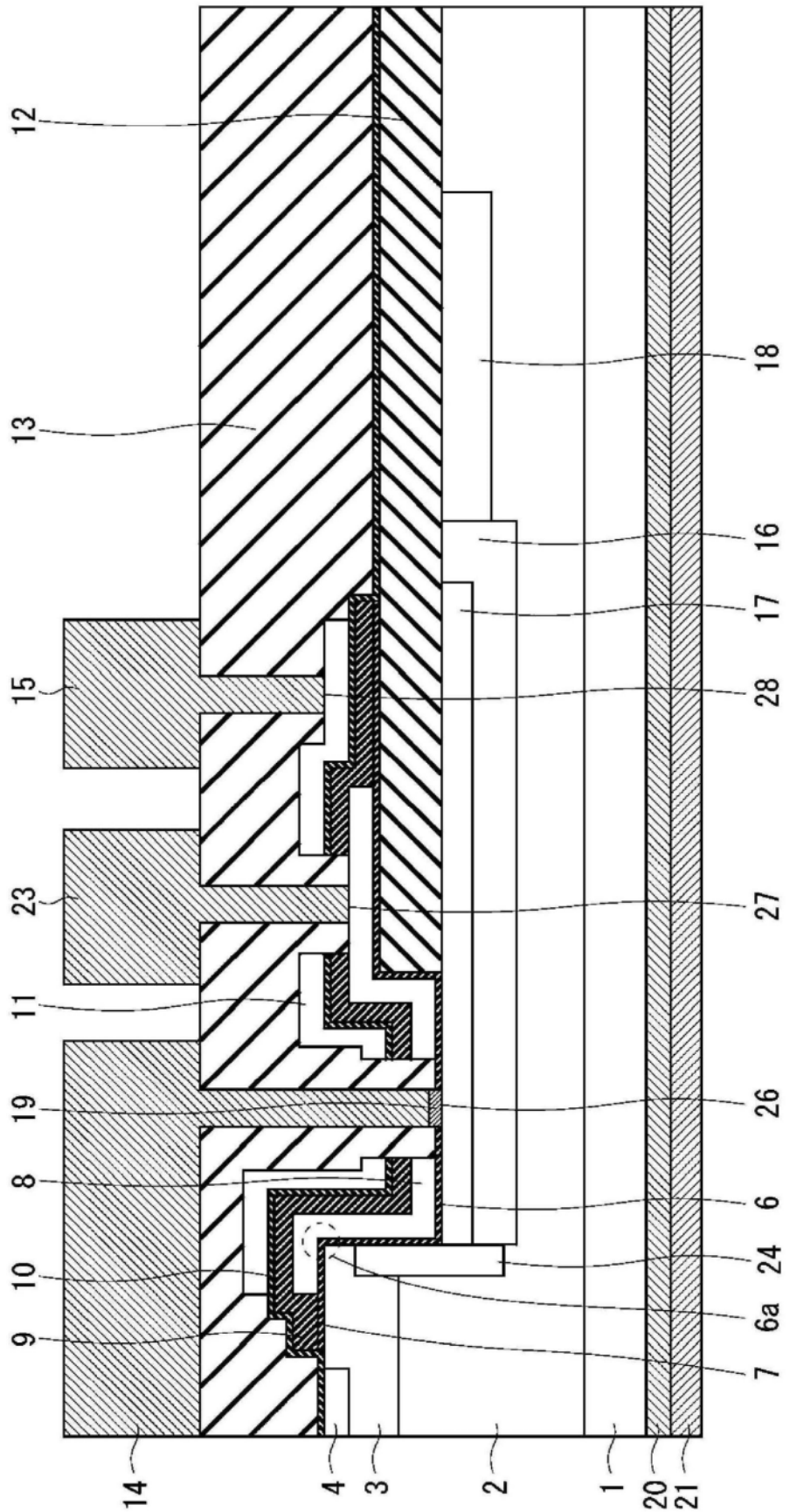


图44

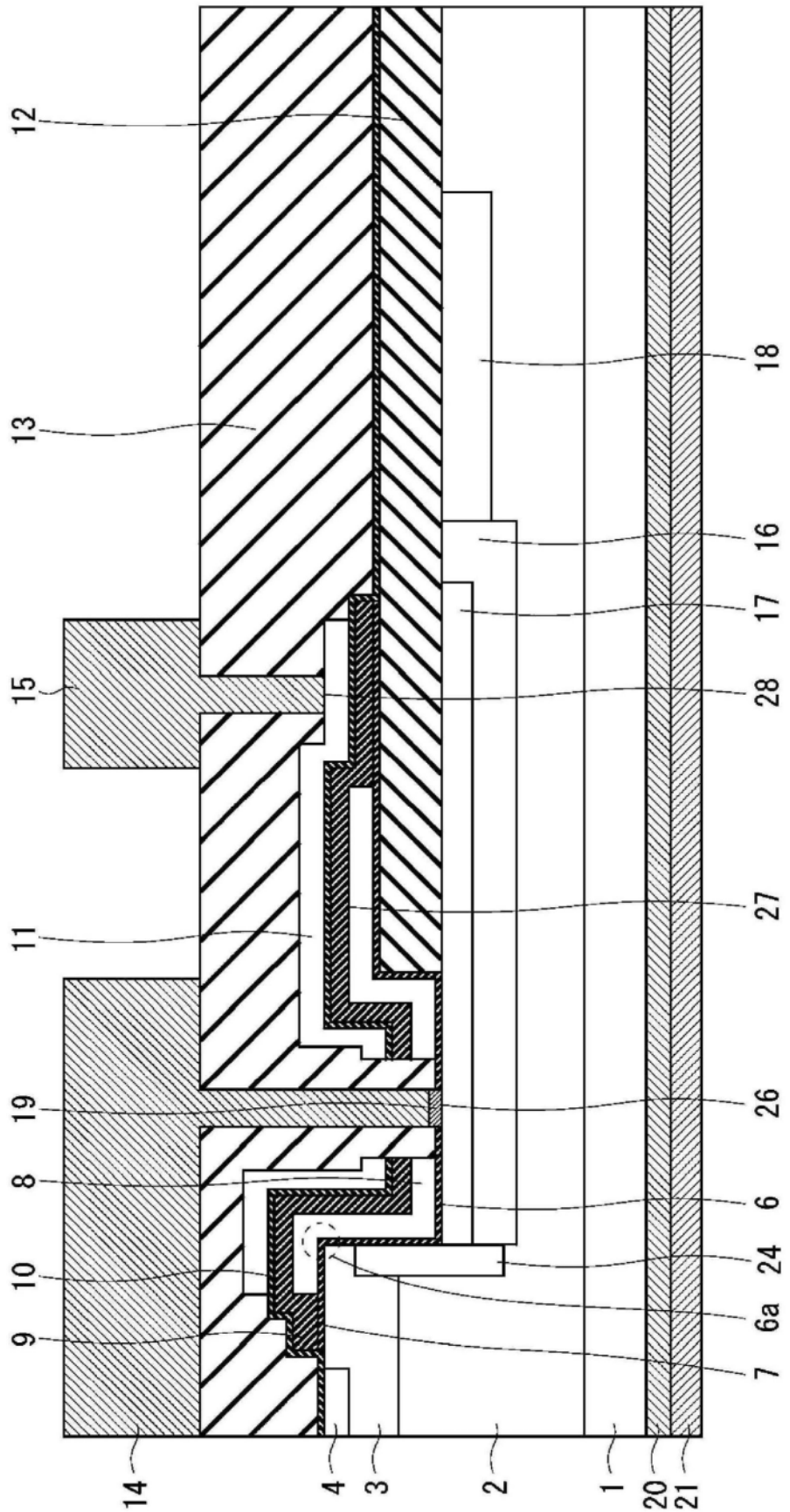


图45

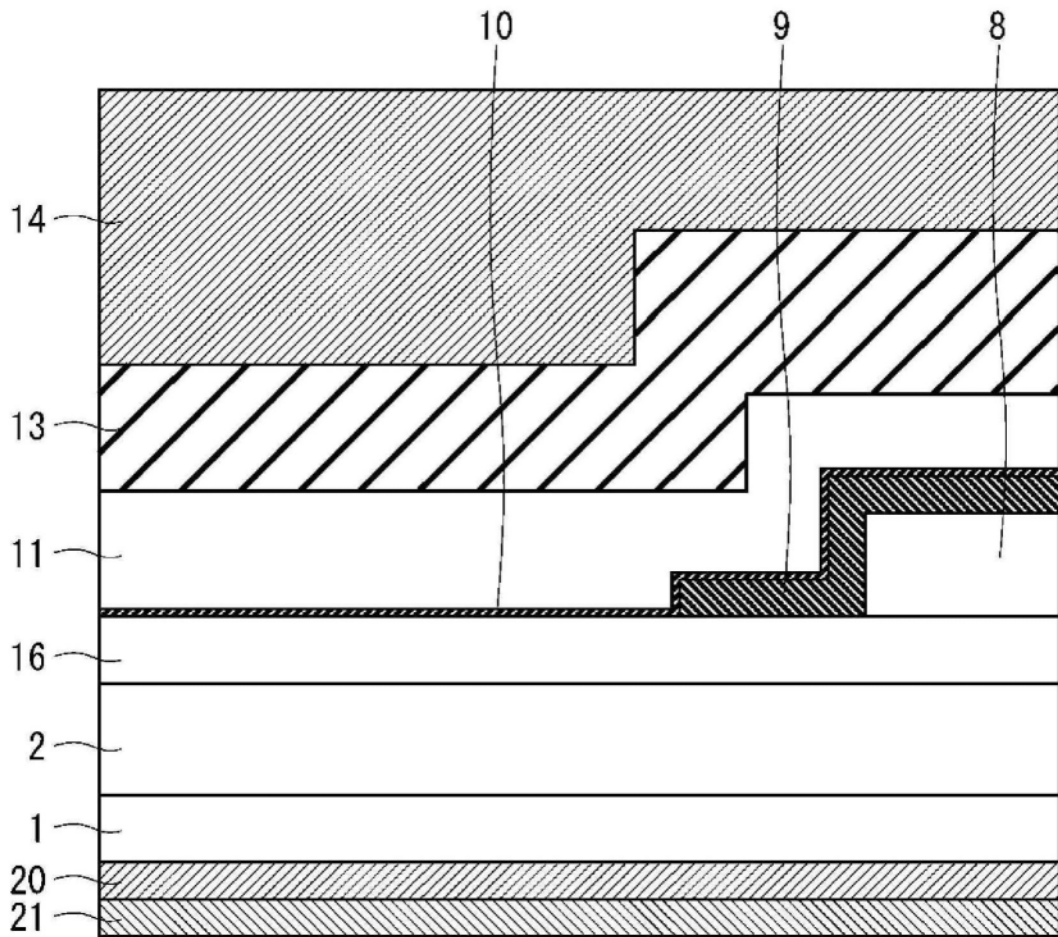


图46

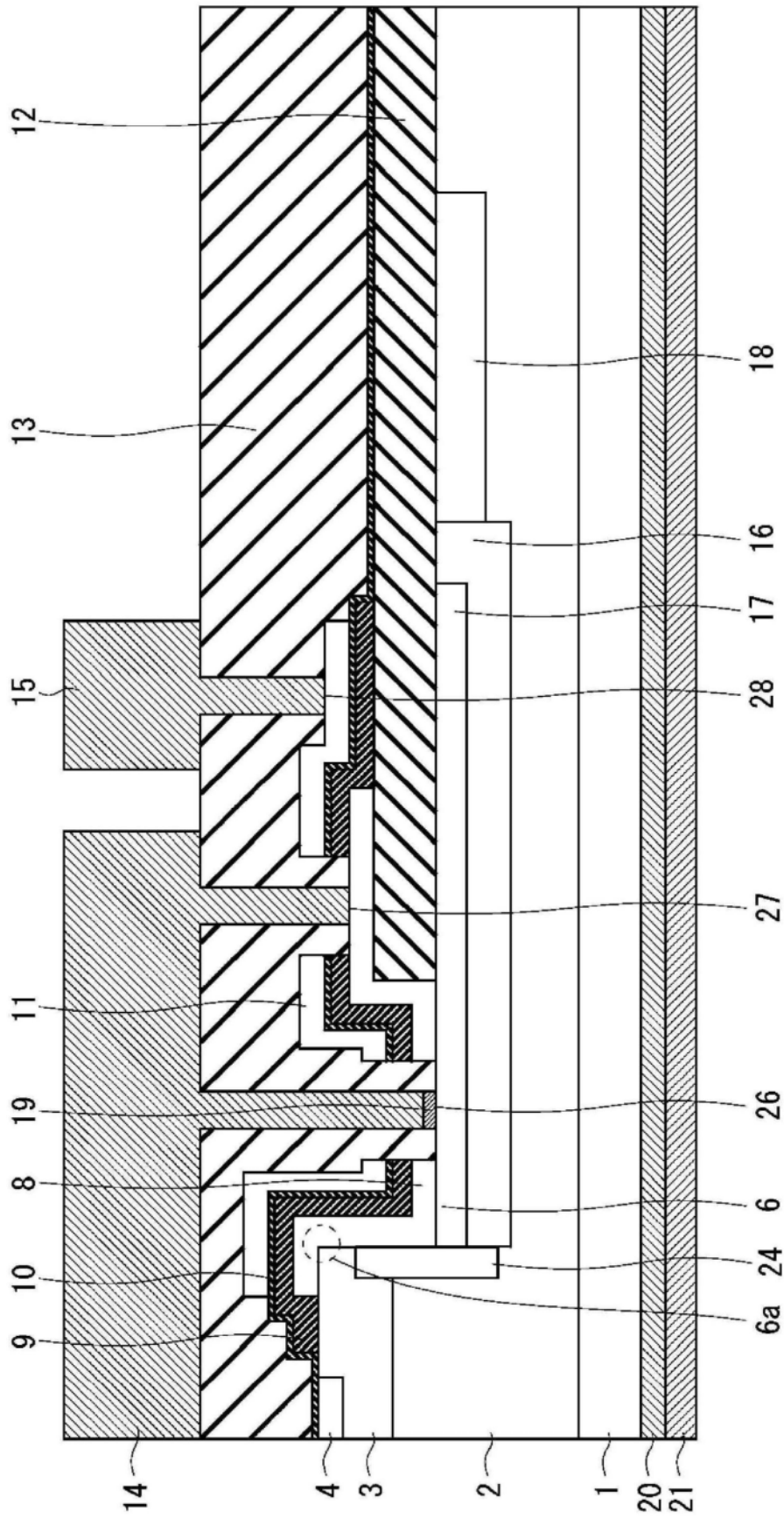


图47

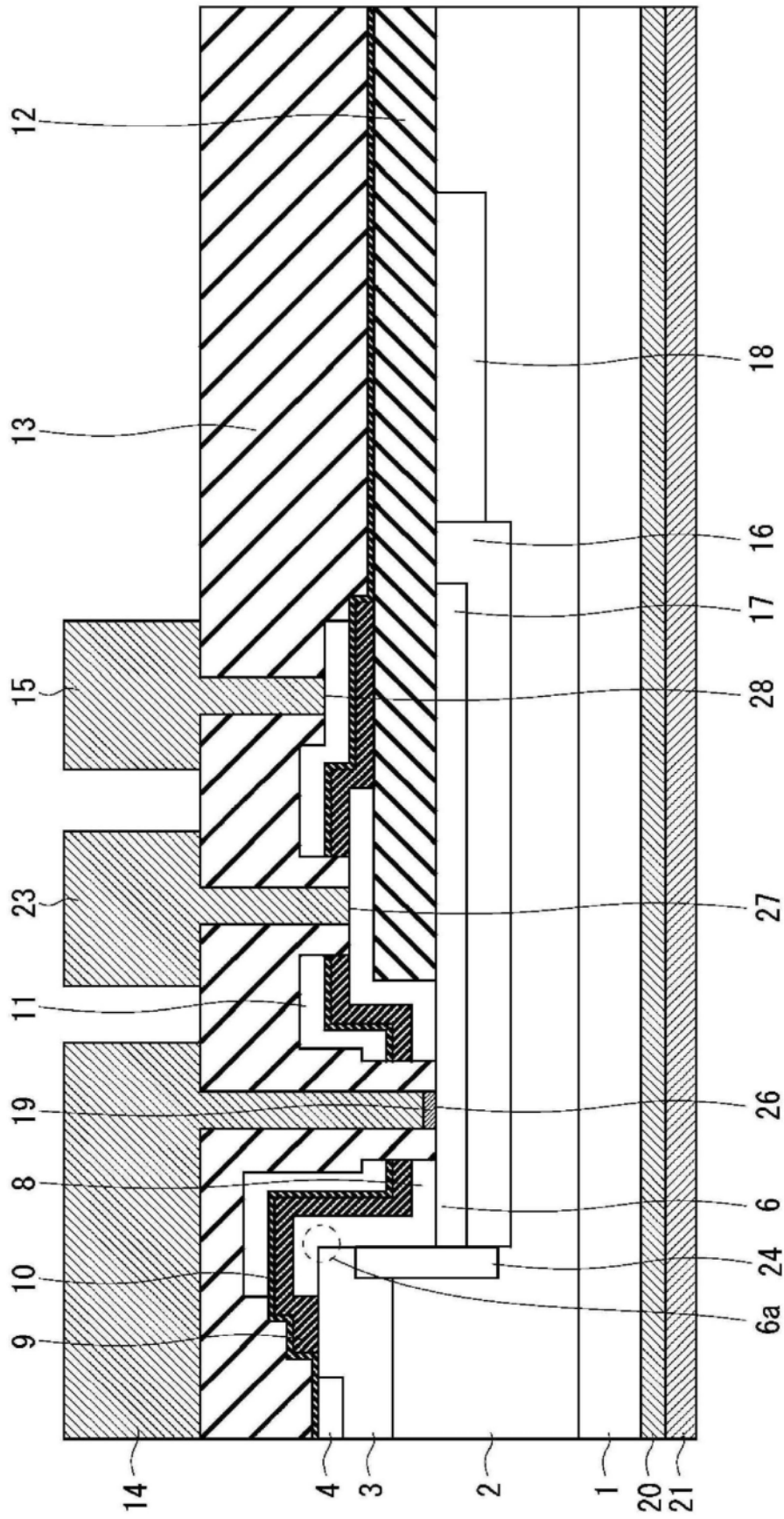


图48

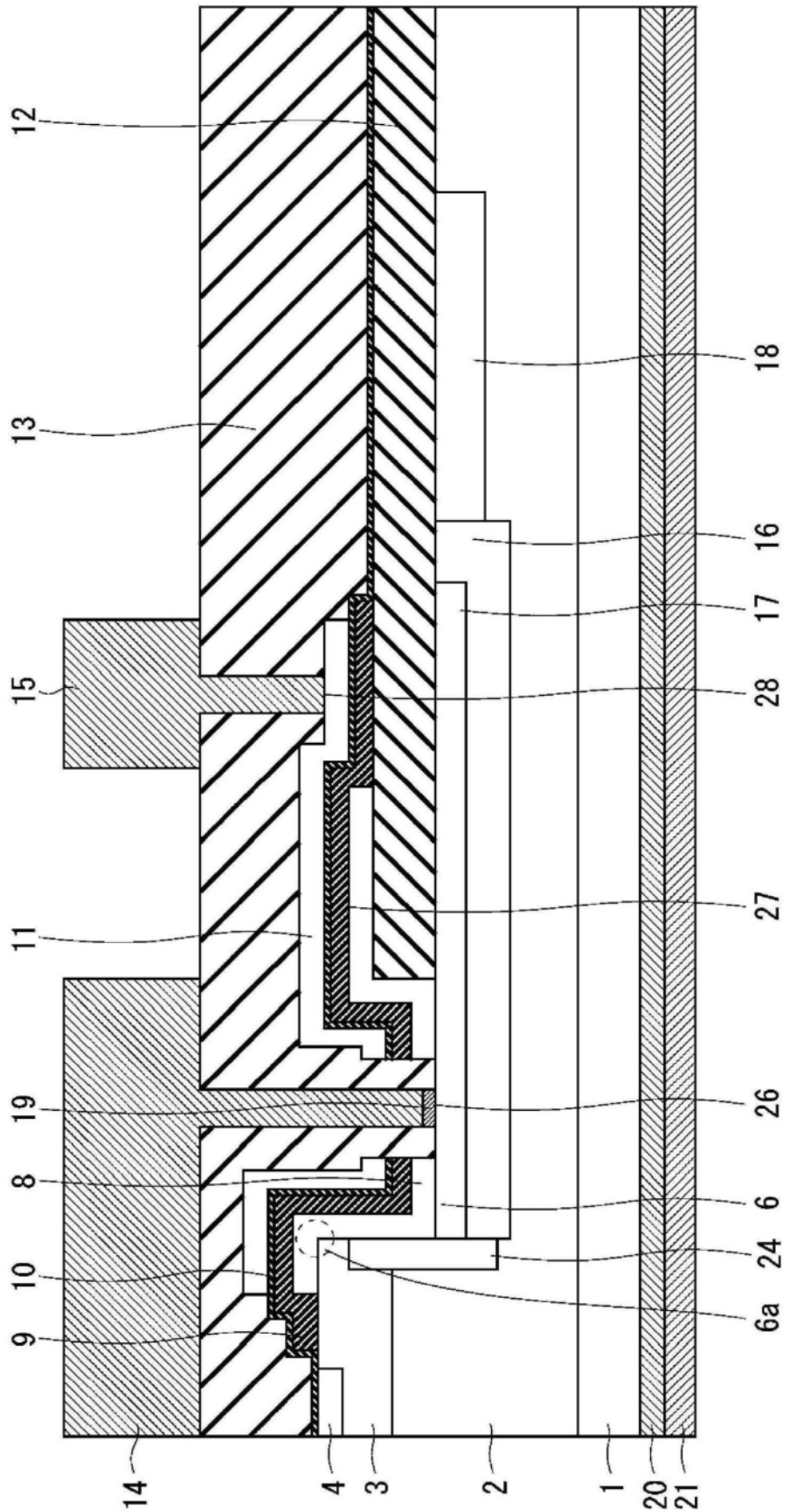


图49