



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0009716
(43) 공개일자 2009년01월23일

(51) Int. Cl.⁹

G02F 1/136 (2006.01) G02F 1/13 (2006.01)

(21) 출원번호 10-2008-0069408

(22) 출원일자 2008년07월17일

심사청구일자 없음

(30) 우선권주장

JP-P-2007-00190217 2007년07월20일 일본(JP)

(71) 출원인

가부시키가이샤 한도오파이 에네루기 켄큐쇼

일본국 가나가와켄 아쓰기시 하세 398

(72) 발명자

순페이 야마자키

일본, 243-0036, 카나가와-켄, 아쓰기-시, 하세, 398, 가부시키가이샤 한도오파이 에네루기 켄큐쇼 내

(74) 대리인

이범래

전체 청구항 수 : 총 18 항

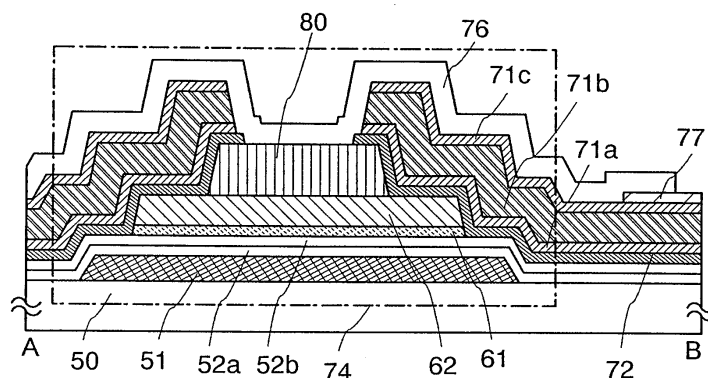
(54) 발광 장치

(57) 요약

본 발명은, 전기 특성 및 신뢰성이 높은 박막 트랜지스터를 가지는 발광 장치, 및 상기 발광 장치를 높은 양산성으로 제작하는 방법을 제안하는 것을 과제로 한다.

채널 스톱형의 역 스테거형 박막 트랜지스터를 가지는 발광 장치에 있어서, 상기 채널 스톱형의 역 스테거형 박막 트랜지스터는, 게이트 전극과, 게이트 전극 위에 게이트 절연막과, 게이트 절연막 위에 채널 형성 영역을 포함하는 미세결정 반도체막과, 미세결정 반도체 막 위에 버퍼층과, 버퍼층 위에 있어서 미세결정 반도체막의 채널 형성 영역과 겹치는 영역에 채널 보호층과, 채널 보호층 및 버퍼층 위에 소스 영역 및 드레인 영역과, 소스 영역 및 드레인 영역 위에 소스 전극 및 드레인 전극을 가진다.

대표도 - 도1



특허청구의 범위

청구항 1

발광 장치에 있어서,
 기관 위에 게이트 전극과;
 상기 게이트 전극 위에 형성되는 게이트 절연막과;
 상기 게이트 절연막 위에 형성되는 채널 형성 영역을 포함하는 미세결정 반도체막과;
 상기 미세결정 반도체막 위에 상기 미세결정 반도체막과 접하여 형성되는 버퍼층과;
 상기 버퍼층 위에 상기 버퍼층과 접하여 형성되고, 상기 채널 형성 영역과 겹치는 채널 보호층과;
 상기 채널 보호층과 상기 버퍼층 위에 형성되는 소스 영역과 드레인 영역과;
 상기 소스 영역과 상기 드레인 영역 위에 형성되는 소스 전극과 드레인 전극과;
 상기 소스 전극과 상기 드레인 전극의 어느 하나에 전기적으로 접속되는 화소 전극을 포함하는, 발광 장치.

청구항 2

제 1 항에 있어서,
 상기 버퍼층은 비정질 반도체막인, 발광 장치.

청구항 3

제 2 항에 있어서,
 상기 비정질 반도체막은 질소를 포함하는, 발광 장치.

청구항 4

제 2 항에 있어서,
 상기 비정질 반도체막은 수소를 포함하는, 발광 장치.

청구항 5

제 2 항에 있어서,
 상기 비정질 반도체막은 불소, 염소, 브롬, 혹은 요오드를 포함하는, 발광 장치.

청구항 6

제 2 항에 있어서,
 상기 비정질 반도체막은 총 농도가 $1 \times 10^{20} \text{ atoms/cm}^3$ 내지 $15 \times 10^{20} \text{ atoms/cm}^3$ 인 질소, 탄소, 산소를 포함하는, 발광 장치.

청구항 7

제 1 항에 있어서,
 상기 미세결정 반도체막의 단부들은 상기 게이트 전극의 단부들보다 내측에 위치하는, 발광 장치.

청구항 8

제 1 항에 있어서,
 상기 화소 전극과 겹치는 상기 소스 영역과 상기 드레인 영역의 면적은 상기 화소 전극과 겹치는 상기 소스 전극과 상기 드레인 전극의 면적보다 큰, 발광 장치.

청구항 9

제 1 항의 발광 장치를 포함하는 전자기기에 있어서,

상기 전자기기는 카메라, 고글형 디스플레이, 카 네비게이션 시스템, 프로젝터, 카 스테레오, 퍼스널 컴퓨터, 휴대 정보 단말들, 텔레비전 장치, 조명 기구로 이루어지는 그룹에서 선택되는 하나인, 발광 장치를 포함하는 전자기기.

청구항 10

발광 장치에 있어서,

기관 위의 화소부와 구동 회로에 있어서,

게이트 전극과;

상기 게이트 전극 위에 형성되는 제 1 절연막과;

상기 제 1 절연막 위에 형성되는 채널 형성 영역을 포함하는 미세결정 반도체막과;

상기 미세결정 반도체막 위에 상기 미세결정 반도체막과 접하여 형성되는 버퍼층과;

상기 버퍼층 위에 상기 버퍼층과 접하여 형성되고, 상기 채널 형성 영역과 겹치는 채널 보호층과;

상기 채널 보호층과 상기 버퍼층 위에 형성되는 소스 영역과 드레인 영역과;

상기 소스 영역과 상기 드레인 영역 위에 형성되는 소스 전극과 드레인 전극과;

상기 채널 보호층, 상기 소스 전극, 상기 드레인 전극 위에 형성되는 제 2 절연층을 포함하는 상기 화소부와 상기 구동 회로와;

상기 화소부의 상기 소스 전극과 상기 드레인 전극의 어느 하나와 전기적으로 접속되는 화소 전극과;

상기 화소 전극 위에 형성되는 격벽과;

상기 화소 전극과 상기 격벽 위에 형성되는 발광층과;

상기 발광층 위에 형성되는 공통 전극을 포함하는, 발광 장치.

청구항 11

제 10 항에 있어서,

상기 화소부와 상기 구동 회로의 버퍼층은 비정질 반도체막인, 발광 장치.

청구항 12

제 11 항에 있어서,

상기 비정질 반도체막은 질소를 포함하는, 발광 장치.

청구항 13

제 11 항에 있어서,

상기 비정질 반도체막은 수소를 포함하는, 발광 장치.

청구항 14

제 11 항에 있어서,

상기 비정질 반도체막은 불소, 염소, 브롬, 혹은 요오드를 포함하는, 발광 장치.

청구항 15

제 2 항에 있어서,

상기 비정질 반도체막은 총 농도가 $1 \times 10^{20} \text{ atoms/cm}^3$ 내지 $15 \times 10^{20} \text{ atoms/cm}^3$ 인 질소, 탄소, 산소를 포함하는, 발광 장치.

청구항 16

제 10 항에 있어서,

상기 화소부와 상기 구동 회로의 상기 미세결정 반도체막의 단부들은 상기 화소부와 상기 구동 회로의 상기 게이트 전극의 단부들보다 내측에 위치하는, 발광 장치.

청구항 17

제 10 항에 있어서,

상기 화소 전극과 겹치는 상기 화소부의 상기 소스 영역과 상기 드레인 영역의 면적은 상기 화소 전극과 겹치는 상기 화소부의 상기 소스 전극과 상기 드레인 전극의 면적보다 큰, 발광 장치.

청구항 18

제 10 항의 발광 장치를 포함하는 전자기기에 있어서,

상기 전자기기는 카메라, 고글형 디스플레이, 카 네비게이션 시스템, 프로젝터, 카 스테레오, 퍼스널 컴퓨터, 휴대 정보 단말들, 텔레비전 장치, 조명 기구로 이루어지는 그룹에서 선택되는 하나인, 발광 장치를 포함하는, 전자기기.

명세서

발명의 상세한 설명

기술 분야

- <1> 본 발명은, 적어도 화소부에 박막 트랜지스터를 사용한 발광 장치에 관한 것이다.

배경 기술

- <2> 근년에 들어, 절연 표면을 가지는 기관 위에 형성된 반도체 박막(두께 수nm 내지 수백nm 정도)을 사용하여 박막 트랜지스터를 구성하는 기술이 주목을 받고 있다. 박막 트랜지스터는 IC나 전기 광학 장치와 같은 전자 디바이스에 널리 응용되고, 특히 화상 표시 장치의 스위칭 소자로서 개발이 시급하다.
- <3> 또한, 화상 표시 장치의 스위칭 소자로서, 비정질 반도체막을 사용한 박막 트랜지스터, 혹은 다결정 반도체막을 사용한 박막 트랜지스터 등이 사용된다. 다결정 반도체막의 형성 방법으로는, 펄스 발진의 엑시머 레이저 빔을 광학계에 의하여 선형으로 가공하여, 비정질 반도체막에 대하여 선형 빔을 조사하면서 조사하여 결정화하는 기술이 알려져 있다.
- <4> 또한, 화상 표시 장치의 스위칭 소자로서, 미세결정 반도체막을 사용한 박막 트랜지스터가 사용된다(특허문헌 1 및 특허문헌 2 참조).
- <5> 종래의 박막 트랜지스터의 제작 방법으로서, 게이트 절연막 위에 비정질 실리콘막을 형성한 후, 그 상면에 금속막을 형성하고, 상기 금속막에 다이오드 레이저를 조사함으로써, 비정질 실리콘막을 미세결정 실리콘막으로 개질시키는 방법이 알려져 있다(예를 들어, 비특허문헌 1 참조). 이 방법에 따르면, 비정질 실리콘막 위에 형성한 금속막은, 다이오드 레이저의 광 에너지를 열 에너지로 변환하기 위한 것이며, 박막 트랜지스터를 완성하기 위하여는 그 후 제거되어야 하는 것이었다. 즉, 금속막으로부터의 전도 가열에 의하여만 비정질 반도체막이 가열되어, 미세결정 반도체막을 형성하는 방법이다.
- <6> [특허문헌 1] 특개평4-242724호 공보
- <7> [특허문헌 2] 특개2005-49832호 공보
- <8> [비특허문헌 1] 토시아키 아라이(Toshiaki Arai) 외, 에스 아이 디 07 다이제스트(SID 07 DIGEST), 2007, 1370 페이지 내지 1373페이지

발명의 내용

해결 하고자하는 과제

- <9> 다결정 반도체막을 사용한 박막 트랜지스터는, 비정질 반도체막을 사용한 박막 트랜지스터와 비교하여 이동도가 2 자릿수 이상 높고, 표시 장치의 화소부와 그 주변의 구동 회로를 동일 기판 위에 일체 형성할 수 있는 이점을 가진다. 그러나, 비정질 반도체막을 사용한 경우와 비교하여, 반도체막의 결정화를 위하여 공정이 복잡화되므로, 그만큼 수율이 저감되고, 비용이 올라가는 문제가 있다.
- <10> 상술한 문제를 감안하여, 본 발명은, 전기 특성이 높고 신뢰성이 좋은 박막 트랜지스터를 가지는 발광 장치를 제안하는 것을 과제의 하나로 한다.

과제 해결수단

- <11> 미세결정 반도체막을 채널 형성 영역으로 하는 채널 스톱 구조의 역 스테거형 박막 트랜지스터를 가지는 발광 장치에 있어서, 역 스테거형 박막 트랜지스터는, 게이트 전극 위에 게이트 절연막이 형성되고, 게이트 절연막 위에 채널 형성 영역으로서 기능하는 미세결정 반도체막(세미 비정질 반도체막이라고도 함)이 형성되고, 미세결정 반도체막 위에 버퍼층이 형성되고, 버퍼층 위에 있어서 미세결정 반도체막의 채널 형성 영역과 겹치는 영역에 채널 보호층과, 채널 보호층 및 버퍼층 위에 한 쌍의 소스 영역 및 드레인 영역이 형성되고, 소스 영역 및 드레인 영역에 접하는 한 쌍의 소스 전극 및 드레인 전극이 형성된다.
- <12> 미세결정 반도체막의 채널 형성 영역 위에 버퍼층을 통하여 채널 보호층(단순히 보호층이라고도 함)을 형성하는 구조이므로, 미세결정 반도체막의 채널 형성 영역 위의 버퍼층에 대한 공정시에 있어서의 대미지(에칭시의 플라즈마, 에칭제(劑)로 인한 막의 감소, 산화 등)를 방지할 수 있다. 따라서, 박막 트랜지스터의 신뢰성을 향상시킬 수 있다. 또한, 미세결정 반도체막의 채널 형성 영역 위의 버퍼층이 에칭되지 않으므로, 버퍼층의 막 두께를 두껍게 형성할 필요가 없어 성막 시간을 단축할 수 있다. 또한, 채널 보호층은 소스 영역 및 드레인 영역을 형성하는 에칭 공정에 있어서 에칭 스톱퍼로서 기능하므로 채널 스톱퍼층이라고도 할 수 있다.
- <13> 버퍼층으로서는, 비정질 반도체막이 있고, 또한, 질소, 수소, 혹은 할로겐 중의 어느 하나 이상을 포함하는 비정질 반도체막인 것이 바람직하다. 비정질 반도체막에, 질소, 수소, 혹은 할로겐 중의 어느 하나를 포함함으로써, 미세결정 반도체막에 포함되는 결정이 산화되는 것을 저감할 수 있다. 미세결정 반도체막의 에너지 갭이 1.1eV 내지 1.5eV인 것에 비하여, 버퍼층은 에너지 갭이 1.6eV 내지 1.8eV로 크고, 이동도가 작다. 버퍼층의 이동도는 대표적으로는 미세결정 반도체막의 1/5 내지 1/10이다. 따라서, 채널 형성 영역은 미세결정 반도체막이며, 버퍼층은 고(高)저항 영역이다. 또한, 미세결정 반도체막에 포함되는 탄소, 질소, 산소의 각각의 농도는, $3 \times 10^{19} \text{ atoms/cm}^3$ 이하, 바람직하게는 $5 \times 10^{18} \text{ atoms/cm}^3$ 이하로 한다. 미세결정 반도체막의 막 두께는, 2nm 내지 50nm(바람직하게는 10nm 내지 30nm)로 하면 좋다.
- <14> 버퍼층은, 플라즈마 CVD법, 스퍼터링법 등으로 형성할 수 있다. 또한, 비정질 반도체막을 형성한 후, 비정질 반도체막의 표면을 질소 플라즈마, 수소 플라즈마, 혹은 할로겐 플라즈마로 처리하여 비정질 반도체막의 표면을 질소화, 수소화 혹은 할로겐화할 수 있다.
- <15> 버퍼층을 미세결정 반도체막의 표면에 형성함으로써, 미세결정 반도체막에 포함되는 결정립의 산화를 저감할 수 있으므로, 박막 트랜지스터의 전기 특성의 열화를 저감할 수 있다.
- <16> 미세결정 반도체막은, 다결정 반도체막과 달리, 미세결정 반도체막으로서 직접 기판 위에 형성할 수 있다. 구체적으로는, 수소화 실리콘을 원료 가스로 하여, 주파수가 1GHz 이상인 마이크로파 플라즈마 CVD 장치를 사용하여 형성할 수 있다. 상기 방법을 사용하여 제작된 미세결정 반도체막은, 0.5nm 내지 20nm의 결정립을 비정질 반도체 중에 포함하는 미세결정 반도체막도 포함한다. 따라서, 다결정 반도체막을 사용하는 경우와 달리, 반도체막을 형성한 후에 결정화 공정을 마련할 필요가 없다. 박막 트랜지스터의 제작에 있어서의 공정수를 삭감할 수 있으므로, 발광 장치의 수율을 높이고, 비용을 억제할 수 있다. 또한, 주파수가 1GHz 이상의 마이크로파를 사용한 플라즈마는 전자 밀도가 높고, 원료 가스인 수소화 실리콘의 해리가 용이하게 된다. 따라서, 주파수가 수십MHz 내지 수백MHz인 고주파 플라즈마 CVD법과 비교하여, 미세결정 반도체막을 용이하게 제작할 수 있고, 성막 속도를 높일 수 있다. 따라서, 발광 장치의 양산성을 높일 수 있다.
- <17> 또한, 미세결정 반도체막을 사용하여, 박막 트랜지스터(TFT)를 제작하고, 상기 박막 트랜지스터를 화소부, 또한 구동 회로에 사용하여 발광 장치를 제작한다. 미세결정 반도체막을 사용한 박막 트랜지스터는, 그 이동도가

$1\text{cm}^2/\text{V} \cdot \text{sec}$ 내지 $20\text{cm}^2/\text{V} \cdot \text{sec}$ 로, 비정질 반도체막을 사용한 박막 트랜지스터의 2 배 내지 20 배의 이동도를 가지므로, 구동 회로의 일부 혹은 전체를, 화소부와 동일 기판 위에 일체 형성함으로써, 시스템 온 패널(system on panel)을 형성할 수 있다.

- <18> 게이트 절연막, 미세결정 반도체막, 버퍼층, 채널 보호층, 소스 영역 및 드레인 영역을 형성하는 일 도전형을 부여하는 불순물이 첨가된 반도체막을 형성하는 반응실은, 동일 반응실을 사용하여 행하여도 좋고, 막의 종류마다 다른 반응실에서 행하여도 좋다.
- <19> 반응실은 기판을 반입하여 성막하기 전에, 클리닝, 플러싱(세정) 처리(수소를 플러싱 물질로서 사용한 수소 플러싱, 실란을 플러싱 물질로서 사용한 실란 플러싱 등), 각 반응실의 내벽을 보호막으로 코팅(프리 코팅 처리라고도 함)을 행하면 바람직하다. 프리 코팅 처리는 반응실 내에 성막 가스를 흘리고 플라즈마 처리함으로써, 미리 반응실 안쪽을 형성하는 막의 보호막에 의하여 얇게 덮는 처리이다. 플러싱 처리, 프리 코팅 처리함으로써, 반응실의 산소, 질소, 불소 등의 불순물로 인한 형성하는 막에 대한 오염을 방지할 수 있다.
- <20> 본 발명의 발광 장치의 하나는, 게이트 전극과, 게이트 전극 위에 게이트 절연막과, 게이트 절연막 위에 채널 형성 영역을 포함하는 미세결정 반도체막과, 미세결정 반도체막 위에 버퍼층과, 버퍼층 위에 있어서 미세결정 반도체막의 채널 형성 영역과 겹치는 영역에 채널 보호층과, 채널 보호층 및 버퍼층 위에 소스 영역 및 드레인 영역과, 소스 영역 및 드레인 영역 위에 소스 전극 및 드레인 전극을 가진다.
- <21> 본 발명의 발광 장치의 하나는, 게이트 전극과, 게이트 전극 위에 게이트 절연막과, 게이트 절연막 위에 채널 형성 영역을 포함하는 미세결정 반도체막과, 미세결정 반도체막 위에 버퍼층과, 버퍼층 위에 있어서 미세결정 반도체막의 채널 형성 영역과 겹치는 영역에 채널 보호층과, 채널 보호층 및 버퍼층 위에 소스 영역 및 드레인 영역과, 소스 영역 및 드레인 영역 위에 소스 전극 및 드레인 전극과, 채널 보호층의 일부, 소스 전극, 및 드레인 전극을 덮는 절연막을 가진다.
- <22> 상기 구성에 있어서, 채널 스톱형 박막 트랜지스터의 소스 전극 혹은 드레인 전극과 전기적으로 접속하는 화소 전극을 형성하고, 화소 전극을 통하여 발광 소자와 박막 트랜지스터를 전기적으로 접속한다.
- <23> 또한, 발광 장치는 발광 소자를 포함한다. 발광 소자는, 전류 혹은 전압에 의하여 휘도가 제어되는 소자를 그 범주에 포함하고, 구체적으로는 무기 EL(Electro Luminescence), 유기 EL 등이 포함된다. 또한, 전자 잉크 등, 전기적 작용에 의하여 콘트라스트가 변화하는 표시 매체도 적용할 수 있다.
- <24> 또한, 발광 장치는, 발광 소자가 밀봉된 상태인 패널과, 상기 패널에 컨트롤러를 포함하는 IC 등을 실장한 상태인 모듈을 포함한다. 또한, 본 발명은, 상기 발광 장치를 제작하는 과정에 있어서의, 발광 소자가 완성되기 전의 일 형태에 상당하는 소자 기판에 관하여, 상기 소자 기판은, 전류를 발광 소자에 공급하기 위한 수단을 복수의 각 화소에 구비한다. 발광 기판은, 구체적으로는, 발광 소자의 화소 전극만이 형성된 상태라도 좋고, 화소 전극이 되는 도전막을 형성한 후이며, 에칭하여 화소 전극을 형성하기 전의 상태라도 좋고, 모든 형태가 적합하다.
- <25> 또한, 본 명세서 중에 있어서의 발광 장치란, 화상 표시 디바이스, 표시 디바이스, 혹은 광원(조명 장치를 포함함)을 가리킨다. 또한, 커넥터, 예를 들어, FPC(Flexible printed circuit) 혹은 TAB(Tape Automated Bonding) 테이프 혹은 TCP(Tape Carrier Package)가 장착된 모듈, TAB 테이프나 TCP의 선단에 프린트 배선판이 설치된 모듈, 혹은 표시 소자에 COG(Chip On Glass) 방식에 의하여 IC(집적 회로)가 직접 실장된 모듈도 모두 발광 장치에 포함하는 것으로 한다.

효 과

- <26> 본 발명에 의하여, 전기 특성이 높고 신뢰성이 좋은 박막 트랜지스터를 가지는 발광 장치를 제공할 수 있다.

발명의 실시를 위한 구체적인 내용

- <27> 본 발명의 실시형태에 대하여, 도면을 사용하여 자세히 설명한다. 다만, 본 발명은 이하의 설명에 한정되지 않고, 본 발명의 형태 및 상세한 사항은 본 발명의 취지 및 범위에서 벗어남이 없이 다양하게 변경될 수 있다는 것은 당업자라면 용이하게 이해할 수 있다. 따라서, 본 발명이 하기 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다. 또한, 이하에 설명하는 본 발명의 구성에 있어서, 동일 부분 혹은 동일 기능을 가지는 부분에는 동일한 부호를 다른 도면간에서 공통적으로 사용하고, 그 반복 설명은 생략한다.

- <28> (실시형태 1)
- <29> 본 실시형태에서는, 발광 장치에 사용되는 박막 트랜지스터 및 그 제작 공정에 대하여, 도 1 내지 도 4d를 사용하여 설명한다. 도 1 내지 도 3c는, 박막 트랜지스터, 및 그 제작 공정을 도시하는 단면도이고, 도 4a 내지 도 4d는 하나의 화소에 있어서의 박막 트랜지스터 및 화소 전극의 접속 영역의 평면도이다. 도 1 내지 도 3c는, 도 4a 내지 도 4d에 있어서의 선 A-B의 박막 트랜지스터 및 그 제작 공정을 도시하는 단면도이다.
- <30> 미세결정 반도체막을 가지는 박막 트랜지스터는, p형보다 n형이 이동도가 높으므로 구동 회로에 사용하는 데에 적합하지만, 본 발명에서는, 박막 트랜지스터는 n형과 p형의 어느 쪽이라도 좋다. 어느 극성의 박막 트랜지스터를 사용하는 경우라도, 동일 기판 위에 형성하는 박막 트랜지스터를 모두 같은 극성으로 일치시키는 것이, 공정수를 억제하기 위해서도 바람직하다. 여기서는, n채널형 박막 트랜지스터를 사용하여 설명한다.
- <31> 본 실시형태의 보텀 게이트 형 구조의 채널 스톱형(채널 보호형이라고도 함) 박막 트랜지스터(74)를 도 1에 도시한다.
- <32> 도 1에 있어서, 기판(50) 위에, 게이트 전극(51), 게이트 절연막(52a, 52b), 미세결정 반도체막(61), 버퍼층(62), 채널 보호층(80), 소스 영역 및 드레인 영역(72), 소스 전극 및 드레인 전극(71a, 71b, 71c)을 포함하는 채널 스톱형 박막 트랜지스터(74)가 형성되고, 소스 전극 및 드레인 전극(71c)에 접하여 화소 전극(77)이 형성된다. 박막 트랜지스터(74) 및 화소 전극(77)의 일부를 덮도록 절연막(76)이 형성된다. 또한, 도 1은, 도 4d에 대응한다.
- <33> 미세결정 반도체막(61)의 채널 형성 영역 위에 버퍼층(62)을 통하여 채널 보호층(80)을 형성하는 구조이므로, 미세결정 반도체막(61)의 채널 형성 영역 위의 버퍼층(62)에 대한 공정시에 있어서의 대미지(에칭시의 플라즈마나 에칭제로 인한 막 감소나, 산화 등)를 방지할 수 있다. 따라서, 박막 트랜지스터(74)의 신뢰성을 향상시킬 수 있다. 또한, 미세결정 반도체막(61)의 채널 형성 영역 위의 버퍼층(62)이 에칭되지 않으므로, 버퍼층(62)의 막 두께를 두껍게 형성할 필요가 없어 성막 시간을 단축할 수 있다.
- <34> 또한, 미세결정 반도체막(61)의 단부는, 게이트 절연막(52a, 52b)을 통하여 중첩하는 게이트 전극(51)의 단부보다 안쪽에 있고, 모든 영역이 게이트 전극(51) 위의 범위를 넘지 않도록 형성된다. 따라서, 미세결정 반도체막(61)은, 게이트 전극(51) 및 게이트 절연막(52a, 52b) 위의 평탄한 영역에 형성할 수 있으므로, 피복성도 좋고, 막 내에 있어서 균일한 특성(결정 상태)을 가지는 막으로 할 수 있다.
- <35> 이하, 제작 방법을 자세히 설명한다. 기판(50) 위에 게이트 전극(51)을 형성한다(도 2a 및 도 4a 참조). 도 2a는, 도 4a의 A-B의 단면도에 상당한다. 기판(50)은, 바륨 보로실리케이트 유리, 알루미늄 보로실리케이트 유리, 혹은 알루미늄 실리케이트 유리 등, 퓨전법이나 플로트법으로 제작되는 무 알칼리 유리 기판, 세라믹스 기판 이외에, 본 제작 공정의 처리 온도에 견딜 수 있는 내열성을 가지는 플라스틱 기판 등을 사용할 수 있다. 또한, 스테인리스 합금 등의 금속 기판 표면에 절연막을 형성한 기판을 적용하여도 좋다. 기판(50)의 크기는, 320mm × 400mm, 370mm × 470mm, 550mm × 650mm, 600mm × 720mm, 680mm × 880mm, 730mm × 920mm, 1000mm × 1200mm, 1100mm × 1250mm, 1150mm × 1300mm, 1500mm × 1800mm, 1900mm × 2200mm, 2160mm × 2460mm, 2400mm × 2800mm, 혹은 2850mm × 3050mm 등을 사용할 수 있다.
- <36> 게이트 전극(51)은, 티타늄, 몰리브덴, 크롬, 탄탈, 텅스텐, 알루미늄 등의 금속 재료 혹은 그 합금 재료를 사용하여 형성한다. 게이트 전극(51)은, 스퍼터링법이나 진공 증착법으로 기판(50) 위에 도전막을 형성하고, 상기 도전막 위에 포토리소그래피 기술 혹은 잉크젯 법으로 사용하여 마스크를 형성하고, 상기 마스크를 사용하여 도전막을 에칭함으로써, 형성할 수 있다. 또한, 은, 금, 구리 등의 도전성 나노 페이스트를 사용하여 잉크젯법으로 토출·소성함으로써, 게이트 전극(51)을 형성할 수 있다. 또한, 게이트 전극(51)의 밀착성을 향상하고 하지막이나 기판으로 확산되는 것을 방지하는 배리어 메탈로서, 상기 금속 재료의 질화물막을, 기판(50) 및 게이트 전극(51) 사이에 형성하여도 좋다. 또한, 게이트 전극(51)은 적층 구조로 하여도 좋고, 기판(50) 측에서 알루미늄막과 몰리브덴막의 적층, 구리막과 몰리브덴막의 적층, 구리막과 질화티타늄막의 적층, 구리막과 질화탄탈막의 적층 등을 사용할 수 있다. 상기 적층 구조에 있어서, 상층에 형성되는 몰리브덴막이나, 질화티타늄막, 질화탄탈막 등의 질화물막은 배리어 메탈로서의 효과를 가진다.
- <37> 또한, 게이트 전극(51) 위에는 반도체막이나 배선을 형성하기 때문에, 단절·단선을 방지하기 위하여 단부가 테이퍼 상태가 되도록 가공하는 것이 바람직하다. 또한, 도시하지 않지만, 이 공정에서 게이트 전극에 접속하는 배선도 동시에 형성할 수 있다.

- <38> 다음에, 게이트 전극(51) 위에, 게이트 절연막(52a, 52b), 미세결정 반도체막(53), 버퍼층(54)을 순차로 형성한다(도 2b 참조).
- <39> 미세결정 반도체막(53)을 수소 플라즈마를 작용시키면서(작용시킨) 게이트 절연막(52b) 표면에 형성하여도 좋다. 수소 플라즈마를 작용시킨 게이트 절연막 위에 미세결정 반도체막을 형성하면, 미세결정 결정 성장을 촉진시킬 수 있다. 또한, 게이트 절연막 및 미세결정 반도체막의 계면에 있어서의 격자 변형을 저감할 수 있고, 게이트 절연막 및 미세결정 반도체막의 계면 특성을 향상시킬 수 있다. 따라서, 얻어지는 미세결정 반도체막은 전기 특성이 높고 신뢰성이 좋은 미세결정 반도체막으로 할 수 있다.
- <40> 또한, 게이트 절연막(52a, 52b), 미세결정 반도체막(53), 및 버퍼층(54)을 대기에 노출시키지 않고 연속적으로 형성하여도 좋다. 게이트 절연막(52a, 52b), 미세결정 반도체막(53), 및 버퍼층(54)을 대기에 노출시키지 않고 연속 형성함으로써, 대기 성분이나 대기 중에 부유하는 오염 불순물 원소에 오염되지 않고 각 적층 계면을 형성할 수 있으므로, 박막 트랜지스터 특성의 변동을 저감할 수 있다.
- <41> 게이트 절연막(52a, 52b)은 각각, CVD법이나 스퍼터링법 등을 사용하여, 산화실리콘막, 질화실리콘막, 산화질화실리콘막, 혹은 질화산화실리콘막으로 형성할 수 있다. 여기서는, 게이트 절연막(52a, 52b)으로서, 질화실리콘막 혹은 질화산화실리콘막과, 산화실리콘막 혹은 산화질화실리콘막의 순서로 적층하여 형성하는 형태를 제시한다. 또한, 게이트 절연막을 2층 적층하는 것이 아니라, 기판 측에서 질화실리콘막 혹은 질화산화실리콘막과, 산화실리콘막 혹은 산화질화실리콘막과, 질화실리콘막 혹은 질화산화실리콘막의 순서로 3층 적층하여 형성할 수 있다. 또한, 게이트 절연막을, 산화실리콘막, 질화실리콘막, 산화질화실리콘막, 혹은 질화산화실리콘막의 단층으로 형성할 수 있다. 또한, 주파수가 1GHz 이상인 마이크로파 플라즈마 CVD 장치를 사용하여 게이트 절연막을 형성하는 것이 바람직하다. 마이크로파 플라즈마 CVD 장치를 사용하여 형성한 산화질화실리콘막, 질화산화실리콘막은, 내압이 높고, 후에 형성되는 박막 트랜지스터의 신뢰성을 높일 수 있다.
- <42> 게이트 절연막의 3층 적층 구조의 예로서, 게이트 전극 위에 1 층째로서 질화실리콘막 혹은 질화산화실리콘막과, 2층째로서 산화질화실리콘막과, 3층째로서 질화실리콘막을 적층하고, 최상층(最上層)의 질화실리콘막 위에 미세결정 반도체막을 형성하여도 좋다. 이 경우, 1 층째의 질화실리콘막 혹은 질화산화실리콘막은 막 두께가 50nm보다 두꺼운 것이 좋고, 나트륨 등의 불순물을 차단하는 배리어, 게이트 전극의 힐록(hillock)의 방지, 게이트 전극의 산화 방지 등의 효과를 가진다. 3층째의 질화실리콘막은 미세결정 반도체막의 밀착성을 향상하는 효과와, 미세결정 반도체막에 레이저 조사를 행하는 LP 처리시에 산화를 방지하는 효과를 가진다.
- <43> 상술한 바와 같이, 게이트 절연막 표면에 극박막(極薄膜)의 질화실리콘막과 같은 질화막을 형성함으로써 미세결정 반도체막의 밀착성을 향상시킬 수 있다. 질화막은 플라즈마 CVD법에 의하여 형성하여도 좋고, 마이크로파에 의한 고밀도로 저온의 플라즈마 처리에 의하여 질화 처리를 행하여도 좋다. 또한, 반응실에 실란 플러싱 처리를 행할 때, 질화실리콘막, 질화산화실리콘막을 형성하여도 좋다.
- <44> 여기서는, 산화질화실리콘막이란, 그 조성으로서, 질소보다 산소의 함유량이 많으며, 농도 범위로서 산소가 55atoms% 내지 65atoms%, 질소가 1atoms% 내지 20atoms%, Si가 25atoms% 내지 35atoms%, 수소가 0.1atoms% 내지 10atoms%의 범위로 포함되는 것을 가리킨다. 또한, 질화산화실리콘막이란, 그 조성으로서, 산소보다 질소의 함유량이 많으며, 농도 범위로서 산소가 15atoms% 내지 30atoms%, 질소가 20atoms% 내지 35atoms%, Si가 25atoms% 내지 35atoms%, 수소가 15atoms% 내지 25atoms%의 범위로 포함되는 것을 가리킨다.
- <45> 미세결정 반도체막(53)은, 비정질과 결정 구조(단결정, 다결정을 포함함)의 중간적인 구조의 반도체를 포함하는 막이다. 이 반도체는, 자유 에너지적으로 안정적인 제 3 상태를 가지는 반도체이고, 단거리 질서를 가지며 격자 변형을 가지는 결정질의 반도체이고, 그 막 표면으로부터 본 입자 직경이 0.5nm 내지 20nm의 주상 결정 혹은 침상 결정이 기판 표면에 대하여 법선(normal) 방향으로 성장한다. 또한, 미세결정 반도체와 비정질 반도체가 혼재한다. 미세결정 반도체의 대표예인 미세결정 실리콘은, 그 라만 스펙트럼이 단결정 실리콘을 나타내는 521cm^{-1} 보다 저파수 측으로 시프트한다. 즉, 단결정 실리콘을 나타내는 521cm^{-1} 과 비정질 실리콘을 나타내는 480cm^{-1} 사이에 미세결정 실리콘의 라만 스펙트럼의 피크가 있다. 또한, 미결합수(덴글링 본드)를 중단하기 위하여 수소 혹은 할로젠을 적어도 1atoms% 혹은 그 이상 포함시킨다. 또한, 헬륨, 아르곤, 크립톤, 네온 등의 희소 가스 원소를 포함시켜 격자 변형을 더 촉진시킴으로써, 안정성이 증가되어 양호한 미세결정 반도체막을 얻을 수 있다. 상술한 바와 같은 미세결정 반도체막에 관한 기술은, 예를 들어, 미국 특허 4,409,134호에 개시되어 있다.

- <46> 상술한 미세결정 반도체막은, 주파수가 수십MHz 내지 수백MHz의 고주파 플라즈마 CVD법, 혹은 주파수가 1GHz 이상인 마이크로 플라즈마 CVD 장치에 의하여 형성할 수 있다. 대표적으로는, SiH_4 , Si_2H_6 , SiH_2Cl_2 , SiHCl_3 , SiCl_4 , SiF_4 등의 수소화실리콘을 수소로 희석하여 형성할 수 있다. 또한, 수소화실리콘 및 수소에 가하여, 헬륨, 아르곤, 크립톤, 네온 중으로부터 선택된 1종 혹은 복수종의 희소 가스 원소를 희석하여 미세결정 반도체막을 형성할 수 있다. 이 때, 수소화실리콘에 대하여 수소의 유량비를 5배 이상 200배 이하, 바람직하게는 50배 이상 150배 이하, 더 바람직하게는 100배로 한다.
- <47> 또한, 미세결정 반도체막은, 가전자 제어를 목적으로 한 불순물 원소를 의도적으로 첨가하지 않을 때 약한 n형의 전기 도전성을 나타내기 때문에, 박막 트랜지스터의 채널 형성 영역으로서 기능하는 미세결정 반도체막에 대하여는, p형을 부여하는 불순물 원소를, 성막함과 동시에, 혹은 성막한 후에 첨가함으로써, 임계값을 제어할 수 있다. p형을 부여하는 불순물 원소로서는, 대표적으로는 붕소가 있고, B_2H_6 , BF_3 등의 불순물 기체를 1ppm 내지 1000ppm, 바람직하게는 1ppm 내지 100ppm의 비율로 수소화 실리콘에 혼입시키면 좋다. 그리고, 붕소의 농도를, 예를 들어, $1 \times 10^{14} \text{ atoms/cm}^3$ 내지 $6 \times 10^{16} \text{ atoms/cm}^3$ 로 하면 좋다.
- <48> 또한, 미세결정 반도체막의 산소 농도를, $5 \times 10^{19} \text{ atoms/cm}^3$ 이하, $1 \times 10^{19} \text{ atoms/cm}^3$ 이하, 질소 및 탄소의 농도 각각을 $1 \times 10^{18} \text{ atoms/cm}^3$ 이하로 하는 것이 바람직하다. 산소, 질소, 및 탄소가 미세결정 반도체막에 혼입되는 농도를 저감함으로써, 미세결정 반도체막이 n형화되는 것을 방지할 수 있다.
- <49> 미세결정 반도체막(53)은, 0nm보다 두껍고 50nm 이하, 바람직하게는 0nm보다 두껍고 20nm 이하로 형성한다.
- <50> 미세결정 반도체막(53)은, 후에 형성되는 박막 트랜지스터의 채널 형성 영역으로서 기능한다. 미세결정 반도체막(53)의 두께를 상기 범위 내로 함으로써, 후에 형성되는 박막 트랜지스터는, 완전 공핍형이 된다. 또한, 미세결정 반도체막은 미세결정으로 구성되기 때문에, 비정질 반도체막과 비교하여 저항이 낮다. 따라서, 미세결정 반도체막을 사용한 박막 트랜지스터는, 전류 전압 특성을 나타내는 곡선의 상승 부분의 경사가 급준하게 되고, 스위칭 소자로서의 응답성이 뛰어나, 고속 동작이 가능하게 된다. 또한, 박막 트랜지스터의 채널 형성 영역에 미세결정 반도체막을 사용함으로써, 박막 트랜지스터의 임계값의 변동을 억제할 수 있다. 따라서, 전기 특성의 변동이 적은 발광 장치를 제작할 수 있다.
- <51> 또한, 미세결정 반도체막은 비정질 반도체막과 비교하여 이동도가 높다. 따라서, 표시 소자의 스위칭으로서, 채널 형성 영역이 미세결정 반도체막으로 형성되는 박막 트랜지스터를 사용함으로써, 채널 형성 영역의 면적, 즉 박막 트랜지스터의 면적을 축소할 수 있다. 따라서, 하나의 화소당에 차지하는 박막 트랜지스터의 면적이 작아져, 화소의 개구율을 높일 수 있다. 결과적으로, 해상도가 높은 장치를 제작할 수 있다.
- <52> 또한, 미세결정 반도체막은 하측에서 세로 방향으로 성장하고, 침상 결정이다. 미세결정 반도체막에는 비정질 구조와 결정 구조가 혼재하므로, 결정 영역과 비정질 영역 사이에 국부 응력에 의하여 크랙(crack)이 발생하여, 틈이 생기기 쉽다. 이 틈에 새로운 라디칼이 개입되어 결정 성장을 일으킬 수 있다. 그러나, 상방의 결정 면이 커지므로, 상방으로 침상 성장하기 쉽다. 상술한 바와 같이 미세결정 반도체막은 세로 방향으로 성장하여도, 비정질 반도체막의 형성 속도에 비하여 1/10 내지 1/100의 속도이다.
- <53> 버퍼층(54)은, SiH_4 , Si_2H_6 , SiH_2Cl_2 , SiHCl_3 , SiCl_4 , SiF_4 등의 실리콘 기체(수소화 실리콘 기체, 할로겐화 실리콘 기체)를 사용하여, 플라즈마 CVD법으로 형성할 수 있다. 또한, 상기 실란에, 헬륨, 아르곤, 크립톤, 네온 중으로부터 선택된 1종 혹은 복수종의 희소 가스 원소로 희석하여 비정질 반도체막을 형성할 수 있다. 수소화 실리콘의 유량의 1배 이상 20배 이하, 바람직하게는 1배 이상 10배 이하, 더 바람직하게는 1배 이상 5배 이하의 유량의 수소를 사용하여, 수소를 포함하는 비정질 반도체막을 형성할 수 있다. 또한, 상기 수소화 실리콘과 질소 혹은 암모니아를 사용함으로써, 질소를 포함하는 비정질 반도체막을 형성할 수 있다. 또한, 상기 수소화 실리콘과, 불소, 염소, 브롬, 혹은 요오드를 포함하는 기체(F_2 , Cl_2 , Br_2 , I_2 , HF , HCl , HBr , HI 등)를 사용함으로써, 불소, 염소, 브롬, 혹은 요오드를 포함하는 비정질 반도체막을 형성할 수 있다.
- <54> 또한, 버퍼층(54)은, 타깃으로서 비정질 반도체를 사용하여 수소, 혹은 희소 가스를 사용하여 스퍼터링하여 비정질 반도체막을 형성할 수 있다. 이 때, 암모니아, 질소, 혹은 N_2O 를 분위기 중에 포함시킴으로써, 질소를 포함하는 비정질 반도체막을 형성할 수 있다. 또한, 분위기 중에 불소, 염소, 브롬, 혹은 요오드를 포함하는 기체(F_2 , Cl_2 , Br_2 , I_2 , HF , HCl , HBr , HI 등)를 포함시킴으로써, 불소, 염소, 브롬, 혹은 요오드를 포함하는 비정

질 반도체막을 형성할 수 있다.

- <55> 또한, 버퍼층(54)으로서, 미세결정 반도체막(53)의 표면에 플라즈마 CVD법 혹은 스퍼터링법에 의하여 비정질 반도체막을 형성한 후, 비정질 반도체막의 표면을 수소 플라즈마, 질소 플라즈마, 혹은 할로젠 플라즈마, 희소 가스(헬륨, 아르곤, 크립톤, 네온)에 의한 플라즈마로 처리하여, 비정질 반도체막의 표면을 수소화, 질소화, 혹은 할로겐화하여도 좋다.
- <56> 버퍼층(54)은, 비정질 반도체막으로 형성하는 것이 바람직하다. 따라서, 주파수가 수십MHz 내지 수백MHz의 고주파 플라즈마 CVD법, 혹은 마이크로파 플라즈마 CVD법으로 형성하는 경우는, 비정질 반도체막이 되도록, 성막 조건을 제어하는 것이 바람직하다.
- <57> 버퍼층(54)은, 대표적으로는, 10nm 이상 50nm 이하의 두께로 형성하는 것이 바람직하다. 또한, 버퍼층에 포함되는 질소, 탄소, 및 산소의 총 농도를 $1 \times 10^{20} \text{ atoms/cm}^3$ 내지 $15 \times 10^{20} \text{ atoms/cm}^3$ 로 하는 것이 바람직하다. 상기 농도라면 막 두께가 10nm 이상 50nm 이하라도 버퍼층(54)을 고저항 영역으로서 기능시킬 수 있다.
- <58> 버퍼층(54)은, 막 두께를 150nm 이상 200nm 이하로 하고, 포함되는 탄소, 질소, 산소의 각각의 농도는, $3 \times 10^{19} \text{ atoms/cm}^3$ 이하, 바람직하게는 $5 \times 10^{18} \text{ atoms/cm}^3$ 이하로 하여도 좋다.
- <59> 미세결정 반도체막(53)의 표면에, 버퍼층으로서 비정질 반도체막, 혹은 수소, 질소, 혹은 할로젠을 포함하는 비정질 반도체막을 형성함으로써, 미세결정 반도체막(53)에 포함되는 결정립의 표면의 자연 산화를 방지할 수 있다. 미세결정 반도체막(53)의 표면에 버퍼층을 형성함으로써, 미세결정립의 산화를 방지할 수 있다. 버퍼층에는 수소, 및/혹은, 불소가 혼입됨으로써, 산소가 미세결정 반도체막에 진입되는 것을 방지하는 효과가 있다.
- <60> 또한, 버퍼층(54)은, 비정질 반도체막을 사용하여, 혹은 수소, 질소, 혹은 할로젠을 포함하는 비정질 반도체막을 사용하여 형성하기 때문에, 채널 형성 영역으로서 기능하는 미세결정 반도체막보다 저항이 높다. 따라서, 후에 형성되는 박막 트랜지스터에 있어서, 소스 영역 및 드레인 영역과, 미세결정 반도체막 사이에 형성되는 버퍼층은 고저항 영역으로서 기능한다. 따라서, 박막 트랜지스터의 오프(off) 전류를 저감할 수 있다. 상기 박막 트랜지스터를 발광 장치의 스위칭 소자로서 사용한 경우, 발광 장치의 콘트라스트를 향상시킬 수 있다.
- <61> 다음에, 버퍼층(54)에 있어서, 미세결정 반도체막(53)의 채널 형성 영역과 중첩하는 영역에 채널 보호층(80)을 형성한다(도 2c 참조). 채널 보호층(80)도, 게이트 절연막(52a 52b), 미세결정 반도체막(53), 버퍼층(54)을 대기에 노출시키지 않고 연속 형성함으로써 형성하여도 좋다. 적층하는 박막을 대기에 노출시키지 않고 연속적으로 형성하면 생산성이 향상된다.
- <62> 채널 보호층(80)으로서는, 무기 재료(산화실리콘, 질화실리콘, 산화질화실리콘, 질화산화실리콘 등)를 사용할 수 있다. 감광성 혹은 비감광성의 유기 재료(유기 수지 재료)(폴리이미드, 아크릴, 폴리아미드, 폴리이미드아미드, 레지스트, 벤조시클로부텐 등), 혹은 복수층으로 이루어지는 막, 혹은 이들 막의 적층 등을 사용할 수 있다. 또한, 실록산을 사용하여도 좋다. 제작 방법으로는, 플라즈마 CVD법이나 열 CVD법 등의 기상 성장법이나 스퍼터링법을 사용할 수 있다. 또한, 습식법인, 스핀 코팅법 등의 도포법, 액적 토출법이나, 인쇄법(스크린 인쇄나 오프셋 인쇄 등 패터닝이 형성되는 방법)을 사용할 수도 있다. 채널 보호층(80)은 성막 후에 에칭에 의하여 형상을 가공하여도 좋고, 액적 토출법 등에 의하여 선택적으로 형성하여도 좋다.
- <63> 다음에, 미세결정 반도체막(53) 및 버퍼층(54)을 에칭에 의하여 가공함으로써, 미세결정 반도체막(61), 및 버퍼층(62)의 적층을 형성한다(도 2d 참조). 미세결정 반도체막(61) 및 버퍼층(62)은, 포토리소그래피 기술 혹은 액적 토출법에 의하여 마스크를 형성하고, 상기 마스크를 사용하여 미세결정 반도체막(53) 및 버퍼층(54)을 에칭함으로써, 형성할 수 있다. 또한, 도 2d는, 도 4b의 A-B의 단면도에 상당한다.
- <64> 미세결정 반도체막(61), 버퍼층(62)의 단부를 테이퍼 상태를 가지는 형상으로 에칭할 수 있다. 그 단부의 테이퍼 각은 30° 내지 90° 바람직하게는 45° 내지 80° 로 한다. 이로써, 단차 형상으로 인한 배선의 단선을 방지할 수 있다.
- <65> 다음에, 게이트 절연막(52b), 미세결정 반도체막(61), 버퍼층(62), 채널 보호층(80) 위에 일 도전형을 부여하는 불순물이 첨가된 반도체막(63) 및 도전막(65a 내지 65c)을 형성한다(도 3a 참조). 일 도전형을 부여하는 불순물이 첨가된 반도체막(63) 및 도전막(65a 내지 65c) 위에 마스크(66)를 형성한다. 마스크(66)는, 포토리소그래피 기술 혹은 잉크젯 법에 의하여 형성한다.
- <66> 일 도전형을 부여하는 불순물이 첨가된 반도체막(63)은, n채널형 박막 트랜지스터를 형성하는 경우에는, 대표적

인 불순물 원소로서 인을 첨가하면 좋고, 수소화 실리콘에 PH_3 등의 불순물 기체를 가하면 좋다. 또한, p채널 형 박막 트랜지스터를 형성하는 경우에는, 대표적인 불순물 원소로서 붕소를 첨가하면 좋고, 수소화 실리콘에 B_2H_6 등의 불순물 기체를 가하면 좋다. 일 도전형을 부여하는 불순물이 첨가된 반도체막(63)은, 미세결정 반도체막, 혹은 비정질 반도체막으로 형성할 수 있다. 일 도전형을 부여하는 불순물이 첨가된 반도체막(63)은 막 두께 2nm 내지 50nm(바람직하게는 10nm 내지 30nm)로 하면 좋다.

<67> 도전막은, 알루미늄, 구리, 혹은 실리콘, 티타늄, 네오디뮴, 스칸듐, 몰리브덴 등의 내열성 향상 원소 혹은 힐록 방지 원소가 첨가된 알루미늄 합금의 단층 혹은 적층으로 형성하는 것이 바람직하다. 또한, 일 도전형을 부여하는 불순물이 첨가된 반도체막과 접하는 측의 막을, 티타늄, 탄탈, 몰리브덴, 텅스텐, 혹은 이들 원소의 질화물로 형성하고, 그 위에 알루미늄 혹은 알루미늄 합금을 형성한 적층 구조로 하여도 좋다. 또한, 알루미늄 혹은 알루미늄 합금의 상면 및 하면을, 티타늄, 탄탈, 몰리브덴, 텅스텐, 혹은 이들 원소의 질화물로 끼운 적층 구조로 하여도 좋다. 여기서는, 도전막으로서는, 도전막(65a 내지 65c)의 3층이 적층된 구조의 도전막을 제시하고, 도전막(65a, 65c)에 몰리브덴막, 도전막(65b)에 알루미늄막을 사용한 적층 도전막이나, 도전막(65a, 65c)에 티타늄막, 도전막(65b)에 알루미늄막을 사용한 적층 도전막을 제시한다.

<68> 도전막(65a 내지 65c)은, 스퍼터링법이나 진공증착법으로 형성한다. 또한, 도전막(65a 내지 65c)은, 은, 금, 구리 등의 도전성 나노 페이스트를 사용하여 스크린 인쇄법, 잉크젯법 등을 사용하여 토출·소성함으로써 형성하여도 좋다.

<69> 다음에, 마스크(66)를 사용하여 도전막(65a 내지 65c)을 에칭하여 분리함으로써, 소스 전극 및 드레인 전극(71a 내지 71c)을 형성한다(도 3b 참조). 본 실시형태의 도 3b에 도시하는 바와 같이, 도전막(65a 내지 65c)을 웨트 에칭하면, 도전막(65a 내지 65c)은 등방적으로 에칭되므로, 마스크(66)의 단부와, 소스 전극 및 드레인 전극(71a 내지 71c)의 단부는 더 일치하지 않고 더 후퇴된다. 다음에, 마스크(66)를 사용하여 일 도전형을 부여하는 불순물이 첨가된 반도체막(63)을 에칭하여, 소스 영역 및 드레인 영역(72)을 형성한다(도 3c 참조). 또한, 버퍼층(62)은 채널 보호층(80)이 채널 스톱퍼로서 기능하기 때문에 에칭되지 않는다.

<70> 소스 전극 및 드레인 전극(71a 내지 71c)의 단부와, 소스 영역 및 드레인 영역(72)의 단부는 일치되지 않고 서로 어긋나고, 소스 전극 및 드레인 전극(71a 내지 71c)의 단부의 외측에, 소스 영역 및 드레인 영역(72)의 단부가 형성된다. 그 후, 마스크(66)를 제거한다. 또한, 도 3c는, 도 4c의 A-B의 단면도에 상당한다. 도 4c에 도시하는 바와 같이, 소스 영역 및 드레인 영역(72)의 단부는, 소스 전극 및 드레인 전극(71a 내지 71c)의 단부의 외측에 위치하는 것을 알 수 있다. 또한, 소스 영역 및 드레인 영역(72)의 면적은, 소스 전극 및 드레인 전극(71a 내지 71c)의 면적보다 넓은 것을 알 수 있다. 또한, 소스 전극 혹은 드레인 전극의 한 쪽은, 소스 배선 혹은 드레인 배선으로서도 기능한다.

<71> 도 3c에 도시하는 바와 같이, 소스 전극 및 드레인 전극(71a 내지 71c)의 단부와, 소스 영역 및 드레인 영역(72)의 단부는 일치되지 않고 서로 어긋나는 형상으로 됨으로써, 소스 전극 및 드레인 전극(71a 내지 71c)의 단부의 거리가 멀어지므로, 소스 전극 및 드레인 전극 사이의 누설 전류나 단락을 방지할 수 있다. 또한, 소스 영역 및 드레인 영역은, 소스 전극 및 드레인 전극의 단부보다 연장되고, 대향하는 소스 영역과 드레인 영역의 거리는, 대향하는 소스 전극과 드레인 영역의 거리보다도 짧다. 따라서, 신뢰성이 높으며, 또 내압이 높은 박막 트랜지스터를 제작할 수 있다.

<72> 상술한 공정에 의하여, 채널 스톱(보호)형의 박막 트랜지스터(74)를 형성할 수 있다.

<73> 버퍼층(62)은, 소스 영역 및 드레인 영역(72) 아래의 버퍼층(62)과 미세결정 반도체막(61)의 채널 형성 영역 위의 버퍼층(62)은 동일 재료이며 동시에 형성되는 연속막이다. 미세결정 반도체막(61) 위의 버퍼층(62)은 포함되는 수소에 의하여 외부의 공기, 에칭 잔사를 차단함으로써, 미세결정 반도체막(61)을 보호한다.

<74> 일 도전형을 부여하는 불순물을 포함하지 않는 버퍼층(62)을 형성함으로써, 소스 영역 및 드레인 영역에 포함되는 일 도전형을 부여하는 불순물과 미세결정 반도체막(61)의 임계값 전압 제어용의 일 도전형을 부여하는 불순물이 서로 섞여지지 않게 할 수 있다. 일 도전형을 부여하는 불순물이 섞이면, 재결합 중심이 생기므로, 누설 전류가 흘러 버려, 오프 전류 저감의 효과를 얻을 수 없게 된다.

<75> 상술한 바와 같이, 버퍼층 및 채널 보호층을 형성함으로써, 누설 전류가 저감된 고내압의 채널 스톱형 박막 트랜지스터를 제작할 수 있다. 따라서, 5V의 전압을 인가하는 발광 장치에 사용하는 박막 트랜지스터인 경우라도 신뢰성이 높으므로 바람직하게 사용할 수 있다.

- <76> 다음에, 소스 전극 혹은 드레인 전극(71a 내지 71c)에 접하는 화소 전극(77)을 형성한다. 소스 전극 및 드레인 전극(71a 내지 71c), 소스 영역 및 드레인 영역(72), 채널 보호층(80), 게이트 절연막(52b), 및 화소 전극(77) 위에 절연막(76)을 형성한다. 절연막(76)은, 게이트 절연막(52a, 52b)과 마찬가지로 형성할 수 있다. 또한, 절연막(76)은, 대기 중에 부유하는 유기물이나 금속물, 수증기 등의 오염 불순물의 침입을 방지하기 위한 막이므로, 치밀한 막인 것이 바람직하다.
- <77> 버퍼층(62)은, 대표적으로는, 10nm 이상 50nm 이하의 두께로 형성하는 것이 바람직하다. 또한, 버퍼층에 포함되는 질소, 탄소, 및 산소의 총 농도를 $1 \times 10^{20} \text{ atoms/cm}^3$ 내지 $15 \times 10^{20} \text{ atoms/cm}^3$ 로 하는 것이 바람직하다. 상기 농도라면 막 두께가 10nm 이상 50nm 이하라도 버퍼층(62)을, 고저항 영역으로서 기능시킬 수 있다.
- <78> 그러나, 버퍼층(62)은, 막 두께를 150nm 이상 200nm 이하로 하고, 포함되는 탄소, 질소, 산소의 농도는, $3 \times 10^{19} \text{ atoms/cm}^3$ 이하, 바람직하게는 $5 \times 10^{18} \text{ atoms/cm}^3$ 이하로 하여도 좋다. 이 경우, 절연막(76)에 질화실리콘막을 사용함으로써, 버퍼층(62) 중의 산소 농도를 $5 \times 10^{19} \text{ atoms/cm}^3$ 이하, 바람직하게는 $1 \times 10^{19} \text{ atoms/cm}^3$ 이하로 할 수 있다.
- <79> 다음에, 절연막(76)을 에칭하여 화소 전극(77)의 일부를 노출한다. 화소 전극(77)의 노출 영역에 접하도록 발광 소자를 형성함으로써, 박막 트랜지스터(74)와 발광 소자를 전기적으로 접속할 수 있다. 예를 들어, 화소 전극(77) 위에 발광층을 형성하고, 발광층 위에 대향 전극을 형성하면 좋다.
- <80> 화소 전극(77)은, 산화텅스텐을 포함하는 인듐산화물, 산화텅스텐을 포함하는 인듐아연산화물, 산화티타늄을 포함하는 인듐산화물, 산화티타늄을 포함하는 인듐주석산화물, 인듐주석산화물(이하, ITO라고 기재함), 인듐아연산화물, 산화실리콘을 첨가한 인듐주석산화물 등의 투광성을 가지는 도전성 재료를 사용할 수 있다.
- <81> 또한, 화소 전극(77)으로서, 도전성 고분자(도전성 폴리머라고도 함)를 포함하는 도전성 조성물을 사용하여 형성할 수 있다. 도전성 조성물을 사용하여 형성한 화소 전극은, 표면 저항(sheet resistance)이 $10000\Omega/\square$ 이하, 파장 550nm에 있어서의 투광률이 70% 이상인 것이 바람직하다. 또한, 도전성 조성물에 포함되는 도전성 고분자의 저항률이 0.1Ω 이하인 것이 바람직하다.
- <82> 도전성 고분자로서는, 소위 p전자 공역계 도전성 고분자를 사용할 수 있다. 예를 들어, 폴리아닐린 혹은 그 유도체, 폴리피롤 혹은 그 유도체, 폴리티오펜 혹은 그 유도체, 혹은 이들의 2종 이상의 공중합체 등을 들 수 있다.
- <83> 또한, 소스 영역 및 드레인 영역의 단부와 소스 전극 및 드레인 전극의 단부를 일치시키는 형상으로 하여도 좋다. 도 14에 소스 영역과 드레인 영역의 단부와 소스 전극 및 드레인 전극의 단부가 일치하는 형상의 채널 스톱형의 박막 트랜지스터(79)를 도시한다. 소스 전극 및 드레인 전극의 에칭 및 소스 영역 및 드레인 영역의 에칭을 드라이 에칭으로 행하면 박막 트랜지스터(79)와 같은 형상으로 할 수 있다. 또한, 일 도전형을 부여하는 불순물이 첨가된 반도체막을 소스 전극 및 드레인 전극을 마스크로서 에칭함으로써, 소스 영역 및 드레인 영역을 형성하여도 박막 트랜지스터(79)와 같은 형상으로 할 수 있다.
- <84> 채널 스톱형의 박막 트랜지스터로 함으로써, 박막 트랜지스터의 신뢰성을 향상시킬 수 있다. 또한, 미세결정 반도체막으로 채널 형성 영역을 구성함으로써 $1\text{cm}^2/\text{V} \cdot \text{sec}$ 내지 $20\text{cm}^2/\text{V} \cdot \text{sec}$ 의 전계 효과 이동도를 얻을 수 있다. 따라서, 이 박막 트랜지스터를 화소부의 화소 스위칭용 소자로서, 또한 주사선(게이트선) 측의 구동 회로를 형성하는 소자로서 이용할 수 있다.
- <85> 본 실시형태에 의하여, 전기 특성이 높고 신뢰성이 좋은 박막 트랜지스터를 가지는 발광 장치를 제작할 수 있다.
- <86> (실시형태 2)
- <87> 본 실시형태는, 실시형태 1과 박막 트랜지스터의 형상이 상이한 예이다. 따라서, 다른 부분은 실시형태 1과 마찬가지로 행할 수 있고, 실시형태 1과 동일 부분 혹은 같은 기능을 가지는 부분, 및 공정의 반복 설명은 생략한다.
- <88> 본 실시형태에서는, 발광 장치에 사용되는 박막 트랜지스터 및 그 제작 공정에 대하여, 도 5 내지 도 6d, 및 도 15를 사용하여 설명한다. 도 5와 도 15는, 박막 트랜지스터 및 화소 전극을 나타내는 단면도이고, 도 6a 내지 도 6d는 하나의 화소에 있어서의 박막 트랜지스터 및 화소 전극의 접속 영역의 평면도이다. 도 5 및 도 15는,

도 6a 내지 도 6d에 있어서의 선 Q-R의 박막 트랜지스터 및 그 제작 공정을 나타내는 단면도에 상당한다.

- <89> 본 실시형태의 보텀 게이트 구조의 채널 스톱형(채널 보호형이라고도 함) 박막 트랜지스터(274)를 도 5 내지 도 6d에 도시한다.
- <90> 도 5에 있어서, 기판(250) 위에, 게이트 전극(251), 게이트 절연막(252a, 252b), 미세결정 반도체막(261), 버퍼층(262), 채널 보호층(280), 소스 영역 및 드레인 영역(272), 소스 전극 및 드레인 전극(271a 내지 271c)을 포함하는 채널 스톱형 박막 트랜지스터(274)가 형성되고, 박막 트랜지스터(274)를 덮도록 절연막(276)이 형성된다. 절연막(276)에 형성된 콘택트 홀에 있어서 소스 전극 및 드레인 전극(271c)에 접하여 화소 전극(277)에 형성된다. 또한, 도 5는 도 6d에 대응한다.
- <91> 미세결정 반도체막(261)의 채널 형성 영역 위에 버퍼층(262)을 통하여 채널 보호층(280)을 형성하는 구조이므로, 미세결정 반도체막(261)의 채널 형성 영역 위의 버퍼층(262)에 대한 공정시에 있어서의 대미지(에칭시의 플라스마로 인한 라디칼이나 에칭제로 인한 막 감소나, 산화 등)를 방지할 수 있다. 따라서, 박막 트랜지스터(274)의 신뢰성을 향상시킬 수 있다. 또한, 미세결정 반도체막(261)의 채널 형성 영역의 버퍼층(262)이 에칭되지 않으므로, 버퍼층(262)의 막 두께를 두껍게 형성할 필요가 없어 성막 시간을 단축할 수 있다.
- <92> 이하, 제작 방법을 도 6a 내지 도 6d를 사용하여 설명한다. 기판(250) 위에 게이트 전극(251)을 형성한다(도 6a 참조). 게이트 전극(251) 위에 게이트 절연막(252a, 252b)을 형성하고, 미세결정 반도체막(261), 버퍼층(262)을 형성한다. 버퍼층(262)에 있어서, 미세결정 반도체막의 채널 형성 영역과 중첩하는 영역에 채널 보호층(280)을 형성한다(도 6b 참조).
- <93> 실시형태 1에서는, 채널 보호층(80)을 형성한 후, 미세결정 반도체막(53)과 버퍼층(54)을 섬 형상의 미세결정 반도체막(61) 및 버퍼층(62)에 에칭 공정에 의하여 가공하는 예를 제시하였지만, 본 실시형태에서는, 미세결정 반도체막 및 버퍼층의 에칭 공정도 소스 전극 및 드레인 전극 및 일 도전형을 부여하는 불순물이 첨가된 반도체막과 동일 공정에서 행하는 예를 제시한다. 따라서, 미세결정 반도체막, 버퍼층, 일 도전형을 부여하는 불순물이 첨가된 반도체막, 소스 전극 및 드레인 전극은 같은 형상을 반영하여 형성된다. 상술한 바와 같이, 에칭 공정을 한꺼번에 행하면, 공정수가 간략화되는 데다가, 에칭 공정에 사용하는 마스크의 개수도 줄일 수 있다.
- <94> 미세결정 반도체막, 버퍼층, 일 도전형을 부여하는 불순물이 첨가된 반도체막, 도전막을 에칭하여, 미세결정 반도체막(261), 버퍼층(262), 소스 영역 및 드레인 영역(272), 소스 전극 및 드레인 전극(271a 내지 271c)을 형성함으로써, 채널 스톱형 박막 트랜지스터(274)를 형성한다(도 6c 참조). 박막 트랜지스터(274) 위를 덮는 절연막(276)을 형성하고 소스 전극 혹은 드레인 전극(271a 내지 271c)에 도달하는 콘택트 홀을 형성한다. 콘택트 홀에 화소 전극(277)을 형성함으로써, 박막 트랜지스터(274)와 화소 전극(277)을 전기적으로 접속한다(도 6d 참조).
- <95> 또한, 소스 영역 및 드레인 영역의 단부와 소스 전극 및 드레인 전극의 단부를 일치시키는 형상으로 하여도 좋다. 도 15에 소스 영역과 드레인 영역의 단부와 소스 전극 및 드레인 전극의 단부가 일치하는 형상의 채널 스톱형의 박막 트랜지스터(279)를 도시한다. 소스 전극 및 드레인 전극의 에칭 및 소스 영역 및 드레인 영역의 에칭을 드라이 에칭으로 행하면 박막 트랜지스터(279)와 같은 형상으로 할 수 있다. 또한, 일 도전형을 부여하는 불순물이 첨가된 반도체막을 소스 전극 및 드레인 전극을 마스크로서 에칭함으로써, 소스 영역 및 드레인 영역을 형성하여도 박막 트랜지스터(279)와 같은 형상으로 할 수 있다.
- <96> 채널 스톱형의 박막 트랜지스터로 함으로써, 박막 트랜지스터의 신뢰성을 향상시킬 수 있다. 또한, 미세결정 반도체막으로 채널 형성 영역을 구성함으로써 $1\text{cm}^2/\text{V} \cdot \text{sec}$ 내지 $20\text{cm}^2/\text{V} \cdot \text{sec}$ 의 전계 효과 이동도를 얻을 수 있다. 따라서, 이 박막 트랜지스터를 화소부의 화소 스위칭용 소자로서, 또한 주사선(게이트선)측의 구동 회로를 형성하는 소자로서 이용할 수 있다.
- <97> 본 실시형태에 의하여, 전기 특성이 높고 신뢰성이 좋은 박막 트랜지스터를 가지는 발광 장치를 제작할 수 있다.
- <98> (실시형태 3)
- <99> 본 실시형태에서는, 미세결정 반도체막에 레이저 광을 조사하는 제작 공정의 예를 설명한다.
- <100> 기판 위에 게이트 전극을 형성하고, 게이트 전극을 덮도록 게이트 절연막을 형성한다. 그리고, 게이트 절연막 위에 미세결정 반도체막으로서 미세결정 실리콘(SAS)막을 퇴적한다. 미세결정 반도체막의 막 두께는 1nm 이상

15nm 미만, 더 바람직하게는 2nm 이상 10nm 이하로 하면 좋다. 특히, 막 두께 5nm(4nm 내지 8nm)이면, 레이저 광에 대하여 흡수율이 높으므로 생산성이 향상된다.

- <101> 게이트 절연막 위에 플라즈마 CVD법 등으로 미세결정 반도체막을 형성하고자 하는 경우, 게이트 절연막과, 결정 을 포함하는 반도체막의 계면 부근에, 반도체막보다 비정질 성분을 많이 포함하는 영역(여기서는 계면 영역이라고 부름)이 형성되는 일이 있다. 또한, 플라즈마 CVD법 등으로 막 두께 10nm 정도 이하의 극히 얇은 미세결정 반도체막을 형성하고자 하는 경우, 미세결정립을 포함하는 반도체막을 형성할 수는 있지만, 막 전체에 걸쳐 균 일하게 양질의 미세결정립을 포함하는 반도체막을 얻기 어렵다. 이들 경우에 있어서, 이하에 제시하는 레이저 광을 조사하는 레이저 처리는 유효하다.
- <102> 다음에, 미세결정 실리콘막의 표면 측으로부터 레이저 광을 조사한다. 레이저 광은, 미세결정 실리콘막이 용해 하지 않는 에너지 밀도로 조사한다. 즉, 본 실시형태에 의한 레이저 처리(Laser Process, 이하 "LP"라고도 함)는, 복사(輻射) 가열에 의하여 미세결정 실리콘막을 용융시키지 않고 행하는 고상 결정 성장에 의한 것이다. 즉, 퇴적된 미세결정 실리콘막이 액상이 되지 않는 임계 영역을 이용하는 것이며, 그 의미에 있어서 "임계 성장"이라고도 할 수 있다.
- <103> 레이저 광은 미세결정 실리콘막과 게이트 절연막의 계면에까지 작용시킬 수 있다. 이로써, 미세결정 실리콘막 의 표면 측에 있어서의 결정을 기초로 하여, 상기 표면으로부터 게이트 절연막의 계면을 향해 고상 결정 성장이 진행되어 대략 기둥 형상의 결정이 성장한다. LP 처리에 의한 고상 결정 성장은, 결정의 입자 직경을 확대시키 는 것이 아니라, 오히려 막 두께 방향에 있어서의 결정성을 개선하는 것이다.
- <104> LP 처리는 직사각형 장척 형상으로 집광(선형 레이저 광)함으로써, 예를 들어 730mm × 920mm의 유리 기판 위의 미세결정 실리콘막을 한 번의 레이저광 스캔으로 처리할 수 있다. 이 경우, 선형 레이저광을 겹치는 비율(오버 랍률)을 0% 내지 90%(바람직하게는 0% 내지 67%)로 하여 행할 수 있다. 이로써, 기판 1장당의 처리 시간이 단 축되어, 생산성을 향상시킬 수 있다. 레이저광의 형상은 선형에 한정되지 않고 면 형상으로 하여도 마찬가지로 처리할 수 있다. 또한, 본 LP 처리는 상기 유리 기판의 크기에 한정되지 않고, 다양한 크기에 적용할 수 있다.
- <105> LP 처리에 의하여, 게이트 절연막의 계면 영역의 결정성이 개선되어, 본 실시형태의 박막 트랜지스터와 같은 보 텀 게이트 구조를 가지는 박막 트랜지스터의 전기적 특성을 향상시키는 작용을 가진다.
- <106> 상술한 바와 같은 임계 성장에 있어서는, 종래의 저온 폴리실리콘에서 확인된 표면의 요철(리지(ridge)라고 불 리는 볼록 형상체)이 형성되지 않고, LP 처리 후의 실리콘 표면은 평활성이 유지되는 특징도 있다.
- <107> 본 실시형태와 같이, 성막 후의 미세결정 실리콘막에 직접적으로 레이저광을 작용시켜서 얻어지는 결정성의 실 리콘막은, 종래에 있어서의 퇴적된 체인 미세결정 실리콘막, 전도 가열에 의하여 개질된 미세결정 실리콘막(상 기 비특허문헌 1에 개시되는 것)과는, 그 성장 메커니즘 및 막질이 분명히 상이하다. 본 명세서에서는, 성막 후의 미세결정 반도체막에 LP 처리를 행하여 얻어지는 결정성의 반도체막을 LPSAS막이라고 부른다.
- <108> LPSAS막 등의 미세결정 반도체막을 형성한 후, 플라즈마 CVD법에 의하여 버퍼층으로서 비정질 실리콘(a-Si:H)막 을 300℃ 내지 400℃의 온도로 형성한다. 이 성막 처리에 의하여 수소가 LPSAS막에 공급되어, LPSAS막을 수소 화한 것과 동등의 효과를 얻을 수 있다. 즉, LPSAS막 위에 비정질 실리콘막을 퇴적함으로써, LPSAS막에 수소를 확산시켜 데글링 본드의 종단을 할 수 있다.
- <109> 그 이후의 공정은, 실시형태 1과 마찬가지로, 채널 보호층을 형성하고, 그 위에 마스크를 형성한다. 다음에, 마스크를 사용하여 미세결정 반도체막, 및 버퍼층을 에칭하여 분리한다. 다음에, 일 도전형을 부여하는 불순물 이 첨가된 반도체막을 형성하고, 도전막을 형성하고, 그 도전막 위에 마스크를 형성한다. 다음에, 그 마스크를 사용하여 도전막을 에칭하여 분리함으로써, 소스 전극 및 드레인 전극을 형성한다. 또한 동일 마스크를 사용하 여 채널 보호층을 에칭 스톱퍼로서 에칭하여, 소스 영역 및 드레인 영역을 형성한다.
- <110> 상술한 공정에 의하여, 채널 스톱형 박막 트랜지스터를 형성할 수 있으므로, 채널 스톱형 박막 트랜지스터를 가 지는 발광 장치를 제작할 수 있다.
- <111> 또한, 본 실시형태는, 실시형태 1 혹은 실시형태 2와 자유로이 조합할 수 있다.
- <112> (실시형태 4)
- <113> 본 실시형태는, 실시형태 1 내지 실시형태 3에 있어서, 발광 장치의 제작 공정의 예를 자세히 설명한다. 따라 서, 실시형태 1 내지 실시형태 3과 동일 부분 혹은 같은 기능을 가지는 부분, 및 공정의 반복 설명은 생략한다.

- <114> 실시형태 1 내지 실시형태 3에 있어서, 미세결정 반도체막을 형성하기 전에, 반응실의 클리닝, 및 플러싱(세정) 처리(수소를 플러싱 물질로서 사용한 수소 플러싱, 실란을 플러싱 물질로서 사용한 실란 플러싱 등)를 행하여도 좋다. 플러싱 처리에 의하여, 반응실의 산소, 질소, 불소 등의 불순물로 인한 형성하는 막으로의 오염을 방지할 수 있다.
- <115> 플러싱 처리에 의하여, 반응실의 산소, 질소, 불소 등의 불순물을 제거할 수 있다. 예를 들어, 플라즈마 CVD 장치로, 모노 실란을 플러싱 물질로서 사용하여, 가스 유량 8SLM 내지 10SLM을 챔버에 5분 내지 20분간, 바람직하게는 10분 내지 15분 계속 도입함으로써 실란 플러싱 처리를 행한다. 또한, 1SLM은 1000sccm, 즉, $0.06\text{m}^3/\text{h}$ 이다.
- <116> 클리닝은, 예를 들어 불소 라디칼로 행할 수 있다. 또한, 불소 라디칼은, 반응실의 외측에 형성된 플라즈마 발생기에, 불화탄소, 불화질소, 혹은 불소를 도입하고, 해리하고, 불소 라디칼을 반응실에 도입함으로써, 반응실 내를 클리닝할 수 있다.
- <117> 플러싱 처리는, 게이트 절연막, 버퍼층, 채널 보호층, 일 도전형을 부여하는 불순물이 첨가된 반도체막의 형성 전에 행하여도 좋다. 또한, 플러싱 처리는 클리닝 후에 행하면 효과적이다.
- <118> 반응실은 기판을 반입하여 성막하기 전에, 각 반응실의 내벽을 형성하는 종류의 막으로 보호막을 형성함으로써, 코팅(프리코팅 처리라고도 함)을 행하여도 좋다. 프리 코팅 처리는 반응실 내에 성막 가스를 흘려 플라즈마 처리함으로써, 미리 반응실 내를 보호막에 의하여 얇게 덮는 처리이다. 예를 들어, 미세결정 반도체막으로서 미세결정 실리콘막을 형성하기 전에, 반응실 내를 0.2mm 내지 0.4mm의 비정질 실리콘막으로 덮는 프리 코팅 처리를 행하면 좋다. 프리 코팅 처리 후에도 플러싱 처리(수소 플러싱, 실란 플러싱 등)를 행하여도 좋다. 클리닝 처리 및 프리 코팅 처리를 행하는 경우는 반응실 내로부터 기판을 반출할 필요가 있지만, 플러싱 처리(수소 플러싱, 실란 플러싱 등)를 행하는 경우는 플라즈마 처리를 행하지 않으므로 기판을 반입한 상태라도 좋다.
- <119> 미세결정 실리콘막을 형성하는 반응실 내에 비정질 실리콘막의 보호막을 형성하고, 성막하기 전에 수소 플라즈마 처리를 행하면, 보호막이 에칭되어 극히 소량의 실리콘이 기판 위에 퇴적되어 결정 성장의 핵이 될 수 있다.
- <120> 프리 코팅 처리에 의하여, 반응실의 산소, 질소, 불소 등의 불순물로 인한 형성하는 막으로의 오염을 방지할 수 있다.
- <121> 프리 코팅 처리는, 게이트 절연막, 일 도전형을 부여하는 불순물이 첨가된 반도체막을 형성하기 전에 행하여도 좋다.
- <122> 또한, 게이트 절연막, 미세결정 반도체막, 버퍼층의 형성 방법의 예를 자세히 설명한다.
- <123> 본 발명에 사용할 수 있는 플라즈마 CVD장치의 예에 대하여 도 13a 및 도 13b를 사용하여 설명한다. 도 13a 및 도 13b는 연속 성막할 수 있는 마이크로파 플라즈마 CVD장치이다. 도 13a 및 도 13b는 마이크로파 플라즈마 CVD 장치의 상단면을 도시하는 모식도이며, 공통실(1120) 주위에, 로드실(1110), 언로드실(1115), 반응실(1) 내지 반응실(4)(1111 내지 1114)을 구비한 구성이 된다. 공통실(1200)과 각 실 사이에는 게이트 밸브(1122 내지 1127)가 구비되어, 각 실에서 행해지는 처리가, 서로 간섭하지 않도록 구성된다. 또한, 반응실의 개수는 4개로 한정되지 않고, 더 적거나 더 많아도 좋다. 반응실의 개수가 많으면 적층하는 막의 종류마다 반응실을 분별할 수 있으므로, 반응실의 클리닝의 횟수를 줄일 수 있다. 도 13a는 반응실을 4개 가지는 예이며, 도 13b는 반응실을 3개 가지는 예이다.
- <124> 도 13a 및 도 13b의 플라즈마 CVD장치를 사용하여, 게이트 절연층, 미세결정 반도체막, 버퍼층, 및 채널 보호층의 형성 예를 설명한다. 기판은 로드실(1110), 언로드실(1115)의 카세트(1128, 1129)에 장전(裝填)되고, 공통실(1120)의 반송 수단(1121)에 의하여 반응실(1) 내지 반응실(4)(1111 내지 1114)에 운반된다. 이 장치에서는, 퇴적되는 막의 종류마다 반응실을 할당할 수 있고, 복수의 상이한 피막을 대기에 노출시키지 않고 연속하여 형성할 수 있다. 또한, 반응실은 성막 공정 이외에, 에칭 공정이나 레이저 조사 공정을 행하는 반응실로서 사용하여도 좋다. 각종 공정을 행하는 반응실을 형성하면, 복수의 상이한 공정을 대기에 노출시키지 않고 행할 수 있다.
- <125> 반응실(1) 내지 반응실(4) 각각에 있어서, 게이트 절연막, 미세결정 반도체막, 버퍼층, 및 채널 보호층을 적층 형성한다. 이 경우는, 원료 가스의 전환에 의하여 상이한 종류의 막을 연속적으로 복수 적층할 수 있다. 이 경우, 게이트 절연막을 형성한 후, 반응실 내에 실란 등의 수소화 실리콘을 도입하여, 잔류 산소 및 수소화 실리콘을 반응시켜, 반응물을 반응실의 외부에 배출함으로써, 반응실 내의 잔류 산소 농도를 저감시킬 수 있다.

이 결과, 미세결정 반도체막에 포함되는 산소의 농도를 저감할 수 있다. 또한, 미세결정 반도체막에 포함되는 결정립의 산화를 방지할 수 있다.

<126> 또한, 플라즈마 CVD 장치에 있어서, 생산성을 향상시키기 위하여, 복수의 반응실에서 동일한 막을 형성하는 것으로 하여도 좋다. 복수의 반응실에서 동일한 막을 형성할 수 있으면, 복수의 기판에 동시에 막을 형성할 수 있다. 예를 들어, 도 13a에 있어서, 반응실(1) 및 반응실(2)을 미세결정 반도체막을 형성하는 반응실로 하고, 반응실(3)을 비결정 반도체막을 형성하는 반응실로 하고, 반응실(4)을 채널 보호층을 형성하는 반응실로 한다. 상술한 바와 같이, 복수의 기판을 동시에 처리하는 경우, 성막 속도가 느린 막을 형성하는 반응실을 복수 형성함으로써 생산성을 향상시킬 수 있다.

<127> 반응실은 기판을 반입하여 성막하기 전에, 클리닝, 플러싱(세정) 처리(수소 플러싱, 실란 플러싱 등), 각 반응실의 내벽을 형성하는 종류의 막으로 보호막을 형성함으로써, 코팅(프리 코팅 처리라고 함)하면 바람직하다. 프리 코팅 처리는 반응실 내에 성막 가스를 흘려 플라즈마 처리함으로써, 미리 반응실 내를 보호막에 의하여 얇게 덮는 처리이다. 예를 들어, 미세결정 반도체막으로서 미세결정 실리콘막을 형성하기 전에, 반응실 내를 0.2 mm 내지 0.4 mm의 비정질 실리콘막으로 덮는 프리 코팅 처리를 행하면 좋다. 프리 코팅 처리 후에도 플러싱 처리(수소 플러싱, 실란 플러싱 등)를 행하여도 좋다. 클리닝 처리 및 프리 코팅 처리를 행하는 경우는 반응실 내로부터 기판을 반출할 필요가 있지만, 플러싱 처리(수소 플러싱, 실란 플러싱 등)를 행하는 경우는 플라즈마 처리를 행하지 않으므로 기판을 반입한 상태라도 좋다.

<128> 미세결정 실리콘막을 형성하는 반응실 내에 비정질 실리콘막의 보호막을 형성하고, 성막하기 전에 수소 플라즈마 처리를 행하면, 보호막이 에칭되어 극히 소량의 실리콘이 기판 위에 퇴적되어 결정 성장의 핵이 될 수 있다.

<129> 상술한 바와 같이, 복수의 챔버가 접속된 마이크로와 플라즈마 CVD 장치로, 동시에 게이트 절연막, 미세결정 반도체막, 버퍼층, 채널 보호층, 및 일 도전형층을 부여하는 불순물이 첨가된 반도체막을 형성할 수 있으므로, 양산성을 높일 수 있다. 또한, 어느 반응실이 메인터넌스나 클리닝을 행하여도, 나머지의 반응실에 있어서 성막 처리가 가능하게 되므로, 성막의 택트를 향상시킬 수 있다. 또한, 대기 성분이나 대기 중에 부유하는 오염 불순물 원소에 오염되지 않고 각 적층 계면을 형성할 수 있으므로, 박막 트랜지스터의 특성의 변동을 저감할 수 있다.

<130> 상술한 바와 같은 구성의 마이크로와 플라즈마 CVD 장치를 사용하면, 각 반응실에서 종류가 유사한 막 혹은 1종류의 막을 형성할 수 있고, 또 대기에 노출시키지 않고 연속적으로 형성할 수 있으므로, 미리 형성한 막의 잔류물이나 대기에 부유하는 불순물 원소에 오염되지 않고, 각 적층 계면을 형성할 수 있다.

<131> 또한, 마이크로와 발생기와 함께 고주파 발생기를 형성하고, 게이트 절연막, 미세결정 반도체막, 채널 보호막, 및 일 도전형층을 부여하는 불순물이 첨가된 반도체막을 마이크로와 플라즈마 CVD법으로 형성하고, 버퍼층을 고주파 플라즈마 CVD법으로 형성하여도 좋다.

<132> 또한, 도 13a 및 도 13b에 도시하는 마이크로와 플라즈마 CVD 장치에는, 로드실 및 언로드실이 따로 형성되지만, 하나로 로드/언로드실로 하여도 좋다. 또한, 마이크로와 플라즈마 CVD장치에 예비실을 형성하여도 좋다. 예비실에서 기판을 예비 가열함으로써, 각 반응실에 있어서 성막될 때까지의 가열 시간을 단축할 수 있으므로, 스루풋을 향상시킬 수 있다. 이들 성막 처리는, 그 목적에 따라, 가스 공급부로부터 공급되는 가스를 선택하면 좋다.

<133> 본 실시형태는, 다른 실시형태에 기재한 구성과 적절히 조합하여 실시할 수 있다.

<134> (실시형태 5)

<135> 다음에, 발광 장치의 제작 공정에 대하여, 도 10a 및 도 11c를 사용하여 설명한다. 발광 장치를 가지는 발광 소자로서는, 여기서는 일렉트로 루미네선스를 이용하는 발광 소자를 사용하여 제시한다. 일렉트로 루미네선스를 이용하는 발광 소자는, 발광 재료가 유기 화합물인지, 무기 화합물인지에 따라 구별되고, 일반적으로, 전자는 유기 EL 소자, 후자는 무기 EL 소자라고 불린다. 또한, 발광 장치에 사용되는 박막 트랜지스터(85, 86)는, 실시형태 1 혹은 실시형태 2에서 나타내는 박막 트랜지스터(74, 274)와 마찬가지로 제작할 수 있고, 전기 특성 및 신뢰성이 높은 박막 트랜지스터이다.

<136> 유기 EL 소자는, 발광 소자에 전압을 인가함으로써, 한 쌍의 전극으로부터 전자 및 정공이 각각 발광성의 유기 화합물을 포함하는 층에 주입되고, 전류가 흐른다. 그리고, 이들 캐리어(전자 및 정공)가 재결합됨으로써, 발광성의 유기 화합물이 여기 상태를 형성하고, 그 여기 상태가 기저 상태로 되돌아갈 때 발광한다. 이러한 메커

니즘에 기인하여, 상술한 바와 같은 발광 소자는, 전류 여기형의 발광 소자라고 불린다.

- <137> 무기 EL 소자는, 그 소자 구성에 의하여, 분산형 무기 EL 소자와 박막형 무기 EL 소자로 분류된다. 분산형 무기 EL 소자는, 발광 재료의 입자를 바인더 중에 분산시킨 전계 발광층을 가지고, 발광 메커니즘은, 도너 준위와 엑셉터 준위를 이용하는 도너-엑셉터 재결합형 발광이다. 박막형 무기 EL 소자는, 방광층을 유전체층으로 끼우고, 그것을 전극으로 더 끼운 구조이고, 발광 메커니즘은 금속 이온의 내각(內殼) 전자 전이를 이용하는 국제형 발광이다. 또한, 여기서는, 발광 소자로서 유기 EL 소자를 사용하여 설명한다. 또한, 발광 소자의 구동을 제어하는 박막 트랜지스터로서, 도 1에 도시하는 채널 스톱형 박막 트랜지스터를 사용하여 제시한다.
- <138> 도 1 내지 도 4d와 마찬가지로의 공정을 거쳐, 도 10a 및 도 10b에 도시하는 바와 같이 기관(100) 위에 박막 트랜지스터(85, 86)를 형성하고, 박막 트랜지스터(85, 86) 위에 보호막으로서 기능하는 절연막(87)을 형성한다. 다음에, 절연막(87) 위에 평탄화막(111)을 형성하고, 평탄화막(111) 위에 박막 트랜지스터(86)의 소스 전극 혹은 드레인 전극에 접속하는 화소 전극(112)을 형성한다.
- <139> 평탄화막(111)은, 아크릴, 폴리이미드, 폴리아미드 등의 유기 수지, 혹은 실록산을 사용하여 형성하는 것이 바람직하다.
- <140> 도 10a에서는 화소의 박막 트랜지스터가 n형이므로, 화소 전극(112)으로서, 음극을 사용하는 것이 바람직하지만, 반대로 p형인 경우는 양극을 사용하는 것이 바람직하다. 구체적으로는, 음극으로서, 일 함수가 작은 재료, 예를 들어, Ca, Al, CaF, MgAg, AlLi 등을 사용할 수 있다.
- <141> 다음에 도 10b에 도시하는 바와 같이, 평탄화막(111) 및 화소 전극(112)의 단부 위에, 격벽(113)을 형성한다. 격벽(113)은 개구부를 가지고, 상기 개구부에 있어서 화소 전극(112)이 노출된다. 격벽(113)은, 유기 수지막, 무기 절연막 혹은 유기 폴리 실록산을 사용하여 형성한다. 특히 감광성 재료를 사용하여, 화소 전극 위에 개구부를 형성하고, 그 개구부의 측벽이 연속한 곡률을 가지게 형성되는 경사면이 되도록 형성하는 것이 바람직하다.
- <142> 다음에, 격벽(113)의 개구부에 있어서 화소 전극(112)과 접하도록, 발광층(114)을 형성한다. 발광층(114)은, 단층으로 구성되거나, 복수층이 적층되도록 구성되거나 어느 쪽이라도 좋다.
- <143> 그리고 발광층(114)을 덮도록, 양극을 사용한 공통 전극(115)을 형성한다. 공통 전극(115)은, 실시형태 1에 화소 전극(77)으로서 열거한 투광성을 가지는 도전성 재료를 사용한 투광성 도전막으로 형성할 수 있다. 공통 전극(115)으로서 상기 투광성 도전막 이외에, 질화티타늄막 혹은 티타늄막을 사용하여도 좋다. 도 10b에서는, 공통 전극(115)으로서 ITO를 사용한다. 격벽(113)의 개구부에 있어서, 화소 전극(112)과 발광층(114)과 공통 전극(115)이 겹침으로써, 발광 소자(117)가 형성된다. 이 후, 발광 소자(117)에 산소, 수소, 수분, 이산화탄소 등이 침입되지 않도록, 공통 전극(115) 및 격벽(113) 위에 보호막(116)을 형성하는 것이 바람직하다. 보호막(116)으로서, 질화실리콘막, 질화산화실리콘막, DLC막 등을 형성할 수 있다.
- <144> 또한, 실제로는, 도 10b까지 완성되면, 외기에 노출되지 않도록 기밀성이 높고, 탈가스가 적은 보호 필름(접합 필름, 자외선 경화 수지 필름 등)이나 커버재로 더 패키징(봉입)하는 것이 바람직하다.
- <145> 다음에, 발광 소자의 구성에 대하여, 도 11a 내지 도 11c를 사용하여 설명한다. 여기서는, 구동용 TFT가 n형인 경우를 예로 들어, 화소의 단면 구조에 대하여 설명한다. 도 11a 내지 도 11c의 발광 장치에 사용되는 구동용 TFT(7001, 7011, 7021)는, 실시형태 1 내지 실시형태 4에서 제시하는 박막 트랜지스터(74, 274)와 마찬가지로 제작할 수 있고, 전기 특성 및 신뢰성이 높은 박막 트랜지스터이다.
- <146> 발광 소자는 발광을 추출하기 위하여 적어도 양극 혹은 음극의 한 쪽이 투명이면 좋다. 그리고, 기관 위에 박막 트랜지스터 및 발광 소자를 형성하고, 기관과는 반대 면으로부터 발광을 추출하는 상면 사출이나, 기관 측의 면으로부터 발광을 추출하는 하면 사출이나, 기관 측 및 기관과는 반대 측의 면으로부터 발광을 추출하는 양면 사출 구조의 발광 소자가 있고, 본 발명의 화소 구성은 어느 사출 구조의 발광 소자이나 적용할 수 있다.
- <147> 상면 사출 구조의 발광 소자에 대하여 도 11a를 사용하여 설명한다.
- <148> 도 11a에, 구동용 TFT(7001)가 n형이고, 발광 소자(7002)로부터 발해지는 빛이 양극(7005) 측으로 사출되는 경우의, 화소의 단면도를 도시한다. 도 11a에서는, 발광 소자(7002)의 음극(7003)과 구동용TFT(7001)가 전기적으로 접속되고, 음극(7003) 위에 발광층(7004), 음극(7005)이 순차로 적층된다. 음극(7003)은 일 함수가 작고 또 빛을 반사하는 도전막이라면 다양한 재료를 사용할 수 있다. 예를 들어, Ca, Al, CaF, MgAg, AlLi 등이 바람직하다. 그리고 발광층(7004)은, 단층으로 구성되거나, 복수층이 적층되도록 구성되거나 어느 쪽이라도 좋다.

복수층으로 구성되는 경우, 음극(7003) 위에 전자 주입층, 전자 수송층, 발광층, 홀 수송층, 홀 주입층의 순서로 적층한다. 또한, 이들 층을 모두 형성할 필요는 없다. 양극(7005)은 빛을 투과하는 투광성을 가지는 도전성 재료를 사용하여 형성하고, 예를 들어, 산화텅스텐을 포함하는 인듐산화물, 산화텅스텐을 포함하는 인듐아연산화물, 산화티타늄을 포함하는 인듐산화물, 산화티타늄을 포함하는 인듐주석산화물, 인듐주석산화물(이하, ITO라고 기재함), 인듐아연산화물, 산화실리콘을 첨가한 인듐주석산화물 등의 투광성을 가지는 도전막을 사용하여도 좋다.

<149> 음극(7003) 및 양극(7005)으로 발광층(7004)을 끼우는 영역이 발광 소자(7002)에 상당한다. 도 11a에 도시한 화소의 경우, 발광 소자(7002)로부터 발해지는 빛은, 화살표로 제시하는 바와 같이 양극(7005) 측으로 사출된다.

<150> 다음에, 하면 사출 구조의 발광 소자에 대하여 도 11b를 사용하여 설명한다. 구동용 TFT(7011)가 n형이고, 발광 소자(7012)로부터 발해지는 빛이 음극(7013) 측으로 사출되는 경우의, 화소의 단면도를 제시한다. 도 11b에서는, 구동용 TFT(7011)와 전기적으로 접속된 투광성을 가지는 도전막(7017) 위에, 발광 소자(7012)의 음극(7013)이 성막되고, 음극(7013) 위에 발광층(7014), 양극(7015)이 순차로 적층된다. 또한, 양극(7015)이 투광성을 가지는 경우, 양극 위를 덮도록, 빛을 반사 혹은 차폐하기 위한 차폐막(7016)이 형성되어도 좋다. 음극(7013)은, 도 11a의 경우와 마찬가지로, 일 함수가 작은 도전성 재료라면 다양한 재료를 사용할 수 있다. 다만 그 막 두께는, 빛을 투과하는 정도(바람직하게는, 5nm 내지 30nm 정도)로 한다. 예를 들어, 20nm의 막 두께를 가지는 알루미늄막을, 음극(7013)으로서 사용할 수 있다. 그리고 발광층(7014)은, 도 11a와 마찬가지로, 단층으로 구성되거나, 복수층이 적층되도록 구성되거나 어느 쪽이라도 좋다. 양극(7015)은 빛을 투과할 필요는 없지만, 도 11a와 마찬가지로, 투광성을 가지는 도전성 재료를 사용하여 형성할 수 있다. 그리고 차폐막(7016)은, 예를 들어 빛을 반사하는 금속 등을 사용할 수 있지만, 금속막에 한정되지 않는다. 예를 들어, 흑색의 안료를 첨가한 수지 등을 사용할 수도 있다.

<151> 음극(7013) 및 양극(7015)으로, 발광층(7014)을 끼우는 영역이 발광 소자(7012)에 상당한다. 도 11b에 도시한 화소의 경우, 발광 소자(7012)로부터 발해지는 빛은, 화살표로 제시하는 바와 같이 음극(7013) 측으로 사출된다.

<152> 다음에, 양면 사출 구조의 발광 소자에 대하여, 도 11c를 사용하여 설명한다. 도 11c에서는, 구동용 TFT(7021)와 전기적으로 접속된 투광성을 가지는 도전막(7027) 위에, 발광 소자(7022)의 음극(7023)이 성막되고, 음극(7023) 위에 발광층(7024), 양극(7025)이 순차로 적층된다. 음극(7023)은, 도 11a의 경우와 마찬가지로, 일 함수가 작은 도전성 재료라면 다양한 재료를 사용할 수 있다. 그러나 그 막 두께는, 빛을 투과하는 정도로 한다. 예를 들어, 20nm의 막 두께를 가지는 Al을, 음극(7023)으로서 사용할 수 있다. 그리고, 발광층(7024)은, 도 11a와 마찬가지로, 단층으로 구성되거나, 복수층이 적층되도록 구성되거나 어느 쪽이라도 좋다. 양극(7025)은, 도 11a와 마찬가지로, 빛을 투과하는 투광성을 가지는 도전성 재료를 사용하여 형성할 수 있다.

<153> 음극(7023)과, 발광층(7024)과, 양극(7025)이 겹치는 부분이 발광 소자(7022)에 상당한다. 도 11c에 도시한 화소의 경우, 발광 소자(7022)로부터 발해지는 빛은, 화살표로 제시하는 바와 같이, 양극(7025) 측과 음극(7023) 측의 양쪽으로 사출된다.

<154> 또한, 여기서는, 발광 소자로서 유기 EL 소자에 대하여 기술하였지만, 발광 소자로서 무기 EL 소자를 형성할 수도 있다.

<155> 또한, 본 실시형태에서는, 발광 소자의 구동을 제어하는 박막 트랜지스터(구동용 TFT)와 발광 소자가 전기적으로 접속되는 예를 제시하였지만, 구동용 TFT와 발광 소자 사이에 전류 제어용 TFT가 접속되는 구성이라도 좋다.

<156> 또한, 본 실시형태에서 제시하는 발광 장치는, 도 11a 내지 도 11c에 도시한 구성에 한정되지 않고, 본 발명의 기술적 사상에 의거한 각종의 변형이 가능하다.

<157> 상술한 공정에 의하여, 발광 장치를 제작할 수 있다. 본 실시형태의 발광 장치는, 전기 특성 및 신뢰성이 높은 박막 트랜지스터를 사용하므로, 콘트라스트 비율이 높고, 시인성이 높은 발광 장치이다.

<158> 본 실시형태에서는, 다른 실시형태에 기재한 구성과 적절히 조합하여 실시하는 것이 가능하다.

<159> (실시형태 6)

<160> 다음에, 본 발명의 발광 장치의 일 형태인 발광 표시 패널(발광 패널이라고도 함)의 구성에 대하여, 이하에 제

시한다.

<161> 도 9a에, 신호선 구동 회로(6013)만을 별도로 형성하고, 기관(6011) 위에 형성된 화소부(6012)와 접속된 발광 표시 패널의 형태를 도시한다. 화소부(6012) 및 주사선 구동 회로(6014)는, 미세결정 반도체막을 사용한 박막 트랜지스터를 사용하여 형성한다. 미세결정 반도체막을 사용한 박막 트랜지스터보다도 높은 이동도가 얻어지는 트랜지스터로 신호선 구동 회로를 형성함으로써, 주사선 구동 회로보다도 높은 구동 주파수가 요구되는 신호선 구동 회로의 동작을 안정시킬 수 있다. 또한, 신호선 구동 회로(6013)는, 단결정 반도체를 사용한 트랜지스터, 다결정 반도체를 사용한 박막 트랜지스터, 혹은 SOI를 사용한 트랜지스터라도 좋다. 화소부(6012)와, 신호선 구동 회로(6013)와, 주사선 구동 회로(6014)에, 각각 전원의 전위, 각종 신호 등이, FPC(6015)를 통하여 공급된다.

<162> 또한, 신호선 구동 회로 및 주사선 구동 회로를, 양쪽 모두 화소부와 동일 기관 위에 형성하여도 좋다.

<163> 또한, 구동 회로를 별도로 형성하는 경우, 반드시 구동 회로가 형성된 기관을, 화소부가 형성된 기관 위에 접합할 필요는 없고, 예를 들어, FPC 위에 접합하도록 하여도 좋다. 도 9b에, 신호선 구동 회로(6023)만을 별도로 형성하고, 기관(6021) 위에 형성된 화소부(6022) 및 주사선 구동 회로(6024)와 접속되는 발광 장치 패널의 형태를 제시한다. 화소부(6022) 및 주사선 구동 회로(6024)는, 미세결정 반도체막을 사용한 박막 트랜지스터를 사용하여 형성한다. 신호선 구동 회로(6023)는, FPC(6025)를 통하여 화소부(6022)와 접속된다. 화소부(6022)와, 신호선 구동 회로(6023)와, 주사선 구동 회로(6024)에, 각각 전원의 전위, 각종 신호 등이, FPC(6025)를 통하여 공급된다.

<164> 또한, 신호선 구동 회로의 일부 혹은 주사선 구동 회로의 일부만을, 미세결정 반도체막을 사용한 박막 트랜지스터를 사용하여 화소부와 동일 기관 위에 형성하고, 남은 부분을 별도로 형성하여 화소부와 전기적으로 접속하도록 하여도 좋다. 도 9c에, 신호선 구동 회로가 가지는 아날로그 스위치(6033a)를, 화소부(6032), 주사선 구동 회로(6034)와 동일 기관(6031) 위에 형성하고, 신호선 구동 회로가 가지는 시프트 레지스터(6033b)를 별도로 다른 기관에 형성하고 나서, 접합하는 발광 장치 패널의 형태를 도시한다. 화소부(6032) 및 주사선 구동 회로(6034)는, 미세결정 반도체막을 사용한 박막 트랜지스터를 사용하여 형성한다. 신호선 구동 회로가 가지는 시프트 레지스터(6033b)는, FPC(6035)를 통하여 화소부(6032)와 접속된다. 화소부(6032)와, 신호선 구동 회로와, 주사선 구동 회로(6034)에, 각각 전원 전위, 각종 신호 등이, FPC(6035)를 통하여 공급된다.

<165> 도 9a 내지 도 9c에 도시하는 바와 같이, 본 발명의 발광 장치는, 구동 회로의 일부 혹은 전부를, 화소부와 동일 기관 위에, 미세결정 반도체막을 사용한 박막 트랜지스터를 사용하여 형성할 수 있다.

<166> 또한, 별도로 형성한 기관의 접속 방법은, 특히 한정되지 않고, 공지의 COG 방법, 와이어 본딩 방법, 혹은 TAB 방법 등을 사용할 수 있다. 또한, 접속하는 위치는, 전기적인 접속이 가능하면, 도 9a 내지 도 9c에 도시한 위치에 한정되지 않는다. 또한, 컨트롤러, CPU, 메모리 등을 별도로 형성하여, 접속하도록 하여도 좋다.

<167> 또한, 본 발명에서 사용하는 신호선 구동 회로는, 시프트 레지스터와 아날로그 스위치만을 가지는 형태에 한정되지 않는다. 시프트 레지스터와 아날로그 스위치에 더하여, 버퍼, 레벨 시프트, 소스 폴로워 등, 다른 회로를 가져도 좋다. 또한, 시프트 레지스터와 아날로그 스위치는 반드시 형성할 필요는 없고, 예를 들어 시프트 레지스터 대신에 디코더 회로와 같은 신호선의 선택을 할 수 있는 다른 회로를 사용하여도 좋고, 아날로그 스위치 대신에 래치 등을 사용하여도 좋다.

<168> 다음에, 본 발명의 발광 장치의 일 형태에 상당하는 발광 표시 패널의 외관 및 단면에 대하여, 도 12a 및 도 12b를 사용하여 설명한다. 도 12a는, 제 1 기관 위에 형성된 미세결정 반도체막을 사용한 박막 트랜지스터 및 발광 소자를, 제 2 기관 사이에 절재에 의하여 밀봉한, 패널 상면도이고, 도 12b는, 도 12a의 E-F에 있어서의 단면도에 상당한다.

<169> 제 1 기관(4501) 위에 형성된 화소부(4502)와, 주사선 구동 회로(4504)를 둘러싸도록, 절재(4505)가 형성된다. 또한, 화소부(4502)와, 주사선 구동 회로(4504) 위에 제 2 기관(4506)이 형성된다. 따라서, 화소부(4502)와, 주사선 구동 회로(4504)는, 제 1 기관(4501)과 절재(4505)와 제 2 기관(4506)에 의하여, 충전재(4507)와 함께 밀봉된다. 또한, 제 1 기관(4501) 위의 절재(4505)에 의하여 둘러싸인 영역과는 다른 영역에, 별도로 준비된 기관 위에 다결정 반도체막으로 형성된 신호선 구동 회로(4503)가 실장된다. 또한, 본 실시형태에서는, 다결정 반도체막을 사용한 박막 트랜지스터를 가지는 신호선 구동 회로를, 제 1 기관(4501)에 접합하는 예에 대하여 설명하지만, 단결정 반도체를 사용한 트랜지스터로 신호선 구동 회로를 형성하고, 접합하도록 하여도 좋다. 도 12b에서는, 신호선 구동 회로(4503)에 포함되는, 다결정 반도체막으로 형성된 박막 트랜지스터(4509)를 예시한

다.

- <170> 또한, 제 1 기관(4501) 위에 형성된 화소부(4502)와, 주사선 구동 회로(4504)는, 박막 트랜지스터를 복수 개 가지고, 도 12b에서는, 화소부(4502)에 포함되는 박막 트랜지스터(4510)를 예시한다. 또한, 본 실시형태에서는, 박막 트랜지스터(4510)가 구동용 TFT라고 가정하지만, 박막 트랜지스터(4510)는 전류 제어용 TFT거나, 소거용 TFT라도 좋다. 박막 트랜지스터(4510)는 미세결정 반도체막을 사용한 박막 트랜지스터에 상당하고, 실시형태 1 내지 실시형태 3에 제시하는 공정으로 마찬가지로 제작할 수 있다.
- <171> 또한, 4511은 발광 소자에 상당하고, 발광 소자(4511)가 가지는 화소 전극은, 박막 트랜지스터(4510)의 소스 전극 혹은 드레인 전극과, 배선(4517)을 통하여 전기적으로 접속된다. 그리고 본 실시형태에서는, 발광 소자(4511)의 공통 전극과 투광성을 가지는 도전성막(4512)이 전기적으로 접속된다. 또한, 발광 소자(4511)의 구성은, 본 실시형태에 제시한 구성에 한정되지 않는다. 발광 소자(4511)로부터 추출하는 빛의 방향이나, 박막 트랜지스터(4510)의 극성 등에 맞추어, 발광 소자(4511)의 구성은 적절히 변경할 수 있다.
- <172> 또한, 별도로 형성된 신호선 구동 회로(4503)와, 주사선 구동 회로(4504) 혹은 화소부(4502)에 주어지는 각종 신호 및 전위는, 도 12b에 도시하는 단면도에서는 도시되지 않지만, 배선(4514 및 4515)을 통하여, FPC(4518)로부터 공급된다.
- <173> 본 실시형태에서는, 접속 단자(4516)가, 발광 소자(4511)가 가지는 화소 전극과 같은 도전막으로 형성된다. 또한, 배선(4514, 4515)은, 배선(4517)과 같은 도전막으로 형성된다.
- <174> 접속 단자(4516)는, FPC(4518)가 가지는 단자와, 이방성 도전막(4519)을 통하여 전기적으로 접속된다.
- <175> 발광 소자(4511)로부터의 빛의 추출 방향에 위치하는 기관으로서, 제 2 기관은 투명해야 한다. 그 경우에는, 유리 판, 플라스틱 판, 폴리에스테르 필름 혹은 아크릴 필름과 같은 투광성을 가지는 재료를 사용한다.
- <176> 또한, 충전재(4507)로서는 질소나 아르곤 등의 불활성 기체 이외에, 자외선 경화 수지 혹은 열 경화 수지를 사용할 수 있고, PVC(폴리비닐 클로라이드), 아크릴, 폴리이미드, 에폭시 수지, 실리콘(silicone) 수지, PVB(폴리비닐 부티랄) 혹은 EVA(에틸렌비닐 아세테이트)를 사용할 수 있다. 본 실시형태에서는 충전재로서 질소를 사용한다.
- <177> 또한, 필요하면, 발광 소자의 사출 면에 편광판, 혹은 원형 편광판(타원형 편광판을 포함함), 위상차판(1/4 파장판 혹은 반파장판), 컬러 필터 등의 광학 필름을 적절히 형성하여도 좋다. 또한, 편광판 혹은 원형 편광판에 반사 방지막을 형성하여도 좋다. 예를 들어, 표면의 요철에 의하여 반사광을 확산함으로써, 눈부심을 저감할 수 있는 눈부심 방지(anti-glare) 처리를 행할 수 있다.
- <178> 또한, 도 12a 및 도 12b에서는, 신호선 구동 회로(4503)를 별도로 형성하고, 제 1 기관(4501)에 실장하는 예를 도시하지만, 본 실시형태는 이 구성에 한정되지 않는다. 주사선 구동 회로를 별도로 형성하여 실장하거나, 신호선 구동 회로의 일부분 혹은 주사선 구동 회로의 일부분만을 별도로 형성하여 실장하거나 좋다.
- <179> 본 실시형태는, 다른 실시형태에 기재한 구성과 적절히 조합하여 실시할 수 있다.
- <180> (실시형태 7)
- <181> 본 발명에 의하여 얻어지는 발광 장치 등에 의하여, 발광 표시 모듈(액티브 매트릭스형 EL 모듈)에 사용할 수 있다. 즉, 이들을 표시부에 내장한 모든 전자기기에 본 발명을 실시할 수 있다.
- <182> 이러한 전자기기로서는, 비디오 카메라, 디지털 카메라 등의 카메라, 헤드 장착형 디스플레이(고글형 디스플레이), 카 네비게이션 시스템, 프로젝터, 카 스테레오 컴포넌트, 퍼스널용 컴퓨터, 휴대 정보 단말(모바일 컴퓨터, 휴대 전화 혹은 전자 서적 등) 등을 들 수 있다. 이들의 일례를 도 7a 내지 7d에 도시한다.
- <183> 도 7a는 텔레비전 장치이다. 발광 표시 모듈을, 도 7a에 도시하는 바와 같이, 하우징에 내장하여, 텔레비전 장치를 완성시킬 수 있다. FPC까지 설치된 발광 표시 패널을 발광 표시 모듈이라고도 한다. 표시 모듈로 주화면(2003)이 형성되고, 그 이외의 부속 설비로서 스피커부(2009), 조작 스위치 등이 구비된다. 상술한 바와 같이, 텔레비전 장치를 완성시킬 수 있다.
- <184> 도 7a에 도시하는 바와 같이, 발광 소자를 이용한 발광 표시용 패널(2002)이 하우징(2001)에 포함되고, 수신기(2005)에 의하여 일반적인 TV 방송의 수신을 비롯하여, 모뎀(2004)을 통하여 유선 혹은 무선에 의한 통신 네트워크에 접속함으로써 일방향(송신자로부터 수신자) 혹은 쌍방향(송신자와 수신자 사이, 혹은 수신자들 사이)의

정보 통신을 할 수도 있다. 텔레비전 장치의 조작은, 하우징에 내장된 스위치 혹은 별체의 원격 제어기(2006)로 행할 수 있고, 이 원격 제어 장치에도 출력하는 정보를 표시하는 표시부(2007)가 형성되어도 좋다.

- <185> 또한, 텔레비전 장치에는, 주화면(2003) 이외에, 서브 화면(2008)을 제 2 발광 표시용 패널을 사용하여 형성하고, 채널이나 음량 등을 표시하는 구성이 부가되어도 좋다.
- <186> 도 8은 텔레비전 장치의 주요한 구성을 도시하는 블록도를 도시한다. 발광 표시 패널에는, 화소부(901)가 형성된다. 신호선 구동 회로(902)와 주사선 구동 회로(903)는, 발광 표시 패널에 COG 방식에 의하여 실장되어도 좋다.
- <187> 그 이외의 외부 회로의 구성으로서, 영상 신호의 입력 측에서는, 튜너(904)에서 수신한 신호 중, 영상 신호를 증폭하는 영상 신호 증폭 회로(905)와, 거기서 출력되는 신호를 적색, 녹색, 청색의 각 색깔에 대응한 색 신호로 변환하는 영상 신호 처리 회로(906)와, 그 영상 신호를 드라이버 IC의 입력 사양으로 변환하기 위한 컨트롤 회로(907) 등을 가진다. 컨트롤 회로(907)는, 주사선 측과 신호선 측에 각각 신호를 출력한다. 디지털 구동하는 경우에는, 신호선 측에 신호 분할 회로(908)를 형성함으로써, 입력 디지털 신호를 m개로 분할하여 공급하는 구성으로 하여도 좋다.
- <188> 튜너(904)에서 수신한 신호 중, 음성 신호는 음성 신호 증폭 회로(909)로 보내지고, 그 출력은 음성 신호 처리 회로(910)를 통하여 스피커(913)에 공급된다. 제어 회로(911)는 수신국(수신 주파수)이나 음량의 제어 정보를 입력부(912)로부터 받아, 튜너(904)나 음성 신호 처리 회로(910)에 그 신호를 송출한다.
- <189> 물론, 본 발명은 텔레비전 장치에 한정되지 않고, 퍼스널 컴퓨터의 모니터를 비롯하여, 철도 역이나 공항 등의 정보 표시판이나, 거리에 있는 광고 표시판 등 대면적의 표시 매체로서도 다양한 용도에 적용할 수 있다.
- <190> 도 7b는 휴대 전화기(2301)의 일례를 도시한다. 이 휴대 전화기(2301)는, 표시부(2302), 조작부(2303) 등을 포함하여 구성된다. 표시부(2302)에 있어서는, 상기 실시형태에서 설명한 발광 장치를 적용함으로써, 신뢰성 및 양산성을 높일 수 있다.
- <191> 또한, 도 7c에 도시하는 휴대형 컴퓨터는, 본체(2401), 표시부(2402) 등을 포함한다. 표시부(2402)에, 상기 실시형태에 제시하는 발광 장치를 적용함으로써, 신뢰성 및 양산성을 높일 수 있다.
- <192> 도 7d는 탁상 조명 기구이며, 조명부(2501), 갓(2502), 가변 암(arm)(2503), 지주(2504), 대(2505), 전원(2506)을 포함한다. 본 발명의 발광 장치를 조명부(2501)에 사용함으로써 제작된다. 또한, 조명 기구에는 천정 고정형의 조명 기구 혹은 벽걸이형 조명 기구 등도 포함된다. 상기 실시형태에 제시하는 발광 장치를 적용함으로써, 신뢰성 및 양산성을 높일 수 있다.

도면의 간단한 설명

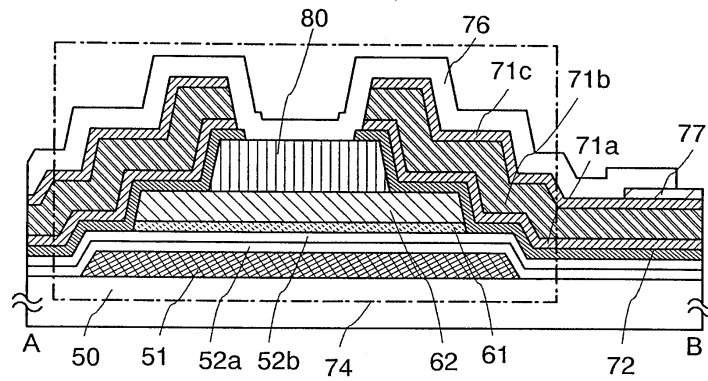
- <193> 도 1은 본 발명의 발광 장치의 설명도.
- <194> 도 2a 내지 도 2d는 본 발명의 발광 장치를 제작하기 위한 방법에 대한 설명도.
- <195> 도 3a 내지 도 3c는 본 발명의 발광 장치를 제작하기 위한 방법에 대한 설명도.
- <196> 도 4a 내지 도 4d는 본 발명의 발광 장치를 제작하기 위한 방법에 대한 설명도.
- <197> 도 5는 본 발명의 발광 장치에 대한 설명도.
- <198> 도 6a 내지 도 6d는 본 발명의 발광 장치를 제작하기 위한 방법에 대한 설명도.
- <199> 도 7a 내지 도 7d는 본 발명이 적용되는 전자 디바이스들을 도시한 도면.
- <200> 도 8은 본 발명이 적용되는 전자 디바이스의 주요 구조를 도시한 블록도.
- <201> 도 9a 내지 도 9c는 본 발명의 발광 장치를 도시한 도면.
- <202> 도 10a 및 도 10b는 본 발명의 발광 장치를 도시한 도면.
- <203> 도 11a 내지 도 11c는 본 발명의 발광 장치를 제작하기 위한 방법을 도시한 도면.
- <204> 도 12a 및 도 12b는 본 발명의 발광 장치를 도시한 도면.
- <205> 도 13a 및 도 13b는 본 발명의 플라즈마 CVD 장치를 도시한 평면도.

<206> 도 14는 본 발명의 발광 장치에 대한 설명도.

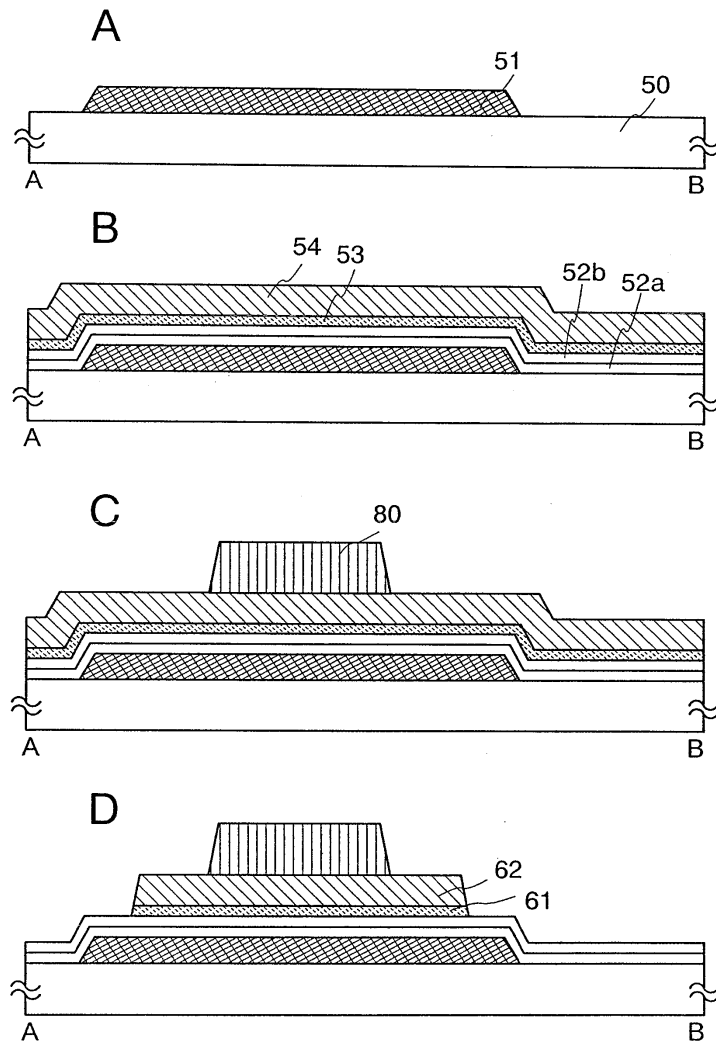
<207> 도 15는 본 발명의 발광 장치에 대한 설명도.

도면

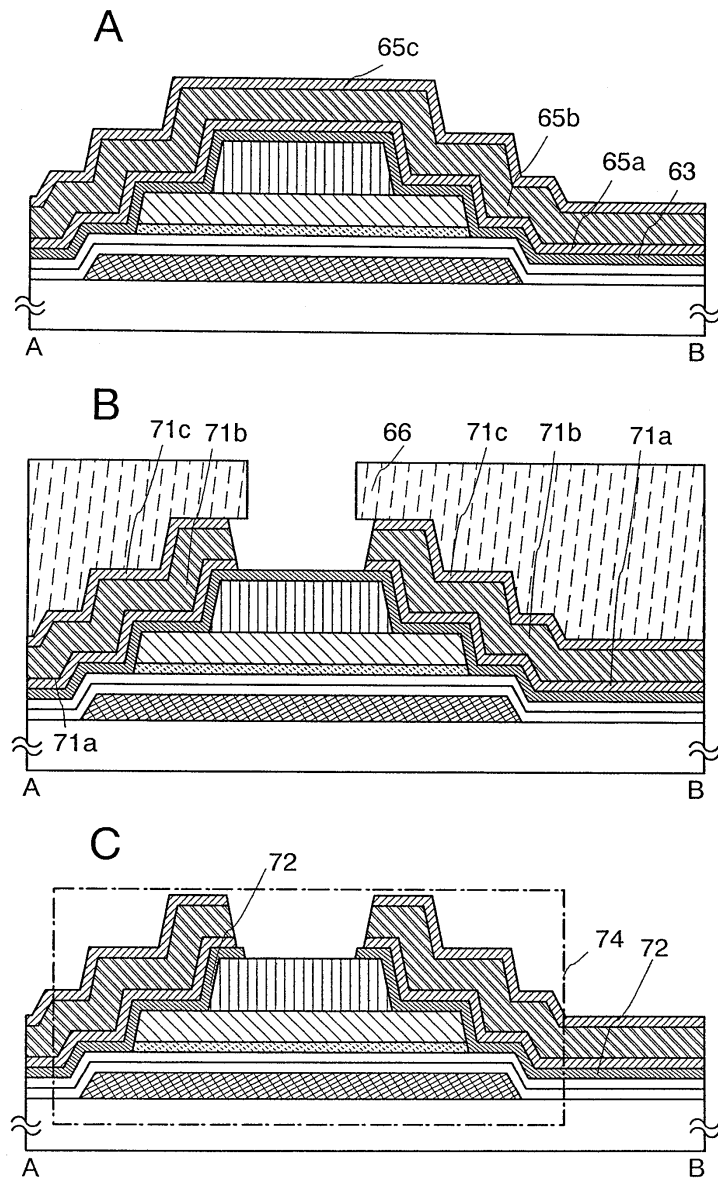
도면1



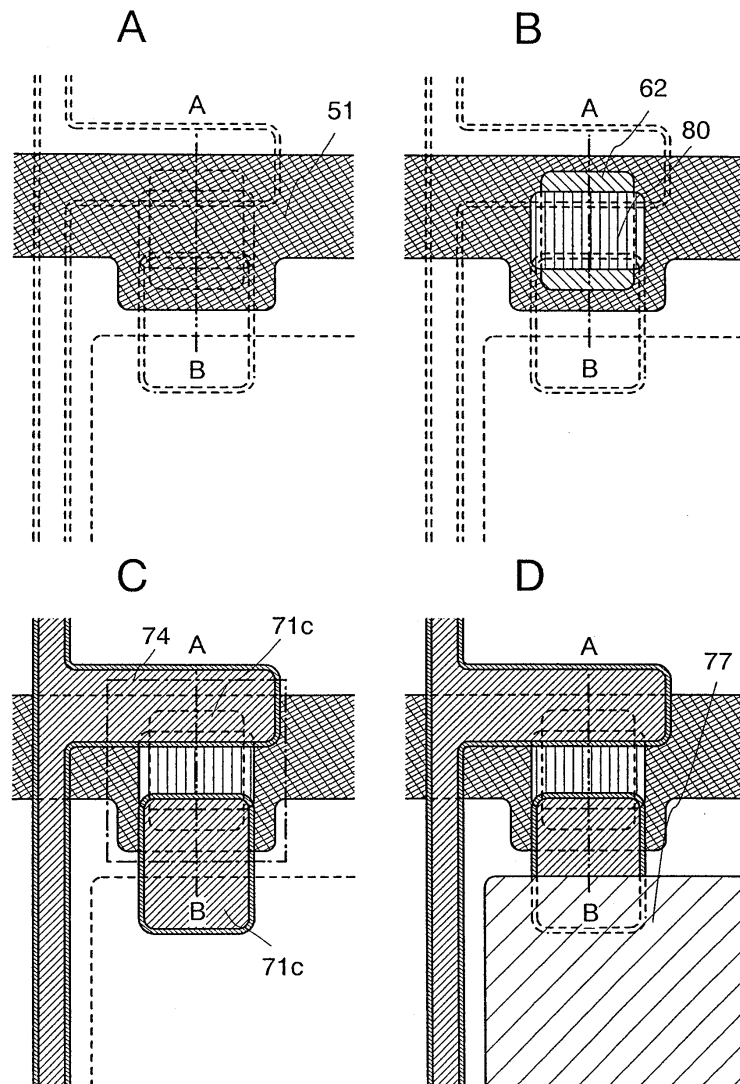
도면2



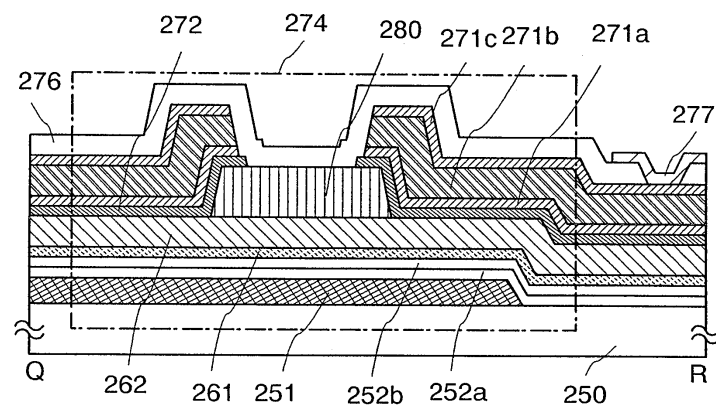
도면3



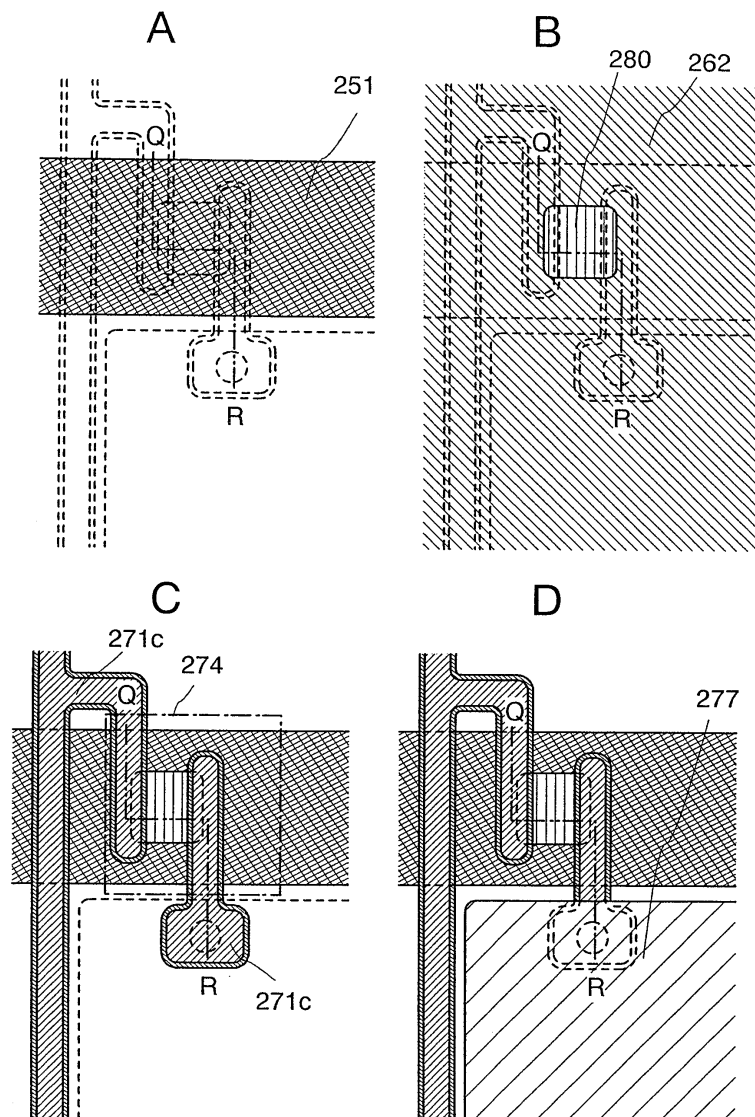
도면4



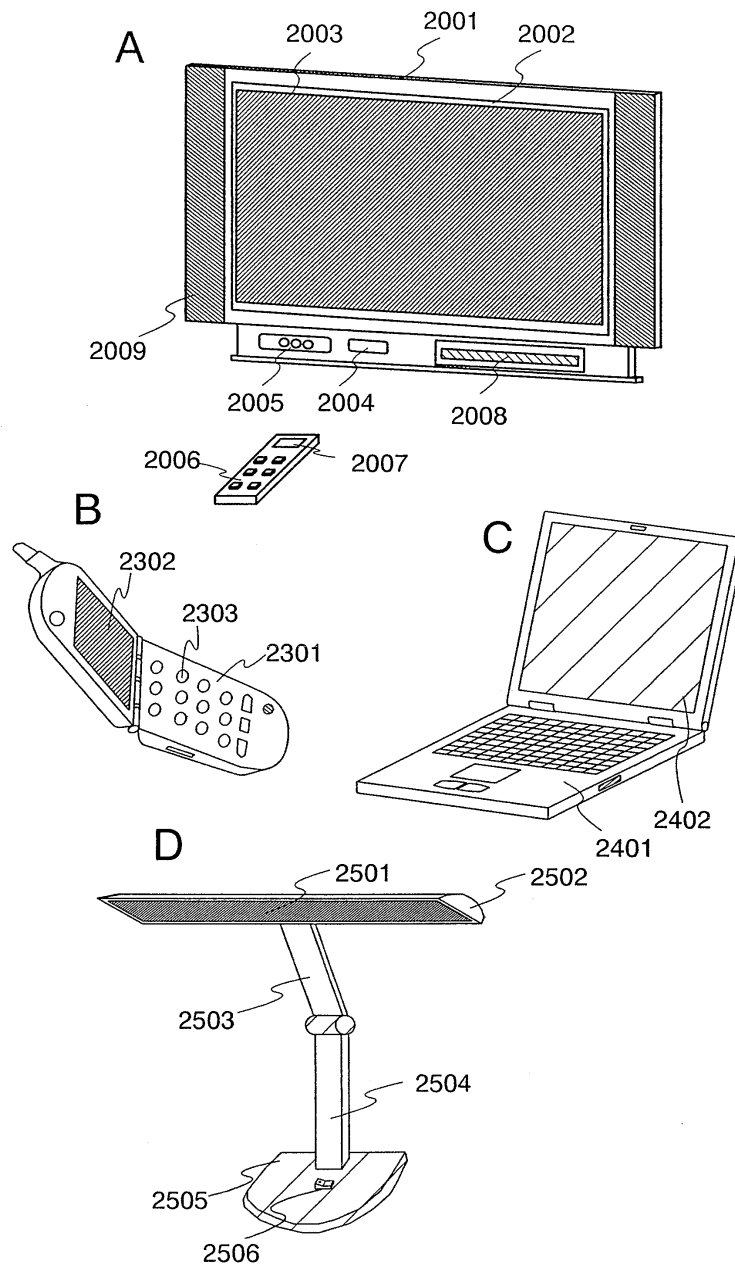
도면5



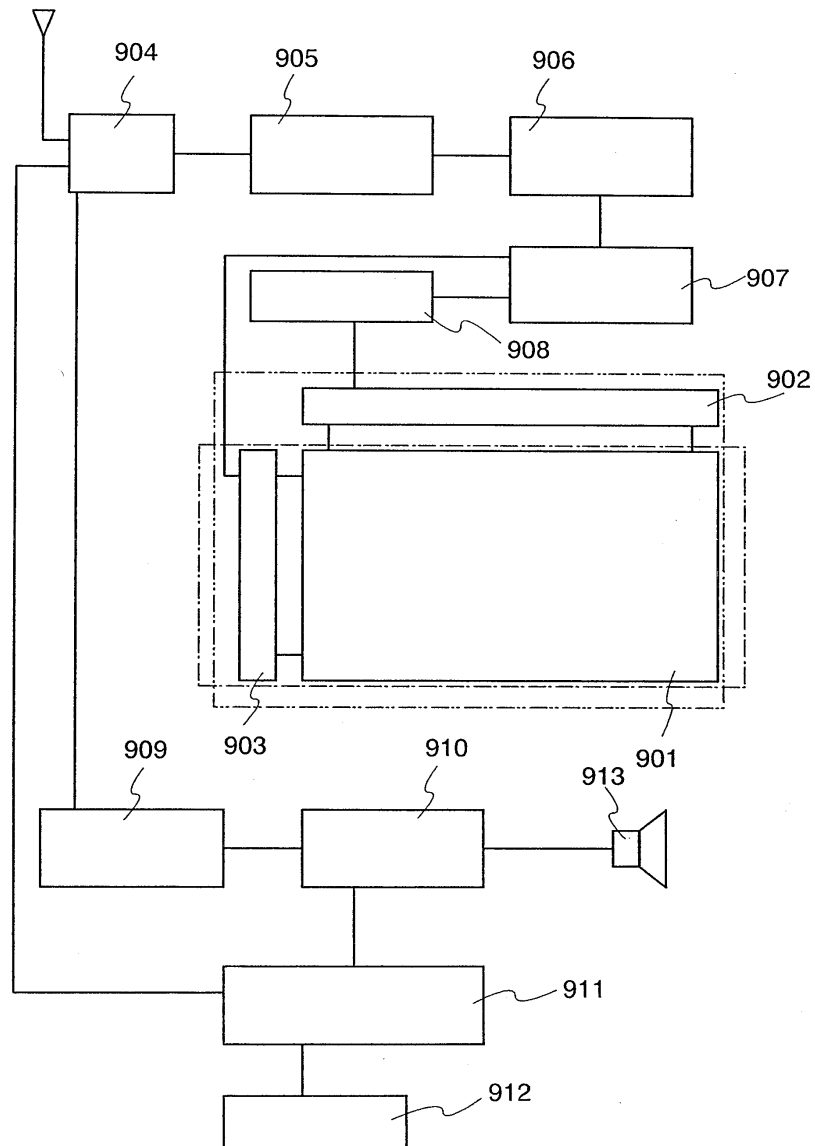
도면6



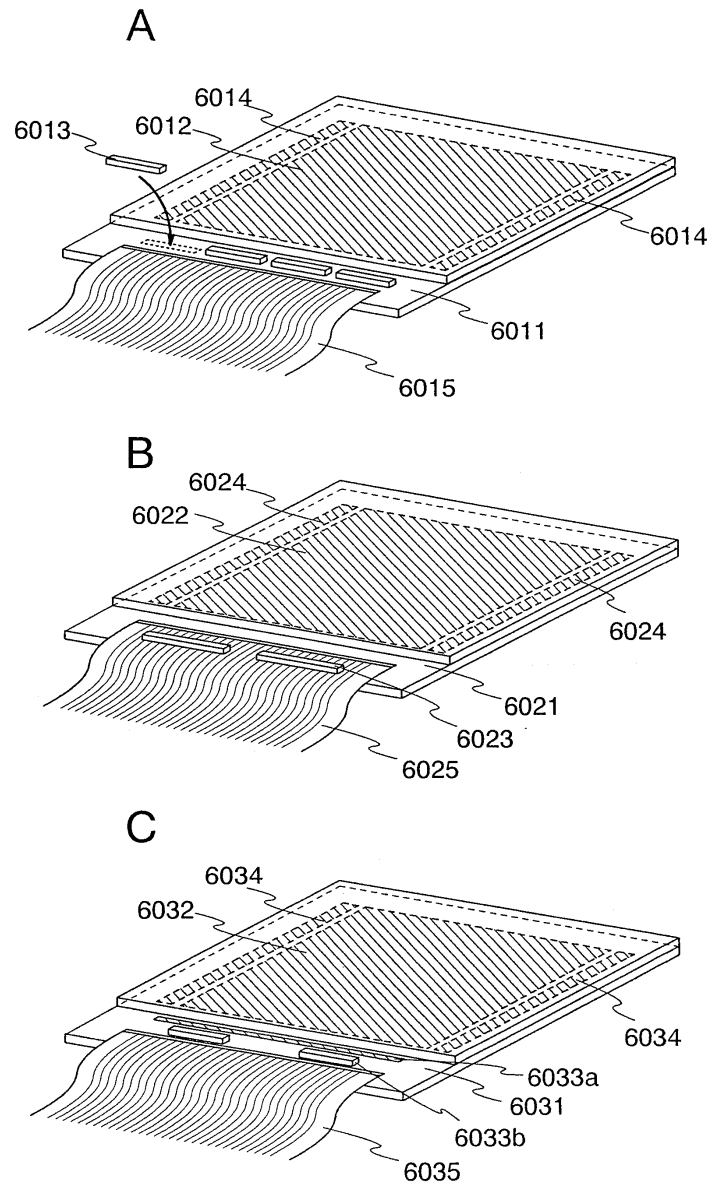
도면7



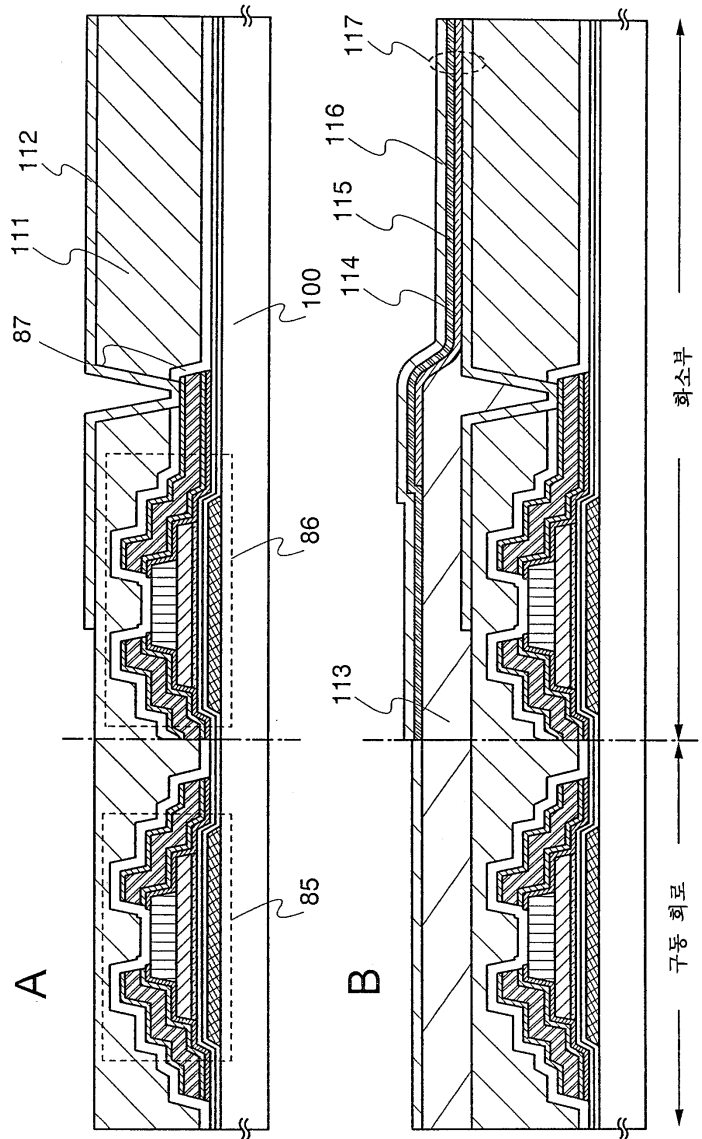
도면8



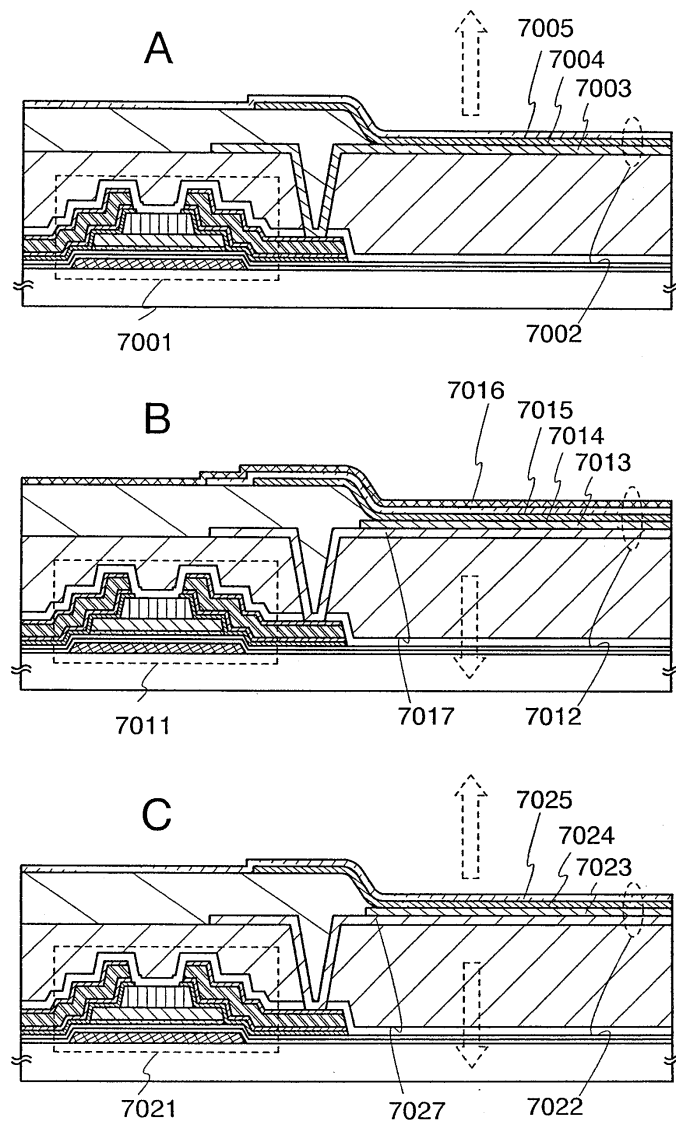
도면9



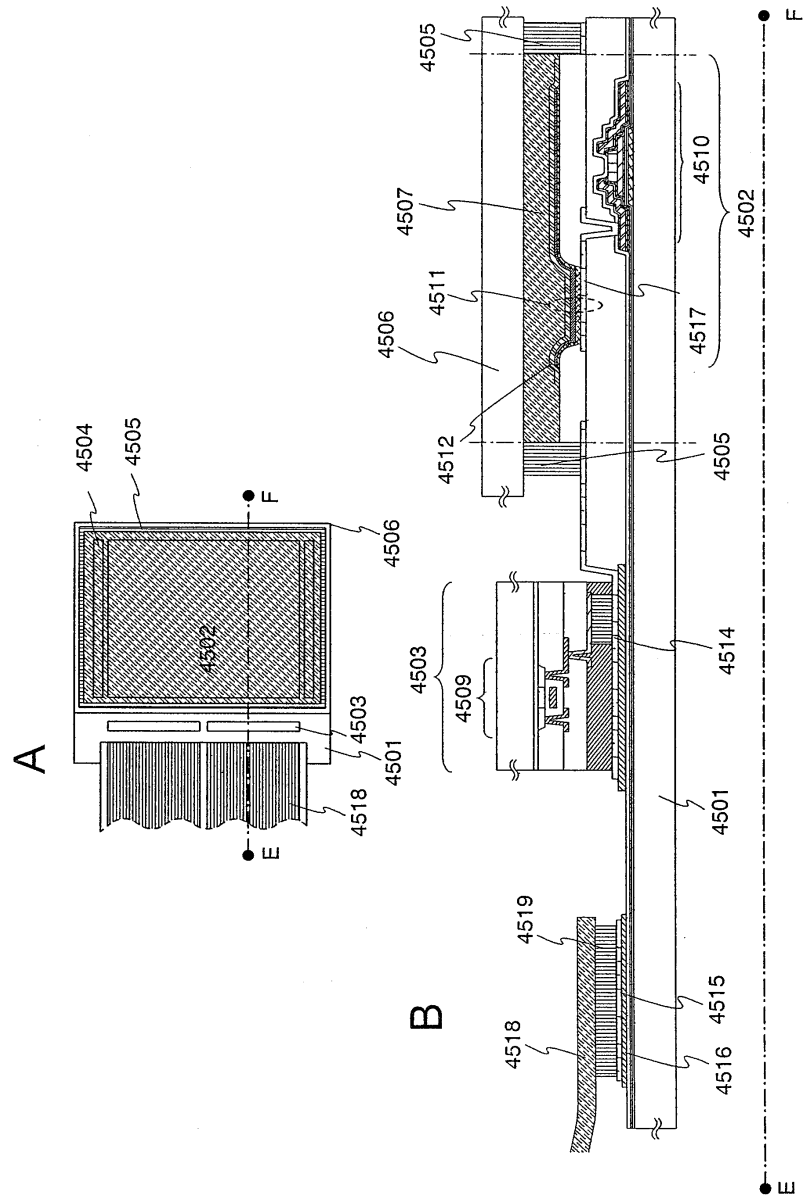
도면10



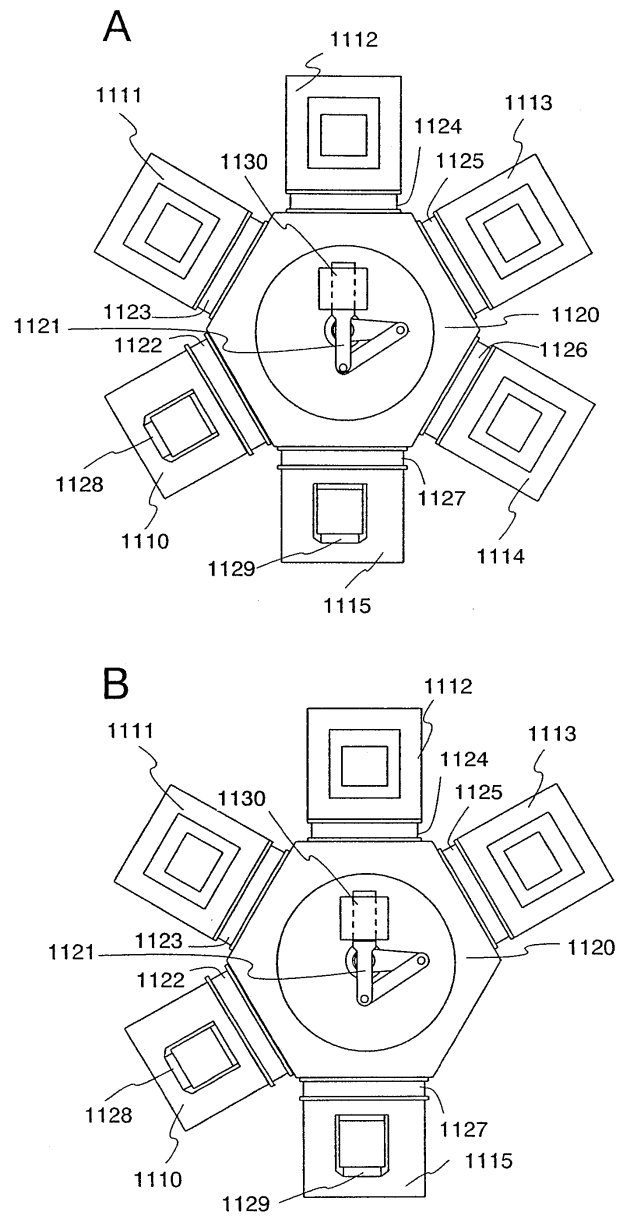
도면11



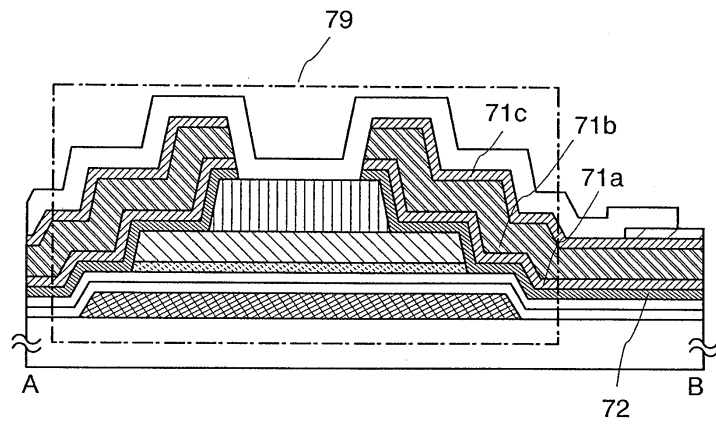
도면12



도면13



도면14



도면15

