



[12] 发明专利说明书

专利号 ZL 200480019911.3

[45] 授权公告日 2009 年 7 月 15 日

[11] 授权公告号 CN 100514076C

[22] 申请日 2004.7.15

US6008061A 1999.12.28

[21] 申请号 200480019911.3

US6214630B1 2001.4.10

[30] 优先权

审查员 周亚沛

[32] 2003.8.5 [33] US [31] 10/634,484

[74] 专利代理机构 中国国际贸易促进委员会专利
商标事务所

[86] 国际申请 PCT/US2004/022509 2004.7.15

代理人 王永刚

[87] 国际公布 WO2005/017959 英 2005.2.24

[85] 进入国家阶段日期 2006.1.11

[73] 专利权人 飞思卡尔半导体公司

地址 美国得克萨斯

[72] 发明人 图-安·特兰

理查德·K.·艾古驰

彼得·R.·哈珀 李曙钟(音译)

威廉·M.·威廉斯 洛伊丝·勇

[56] 参考文献

CN1246731A 2000.3.8

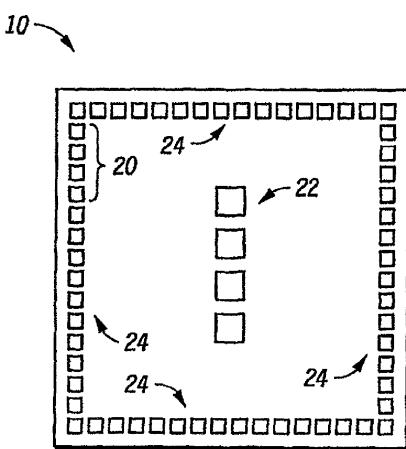
权利要求书 4 页 说明书 8 页 附图 4 页

[54] 发明名称

具有测试焊盘结构的集成电路以及测试方法

[57] 摘要

半导体器件(10)在外围具有大量用于金属丝键合的键合焊盘(24)。半导体器件(10)具有模块(12)以及其它电路，但模块(12)比其它电路需要明显地更长的时间来测试。至少部分地由于具有内建自测试(BIST)(16)电路的半导体器件，模块测试要求键合焊盘(20)和模块键合焊盘(20)的数目比较少。这些模块键合焊盘(22)的功能被明显地大于外围键合焊盘(24)的模块测试焊盘(22)复制在半导体器件(10)的顶部表面上和半导体器件(10)的内部。有了测试用的大焊盘(22)，就使得能够采用较长的探针尖端，从而增强了同时测试的能力。通过测试焊盘接口得到了功能的复制，致使模块键合焊盘(20)和模块测试焊盘(22)不必短路到一起。



1. 一种集成电路，包括：

形成在管芯内且用来执行一种功能的有源电路功能块；

与管芯顶部表面的一部分重叠的钝化层；以及

基本上设置在管芯的中部内的用来接收测试探针的测试焊盘结构，其中，测试焊盘结构包括直接对功能块进行访问的与钝化层不重叠的第一部分以及与钝化层重叠的用来在功能块测试过程中被探测的第二部分。

2. 权利要求 1 的集成电路，还包括：

沿管芯的外围的多个键合焊盘；以及

通过钝化层而形成的测试焊盘结构第一部分的通道。

3. 权利要求 2 的集成电路，其中，所述键合焊盘为至少两组信号而配置，第一组信号设置成仅仅使用外围区上的金属层焊盘，而第二组信号设置成使用外围区上以及测试焊盘结构上的金属层焊盘，第二组信号足以执行功能块的测试。

4. 权利要求 2 的集成电路，其中，所述通道包括多个通道，所述多个通道按测试焊盘结构的电学要求来配置。

5. 权利要求 2 的集成电路，其中，所述测试焊盘结构的材料包括铝。

6. 权利要求 2 的集成电路，其中，所述测试焊盘结构包含多个各具有顶部表面积的测试焊盘，以及其中所述多个键合焊盘中每个键合焊盘的顶部表面积明显地小于测试焊盘顶部表面积。

7. 权利要求 6 的集成电路，还包括内建自测试 BIST 电路，并且其中，结合 BIST 电路足以测试功能块的测试焊盘的数目不大于 16。

8. 权利要求 6 的集成电路，其中，所述测试焊盘的数目是集成电路的结构、类型和内建自测试的函数。

9. 权利要求 6 的集成电路，其中，所述测试焊盘是约为 100 微米×200 微米的大尺寸以及约为 200-250 微米的近似间距。

10. 权利要求 6 的集成电路，其中，所述测试焊盘被对准在探针测试中心区内，其中，探针测试包括选自悬臂探针测试和垂直探针测试中的一种。

11. 权利要求 10 的集成电路，其中，所述测试焊盘被对准成单个行。

12. 权利要求 1 的集成电路，其中，所述测试焊盘结构包括至少一个被配置成仅仅使用测试功能块的信号的测试焊盘。

13. 权利要求 12 的集成电路，其中，根据选自内建自测试 BIST 和失效分析测试中的一种来配置功能块的测试。

14. 权利要求 12 的集成电路，其中，在所述管芯的外围区上的金属层焊盘处，不另外需要仅仅用于功能块测试的信号。

15. 权利要求 1 的集成电路，其中，所述测试焊盘结构与下一层面互连无关。

16. 权利要求 1 的集成电路，其中，所述中部表示管芯的核心区。

17. 权利要求 1 的集成电路，其中，所述功能块包括芯片上系统 SOC 的存储器。

18. 权利要求 17 的集成电路，其中，所述存储器包括选自快速存储器、DRAM、SRAM、ROM 存储器的一种。

19. 权利要求 18 的集成电路，其中，所述存储器包括约为 2 Mb 的快速存储器。

20. 权利要求 1 的集成电路，其中，所述功能块包括芯片上系统 SOC 的逻辑电路。

21. 权利要求 1 的集成电路，其中，所述功能块包括具有多个管芯功能的多个功能块。

22. 权利要求 1 的集成电路，其中，所述功能块包括最终金属层的一部分。

23. 权利要求 22 的集成电路，其中，所述最终金属层是选自铜和铝中的一种。

24. 一种集成电路，包括：

形成在管芯内且用来执行一种功能的电路功能块；

重叠部分管芯顶部表面的钝化层；以及

设置在管芯的外围区上的用于第一组功能和第二组功能的多个键合焊盘，其中，第一组功能专用于键合焊盘；且

多个测试焊盘重叠部分钝化层并设置在管芯中心区内，其中，多个测试焊盘用于第二组功能，并且其中，第二组功能用来测试功能块。

25. 权利要求 24 的集成电路，其中，多个键合焊盘的每一个具有顶部表面积，且多个测试焊盘的每一个的顶部表面积至少二倍于多个键合焊盘的每一个的顶部表面积。

26. 权利要求 24 的集成电路，其中，多个键合焊盘的每一个具有顶部表面积，且多个测试焊盘的每一个的顶部表面积至少大约四倍于多个键合焊盘的每一个的顶部表面积。

27. 权利要求 24 的集成电路，其中，所述多个测试焊盘足以测试功能块。

28. 权利要求 24 的集成电路，其中，所述测试焊盘的每一个通过钝化层中的通道被直接连接到功能块。

29. 一种用来测试权利要求 24 的集成电路的测试装置，包括：

用来测试集成电路功能块的测试器；以及

耦合到测试器且具有探针接触的探针卡，其中，探针接触在用测试器测试功能块的过程中被用来接触集成电路的测试焊盘结构。

30. 一种用来测试权利要求 24 的集成电路的方法，包括：

提供用来测试集成电路功能块的测试器；以及

提供耦合到测试器且具有探针接触的探针卡，其中，探针接触在用测试器测试功能块的过程中被用来接触集成电路的测试焊盘结构。

31. 权利要求 30 的方法，其中，所述探针接触还被用来同时接触晶片上多个集成电路的测试焊盘结构以便并行测试，并且其中，测试器还被用来测试多个集成电路的功能块。

32. 权利要求 31 的方法，其中，所述探针接触被用来同时接触至少 16 个集成电路管芯的测试焊盘结构。

33. 权利要求 32 的方法，其中，所述探针接触包括悬臂探针接触。

34. 一种制作集成电路的方法，包括：

在管芯内形成有源电路功能块，此有源电路功能块用来执行一种功能；

形成重叠部分管芯顶部表面的钝化层；以及

形成基本上重叠部分钝化层且排列在管芯的中部内的测试焊盘结构，其中，形成测试焊盘结构包括形成直接对功能块进行访问的第一部分测试焊盘结构以及形成另一部分测试焊盘结构用来在功能块测试过程中被探针测试。

35. 权利要求 34 的方法，还包括：

形成设置在管芯的外围区上的金属层焊盘，其中，金属层焊盘为至少两组信号而配置，第一组信号设置成仅仅使用外围区上的金属层焊盘，而第二组信号设置成使用外围区上以及测试焊盘结构上的金属层焊盘，第二组信号足以执行功能块的测试。

具有测试焊盘结构的集成电路以及测试方法

相关申请

本申请涉及到受让于本受让人的 2004 年 9 月 2 日提交的题为“**Semiconductor Device Having a Wire Bond Pad and Method Therefor**”的美国专利 No.6614091。

技术领域

本发明涉及到封装的集成电路，更确切地说是涉及到用于金属丝键合且具有测试功能块的集成电路。

背景技术

在集成电路制造中，金属丝键合被证实是一种将具有电路的半导体管芯连接到元件封装件上的插脚的好方法。在集成电路制造中，在完成元件装配之前，对半导体管芯的功能进行测试，也是一种通用的工作。“探针测试”就是这样一种用来测试半导体的方法，其中，探针接触通常被用作对管芯上键合焊盘的机械和电学接口。

对于包括测试探针测试的测试过程，在执行测试所需要的时间长度方面是重要的。尽量缩短这一测试时间是可取的。能够缩短测试时间的一种方法是并行测试晶片上的多个管芯。管芯的这一同时测试是有利的，但由于现代深亚微米半导体技术不断减小键合焊盘几何形状的特性而更为困难。不断减小的键合焊盘几何形状包括其上形成更小金属丝键合的更小的键合焊盘以及减小各个键合焊盘的分隔距离。键合焊盘中心之间的距离被称为间距。由于间距和键合焊盘尺寸已经随技术进步而减小，故增大了对稳定的并行探针测试方法的困难。更小的键合焊盘需要探针尖端更小的探针，这造成探针卡制造和维护都困难。随着对并行探针测试的需求，已经增大了悬臂探针尖端的长度，

这使键合焊盘的精确定位更为困难。更困难的是在许多长而细的探针尖端之间保持共平面性以及保持与键合焊盘的良好电接触。于是，向更小键合焊盘的发展与向更长探针尖端的发展就组合起来增大了将探针尖端恰当地置于键合焊盘上的困难。为了克服这一困难，已经开发的一种技术是利用垂直探针技术，这是一种比悬臂探针技术更昂贵的技术。

于是，面临间距更紧密的更小的键合焊盘仍然能够增大并行测试方法所测试的管芯的数目，同时仍然能够恰当地定位探针尖端以执行所需要的测试，优选不明显地影响管芯尺寸，是有利的。

发明内容

根据本发明的一个方面，提供一种集成电路，包括：形成在管芯内且用来执行一种功能的有源电路功能块；与管芯顶部表面的一部分重叠的钝化层；以及基本上设置在管芯的中部内的用来接收测试探针的测试焊盘结构，其中，测试焊盘结构包括直接对功能块进行访问的与钝化层不重叠的第一部分以及与钝化层重叠的用来在功能块测试过程中被探测的第二部分。

根据本发明的另一方面，提供一种集成电路，包括：形成在管芯内且用来执行一种功能的电路功能块；重叠部分管芯顶部表面的钝化层；以及设置在管芯的外围区上的用于第一组功能和第二组功能的多个键合焊盘，其中，第一组功能专用于键合焊盘；且多个测试焊盘重叠部分钝化层并设置在管芯中心区内，其中，多个测试焊盘用于第二组功能，并且其中，第二组功能用来测试功能块。

根据本发明的另一方面，提供一种用来测试权利要求 24 的集成电路的测试装置，包括：用来测试集成电路功能块的测试器；以及耦合到测试器且具有探针接触的探针卡，其中，探针接触在用测试器测试功能块的过程中被用来接触集成电路的测试焊盘结构。

根据本发明的另一方面，提供一种用来测试权利要求 24 的集成电路的方法，包括：提供用来测试集成电路功能块的测试器；以及提

供耦合到测试器且具有探针接触的探针卡，其中，探针接触在用测试器测试功能块的过程中被用来接触集成电路的测试焊盘结构。

根据本发明的另一方面，提供一种制作集成电路的方法，包括：在管芯内形成有源电路功能块，此有源电路功能块用来执行一种功能；形成重叠部分管芯顶部表面的钝化层；以及形成基本上重叠部分钝化层且排列在管芯的中部内的测试焊盘结构，其中，形成测试焊盘结构包括形成直接对功能块进行访问的第一部分测试焊盘结构以及形成另一部分测试焊盘结构用来在功能块测试过程中被探针测试。

附图说明

利用附图，用举例而非限制的方法来描述本发明，在这些附图中，相似的参考号表示相似的元件，其中：

图 1 是根据本发明一个实施方案的集成电路的功能方框图；

图 2 是图 1 集成电路的简化俯视图；

图 3 是图 1 集成电路的局部剖面图；

图 4 是封装的图 1 集成电路另一部分的剖面图；而

图 5 是可用来测试存在于一个半导体晶片上的多个图 1 集成电路的测试装置。

熟练人员理解的是，为简化和清晰而在图中示出了各个元件，没有必要按比例绘制。例如，为了有助于更好地理解本发明的各个实施方案，图中的某些元件可能相对于其它元件被夸大了。

具体实施方式

如此处所述，集成电路可以具有多个功能块，也可以称为模块。示例性模块包括非易失存储器（NVM）、静态随机访问存储器（SRAM）、只读存储器（ROM）、以及处理器。在本发明的一种形式中，利用比外围键合焊盘大得多的管芯中部的模块测试焊盘，用内建自测试（BIST）电路和外部测试器的组合，来测试模块。在本发明的另一形式中，管芯中部内的大的测试焊盘被设计来测试集成电路上

的多个模块或测试整个集成电路。仅仅测试模块所需的焊盘被提供作为模块测试焊盘。这些模块测试焊盘位于钝化层上，并通过典型地在钝化层中形成通道的窗口而与下方模块电路接触。借助于将模块测试焊盘延伸在钝化层上，通道的尺寸不受影响，并能够增大模块测试焊盘的尺寸而不增大半导体器件的总尺寸。利用大间距的大测试焊盘，能够利用诸如悬臂探针技术之类的成本显著地低的探针技术。悬臂探针尖端能够比较大距离延伸而仍然可靠地与测试焊盘接触，于是能够并行测试存在于半导体晶片上的多个管芯。参照附图和下列描述来更好地理解这一点。

图 1 所示是半导体器件 10，它包含模块 12、测试焊盘接口 14、内建自测试（BIST）电路 16、以及逻辑电路 18。这示出了半导体器件 10 的这些元件 12-18 被互连。逻辑电路 18 优选包括算术逻辑单元（ALU）以及使模块 12 工作的其它控制电路。BIST 16 被用来对模块 12 和逻辑电路 18 进行性能测试。为了对模块 12 进行测试，还需要外部测试电路。在此情况下，如图 2 所示，测试焊盘接口 14 协助将模块耦合到外部测试电路。

图 2 所示是半导体器件 10 的俯视图，示出了外围的模块键合焊盘 20、半导体器件中部的一行模块测试焊盘 22、以及外围的标准键合焊盘 24。模块 12 接收并产生信号，其中一些信号可用来测试模块 12。可用于测试的这些信号被称为模块测试信号。这些模块测试信号被向外引到键合焊盘 20，并经由测试焊盘接口 14 被引到模块测试焊盘 22。在此情况下，为了便于通常用于测试的悬臂探针尖端，模块测试焊盘 22 成单行。模块测试焊盘 22 如键合焊盘 20 那样用于相同的功能信号。模块键合焊盘 20 比模块测试焊盘 22 小得多。模块测试焊盘可以如图 2 所示为正方形，或其它的一些形状。例如，模块测试焊盘可以是 100 微米×200 微米，且当沿短边对准时以 250 微米的间距分隔开。键合焊盘同样可以是正方形或其它的一些形状。例如，键合焊盘可以是 52 微米×82 微米，且当沿短边对准时以 55 微米的间距分隔开。于是，在本例子中，模块测试焊盘的顶部表面积比键合焊盘的顶部表面积大 4

倍以上。为了将探针尖端着落在这种焊盘上，键合焊盘 20 和 24 与模块测试焊盘 22 相比的尺寸差别是非常重要的。模块测试焊盘的最佳尺寸、间距、以及位置，能够确保最便宜且最成熟的悬臂探针技术的使用。即使测试焊盘仅仅 2 倍大，也明显有利于确保悬臂探针尖端着落在测试焊盘上。

在所示的例子中，仅仅有 4 个模块测试焊盘，但通常可能需要更多。所需的数目是模块结构、模块类型、以及 BIST 16 运作方式的函数。在一个例子中，2 Mb 的快速模块需要 14 个模块测试焊盘。所要求的这一数目随 BIST 的类型和模块结构以及要执行的模块测试的特殊类型而变化。在模块测试中确定所需数目的方式是已知的。与测试诸如逻辑电路 18 之类的逻辑电路相比，这种类型的存储器的模块测试量通常更大得多。于是，在提高存储器并行测试能力方面，有着更多得多的好处。此功能于是在于将大多数信号仅仅引到外围的键合焊盘 24 上，而执行模块测试所需的信号被向外引到外围的模块键合焊盘 20 上以及外圈内更大得多的模块测试焊盘 22 上。模块测试焊盘数目小与模块测试焊盘优化的尺寸、间距、以及位置的组合，使得能够提高半导体器件并行测试的水平。

图 3 所示的是半导体 10 剖面图，示出了测试焊盘接口 14 的一部分。图 3 所示的是形成在半导体衬底 26 中和半导体衬底 26 上的模块 12、是为图 2 模块测试焊盘 22 之一的测试焊盘 34、是为组合了导电层和分隔各个导电层的介质层的衬底 26 上的互连层区 28、互连层区 28 上的钝化层 36、是为图 2 所示模块键合焊盘 20 之一的键合焊盘 30、衬底 26 上的驱动器 47、将驱动器 47 连接到键合焊盘 30 的互连 48、暴露键合焊盘 30 的窗口 38、以及通道 40。4 个金属层位于互连层区 28 中。金属部分 49 和 50 被形成在第一金属层中，金属部分 51 和 52 被形成在第二金属层中，金属部分 46 和 54 被形成在第三金属层中，而部分 32 和模块键合焊盘 30 被形成在是为钝化层之前的最终金属层的最后金属层中。这 4 个金属层被用来提供互连。这些是为了说明而示出的，在变通的半导体器件中金属互连层的数目可能或多或少。例

如，在诸如半导体器件 10 之类的半导体器件中，实际上可以使用 6 个金属层。

在图 3 所示的简化例子中，在晶体管层面 27 处存在着由晶体管组成的模块阵列，它具有通过晶体管层 27 与模块键合焊盘 30 之间的第一、第二、第三金属层行进的功能信号。同样，此功能信号通过第一、第二、第三、最终金属层以及通孔 40 而行进在模块测试焊盘 34 与晶体管层面 27 之间。在此情况下，通道 40 是测试焊盘接口 14 的一部分。在这一所述实施方案中，测试焊盘 34 优选是铝，而最终金属 32 优选是铜。在此情况下，优选有一个诸如钽之类的势垒形成通道 40 的衬里，以便提供最终层 32 的铜与模块测试焊盘 34 的铝之间的接口。在其它实施方案中，可以由其它的导电材料来形成测试焊盘 34、各个金属层、最终层 32、以及势垒金属。例如，可以用金来制造测试焊盘 34，且各个金属层和最终金属 32 可以包括铝或金。而且，势垒金属可以是用来形成不相似的相邻材料之间的扩散势垒和粘合层的任何材料。这种扩散势垒材料的例子是氮化钽、钛、氮化钛、镍、钨、钛钨合金、以及氮化硅钽。

于是，若模块测试焊盘 34 和模块键合焊盘 30 被晶体管层面 27 驱动，则提供在模块测试焊盘 34 处的功能信号和提供在模块键合焊盘 30 处的功能信号，在功能上是相同的，但不等同，亦即，它们不被短路到一起，且这些焊盘的功能在模块键合焊盘 30 与模块测试焊盘 34 之间被复制。而且，由于从测试焊盘到功能电路的电连接不是利用键合焊盘，故测试焊盘可以被认为直接连接到功能电路。模块测试焊盘的顶部面积大部分延伸在钝化层上，通道的尺寸因而不受影响，从而能够增大模块测试焊盘的尺寸而不增大半导体器件的整体尺寸。

图 4 示出了所用测试焊盘接口 14 类型的一种变通。相同的参考号被用于相同的结构元件。在图 4 的情况下，功能信号以不同的路由被提供在晶体管层面 27 与模块测试焊盘 34 之间。在此情况下，在晶体管层 27 处存在着连接点的不同电路，并存在着通过第一、第二、第三金属层的不同路由。这种情况被用于例如其中模块测试焊盘 34 处的

功能信号需要某些类型的额外电路的情况。例如可以采取静电放电(ESD)电路或缓冲电路的形式。信号在模块测试焊盘34与模块键合焊盘30处的功能操作可以是相同的但不是完全相同的信号。额外的电路可能增大半导体器件的尺寸。然而，由于模块测试焊盘被专用来测试，且不需要下一层面的互连，故与图2所示外围的标准键合焊盘24和模块键合焊盘20相比，模块测试焊盘的ESD或驱动电路显著地更简单且更小。于是，由模块测试焊盘34处功能信号所需的额外电路所造成的对管芯尺寸的影响最小。而且，模块测试焊盘的顶部表面积大部分延伸在钝化层上。于是，通道的尺寸不受影响，从而能够增大模块测试焊盘的尺寸而不增大半导体器件的整体尺寸。

图5所示的是测试器110、探针112、探针区段114、以及半导体管芯10所处的晶片116。在这一所示的实施方案中，探针区段114具有沿晶片116的管芯行提供连接所需的探针尖端。晶片116提升，以便与探针112啮合并提供物理连接，从而电连接，使功能信号可以通过测试器110与晶片116的管芯之间。探针112是用来并行测试单个行中的多个管芯的模块的，用由于诸如半导体器件10之类的管芯上存在的相当大的模块测试焊盘而能够恰当地接触管芯的相当长的探针尖端来达到这一点。即使不能并行测试晶片116的所有管芯的模块，也能够测试它们中的很大部分。例如，可以测试4行，每行4个管芯被可靠地接触在相当大的模块测试焊盘上。在此情况下，可以并行测试16个管芯。

在此说明书中，参照特定的实施方案已经描述了本发明。但本技术领域的熟练人员理解的是，能够作出各种修正和改变而不偏离下列权利要求所述的本发明的范围。例如，可能存在着需要额外测试时间的不同于模块的其它功能类型以致用来测试此功能类型方框的尺寸过大的测试焊盘恰当地置于管芯内部。因此，本说明书和附图被认为是说明性的而非限制性的，且所有这些修正被认为包括在本发明的范围内。

上面参照特定的实施方案，已经描述了各种好处、优点、以及问

题的解决方案。但各种好处、优点、问题的解决方案、以及可以引起任何好处、优点、或问题的解决方案发生或变得更为显著的任何要素，不被认为是任何或所有权利要求的严格的，要求的，或主要的特点或要素。如此处所用的那样，术语“包含”或其任何其它变种，被认为覆盖了非排他性结论，致使包含一系列要素的工艺、方法、物件、或装置，不仅仅包括这些要素，而且可以包括未被列举的或这些工艺、方法、物件、或装置所固有的其它要素。

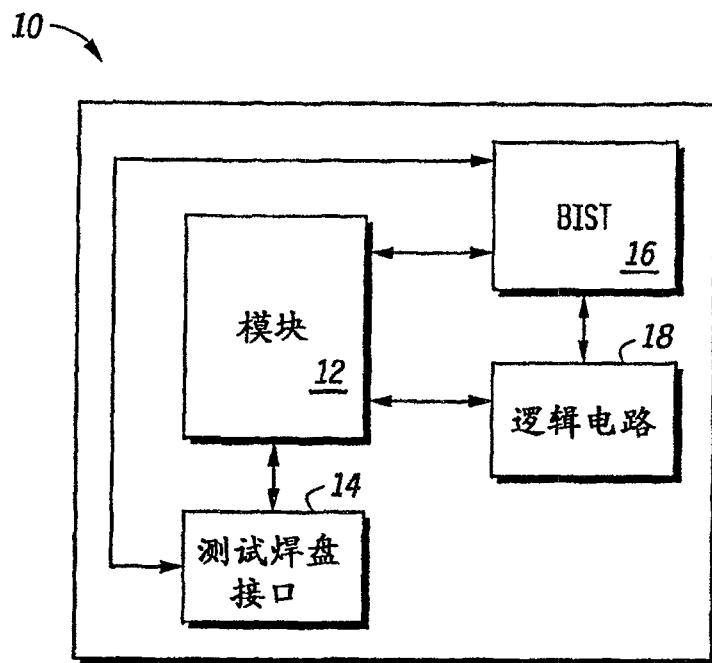


图1

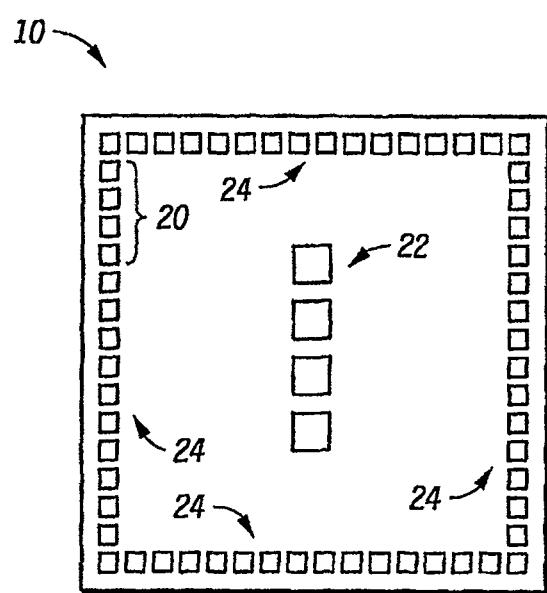


图2

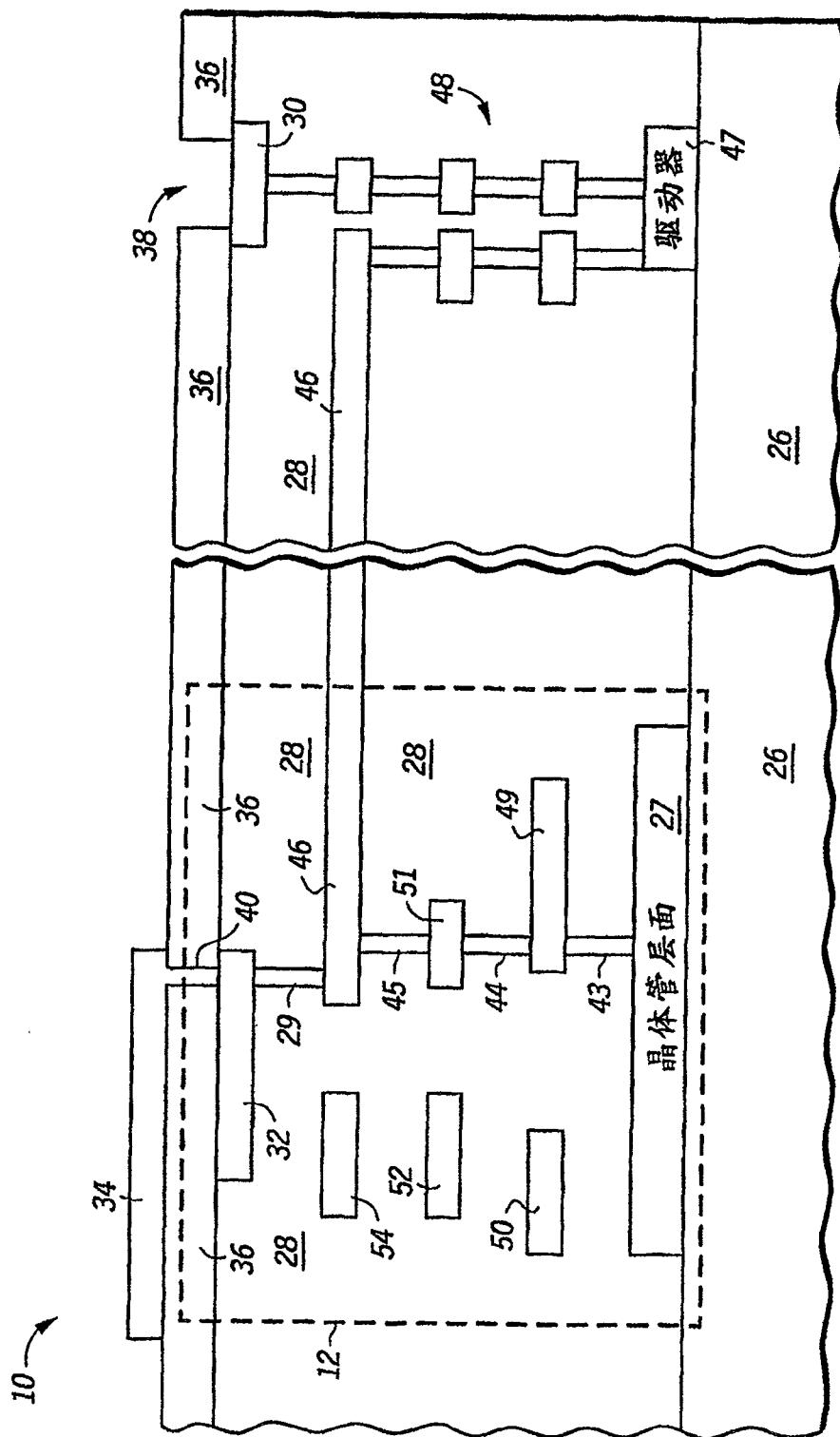


图 3

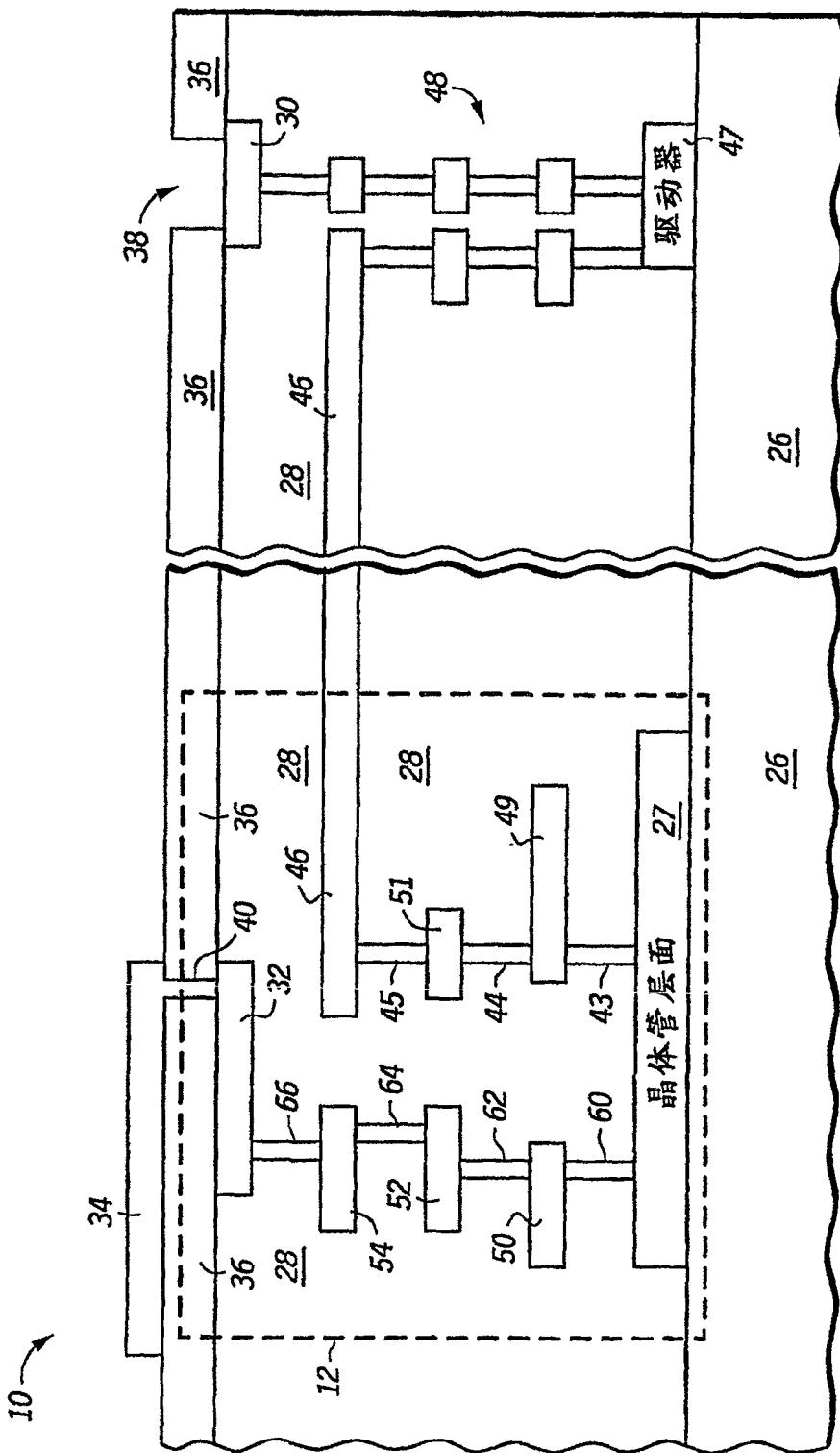


图 4

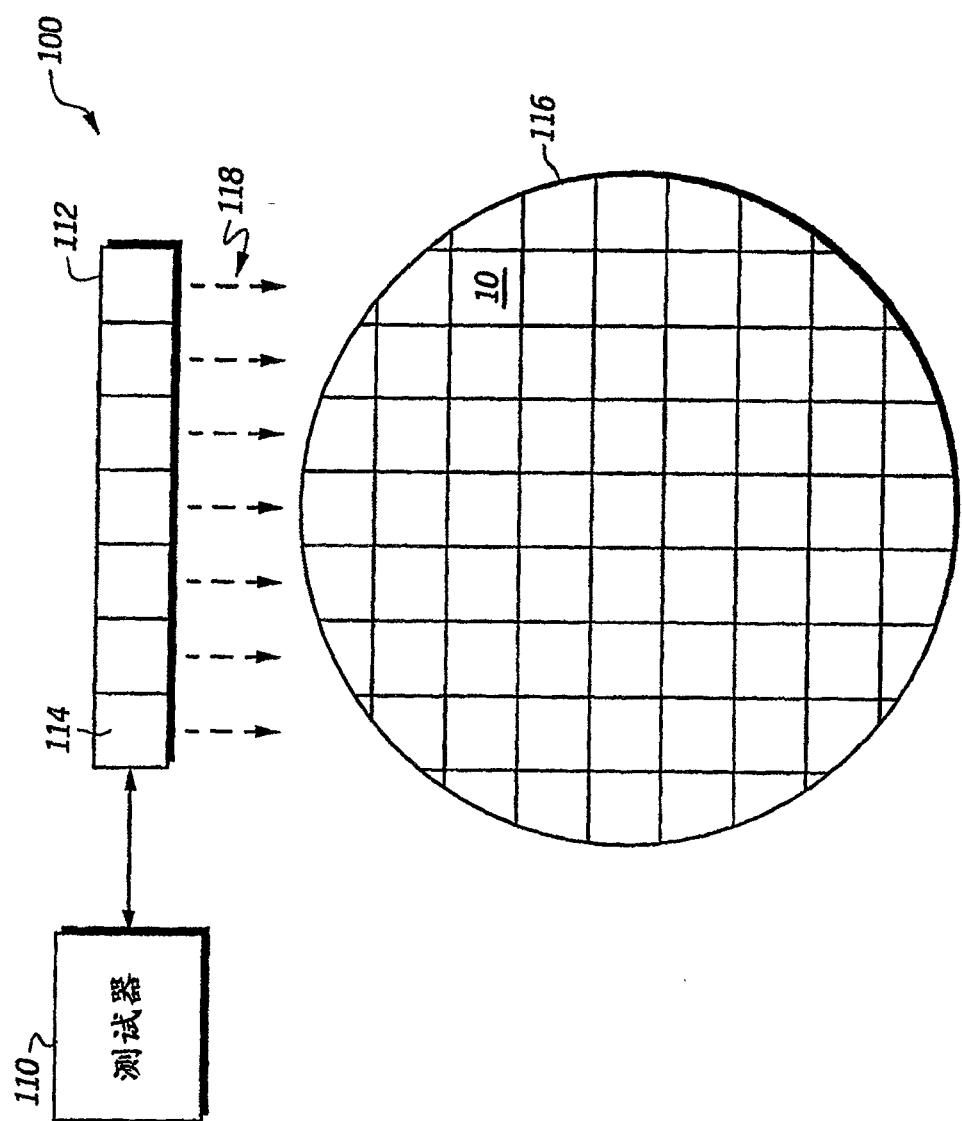


图 5