

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2022 年 1 月 20 日 (20.01.2022)



(10) 国际公布号
WO 2022/011956 A1

(51) 国际专利分类号:
G11C 7/04 (2006.01) *G01K 15/00* (2006.01)
G11C 11/407 (2006.01)

(21) 国际申请号: PCT/CN2020/136391

(22) 国际申请日: 2020 年 12 月 15 日 (15.12.2020)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202010689795.7 2020 年 7 月 17 日 (17.07.2020) CN

(71) 申请人: 长鑫存储技术有限公司 (CHANGXIN MEMORY TECHNOLOGIES, INC.) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230601 (CN)。

(72) 发明人: 甯树梁 (NING, Shuliang); 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230601 (CN)。

(74) 代理人: 上海盈盛知识产权代理事务所 (普通合伙) (SHANGHAI WINSUN INTELLECTUAL PROPERTY AGENCY); 中国上海市静安区俞泾港路 11 号金座 11 层 1102 室, Shanghai 200070 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,

(54) Title: SEMICONDUCTOR DEVICE

(54) 发明名称: 半导体装置

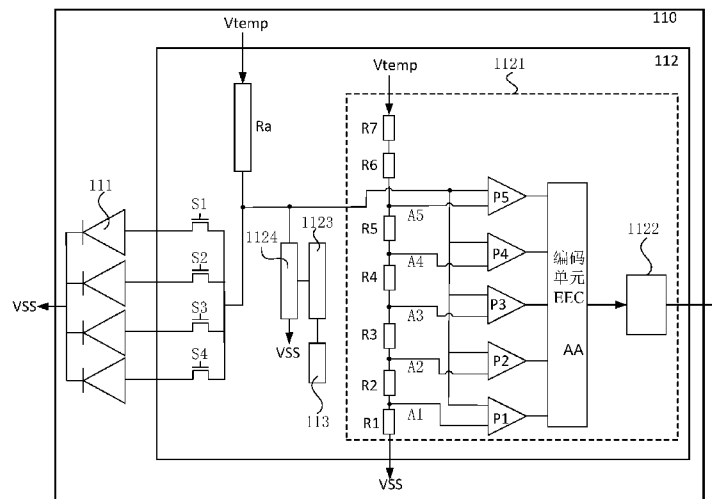


图 2

AA Encoding cell EEC

(57) Abstract: A semiconductor device, comprising a plurality of memory chips (100); and a temperature detection module (110), the temperature detection module (110) comprising: a plurality of temperature sensitive units (111) provided on the memory chips (100) to detect the temperature of the memory chips (100), and a processing unit (112), the plurality of temperature sensitive units (111) sharing the processing unit (112), the processing unit (112) being used for processing a signal of at least one temperature sensitive unit (111), and the processing unit (112) comprising a calibration value storage unit (1123) and a calibration unit (1124), the calibration value

PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

根据细则4.17的声明:

- 关于发明人身份(细则4.17(i))
- 关于申请人有权申请并被授予专利(细则
4.17(ii))
- 关于申请人有权要求在先申请的优先权(细则
4.17(iii))

本国际公布:

- 包括国际检索报告(条约第21条(3))。

storage unit (1123) being used for storing a calibration value corresponding to the temperature sensitive unit (111), and the calibration unit (1124) being used for calibrating the temperature sensitive unit (111) according to the calibration value. The temperature detected by the temperature detection module (110) provides a reference for starting and operating of the memory chip (100), thereby preventing the memory chip (100) from starting and operating at a low temperature, and improving the writing stability of the memory chip (100). In addition, the temperature sensitive units (111) share the processing unit (112), so that the area occupied by the temperature detection module (110) is small, and the temperature sensitive units (111) can be precisely calibrated, improving the measurement accuracy.

(57) 摘要: 一种半导体装置, 其包括多个存储芯片(100)、温度检测模块(110), 温度检测模块(110)包括: 多个温度敏感单元(111), 设置在存储芯片(100)上, 以检测存储芯片(100)的温度; 处理单元(112), 多个温度敏感单元(111)共用处理单元(112), 处理单元(112)用以对至少一温度敏感单元(111)的信号进行处理, 处理单元(112)包括校准值存储单元(1123)及校准单元(1124), 校准值存储单元(1123)用于存储与温度敏感单元(111)对应的校准值, 校准单元(1124)用于根据校准值校准温度敏感单元(111)。温度检测模块(110)检测的温度为存储芯片(100)的启动及运行提供参考, 从而避免存储芯片(100)在低温下启动及运行, 提高存储芯片(100)写入的稳定性。另外, 温度敏感单元(111)共用处理单元(112), 使得温度检测模块(110)占用面积小, 且能够对温度敏感单元(111)进行精确校准, 提高测量准确度。

半导体装置

相关申请引用说明

本申请要求于 2020 年 07 月 17 日递交的中国专利申请号 202010689795.7, 申请名为“半导体装置”的优先权, 其全部内容以引用的形式附录于此。

技术领域

本发明涉及存储器领域, 尤其涉及一种半导体装置。

背景技术

动态随机存取存储器 (Dynamic Random Access Memory, DRAM) 是计算机中常用的半导体存储器件, 其存储阵列区由许多重复的存储单元组成。每个存储单元通常包括电容器和晶体管, 晶体管的栅极与字线相连、漏极与位线相连、源极与电容器相连, 字线上的电压信号能够控制晶体管的打开或关闭, 进而通过位线读取存储在电容器中的数据信息, 或者通过位线将数据信息写入到电容器中进行存储。

温度对存储器写入存在较大影响, 在低温环境中, 对存储器进行写入时, 存在写入时间较长, 写入的稳定性不高的问题。

发明内容

本发明所要解决的技术问题是, 提供一种半导体装置, 其能够检测存储芯片的温度, 避免存储芯片在低温下启动及运行, 缩短写入时间, 提高存储芯片写入的稳定性; 且温度检测模块电路结构简单, 易于实现, 温度敏感单元共用处理单元, 使得温度检测模块占用面积小, 不会对存储芯片有效面积产生影响; 同时能够对温度敏感单元进行精确校准, 提高温度检测的准确度。

为了解决上述问题, 本发明提供了一种半导体装置, 其包括多个存储芯片、温度检测模块, 所述温度检测模块包括: 多个温度敏感单元, 设置在所述存储芯片上, 以检测所述存储芯片的温度; 处理单元, 多个所述温度敏感单元共用所述处理单元, 所述处理单元用以对至少一所述温度敏感单元的信号进行处理, 所述处理单元包括校准值存储单元及校准单元, 所述校准值存储单元用于存储与所述温度敏感单元对应的校准值, 所述校准单元用于根据所述校准值校准所述温度敏感单元。

进一步, 所述校准单元为可调电阻, 其与所述温度敏感单元并联, 所述校准单元根据所述校准值调节为与所述温度敏感单元对应的电阻值, 以校准所述温度敏感单元。

进一步, 所述校准单元包括多个子电阻及多个开关, 所述子电阻串联连接, 每一所述

开关至少与一个所述子电阻并联，通过改变多个所述开关的通断，来改变所述校准单元的电阻值。

进一步，根据所述校准值控制所述开关的通断。

进一步，所述温度敏感单元为二极管，所述二极管的负端与接地端电连接，所述二极管的正端与所述处理单元电连接，所述校准单元与所述温度敏感单元并联，所述校准单元的一端与接地端电连接，另一端与所述二极管的正端电连接。

进一步，所述温度检测模块还包括一非易失性存储单元，与所述校准值存储单元连接，用于备份所述校准值，当所述半导体装置上电时，备份在所述非易失性存储单元中的校准值存储至所述校准值存储单元中。

进一步，所述处理单元包括至少一控制开关，所述控制开关与所述温度敏感单元电连接，以控制所述温度敏感单元的通断。

进一步，所述处理单元还包括定值电阻，所述定值电阻具有第一端及第二端，所述第一端与电源电连接，所述第二端与所述控制开关电连接。

进一步，所述处理单元还包括 A/D 转换模块，所述 A/D 转换模块具有输入端及输出端，所述输入端与定值电阻的第二端电连接，所述输出端用于输出数字信号，所述 A/D 转换模块用于将所述定值电阻第二端的模拟信号转换为数字信号。

进一步，所述 A/D 转换模块包括：电阻单元，具有第一端及第二端，所述电阻单元的第一端与电源电连接，所述电阻单元的第二端与接地端电连接，所述电阻单元具有多个引出端，每一引出端的电压不同；多个比较单元，所述 A/D 转换模块输入端的信号作为所述比较单元的输入信号，所述电阻单元的多个引出端信号分别作为多个所述比较单元的参考信号，所述比较单元输出数字信号。

进一步，所述 A/D 转换模块还包括编码器，所述编码器接收所述比较单元的输出信号，并进行编码。

进一步，所述 A/D 转换模块还包括输出器，所述输出器与所述比较单元连接，用于将所述数字信号输出。

进一步，所述电阻单元包括多个串联连接的子电阻，所述电阻单元的每一引出端与所述电阻单元的第二端之间间隔的子电阻的数量不同，以使每一引出端的电压不同。

进一步，所述温度敏感单元与所述存储芯片一一对应，在每一所述存储芯片上均设置有一个所述温度敏感单元。

进一步，所述温度敏感单元与所述存储芯片共用同一接地端。

进一步，所述半导体装置还包括控制芯片，所述存储芯片及所述温度检测模块与所述控制芯片电连接。

进一步，所述处理单元设置在所述控制芯片上或者设置在其中一个所述存储芯片上。

进一步，多个所述存储芯片依次向上堆叠在所述控制芯片上。

进一步，所述半导体装置还包括线路基板，所述线路基板中具有连接线路，所述存储芯片以及控制芯片均位于线路基板上，所述存储芯片和控制芯片通过线路基板中的连接线路连接。

进一步，所述控制芯片用于在存储芯片启动之前对存储芯片进行加热，并判断所述温度敏感单元检测的温度是否达到设定阈值，若达到设定阈值，则控制所述存储芯片启动。

进一步，所述温度敏感单元与所述存储芯片采用不同的电源供电。

进一步，所述温度敏感单元的供电早于所述存储芯片的供电。

本发明的优点在于，利用温度检测模块检测存储芯片的温度，温度检测模块检测的温度为存储芯片的启动及运行提供参考，从而避免存储芯片在低温下启动及运行，缩短写入时间，提高存储芯片写入的稳定性；另外，本发明温度检测模块电路结构简单，易于实现，温度敏感单元共用处理单元，使得温度检测模块占用面积小，不会对存储芯片有效面积产生影响；同时能够对温度敏感单元进行精确校准，提高温度检测的准确度。

附图说明

图1是本发明半导体装置的第一实施例的结构示意图；

图2是本发明半导体装置中温度检测模块的电路图；

图3是本发明半导体装置第二实施例的结构示意图；

图4是可调电阻一实施例的电路图；

图5是本发明半导体装置第三实施例的结构示意图；

图6是本发明半导体装置的第一实施例的电连接示意图；

图7是本发明半导体装置的第四实施例的结构示意图。

具体实施方式

下面结合附图对本发明提供的半导体装置的实施例做详细说明。

如背景技术所言，温度对存储器写入存在较大影响，在低温环境中，对存储器进行写入时，存在写入时间较长，写入的稳定性不高的问题。

研究发现，现有的存储器工作在低温环境中时，由于温度下降会使得存储器中的位线、字线、以及金属连线（金属接触部）等的电阻会增大，电阻的增大，会使得向存储器中写入数据时的时间会变化或加长，影响了存储器写入的稳定性。

因此，本发明提供一种半导体装置，其采用温度敏感单元检测所述存储芯片的温度，以为存储芯片的启动及运行提供参考，从而避免存储芯片在低温下启动及运行，缩短写入时间，提高存储芯片写入的稳定性。同时，本发明半导体装置还能够进行自校准，大大提高了温度检测的准确度。

图 1 是本发明半导体装置的第一实施例的结构示意图，图 2 是本发明半导体装置中温度检测模块的电路图，请参阅图 1 及图 2，本发明半导体装置包括多个存储芯片 100 及温度检测模块 110。

进一步，所述半导体装置还包括控制芯片 120，所述存储芯片 100 及所述温度检测模块 110 与所述控制芯片 120 电连接。所述控制芯片 120 用于控制所述存储芯片 100 及所述温度检测模块 110 的启动及运行。所述存储芯片 100 的启动包括上电以及自检测，所述存储芯片 100 的运行包括向存储芯片 100 中写入数据，从存储芯片 100 读取数据，以及将存储芯片 100 中存取的数据删除等。需要注意的是，本发明实施例中控制芯片 120 在控制存储芯片 100 启动等方面的功能，也可通过在存储芯片 100 设置控制电路来实现，此时，可无需控制芯片 120 的存在，本领域内技术人员应当理解，可根据需要自行设置。

所述存储芯片 100 为现有能进行数据写入、数据读取和/或数据删除的存储器，所述存储芯片 100 通过半导体集成制作工艺形成。具体的说，所述存储芯片 100 可以包括存储阵列和与存储阵列连接的外围电路，所述存储阵列包括多个存储单元和与存储单元连接的位线、字线、以及金属连线（金属接触部），所述存储单元用于存储数据，所述外围电路为在对存储阵列进行操作时的相关电路。本实施例中，所述存储芯片 100 为 DRAM 存储芯片，所述 DRAM 存储芯片中包括多个存储单元，所述存储单元通常包括电容器和晶体管，所述晶体管的栅极与字线相连、漏极与位线相连、源极与电容器相连。在其他实施例中所述存储芯片 100 可以为其他类型的存储芯片。

所述温度检测模块 110 包括多个温度敏感单元 111 及处理单元 112。

多个所述温度敏感单元 111 设置在至少部分所述存储芯片 100 上，以检测至少部分所述存储芯片 100 的温度，并输出与所述温度对应的模拟信号。当所述温度敏感单元 111 检测的温度达到设定阈值时，所述控制芯片 120 控制所述存储芯片 100 启动。其中，设定阈

值的具体大小可以根据实际需要或者经验进行设定。

所述温度敏感单元 111 与所述存储芯片 100 可为一对一关系，或者一对多关系。

当所述存储芯片 100 的个数为多个，所述温度敏感单元 111 的个数也为多个，且所述温度敏感单元 111 的个数与所述存储芯片 100 的个数相同时，所述温度敏感单元 111 与所述存储芯片 100 为一对一关系，一个所述温度敏感单元 111 设置在一个所述存储芯片 100 中，且用于检测该存储芯片 100 的温度。具体地说，在本实施例中，所述存储芯片 100 的个数为多个，所述温度敏感单元 111 的个数也为多个，如图 1 所示，在图 1 中示意性地绘示四个存储芯片 100 及四个温度敏感单元 111，多个所述存储芯片 100 堆叠设置，所述温度敏感单元 111 与所述存储芯片 100 一一对应设置，用于检测该存储芯片 100 的温度。

当所述存储芯片 100 的个数为多个，所述温度敏感单元 111 的个数也为多个，但所述温度敏感单元 111 的个数小于所述存储芯片 100 的个数时，所述温度敏感单元 111 与所述存储芯片 100 可能同时存在一对一关系及一对多关系，或者仅存在一对多关系。即可能存在一个所述温度敏感单元 111 仅检测一个存储芯片 100 的温度和一个温度敏感单元 111 检测多个所述存储芯片 100 的温度的情况，或者仅存在一个温度敏感单元 111 检测多个所述存储芯片 100 的温度的情况。

进一步，所述温度敏感单元 111 可通过半导体集成制作工艺形成在存储芯片 100 中。若所述温度敏感单元 111 仅用于检测一个存储芯片 100 的温度，则其可形成在该存储芯片 100 中，例如，在本实施例中，如图 1 所示，温度敏感单元 111 与存储芯片 100 一一对应，在每一存储芯片 100 中均设置一个温度敏感单元 111。若所述温度敏感单元 111 用于检测多个存储芯片 100 的温度时，其可形成在该多个存储芯片 100 中的任意一个存储芯片 100 内，或者形成在居中的或最底层的存储芯片 100 内。例如，在本发明第二实施例中，请参阅图 3，其为本发明半导体装置第二实施例的结构示意图，温度敏感单元 111 设置在最底层的存储芯片 100 及居中的第三个存储芯片 100 内，其能够测量四个存储芯片 100 的温度。

多个所述温度敏感单元 111 共用所述处理单元 112，所述处理单元 112 用以对至少一所述温度敏感单元 111 的信号进行处理。

本发明半导体装置的多个所述温度敏感单元 111 共用所述处理单元 112，使得温度检测模块的占用面积大大减小，不会对存储芯片有效面积产生影响。

本发明半导体装置包括多个温度敏感单元 111，若是多个温度敏感单元 111 均采用相同的校准值进行校准，会导致出现误差。因此，本发明半导体装置对不同的温度敏感单元 111

进行有针对性地校准，大大提高了温度检测的准确度。

具体地说，请继续参阅图 2，所述处理单元 112 包括校准值存储单元 1123 及校准单元 1124。所述校准值存储单元 1123 用于存储与所述温度敏感单元 111 对应的校准值。例如，在本实施例中，所述温度检测模块 110 包括四个温度敏感单元 111，则每一温度敏感单元 111 对应一校准值。所述校准单元 1124 用于根据所述校准值校准所述温度敏感单元 111。例如，当处理单元 112 对第一个温度敏感单元 111 进行信号处理时，所述校准单元 1124 根据第一个温度敏感单元 111 对应的校准值对该第一个温度敏感单元 111 进行校准，当处理单元 112 对第二个温度敏感单元 111 进行信号处理时，所述校准单元 1124 根据第二个温度敏感单元 111 对应的校准值对该第二个温度敏感单元 111 进行校准，依此类推，从而能够实现对不同的温度敏感单元 111 进行针对性校准的目的，避免校准误差，提高温度测量的准确度。

进一步，所述控制芯片 120 能够控制所述校准单元 1124 根据所述校准值存储单元 1123 中的校准值对温度敏感单元 111 进行校准。

在第一实施例中，所述校准单元 1124 为可调电阻，其与所述温度敏感单元 111 并联。所述控制芯片 120 能够根据所述校准值控制所述校准单元 1124，使其电阻值调节为与所述温度敏感单元 111 对应的适合电阻值，以校准所述温度敏感单元 111。可以理解的是，在该实施例中，所述校准值为电阻值，每一温度敏感单元 111 对应一电阻值。

本实施例列举了一种可调电阻的电路结构。请参阅图 4，其为可调电阻一实施例的电路图，所述可调电阻包括多个子电阻 R1n 及多个开关 S1n。其中，所述子电阻 R1n 串联连接，每一所述开关 S1n 至少与一个所述子电阻 R1n 并联，通过改变多个所述开关 S1n 的通断，来改变所述可调电阻的电阻值。

在该实施例中，示意性地绘示了子电阻 R11~R15，开关 S11~S15，每一个子电阻均与一个开关并联。具体地说，子电阻 R11 与开关 S11 并联，子电阻 R12 与开关 S12 并联，子电阻 R13 与开关 S13 并联，子电阻 R14 与开关 S14 并联，子电阻 R15 与开关 S15 并联。在本发明其他实施例中，也可是两个及以上子电阻串联后与一个开关并联，例如，子电阻 R11 与子电阻 R12 串联后与开关 S11 并联，或子电阻 R11、子电阻 R12 及子电阻 R13 串联后与开关 S11 并联。

其中，根据所述校准值控制所述开关 S1n 的通断，以改变所述可调电阻的电阻值。当所述校准值对应的电阻值大于当前可调电阻的电阻值时，即需要增大所述可调电阻的电阻值，则断开所述开关 S1n，使与其并联的子电阻接入电路；当所述校准值对应的电阻值小于

当前可调电阻的电阻值时，即需要减小所述可调电阻的电阻值，则接通所述开关 S1n，使所述开关 S1n 接入电路，与其并联的子电阻被断开。例如，在该实施例中，当需要增大所述可调电阻的电阻值，则断开所述开关 S11，使与开关 S11 并联的子电阻 R11 接入电路；当需要减小所述可调电阻的电阻值时，接通所述开关 S11，使所述开关 S11 接入电路，与其并联的子电阻 R11 被短路。

进一步，在本实施例中，所述子电阻 R1n 的电阻值相同，以简化版图布局难度，简单易行，便于制造。所述子电阻 R1n 为多晶硅电阻或者 N 型扩散电阻或者 P 型扩散电阻。进一步，所述子电阻 R1n 之间通过第一层金属线电连接，所述子电阻 R1n 与所述开关 S1n 之间通过第二层金属线电连接。这种方式能够进一步易于制造，提高稳定性和精确性。

进一步，所述开关 S1n 可为晶体管，例如 NMOS 管或 PMOS 管，其结构稳定，且易于制造。

上述仅为本发明提供一种可调电阻单元 1111 的实施例，在本发明其他实施例中，也可采用其他电路结构实现可调电阻单元 1111。

进一步，所述温度检测模块 110 还包括一非易失性存储单元 113。所述非易失性存储单元 113 与所述校准值存储单元 1123 连接，用于备份所述校准值。其中，所述非易失性存储单元 113 可按预设周期备份所述校准值。所述预设周期可为半导体装置上电后的预设时间周期，例如半导体装置上电后以 10 分钟作为一个周期将校准值备份在非易失性存储单元 113 中，即半导体装置上电后每隔十分钟将校准值备份在非易失性存储单元中；或者以一个小时作为一个周期将校准值备份在非易失性存储单元中，即半导体装置上电后每隔一个小时将存储在校准值码备份在非易失性存储单元 113 中。所述非易失性存储单元 113 也可在芯片出厂设置时即将所述校准值存入其中，所述半导体装置在后续每次上电使用时，均首先将所述非易失性存储单元 113 中的校准值导入到所述校准值存储单元 1123 中。

本发明半导体装置在非易失性存储单元 113 中备份校准值，若半导体装置掉电，所述校准值依然会记录在非易失性存储单元 113 中，不会被清除，可作为后续校准的依据。

备份在所述非易失性存储单元 113 中的校准值能够再次载入至所述校准值存储单元 1123 中。载入的校准值作为后续校准的参考，从而可避免半导体装置掉电导致的校准值丢失的情况。

进一步，所述处理单元 112 包括至少一控制开关 Sx，所述控制开关 Sx 与所述温度检测单元 111 电连接，以选择需要被处理单元 112 进行信号处理的所述温度检测单元 111。具体

地说，当所述控制开关 S_x 闭合时，所述温度敏感单元 111 与所述处理单元 112 电连接，当所述控制开关 S_x 断开时，所述温度敏感单元 111 与所述处理单元 112 解除电连接。

在第一实施例中，所述温度敏感单元 111 为二极管，所述二极管的负端与接地端 VSS 电连接，所述二极管的正端通过所述控制开关 S_x 与所述处理单元 112 电连接，所述校准单元 1124 与所述二极管并联，所述校准单元 1124 的一端与接地端 VSS 电连接，另一端通过所述控制开关 S_x 与所述二极管的正端电连接。所述二极管对温度敏感，随着其周围环境温度的变化，其电流发生变化，进而能够用于测量周围环境的温度。

优选地，所述控制开关 S_x 与所述温度敏感单元 111 一一对应，即一个控制开关与一个温度敏感单元 111 电连接，以实现精确控制。具体地说，在本实施例中，所述温度敏感单元 111 的数量为四个，则所述处理单元 112 包括四个控制开关 S₁~S₄，每一控制开关与一个温度敏感单元 111 电连接，以控制其对应的温度敏感单元 111 与处理单元 112 的电连接。其中，所述控制芯片 120 能够获取闭合的控制开关所导通的温度敏感单元 111 对应的校准值，并根据所述校准值调节所述校准单元 1124，从而对该温度敏感单元 111 进行校准。

例如，当需要对与控制开关 S₁ 对应的温度敏感单元 111 的电信号进行处理时，闭合控制开关 S₁，其他控制开关断开，使得控制开关 S₁ 对应的温度敏感单元 111 与处理单元 112 电连接，实现信号的处理，同时，所述控制芯片 120 获取控制开关 S₁ 所导通的温度敏感单元 111 对应的校准值，并根据所述校准值调节所述校准单元 1124，从而对该温度敏感单元 111 进行校准；当需要对与控制开关 S₂ 对应的温度敏感单元 111 的电信号进行处理时，闭合控制开关 S₂，其他控制开关断开，使得控制开关 S₂ 对应的温度敏感单元 111 与处理单元 112 电连接，实现信号的处理，同时，所述控制芯片 120 获取控制开关 S₂ 所导通的温度敏感单元 111 对应的校准值，并根据所述校准值调节所述校准单元 1124，从而对该温度敏感单元 111 进行校准；当需要对与控制开关 S₃ 对应的温度敏感单元 111 的电信号进行处理时，闭合控制开关 S₃，其他控制开关断开，使得控制开关 S₃ 对应的温度敏感单元 111 与处理单元 112 电连接，实现信号的处理，同时，所述控制芯片 120 获取控制开关 S₃ 所导通的温度敏感单元 111 对应的校准值，并根据所述校准值调节所述校准单元 1124，从而对该温度敏感单元 111 进行校准；当需要对与控制开关 S₄ 对应的温度敏感单元 111 的电信号进行处理时，闭合控制开关 S₄，其他控制开关断开，使得控制开关 S₄ 对应的温度敏感单元 111 与处理单元 112 电连接，实现信号的处理，同时，所述控制芯片 120 获取控制开关 S₄ 所导通的温度敏感单元 111 对应的校准值，并根据所述校准值调节所述校准单元 1124，从而对该温

度敏感单元 111 进行校准。

在该实施例中，所述控制开关 S_x 的一端与温度敏感单元 111 电连接，另一端与校准单元 1124 连接，即所述温度敏感单元 111 及所述校准单元 1124 分别连接至所述控制开关 S_x 的两端，而在本发明另一实施例中，所述校准单元 1124 与所述温度敏感单元 111 均连接至所述控制开关 S_x 的同一端，即所述校准单元 1124 与所述温度敏感单元 111 均与所述控制开关 S_x 的一端或者另一端电连接。当所述控制开关 S_x 闭合时，所述温度敏感单元 111 的数据被所述处理单元 112 进行处理，当所述控制开关 S_x 断开时，所述处理单元 112 不对所述温度敏感单元 111 的数据进行处理。

进一步，请继续参阅图 2，在本实施例中，所述处理单元 112 还包括定值电阻 R_a 及 A/D 转换模块 1121。

所述定值电阻 R_a 具有第一端及第二端。所述第一端与电源 V_{temp} 电连接，所述第二端与所述控制开关 S_x 电连接。所述 A/D 转换模块 1121 具有输入端及输出端，所述输入端与所述定值电阻 R_a 的第二端电连接，所述输出端用于输出数字信号，所述 A/D 转换模块 1121 用于将所述定值电阻 R_a 第二端的模拟信号转换为数字信号。

所述 A/D 转换模块 1121 包括电阻单元及多个比较单元 P_x 。

所述电阻单元具有第一端及第二端。所述电阻单元的第一端与电源电连接。所述电阻单元可与所述温度敏感单元 111 采用同一电源，也可采用不同电源。例如，若所述 A/D 转换模块 1121 设置在存储芯片 100 中，则所述电阻单元的第一端可与所述温度敏感单元 111 采用同一电源 V_{temp} ；若所述 A/D 转换模块 1121 设置在控制芯片 120 中，则所述电阻单元的第一端可与所述温度敏感单元 111 采用不同的电源，所述电阻单元可采用电源 VDD 。所述电阻单元的第二端与接地端 VSS 电连接。其中，所述电阻单元具有多个引出端 A_x ，每一引出端 A_x 的电压不同。

在本实施例中，所述电阻单元包括多个串联连接的子电阻 R_x ，所述电阻单元的每一引出端 A_x 与所述电阻单元的第二端之间间隔的子电阻 R_x 的数量不同，以使每一引出端 A_x 的电压不同。例如，引出端 $A1$ 与电阻单元的第二端之间间隔子电阻 $R1$ ，引出端 $A2$ 与电阻单元的第二端之间间隔子电阻 $R1$ 及 $R2$ ，则引出端 $A1$ 与引出端 $A2$ 的电压不同。

其中，所述电阻单元的每一引出端 A_x 与所述电阻单元的第二端之间间隔的子电阻 R_x 的数量以预设数值递增。其中，所述预设数值可为一定值，也可为可变数值。请参阅图 2，在本实施例中，所述电阻单元的每一引出端 A_x 与所述电阻单元的第二端之间间隔的子电阻

R_x 的数量以定值 1 递增。而在本发明其他实施例中,也可以定值 2 等数量递增。当所述预设数值为可变数值时,所述预设数值具有一变化趋势。所述变化趋势根据所述引出端 A_x 的电压增幅设定,例如,若所述引出端 A_x 的电压增幅为递增,则所述预设数值的变化趋势为递增;若所述引出端 A_x 的电压增幅为递减,则所述预设数值的变化趋势为递减;若所述引出端 A_x 的电压增幅为先增加再减小,则所述预设数值的变化趋势为先增加再减小。

进一步,所述子电阻 R_x 的电阻值相同或不同,以使得所述引出端 A_x 之间的电压增幅变化一致或不一致。其中,若所述子电阻 R_x 的电阻值相同,则能够简化版图布局难度,简单易行,便于制造。

所述 A/D 转换模块输入端的信号作为所述比较单元 P_x 的输入信号,即所述温度敏感单元输出的模拟信号作为所述比较单元 P_x 的输入信号。所述电阻单元的多个引出端 A_x 信号分别作为多个所述比较单元 P_x 的参考信号。所述引出端 A_x 与所述比较单元 P_x 一一对应。例如,所述引出端 A_1 信号作为所述比较单元 P_1 的参考信号,所述引出端 A_2 信号作为所述比较单元 P_2 的参考信号,依此类推,所述引出端 A_x 与所述比较单元 P_x 一一对应。所述比较单元 P_x 输出数字信号。根据所述比较单元 P_x 输出的数字信号,可获得所述温度敏感单元 111 检测的存储芯片 100 的温度。

当所述电阻单元的每一引出端 A_x 与所述电阻单元的第二端之间间隔的子电阻 R_x 的数量以可变的预设数值递增时,所述引出端 A_x 的电压非均匀地改变,以使多个所述比较单元 P_x 的参考信号非均匀地改变,则在不同的电压区域,所述比较单元 P_x 的参考信号的增幅不同,进而能够改变该电压区域的测量精度。具体地说,对需要精确测量的电压区域,所述预设数值以小幅度改变,以使参考信号的增幅小,提高信号采样点数,进而提高该区域的测量精度,对不需要精确测量的电压区域,所述预设数值以大幅度改变,以使参考信号的增幅大,减少信号采样点数,进而提高测量效率。例如,在本发明一实施例中,需要精确测量的电压区域为 1.2 V~1.7V,其对应的参考信号范围即为 1.2 V~1.7V,则在 1.2 V~1.7V 电压区域,所述预设数值的增幅小,例如,所述预设数值的增幅为 1,使得参考信号的增幅为 0.1V,从而能够增加该电压区域的采样点数,提高测量精度,而在电压小于 1.2V 及大于 1.7V 的电压区域,所述预设数值的增幅大,例如,所述预设数值的增幅为 3,使得参考信号的增幅为 0.3V,适当减少采样点数,提高测量效率。

进一步,所述 A/D 转换模块 1121 还包括输出单元 1122,所述输出单元 1122 与所述比较单元 P_x 连接,用于将所述数字信号输出。进一步,在本实施例中,所述 A/D 转换模块

1121 还包括编码单元 EEC，所述编码单元 EEC 接收所述比较单元 Px 输出的数字信号，并进行编码，其形成的信号输入所述输出单元 1120，所述输出单元 1122 将编码后的数字信号输出。

进一步，所述处理单元 112 设置在所述控制芯片 120 上或者设置在其中一个所述存储芯片 100 上。在本实施例中，请参阅图 1，所述处理单元 112 设置在所述控制芯片 120 上。在本发明其他实施例中，所述处理单元 112 设置在其中一个所述存储芯片 100 上。例如，如图 5 所示，其为本发明半导体装置第三实施例的结构示意图，在该实施例中，所述处理单元 112 设置在最底层的所述存储芯片 100 上。

进一步，所述温度敏感单元 111 与所述存储芯片 100 采用不同的电源供电。图 6 是本发明半导体装置的第一实施例的电连接示意图，请参阅图 6，所述温度敏感单元 111 采用电源 Vtemp 供电，所述存储芯片 100 采用 VDD 供电。其中，所述接地端 VSS、电源 VDD 及电源 Vtemp 由所述控制芯片 120 提供。由于所述温度敏感单元 111 与所述存储芯片 100 采用不同的电源供电，因此，可独立地控制所述温度敏感单元 111 及所述存储单元 100 的供电，从而实现所述温度敏感单元 111 与所述存储芯片 100 的不同步启动。

因此，本发明可分别控制所述温度敏感单元 111 与所述存储芯片 100 的启动，即温度敏感单元 111 的启动不受存储芯片 100 是否启动的影响，使得对存储芯片 100 温度的检测不受存储芯片 100 是否启动的影响，从而能够为存储芯片 100 的启动及运行提供参考，进而能够避免存储芯片 100 在低温下启动或者运行，提高存储芯片 100 的稳定性。

如前所述，温度对存储芯片 100 的性能有很大影响，特别是在存储芯片 100 启动时。若存储芯片 100 在低温下启动，会使向存储芯片 100 中写入数据的时间变化（如加长），影响了存储芯片 100 写入的稳定性，则在存储芯片 100 启动之前需要测量存储芯片的温度，以使存储芯片 100 能够在合适的温度内启动。

因此，本发明所述温度敏感单元 111 的供电早于所述存储芯片 100 的供电，即在所述存储芯片 100 启动之前，所述温度敏感单元 111 已经启动，从而可获得存储芯片 100 启动之前的温度，为存储芯片 100 的启动提供参考。所述温度敏感单元 111 与所述存储芯片 100 的供电时间差取决于所述存储芯片 100 的温度变化速率，若所述存储芯片 100 的温度变化速率大，所述存储芯片 100 达到预设温度的时间短，则所述温度敏感单元 111 与所述存储芯片 100 的供电时间差小，若所述存储芯片 100 的温度变化速率小，所述存储芯片 100 达到预设温度的时间长，则所述温度敏感单元 111 与所述存储芯片 100 的供电时间差大。

进一步,请参阅图 6,所述温度敏感单元 111 与所述存储芯片 100 共用同一接地端 VSS。其优点在于,一方面不会增加存储芯片 100 未启动阶段的泄露电流,另一方面,会减少引脚的数目,节省空间。

进一步,请继续参阅图 1,所述存储芯片 100 中形成有硅通孔互连结构 101,通过硅通孔互连结构 101 将存储芯片 100 与控制芯片 120 进行电连接,将温度敏感单元 111 与处理单元 112 电连接。同时,通过硅通孔互连结构 101 将存储芯片 100 与接地端 VSS 及电源 VDD 电连接,将温度敏感单元 111 与电源 Vtemp 及接地端 VSS 电连接。

在第一实施例中,多个存储芯片 100 堆叠设置时,每一个存储芯片 100 可以通过不同的硅通孔互连结构与控制芯片 120 连接;当具有多个温度敏感单元 111 时,可能存在每一个温度敏感单元 111 通过不同的硅通孔互连结构与处理单元 112 连接的情况,也可能存在多个温度敏感单元 111 共用硅通孔互连结构与处理单元 112 连接的情况。可以理解的是,所述存储芯片 100 与所述温度敏感单元 111 通过不同的硅通孔互连结构与电源连接,以使所述温度敏感单元 111 及所述存储芯片 100 能够采用不同的电源供电。进一步,多个所述温度敏感单元 111 的供电也可共用硅通孔互连结构。

在其他实施例中,所述存储芯片 100 及所述温度敏感单元 111 还可以通过金属引线(通过引线键合工艺形成)与所述控制芯片 120 及处理单元 112 电连接。

在第一实施例中,请继续参阅图 1,多个存储芯片 100 依次堆叠设置在所述控制芯片 120 上,所述控制芯片 120 与堆叠结构中最底层的存储芯片 100 键合在一起。而在本发明另一实施例中,例如,请参阅图 7,其为本发明半导体装置的第四实施例的结构示意图,所述半导体装置还包括线路基板 130,所述线路基板 130 中具有连接线路(附图中未绘示),所述存储芯片 100 以及控制芯片 120 均位于线路基板 130 上,所述存储芯片 100 和控制芯片 120 通过线路基板 130 中的连接线路连接。在该实施例中,所述温度敏感单元 111 设置在存储芯片 100 中,所述处理单元 112 设置在控制芯片 120 中。其中,所述线路基板 130 包括但不限于 PCB 电路板。

本发明半导体装置利用温度检测模块检测存储芯片的温度,当所述温度检测模块检测的温度达到设定阈值时,或者所述存储芯片 100 的温度达到设定阈值之后,所述存储芯片启动,温度检测模块检测的温度为存储芯片的启动及运行提供参考,从而避免存储芯片在低温下启动及运行,缩短写入时间,提高存储芯片写入的稳定性。

当存储芯片 100 处于低温环境中,若对其进行加热,则能够迅速提高存储芯片 100 的

温度，从而加快存储芯片 100 的启动。因此，本发明所述控制芯片 120 还能够在存储芯片 100 启动之前先进行启动，控制芯片 120 利用启动后自身产生的热量对存储芯片 100 进行加热，以快速提高存储芯片 100 的温度。

在所述控制芯片 120 启动后，所述控制芯片 120 控制所述温度敏感单元 111 启动，以检测所述存储芯片 100 的温度。所述温度敏感单元 111 还能够将检测的温度传送给控制芯片 120，以作为控制芯片 120 的数据。

所述控制芯片 120 能够判断所述温度敏感单元 111 检测的温度是否达到设定阈值，若达到设定阈值，则控制所述存储芯片 100 启动。

若存在一个所述温度敏感单元 111 检测多个存储芯片 100 的温度的情况，当控制单元 120 判定该温度敏感单元 111 检测的温度达到设定阈值，则控制单元 120 先控制离所述控制芯片 120 最近的存储芯片 100 启动，然后再控制上面的其他存储芯片 100 依次启动。

若存在所述温度敏感单元 111 与所述存储芯片 100 一一对应的情况，所述控制单元 120 判断某一个温度敏感单元 111 检测的温度达到设定阈值，则控制该温度敏感单元 111 对应的存储芯片 100 启动。具体地说，如图 1 所示的堆叠结构中有 4 个存储芯片 100，每一个存储芯片 100 中对应具有一个温度敏感单元 111，因而每一个温度敏感单元 111 会对对应的存储芯片 100 的温度进行检测，获得四个温度检测值，所述控制芯片 120 会依次判断 4 个所述温度敏感单元 111 检测的温度是否达到设定阈值时，若某一个温度敏感单元 111 检测的温度达到设定阈值，则控制该温度敏感单元 111 对应的存储芯片启动，比如堆叠结构中最底层的存储芯片 100 中的温度敏感单元 111 检测的温度先达到设定阈值时，则控制芯片 120 先控制所述堆叠结构最底层的那一个存储芯片 100 启动，接着，堆叠结构中倒数第二层中那个存储芯片 100 中对应的温度敏感单元 111 检测的温度也达到设定阈值时，则控制单元 301 接着控制堆叠结构中倒数第二层的那个存储芯片 100 启动，上面两层的存储芯片 100 的启动以此类推。

对于半导体装置存在多个存储芯片 100 时，前述的这种控制结构和控制方式能使得每一个存储芯片 100 启动时机的精度进一步提高，并能进一步减小低温环境下的对每一个存储芯片 100 进行数据写入时的写入时间，进一步提高了对每一个存储芯片 100 写入的稳定性。

当本发明半导体装置工作在低温环境时，通过控制芯片 120 可以使得存储芯片 100 升温到设定阈值，从而可以防止存储芯片 100 中的位线、字线、以及金属连线（金属接触部）

由于环境温度过低带来的电阻的增大，从而减小了低温环境下的对存储芯片进行数据写入时的写入时间，提高了存储芯片写入的稳定性。所述设定阈值可以设定在控制芯片 120 中，设定阈值的具体大小可以根据实际需要或者经验进行设定。

在另一实施例中，所述控制芯片 120 中可以具有额外的加热电路（附图中未绘示）。所述加热电路用于对所述存储芯片 100 进行加热。所述控制芯片 120 在对所述存储芯片 100 进行加热之前或之后，所述控制芯片 120 判断所述温度敏感单元 111 检测的存储芯片 100 的温度是否达到设定阈值，若未达到设定阈值，则控制所述加热电路对存储芯片 100 进行加热，如达到设定阈值，则控制所述加热电路停止对存储芯片 100 进行加热。从而实现对加热过程的精确控制，使得存储芯片 100 的温度能保持在设定阈值附近，防止存储芯片 100 的温度过高或过低，从而使得对存储器的写入时间始终能保持较短。

以上所述仅是本发明的优选实施方式，应当指出，对于本技术领域的普通技术人员，在不脱离本发明原理的前提下，还可以做出若干改进和润饰，这些改进和润饰也应视为本发明的保护范围。

1. 一种半导体装置，其特征在于，包括多个存储芯片、温度检测模块，所述温度检测模块包括：

多个温度敏感单元，设置在至少部分所述存储芯片上，以检测至少部分所述存储芯片的温度；

处理单元，多个所述温度敏感单元共用所述处理单元，所述处理单元用以对至少一所述温度敏感单元的信号进行处理，所述处理单元包括校准值存储单元及校准单元，所述校准值存储单元用于存储与所述温度敏感单元对应的校准值，所述校准单元用于根据所述校准值校准所述温度敏感单元。
2. 根据权利要求1所述的半导体装置，其特征在于，所述校准单元为可调电阻，其与所述温度敏感单元并联，所述校准单元根据所述校准值调节电阻值，以校准所述温度敏感单元。
3. 根据权利要求2所述的半导体装置，其特征在于，所述校准单元包括多个子电阻及多个开关，所述子电阻串联连接，每一所述开关至少与一个所述子电阻并联，通过改变多个所述开关的通断，来改变所述校准单元的电阻值。
4. 根据权利要求3所述的半导体装置，其特征在于，根据所述校准值控制所述开关的通断。
5. 根据权利要求2所述的半导体装置，其特征在于，所述温度敏感单元为二极管，所述二极管的负端与接地端电连接，所述二极管的正端与所述处理单元电连接，所述校准单元与所述二极管并联，所述校准单元的一端与接地端电连接，另一端与所述二极管的正端电连接。
6. 根据权利要求1所述的半导体装置，其特征在于，所述温度检测模块还包括一非易失性存储单元，与所述校准值存储单元连接，用于备份所述校准值，备份在所述非易失性存储单元中的校准值能够再次载入至所述校准值存储单元中。
7. 根据权利要求1所述的半导体装置，其特征在于，所述处理单元包括至少一控制开关，所述控制开关与所述温度敏感单元电连接，以选择需要被处理单元进行信号处理的所述温度检测单元。
8. 根据权利要求7所述的半导体装置，其特征在于，所述处理单元还包括定值电阻，所述定值电阻具有第一端及第二端，所述第一端与电源电连接，所述第二端与所述控制开关电连接。

9. 根据权利要求8所述的半导体装置，其特征在于，所述处理单元还包括A/D转换模块，所述A/D转换模块具有输入端及输出端，所述输入端与定值电阻的第二端电连接，所述输出端用于输出数字信号，所述A/D转换模块用于将所述定值电阻第二端的模拟信号转换为数字信号。
10. 根据权利要求9所述的半导体装置，其特征在于，所述A/D转换模块包括：
电阻单元，具有第一端及第二端，所述电阻单元的第一端与电源电连接，所述电阻单元的第二端与接地端电连接，所述电阻单元具有多个引出端，每一引出端的电压不同；
多个比较单元，所述A/D转换模块输入端的信号作为所述比较单元的输入信号，所述电阻单元的多个引出端信号分别作为多个所述比较单元的参考信号，所述比较单元输出数字信号。
11. 根据权利要求10所述的半导体装置，其特征在于，所述A/D转换模块还包括编码器，所述编码器接收所述比较单元的输出信号，并进行编码。
12. 根据权利要求11所述的半导体装置，其特征在于，所述A/D转换模块还包括输出器，所述输出器与所述比较单元连接，用于将所述数字信号输出。
13. 根据权利要求10所述的半导体装置，其特征在于，所述电阻单元包括多个串联连接的子电阻，所述电阻单元的每一引出端与所述电阻单元的第二端之间间隔的子电阻的数量不同，以使每一引出端的电压不同。
14. 根据权利要求1所述的半导体装置，其特征在于，所述温度敏感单元与所述存储芯片一一对应，在每一所述存储芯片上均设置有一个所述温度敏感单元。
15. 根据权利要求1所述的半导体装置，其特征在于，所述温度敏感单元与所述存储芯片共用同一接地端。
16. 根据权利要求1所述的半导体装置，其特征在于，所述半导体装置还包括控制芯片，所述存储芯片及所述温度检测模块与所述控制芯片电连接。
17. 根据权利要求16所述的半导体装置，其特征在于，所述处理单元设置在所述控制芯片上或者设置在其中一个所述存储芯片上。
18. 根据权利要求16所述的半导体装置，其特征在于，多个所述存储芯片依次向上堆叠在所述控制芯片上。
19. 根据权利要求16所述的半导体装置，其特征在于，所述半导体装置还包括线路基板，

所述线路基板中具有连接线路，所述存储芯片以及控制芯片均位于线路基板上，所述存储芯片和控制芯片通过线路基板中的连接线路连接。

20. 根据权利要求 16 所述的半导体装置，其特征在于，所述控制芯片用于在存储芯片启动之前对存储芯片进行加热，并判断所述温度敏感单元检测的温度是否达到设定阈值，若达到设定阈值，则控制所述存储芯片启动。
21. 根据权利要求 1 所述的半导体装置，其特征在于，所述温度敏感单元与所述存储芯片采用不同的电源供电。
22. 根据权利要求 21 所述的半导体装置，其特征在于，所述温度敏感单元的供电早于所述存储芯片的供电。

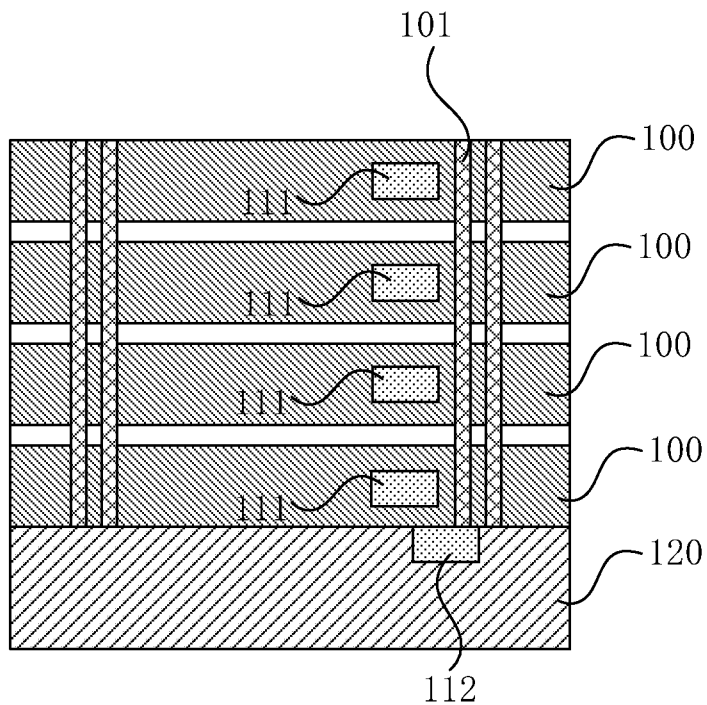


图 1

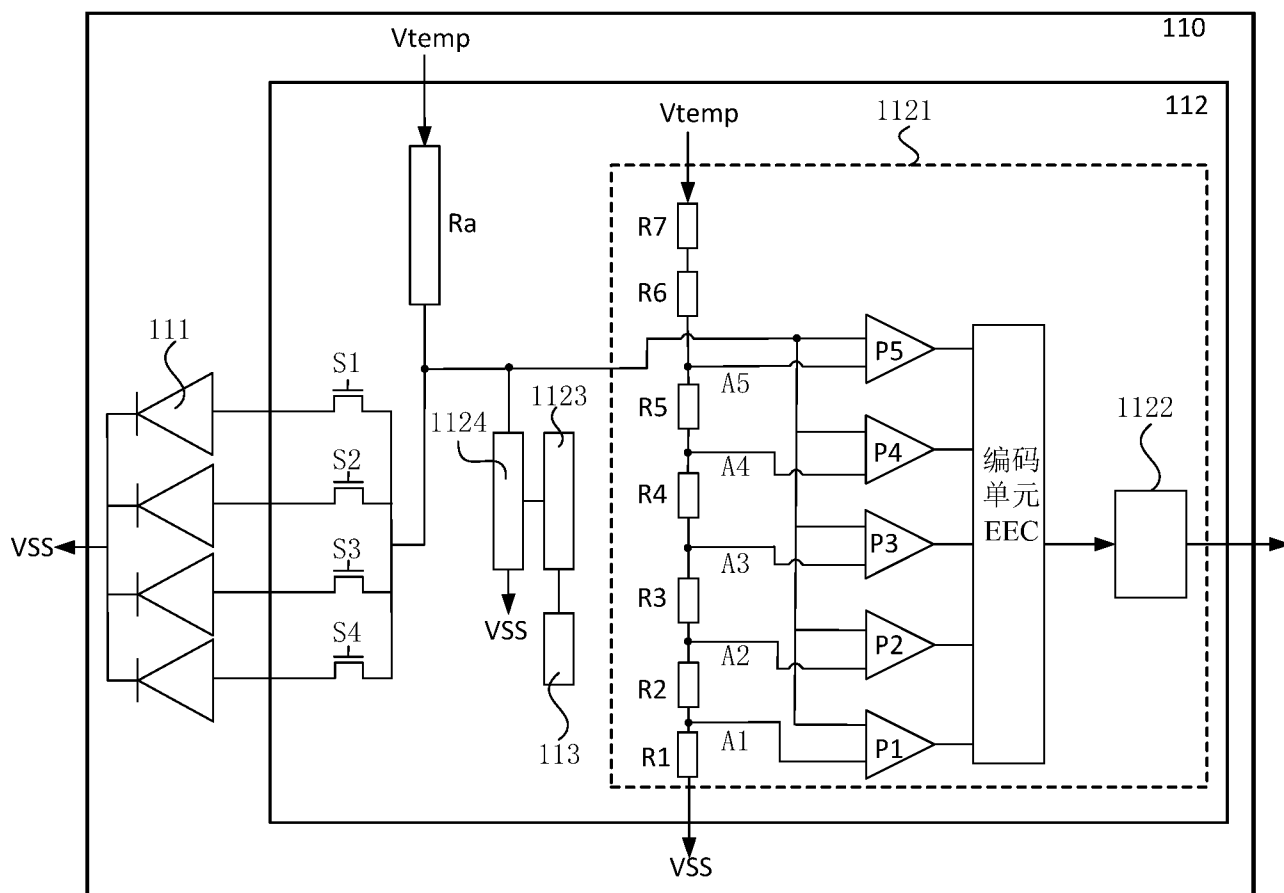


图 2

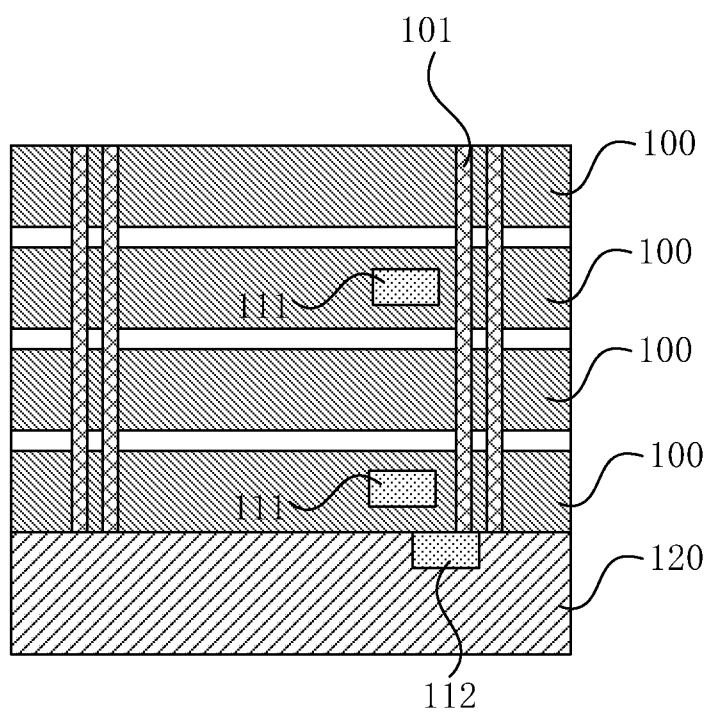


图 3

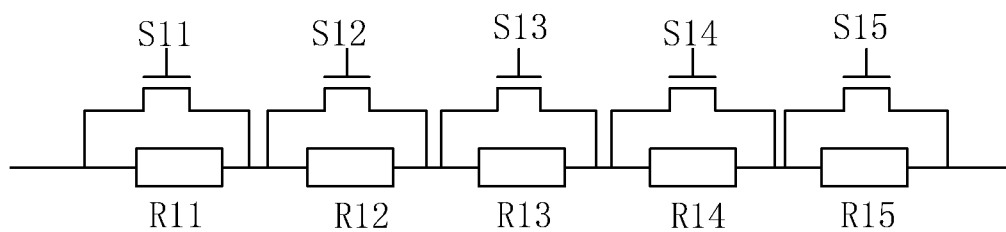


图 4

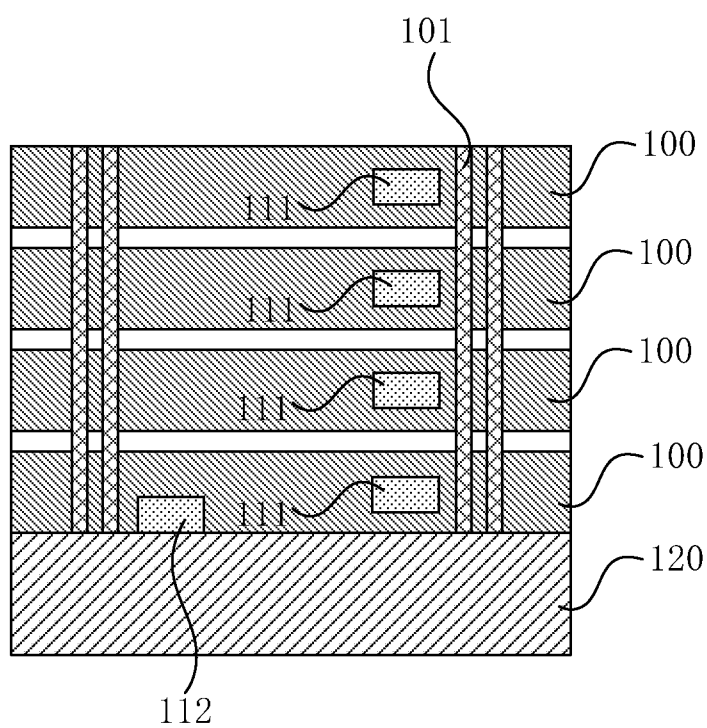


图 5

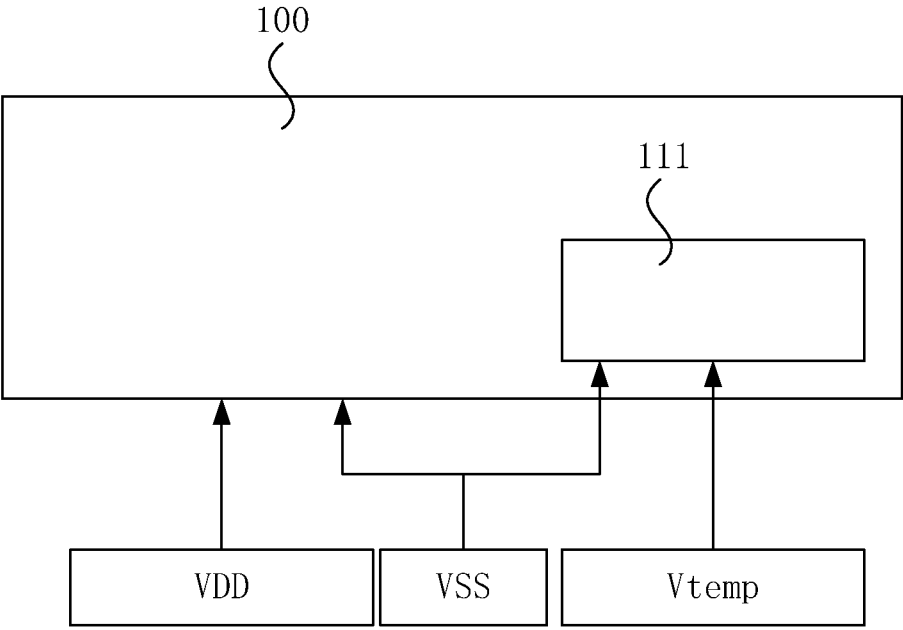


图 6

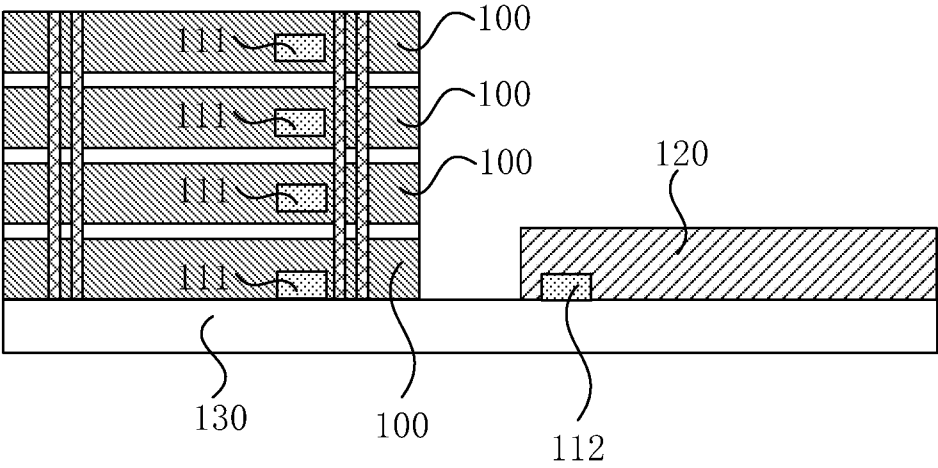


图 7

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2020/136391

A. CLASSIFICATION OF SUBJECT MATTER

G11C 7/04(2006.01)i; G11C 11/407(2006.01)i; G01K 15/00(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G11C G01K

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI, EPODOC, CNPAT, IEEE, CNKI: 存储, 芯片, 温度, 检测, 校准, memory, storage, chip, temperature, detect, test, calibration

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
E	CN 212303077 U (CHANGXIN MEMORY TECHNOLOGIES, INC.) 05 January 2021 (2021-01-05) claims 1-22	1-22
A	CN 110299171 A (TOSHIBA K. K.) 01 October 2019 (2019-10-01) description, paragraphs [0016]-[0052], and figures 1-6	1-22
A	CN 107393577 A (RUILI INTEGRATED CIRCUIT CO., LTD.) 24 November 2017 (2017-11-24) entire document	1-22
A	CN 101162604 A (HYNIX SEMICONDUCTOR INC.) 16 April 2008 (2008-04-16) entire document	1-22
A	US 9013932 B1 (SK HYNIX INC.) 21 April 2015 (2015-04-21) entire document	1-22



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

05 April 2021

Date of mailing of the international search report

16 April 2021

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2020/136391

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	212303077	U	05 January 2021	None			
CN	110299171	A	01 October 2019	JP	2019168755	A	03 October 2019
				TW	201941190	A	16 October 2019
				TW	I676179	B	01 November 2019
				US	2019295663	A1	26 September 2019
				US	10679711	B2	09 June 2020
CN	107393577	A	24 November 2017	CN	107393577	B	08 June 2018
				CN	108447511	A	24 August 2018
				CN	207052298	U	27 February 2018
CN	101162604	A	16 April 2008	CN	101162604	B	26 September 2012
				KR	20080033588	A	17 April 2008
				TW	I363353	B	01 May 2012
				JP	2008097805	A	24 April 2008
				KR	100851989	B1	13 August 2008
				US	2008091378	A1	17 April 2008
				US	7643889	B2	05 January 2010
				TW	200818208	A	16 April 2008
US	9013932	B1	21 April 2015	CN	104637524	B	01 January 2019
				CN	104637524	A	20 May 2015
				US	2015124544	A1	07 May 2015
				KR	20150052631	A	14 May 2015

国际检索报告

国际申请号

PCT/CN2020/136391

A. 主题的分类

G11C 7/04(2006.01)i; G11C 11/407(2006.01)i; G01K 15/00(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G11C G01K

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

WPI, EPDOC, CNPAT, IEEE, CNKI:存储, 芯片, 温度, 检测, 校准, memory, storage, chip, temperature, detect, test, calibration

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
E	CN 212303077 U (长鑫存储技术有限公司) 2021年 1月 5日 (2021 - 01 - 05) 权利要求1-22	1-22
A	CN 110299171 A (东芝存储器株式会社) 2019年 10月 1日 (2019 - 10 - 01) 说明书第[0016]-[0052]段, 附图1-6	1-22
A	CN 107393577 A (睿力集成电路有限公司) 2017年 11月 24日 (2017 - 11 - 24) 全文	1-22
A	CN 101162604 A (海力士半导体有限公司) 2008年 4月 16日 (2008 - 04 - 16) 全文	1-22
A	US 9013932 B1 (SK HYNIX INC.) 2015年 4月 21日 (2015 - 04 - 21) 全文	1-22

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2021年 4月 5日

国际检索报告邮寄日期

2021年 4月 16日

ISA/CN的名称和邮寄地址

中国国家知识产权局(ISA/CN)

中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

授权官员

颜庙青

电话号码 86-(10)-53961449

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2020/136391

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	212303077	U	2021年 1月 5日	无			
CN	110299171	A	2019年 10月 1日	JP	2019168755	A	2019年 10月 3日
				TW	201941190	A	2019年 10月 16日
				TW	I676179	B	2019年 11月 1日
				US	2019295663	A1	2019年 9月 26日
				US	10679711	B2	2020年 6月 9日
CN	107393577	A	2017年 11月 24日	CN	107393577	B	2018年 6月 8日
				CN	108447511	A	2018年 8月 24日
				CN	207052298	U	2018年 2月 27日
CN	101162604	A	2008年 4月 16日	CN	101162604	B	2012年 9月 26日
				KR	20080033588	A	2008年 4月 17日
				TW	I363353	B	2012年 5月 1日
				JP	2008097805	A	2008年 4月 24日
				KR	100851989	B1	2008年 8月 13日
				US	2008091378	A1	2008年 4月 17日
				US	7643889	B2	2010年 1月 5日
				TW	200818208	A	2008年 4月 16日
US	9013932	B1	2015年 4月 21日	CN	104637524	B	2019年 1月 1日
				CN	104637524	A	2015年 5月 20日
				US	2015124544	A1	2015年 5月 7日
				KR	20150052631	A	2015年 5月 14日