



(12) 发明专利

(10) 授权公告号 CN 101743598 B

(45) 授权公告日 2013. 07. 24

(21) 申请号 200880024536. X

(51) Int. Cl.

(22) 申请日 2008. 05. 28

G11C 16/06 (2006. 01)

(30) 优先权数据

(56) 对比文件

11/777, 635 2007. 07. 13 US

US 2006/0259840 A1, 2006. 11. 16, 说明书第 33-39 段、附图 1-2.

(85) PCT 申请进入国家阶段日

US 2005/0188230 A1, 2005. 08. 25, 附图

2010. 01. 13

5-6.

(86) PCT 申请的申请数据

JP 特开平 11-203897 A, 1999. 07. 30, 全文.

PCT/US2008/064969 2008. 05. 28

US 6259639 B1, 2001. 07. 10, 全文.

(87) PCT 申请的公布数据

审查员 李元

W02009/011977 EN 2009. 01. 22

(73) 专利权人 飞思卡尔半导体公司

地址 美国得克萨斯

(72) 发明人 Q·A·奎莱施 S·达瓦尔

托马斯·朱

(74) 专利代理机构 中国国际贸易促进委员会专

利商标事务所 11038

代理人 刘倜

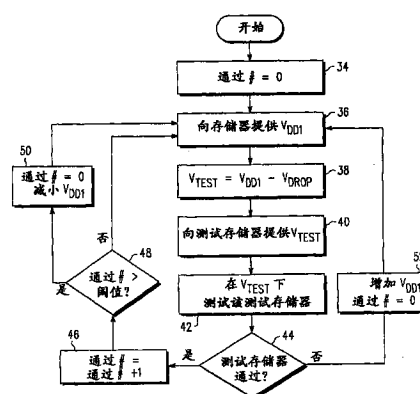
权利要求书3页 说明书7页 附图4页

(54) 发明名称

用于存储器的动态电压调节

(57) 摘要

在操作集成电路 (10) 上的存储器 (14) 的过程中动态调节该存储器的电源电压。该存储器的操作包括以电源电压 (VDD1) 向该存储器供电。在操作该存储器的同时向该集成电路的测试存储器 (16) 供电。该测试存储器和该存储器每一均包括第一比特单元配置类型的比特单元。在操作该存储器时, 基于对该测试存储器的测试, 调节 (30) 电源电压的电压电平。通过外部变化调节该电压电平以采用保证该存储器操作不会失败而且准确地使该电源电压最小化的值。该系统和方法可通过任何类型的存储器实现。该存储器 (14) 和测试存储器 (16) 可在物理上被实现为分立的或者散置在该集成电路上。



1. 一种向存储器供电的方法,包括:
操作集成电路的存储器,所述操作存储器包括以电源电压向所述存储器供电;
在操作所述存储器的同时测试所述集成电路的测试存储器,所述测试存储器和所述存储器每一均包括第一比特单元配置类型的比特单元;和
在操作所述存储器的同时,基于对所述测试存储器的测试,调节所述电源电压的电压电平。
2. 如权利要求 1 所述的方法,其中:
所述测试包括确定其中所述测试存储器通过测试的用于向所述测试存储器供电的最小电压电平;并且
所述调节包括以基于确定最小电压电平的电压电平提供所述电源电压。
3. 如权利要求 1 所述的方法,其中测试所述测试存储器包括:
在以多个电压电平向所述测试存储器供电的同时测试所述测试存储器;和
确定所述多个电压电平中的所述测试存储器测试失败的最高电压电平。
4. 如权利要求 3 所述的方法,其中:
所述调节包括将所述电源电压调节到高于所述最高电压电平的电压电平。
5. 如权利要求 3 所述的方法,其中以比所述电源电压的电压电平小预定量的电压电平向所述测试存储器供电,其中在以多个电压电平向所述测试存储器供电的过程中,以多个电压电平向所述存储器供电。
6. 如权利要求 1 所述的方法,其中所述测试包括:
将数据模式写入所述测试存储器;
自所述测试存储器读取数据单元;和
将所述数据模式与所述数据单元比较。
7. 一种向存储器供电的方法,包括:
以操作电压电平向集成电路的存储器供电并操作所述集成电路的存储器;
在操作所述存储器的同时第一次测试所述集成电路的测试存储器,所述测试存储器和所述存储器每一均包括第一比特单元配置类型的比特单元;
基于所述第一次测试将所述操作电压电平调节到第一调节操作电压电平;
在第一次调节之后以所述第一调节操作电压电平向所述存储器供电并操作所述存储器;
在操作所述存储器的同时第二次测试所述测试存储器;
基于所述第二次测试将所述第一调节操作电压电平调节到第二调节操作电压电平;和
在调节所述第一调节操作电压电平之后以所述第二调节操作电压电平向所述存储器供电并操作所述存储器。
8. 如权利要求 7 所述的方法,其中:
所述第一次测试包括以基于所述操作电压电平的第一测试电压电平向所述测试存储器供电;并且
所述第二次测试包括以基于所述第一调节操作电压电平的第二测试电压电平向所述测试存储器供电。
9. 如权利要求 8 所述的方法,其中:

所述第一测试电压电平比所述操作电压电平小预定量；并且

所述第二测试电压电平比所述第一调节操作电压电平小所述预定量。

10. 如权利要求 7 所述的方法，其中：

如果所述第一次测试指示失败，则所述第一次调节包括使所述操作电压电平增加到所述第一调节操作电压，其中所述第一调节操作电压电平大于所述操作电压电平。

11. 如权利要求 7 所述的方法，其中：

如果所述第一次测试未指示失败，则所述第一次调节包括使所述操作电压电平减小到所述第一调节操作电压，其中所述第一调节操作电压电平小于所述操作电压电平。

12. 如权利要求 7 所述的方法，其中：

所述第一次测试包括在以多个电压电平向所述测试存储器供电的同时测试所述测试存储器，并且确定所述多个电压电平中的测试指示通过的第一最低电压电平，其中所述第一调节操作电压电平基于所述第一最低电压电平；并且

所述第二次测试包括在以多个电压电平向所述测试存储器供电的同时测试所述测试存储器，并且确定所述多个电压电平中的测试指示通过的第二最低电压电平，其中所述第二调节操作电压电平基于所述第二最低电压电平。

13. 一种系统，包括：

集成电路的存储器，所述存储器包括用于接收操作电源电压的电源端子；

所述集成电路的测试存储器，所述测试存储器包括用于接收向所述测试存储器供电的测试电源电压的测试电源端子，所述测试存储器和所述存储器每一均包括第一比特单元配置类型的比特单元；和

测试电路，其耦合至所述测试存储器，用于测试和确定所述测试存储器的性能，所述测试电路能够操作用于寻找使所述测试存储器通过在以所述操作电源电压操作所述存储器的同时的测试的在所述测试电源端子处接收的最低测试电源电压电平；

其中所述存储器的所述电源端子被配置为接收所述操作电源电压，所述操作电源电压是能够基于所述测试电路确定的所述测试存储器的性能在存储器操作过程中调节的。

14. 如权利要求 13 所述的系统，其中所述存储器的所述电源端子被配置为接收处于比所述最小测试电源电压电平高预定量的电压电平的操作电源电压。

15. 如权利要求 13 所述的系统，其中以比所述操作电源电压的电压电平小预定量的电压电平提供所述测试电源电压。

16. 如权利要求 13 所述的系统，其中基于所述测试电路确定的所述测试存储器的测试失败，增加所述操作电源电压。

17. 如权利要求 13 所述的系统，其中通过向所述测试电源端子提供基于处于第一电压电平的操作电源电压的第一测试电压电平，所述测试电路测试所述测试存储器，其中基于确定在提供所述第一测试电压电平的同时所述测试存储器通过测试，将所述操作电源电压降低到第二电压电平。

18. 如权利要求 17 所述的系统，其中基于确定在提供所述第一测试电压电平的同时所述测试存储器连续通过预定次数的测试，将所述操作电源电压降低到所述第二电压电平。

19. 如权利要求 13 所述的系统，其中通过向所述测试电源端子提供基于处于第一电压电平的操作电源电压的测试电压电平，所述测试电路测试所述测试存储器，其中基于确定

在提供所述第一测试电压电平时所述测试存储器测试失败,将所述操作电源电压升高到第二电压电平。

20. 如权利要求 19 所述的系统,进一步包括用于以多个电压电平提供所述测试电源电压的电压调节电路,其中所述测试电路以所述多个电压电平的电平测试所述测试存储器,以确定所述多个电压电平中的允许所述测试存储器通过测试的最低电压电平,以基于被确定为允许所述测试存储器通过测试的所述最低电压电平的电压电平提供所述操作电源电压。

21. 如权利要求 13 所述的系统,进一步包括:

电压调节器,其包括:输出,所述输出耦合至所述电源端子;和输入,所述输入耦合至所述测试电路以接收用于基于所述测试电路确定的所述测试存储器的性能调节所述操作电源电压的指示。

用于存储器的动态电压调节

技术领域

[0001] 本公开通常涉及半导体集成电路,并且更具体地,涉及半导体集成电路的功率节约。

背景技术

[0002] 通常,期望集成电路以最低的可能功耗操作。一种减小功耗的方法是降低集成电路的电源电压。一种用于实现功率减小的已知技术是测试具有处理器的集成电路并且确定处理器的利用水平。当该处理器的利用率下降时,降低该处理器的工作频率。此外,使提供给该处理器的电压量减小预定量,这允许该处理器以更高效的方式操作。

[0003] 用于实现功率减小的另一种已知技术是在测试环境中测试集成电路,该测试环境引入温度变化并且测量特定集成电路的性能。然后选择电源电压值并且基于测量的测试结果将该电源电压值编程到该集成电路中。在测试了集成电路之后,测试模式过程中确定的电源电压值保持恒定,并因此必须被选择为足够高以满足其中指定该集成电路发挥作用的所有操作环境。

附图说明

[0004] 本发明借助于示例说明并且不限于附图,在附图中相同的附图标记表示相似的元件。附图中的元件被出于简化和清楚的目的而示出,并且没有必要依比例绘制。

[0005] 图 1 以框图的形式示出了根据本发明的一个形式的具有动态电压调节的存储器的集成电路;

[0006] 图 2 示出了图 1 的集成电路的操作的一个形式的流程图;

[0007] 图 3 在框图中示出了根据本发明的另一形式的具有动态电压调节的存储器的集成电路;并且

[0008] 图 4 示出了图 3 的集成电路的操作的一个形式的流程图。

具体实施方式

[0009] 图 1 中示出了系统 10,其实现了用于系统 10 中的存储器的一种形式的动态电压调节电路。在所示出的形式中,系统 10 是集成电路 12。用于提供电源电压的电压源 20 位于集成电路 12 外部。系统 10 具有存储器 14,其可以是易失存储器或非易失存储器 (NVM)。应当理解,存储器 14 进一步包括为便于解释而未示出的解码电路、灵敏放大器和其他传统电路。在集成电路 12 上还提供了测试存储器 16。测试存储器 16 是具有与存储器 14 相同类型的存储器设备。集成电路 12 还具有其他电路 18,其他电路 18 表示多种额外的逻辑和处理电路中的任何电路。其他电路 18 和存储器 14 之间的互连被详细示出并且与讨论无关。应当理解,测试存储器 16 和存储器 14 可在物理上位于集成电路 12 的不同部分中,在集成电路 12 中彼此相邻,或者具有散置的存储器单元。电压源 20 连接至电压调节器 (voltage regulator) 22 的输入。尽管电压调节器 22 被示出为集成电路 12 的一部分,但是

应当理解,电压调节器 22 可被实现在集成电路 12 外部。电压调节器 22 具有第一输出,其连接至存储器 14 的电压输入,用于提供标为 V_{DD1} 的第一电源电压。电压调节器 22 具有第二输出,其连接至其他电路 18 的电压输入,用于提供标为 V_{DD2} 的第二电源电压。第一电源电压可低于、等于或高于第二电源电压,用于使存储器 14 在功率效率更高的水平下操作同时满足指定的存储器规范的其他操作特性。电压调节器 22 具有第三输出,其连接至电压减小电路 24 的电压输入,用于提供 V_{DD1} 电源电压。电压减小电路 24 的输出连接至测试存储器 16 的电压输入,并且提供标为“ $V_{DD1}-V_{drop}$ ”的电压。在设计过程中,对于特定集成电路和特定应用,确定 V_{drop} 的值。值 V_{drop} 表示值 V_{DD1} 和用于测试测试存储器 16 的功能操作的减小的电源电压之间的电压等级 (voltage gradation)。测试存储器 16 具有用于为测试电路 26 的读取输入提供“读取”(Read) 数据的输出。该测试存储器具有用于从测试电路 26 的写入输出接收“写入”(Write) 数据的数据输入。测试电路 26 提供给测试存储器 16 的控制信息以传统的方式经由控制信号(未示出)耦合。测试电路 26 的输出向测试控制器 28 的输入提供“通过”/“失败”(Pass/Fail) 信号。测试控制器 28 具有第一输出,其连接至测试电路 26 的使能输入,用于提供测试 (Test) 信号。测试控制器 28 的第一输出分别向电压调节电路 30 的第一和第二输入提供标为“增加 (Increase)”的第一控制信号和标为“减小 (Decrease)”的第二控制信号。电压调节电路 30 的输出向电压调节器 22 的控制输入提供 $V_{operating}$ 信号。

[0010] 在操作中,该集成电路具有测试存储器 16,其被添加用于动态确定提供给存储器 14 的最优的最小电源电压。用于存储器 14 的最优的最小电源电压是允许存储器 14 在指定(即期望)频率下可靠地读取和写入同时存储器 14 消耗用于无错误地实现存储器操作的所需的最小功率的电源电压值。在所示出的形式中,测试存储器 16 接收比存储器 14 小的电源电压。测试存储器 16 具有与存储器 14 相同形式的存储器电路(即,相同的工艺和相同的比特单元配置),并且出于响应不同的电源电压值测试其功能操作的目的而存在于集成电路 12 上。测试电路 26 在测试控制器 28 和电压调节电路 30 的控制下确定为存储器 14 供电的电源电压 V_{DD1} 是否被设定在其最优值。选择用于操作存储器 14 和测试存储器 16 的时钟频率,并且保持该操作频率。换言之,集成电路 12 中的时钟电路由 V_{DD2} 电源电压供电,并且测试电路 26、测试控制器 28 和电压调节电路 30 不修改该电源电压。测试电路 26、测试控制器 28 和电压调节电路 30 组合地发挥作用,以确定关于电源电压 V_{DD1} 的最优低值,由此系统 10 的存储器 14 以功率高效和可靠的方式操作。特别地,电压减小电路 24 作用来使提供给测试存储器 16 的电源电压低于提供给存储器 14 的电源电压。测试电路 26 作用来将预定数据写入测试存储器 16 并且读取该数据。测试电路 26 用作比较器以将写入的数据与读取的数据相比较。如果数据值准确匹配,则将“通过”信号提供给测试控制器 28。当该测试导致“通过”时,测试控制器 28 向电压调节电路 30 提供“减小”控制信号,该“减少”控制信号指示由于测试存储器 16 可完全无错误地操作,因此可进一步降低电源电压。此外,测试控制器 28 实现并跟踪计数值,该计数值表示在降低电源电压之前通过相同的电源电压无错误地进行的测试迭代或通过的次数。测试控制器 28 具有关于用于测试测试存储器 16 的测试迭代的次数的预定阈值。该次数可以是用户可编程的或者可预先确定并且不可改变。如果未超过该阈值次数,则测试控制器 28 生成到测试电路 26 的“测试”信号。响应该“测试”信号,测试电路 26 再次将已知数据值写入测试存储器 16 并且读取该值以确定

写入和读取的数据是否相同。在可替代的形式中,测试电路 26 可以仅读取预先写入的数据值并且将读取的值与用于确定是否存在任何错误的预期的值相比较。在未遇到错误的情况下超过关于该计数值的阈值次数之后,测试控制器 28 向电压调节电路 30 指示可进一步减小电源电压。电压调节电路 30 向电压调节器 22 提供 $V_{\text{operating}}$ 控制信号。作为响应,电压调节器 22 将 V_{DD1} 的值减小到如电压调节电路 30 所确定的 $V_{\text{operating}}$ 电压。电压减小电路 24 随后提供进一步减小的电压,该电压是比刚减小了的 V_{DD1} 电压低的 V_{drop} 。

[0011] 在替代方案中,如果测试电路 26 指示失败情形,则不论计数值如何,测试控制器 28 都将生成增加控制信号。作为响应,电压调节电路 30 提供具有如下形式的 $V_{\text{operating}}$ 信号,即向电压调节器 22 指示需要提高 V_{DD1} 的值。因此,以比已被确定为开始经历操作失败的电压高出至少两个电压调节器 22 的等级增量的电源电压值为存储器 14 供电。

[0012] 图 2 中示出了集成电路 12 中的动态电压调节的操作方法 32 的流程图。在“开始”(Start) 命令或信号之后,在步骤 34 中标为“通过 #”的计数值被设定为零。词“通过”表示将在进行电源电压的任何减小之前进行的所描述的方法的迭代或通过的次数。在步骤 36 中,电源电压 V_{DD1} 的电压值被提供给存储器 14。在步骤 38 中,确定关于测试电压 V_{test} 的值。该测试电压等于电源电压 V_{DD1} 减去标为 V_{DROP} 的预定的下降量。在步骤 40 中,将计算的测试电压提供给测试存储器 16。在步骤 42 中,在电源电压值 V_{test} 下测试测试存储器 16 的功能操作。在步骤 44 中,确定测试存储器 16 是否已通过(即,是否自测试存储器 16 读取到正确的数据值)。如果测试存储器 16 通过,则在步骤 46 中将通过次数渐增 1。在步骤 48 中,检查通过次数以确定其是否大于预定阈值。如果增加后的通过次数已超过该阈值,则在步骤 50 中将通过次数重置回零并且减小 V_{DD1} 电源电压。此时重复步骤 36 并且将新的 V_{DD1} 电源电压值提供给存储器 14。如果增加后的通过次数仍未超过该阈值,则不将通过次数重置为零,并且处理过程返回到步骤 36,其中继续将现有的 V_{DD1} 值提供给存储器 14。

[0013] 相反地,如果在步骤 44 中测试存储器 16 因所提供的数据值相比于测试电路 26 所寻址的预期数据值在比特上是不正确的而未通过,则执行步骤 52。在步骤 52 中,使提供给存储器 14 和测试存储器 16 的电源电压 V_{DD1} 的值增加预定的渐增量。然后重复步骤 36 并且处理过程如图 2 所示顺序继续。应当理解,一旦开始操作开始,该方法 32 从步骤 36 顺序继续进行到步骤 44,直至从集成电路 12 移除电源。

[0014] 图 3 中示出了用于集成电路 56 中的存储器 58 的另一形式的动态电压调节。集成电路 56 具有测试存储器 60 和其他电路 62。存储器 58 由电源电压 V_{DD1} 供电,并且该其他电路由电源电压 V_{DD2} 供电。电源电压 V_{DD1} 不同于电源电压 V_{DD2} 。在一个形式中,电源电压 V_{DD1} 小于电源电压 V_{DD2} 以便于节省功率。电压调节器 66 向电压调节电路 68 提供固定偏置电压 V_{Bias} 。电压调节电路 68 的第一输出连接至测试存储器 60 的电源端子或节点,用于提供标为 V_{test} 的测试电源电压。电压调节电路 68 的第二输出提供该 V_{test} 电压并且连接至测试控制器 72 的第一输入。测试存储器 60 的数据输入连接至用于提供“写入”数据的测试电路 70 的输出。测试存储器 60 的数据输出连接至测试电路 70 的输入,用于提供“读取数据”。测试电路 70 向测试控制器 72 的第二输入提供“通过”/“失败”结果信号。测试控制 72 的第一输出连接至测试电路 70 的输入,用于提供“测试”使能信号。测试控制器 72 的第二输出连接至电压调节电路 68 的第二输入,用于提供标为 V_{Adjust} 的控制信号。测试控制器 72 的第三输出连接至电压调节器 66 的第二输入,用于提供标为 $V_{\text{operating}}$ 的电压控制信号。

[0015] 在操作中,集成电路 56 具有测试存储器 60,其存在用于动态确定要提供给存储器 58 的最优的最小电源电压。用于存储器 58 的最优的最小电源电压是允许存储器 58 在指定(即期望的)频率下可靠地读取和写入同时消耗用于无错误地实现存储器操作所需的最小功率的电源电压值。在所示出的形式中,测试存储器 60 初始接收等于偏置电压 V_{Bias} 的电源电压。测试电路 70 在测试控制器 72 和电压调节电路 68 的控制下进行确定。再一次地,应当理解,选择用于操作存储器 58 和测试存储器 60 的时钟频率,并且保持该操作频率。换言之,集成电路 56 中的时钟电路由 V_{DD2} 电源电压供电,并且测试电路 70、测试控制器 72 和电压调节电路 68 不修改该电源电压。测试电路 70、测试控制器 72 和电压调节电路 68 组合地发挥作用,以确定用于电源电压 V_{DD1} 的最优低值,由此系统 54 的存储器 58 以功率高效和可靠的方式操作。特别地,电压调节电路 68 作用来向测试存储器 16 提供初始处于 V_{Bias} 值的测试电压。测试电路 70 作用来将预定数据写入测试存储器 16 并且读取该数据。测试电路 70 用作比较器以将写入的数据与读取的数据相比较。如果数据值准确匹配,则将通过信号提供给测试控制器 72。当该存储器测试导致通过时,测试控制器 72 向电压调节电路 68 提供 V_{Adjust} 控制信号,该 V_{Adjust} 控制信号指示由于测试存储器 60 可完全无错误地操作,因此可进一步降低电源电压。此外,测试控制器 72 随后向测试电路 70 提供“测试”使能信号。响应该“测试”信号,测试电路 70 再次将已知数据值写入测试存储器 60 并且读取该值以确定写入和读取的数据是否相同。在可替代的形式中,测试电路 70 可以仅读取预先写入的数据值并且将读取的值与用于确定是否存在任何错误的预期的值相比较。该方法重复直至测试电路 70 确定出现测试存储器 60 操作的失败。测试电路 70 随后生成到测试控制器 72 的“失败”信号。作为响应,测试控制器 72 向电压调节器 66 提供 $V_{operating}$ 信号。该 $V_{operating}$ 信号是先前的测试电压值(即,其中未出现操作失败的测试电压)和被称为电压余量(voltagemargin)的预定的额外电压量的和。响应该 $V_{operating}$ 信号,该电压调节器将到存储器 58 的 V_{DD1} 值调节为等于电压 $V_{operating}$ 。

[0016] 图 4 中示出了描述集成电路 56 中的动态电压调节的操作方法 78 的流程图。在“开始”信号或命令或者使能信号之后,实现步骤 80,其中将电源电压 V_{DD1} 提供给存储器 58 以操作存储器 58。该 V_{DD1} 电源电压具有足够高的电源电压值以确保存储器 58 的可靠操作。在步骤 82 中,电压调节电路 68 提供测试电压 V_{Test} 。 V_{Test} 电压值等于电压调节器 66 所提供的固定偏置电压 V_{Bias} 的电压。在步骤 84 中,电压调节电路 68 向测试存储器 60 提供电源电压 V_{Test} 。在步骤 86 中,测试电路 70 随后在 V_{Test} 的电源电压值下测试测试存储器 60。在步骤 88 中,测试电路 70 确定测试存储器 60 在写入和读取操作中是否正确运行。如果测试存储器 60 正确运行,则在步骤 90 中使测试电源电压 V_{Test} 降低一分级量。通过降低的 V_{Test} 电压,重复步骤 84~86。如果测试存储器 60 继续以降低的 V_{Test} 通过写入和读取操作,则再次降低 V_{Test} ,重复步骤 84~86,如此这般,直至测试存储器 60 在降低的 V_{Test} 电源电压值下失败。响应测试存储器 60 失败,测试控制器 72 将操作电压信号 $V_{operating}$ 置于等于在测试存储器 60 失败之前使用的 V_{Test} 值的值,并且使其进一步增加预定的电压余量。如此,添加了安全余量。在步骤 94 中,通过使 V_{DD1} 等于新确定的 $V_{operating}$ 的值,向上调节电源电压 V_{DD1} 。在步骤 94 完成之后,方法 78 继续进行直至从集成电路 56 移除电源。特别地,返回步骤 82 的起点并且再一次地将作为已知的 V_{Bias} 值的 V_{Test} 电源电压提供给测试存储器 60。

[0017] 到此为止应认识到,已提供了多种形式的用于调节集成电路中的存储器的电源电

压的动态电压调节电路。该存储器可被实现为“独立”(stand-alone)类型的存储器,或者被实现为被通常称为芯片上系统(SOC)的具有其他类型的电路功能的集成电路中的嵌入式存储器。在具有静态随机存取存储器(SRAM)和多种逻辑电路模块的SOC中,当出于节省功率的目的而减小电源电压时,SRAM比特单元常常在逻辑电路之前开始失败。此外,由于电源电压变化,因此不能容易地预测存储器操作可靠性。因此,典型的,存储器确定所需的最小电源电压。在此处描述的实施例中,确定用于存储器的最优电源电压,从而实现存储器电源值和逻辑电路电源值之间的分支(bifurcation)。此外,此处描述的方法允许动态变化,由此容易地考虑温度和其他操作条件的变化。在集成电路的存储器全面发挥作用的同时进行动态调节,因此不会发生存储器的操作和功能的中断。因此在操作集成电路中实现的存储器时发生动态调节,并且其包括在存储器正在存储或保存数据时以及在读取和写入模式的操作过程中调节电源电压。测试存储器16和测试存储器60被实现为具有任何变化的尺寸。需要测试存储器中的数量足够大的存储器比特单元,以确保测试存储器代表比特单元行为的广泛分布。

[0018] 由于实现本发明的多种装置大部分由本领域的技术人员已知的电子元件和电路组成,因此为了理解和认识本发明的下面的概念并且不致造成本发明的教导的模糊或混乱,未在超出如上所述的被认为是必要的程度上解释电路细节。

[0019] 某些上述实施例在可应用时可使用多种不同的信息处理系统实现。例如,尽管图1及其讨论描述了示例性存储器系统架构,但是该示例性架构仅被提出用于提供讨论本发明的多种方面时的有用参考。当然,该架构的描述出于讨论的目的而被简化,并且仅是可根据本发明使用的许多不同类型的适当架构中的一个。本领域的技术人员将认识到,逻辑模块之间的界限仅是说明性的,并且替代的实施例可合并逻辑模块或电路元件,或者可替代地可将其功能分解为多种逻辑模块或电路元件。

[0020] 因此,将理解,此处示出的架构仅是示例性的,并且实际上可实现许多获得相同功能的其他架构。简而言之,但是仍确定地,用于获得相同功能的任何部件布置被有效地“关联”,由此获得期望的功能。因此,此处被组合以获得特定功能的任何两个部件可被视为相互“关联”,由此获得期望的功能,与架构或中间部件无关。同样地,如此关联的任何两个部件也可被视为相互“操作连接”或者“操作耦合”以获得所期望的功能。

[0021] 而且,例如,在一个实施例中,所示出的存储器电路是SRAM。在其他形式中,所示出的存储器电路被实现为DRAM、MRAM、铁电存储器和包括Flash存储器的非易失存储器(NVM)、以及包括寄存器、缓冲器或高速缓存、主存储器(mainstorage)的易失存储介质。

[0022] 而且,本领域的技术人员将认识到,上述操作的功能之间的界限仅是说明性的。多个操作的功能可组合为单个操作,和/或单个操作的功能可分布在额外的操作中。而且,替代的实施例可包括特定操作的多个实例,并且在多种其他实施例中可改变操作的顺序。

[0023] 计算机可读介质可包括,例如但不限于,任何数目的如下介质:磁存储介质,包括磁盘和磁带存储介质;光存储介质,诸如压缩盘介质(例如,CD-ROM、CD-R等)和数字视频盘尺寸介质;非易失存储器存储介质,包括基于半导体的存储器单元,诸如FLASH存储器、EEPROM、EPROM、ROM;铁电数字存储器;MRAM;易失存储介质,包括寄存器、缓冲器或缓存、主存储器、RAM等;和数据传输介质,包括计算机网络、点对点电信设备和载波传输介质,不一而足。

[0024] 在一个实施例中,系统 10 在诸如个人计算机系统的计算机系统中实现。其他实施例可包括不同类型的计算机系统。计算机系统是可被设计为向一个或多个用户提供独立计算能力的信息处理系统。计算机系统可具有许多形式,包括但不限于:大型机、小型机、服务器、工作站、个人计算机、笔记型计算机、个人数字助理、电子游戏机、汽车和其他嵌入式系统、蜂窝电话和多种其他无线设备。典型的计算机系统包括至少一个处理单元、关联的存储器和若干输入/输出(I/O)设备。

[0025] 在一个形式中,此处提供了一种向存储器供电的方法。通过在电源电压下向集成电路的存储器供电操作该存储器。在操作该存储器的同时测试该集成电路的测试存储器。该测试存储器和该存储器每一均包括第一比特单元配置类型的比特单元。在操作该存储器的同时,基于对该测试存储器的测试,调节电源电压的电压电平。在一个形式中,该测试包括确定其中该测试存储器通过测试的用于向该测试存储器供电的最小电压电平。该调节包括以基于确定最小电压电平的电压电平提供电源电压。在另一形式中,在多个电压电平下向该测试存储器供电的同时测试该测试存储器。确定所述多个电压电平中该测试存储器测试失败的最高电压电平。在一个形式中,将电源电压调节到高于该最高电压电平的电压电平。在另一形式中,以比该电源电压的电压电平小预定量的电压电平向该测试存储器供电。在以多个电压电平向该测试存储器供电的过程中,以多个电压电平向该存储器供电。在另一形式中,该测试包括将数据模式(data pattern)写入该测试存储器,自该测试存储器读取数据单元,并且将该数据模式与该数据单元相比较。

[0026] 在另一形式中,此处提供了一种通过以操作电压电平向集成电路的存储器供电而向存储器供电的方法。第一次测试该集成电路的测试存储器。基于该第一次测试将该操作电压电平调节到第一调节操作电压电平。在该第一次调节之后以该第一调节操作电压电平向该存储器供电。第二次测试该测试存储器。基于该第二次测试将该第一调节操作电压电平调节到第二调节操作电压电平。在调节该第一操作电压电平之后以该第二调节操作电压电平向该存储器供电。在另一形式中,该第一次测试包括以基于该操作电压电平的第一测试电压电平向该测试存储器供电。该第二次测试包括以基于该第一调节操作电压电平的第二测试电压电平向该测试存储器供电。在另一形式中,该第一测试电压电平比该操作电压电平小预定量。该第二测试电压电平比该第一调节操作电压电平小该预定量。在另一形式中,如果该第一次测试指示失败,则该第一次调节包括使该操作电压电平增加到该第一调节操作电压,其中该第一调节操作电压电平大于该操作电压电平。在另一形式中,如果该第一次测试未指示失败,则该第一次调节包括使该操作电压电平减小到该第一调节操作电压,其中该第一调节操作电压电平小于该操作电压电平。在另一形式中,该第一次测试包括在以多个电压电平向该测试存储器供电的同时测试该测试存储器,并且确定该多个电压电平中的测试指示通过的第一最低电压电平,其中该第一调节电压电平基于该第一最低电压电平。该第二次测试包括在以多个电压电平下向该测试存储器供电的同时测试该测试存储器,并且确定测试指示通过的该多个电压电平中的第二最低电压电平,其中该第二调节电压电平基于该第二最低电压电平。

[0027] 一种具有集成电路的存储器的系统,该存储器包括用于接收操作电源电压的电源端子。该集成电路的测试存储器包括用于接收向该测试存储器供电的测试电源电压的测试电源端子,该测试存储器和该存储器每一均包括第一比特单元配置类型的比特单元。测试

电路耦合至该测试存储器用于测试和确定该测试存储器的性能,该测试电路可操作用于寻找使该测试存储器通过测试的在该测试电源端子接收的最低测试电源电压电平。该存储器的该电源端子被配置为接收该操作电源电压,该操作电源电压是可基于如该测试电路所确定的该测试存储器的性能在存储器操作过程中调节的。在一个形式中,该存储器的该电源端子被配置为接收处于比该最小测试电源电压电平高预定量的电压电平的操作电源电压。在另一形式中,以比该操作电源电压的电压电平小预定量的电压电平提供该测试电源电压。在另一形式中,基于如该测试电路确定的该测试存储器的测试失败,增加该操作电源电压。在另一形式中,通过向该测试电源端子提供基于处于第一电压电平的操作电源电压的第一测试电压电平,该测试电路测试该测试存储器。基于确定在提供该第一测试电压电平的同时该测试存储器通过测试,将该操作电源电压降低到第二电压电平。在另一形式中,基于确定在提供该第一测试电压电平时该测试存储器连续通过预定次数的测试,将该操作电源电压降低到该第二电压电平。在另一形式中,通过向该测试电源端子提供基于处于第一电压电平的操作电源电压的测试电压电平,该测试电路测试该测试存储器,其中基于确定在提供该第一测试电压电平的同时该测试存储器测试失败,将该操作电源电压升高到第二电压电平。在另一形式中,提供了用于以多个电压电平提供该测试操作电压的电压调节电路,其中该测试电路以该多个电压电平测试该测试存储器以确定该多个电压电平中的使该测试存储器通过测试的最低电压电平,以基于该确定的最低电压电平的电压电平提供该操作电源电压。在另一形式中,提供了电压调节器,其包括:输出,该输出耦合至该操作电源端子;和输入,该输入耦合至该测试电路以接收用于基于如该测试电路确定的该测试存储器的性能调节该操作电源电压的指示。

[0028] 尽管此处通过参考特定实施例描述了本发明,但是可进行多种修改和改变而不偏离如附属权利要求阐述的本发明的范围。例如,测试电路、测试控制器和电压调节的许多功能可在软件代码中实现,其中测试电路将包括用于执行所需代码以执行存储器测试和电压控制功能的处理单元。因此,说明书和附图应被视为说明性的而非限制性的,并且所有该修改应被涵盖于本发明的范围内。此处针对特定实施例描述的任何益处、优点或对问题的解决方案不应被解释为任何或所有权利要求的关键的、必需的或基本的特征或要素。

[0029] 如此处使用的术语“耦合”不应限于直接耦合或机械耦合。

[0030] 而且,如此处使用的术语“一”被定义为一个或多于一个。而且,权利要求中的诸如“至少一个”和“一个或多个”的引入性习语的使用不应被解释为暗示了不定冠词“一”所引入的另一权利要求元素使包含该引入权利要求元素的任何特定权利要求限于仅包含一个该元素的发明,即使相同的权利要求包括引入性习语“一个或多个”或“至少一个”以及诸如“一”的不定冠词时也是如此。这对于定冠词的使用同样适用。

[0031] 除非另外说明,否则诸如“第一”和“第二”的术语用于任意区分该术语描述的要素。因此,这些术语并不必然意图用于指示这些要素的时间上的或其他的优先顺序。

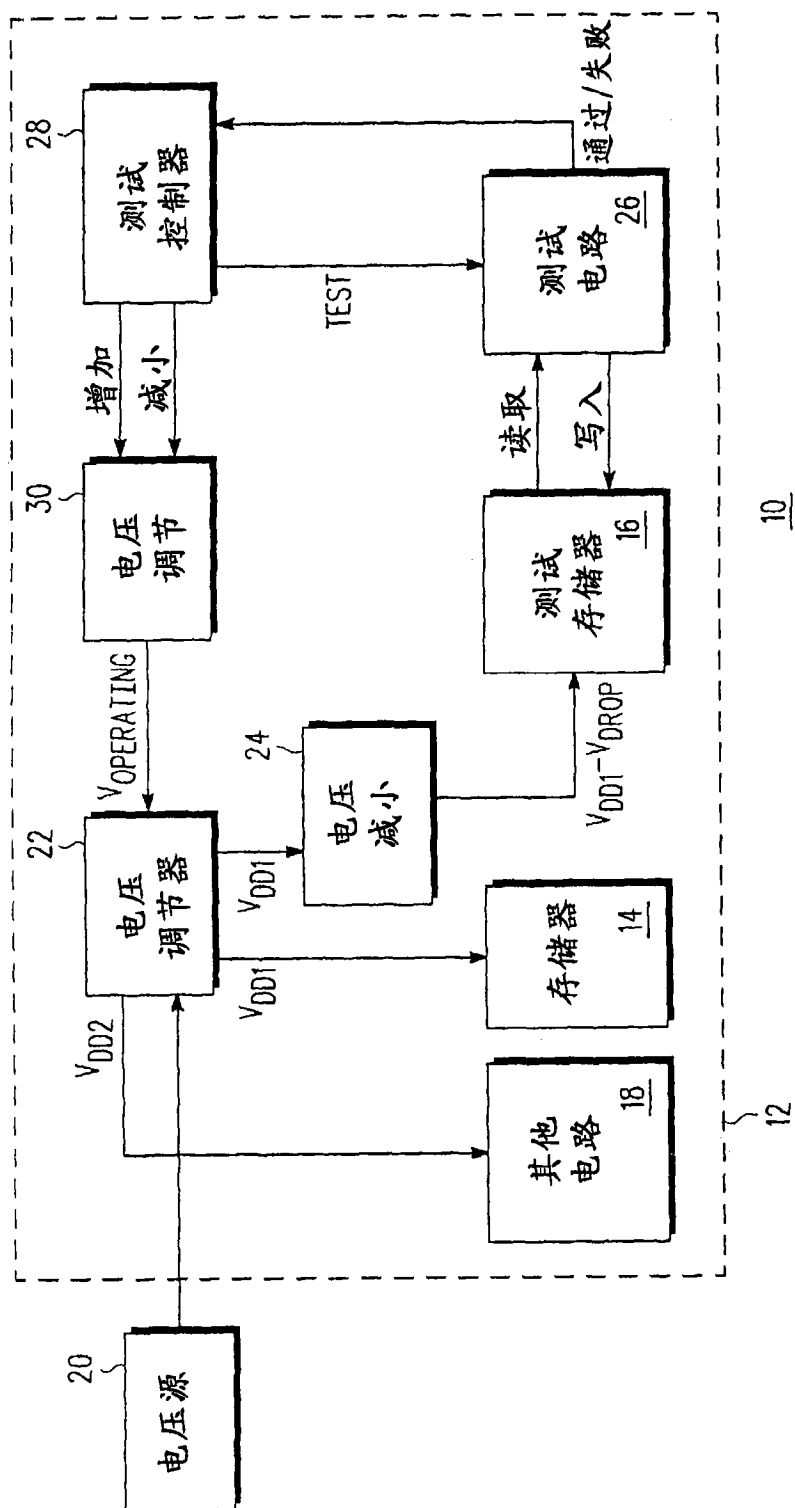
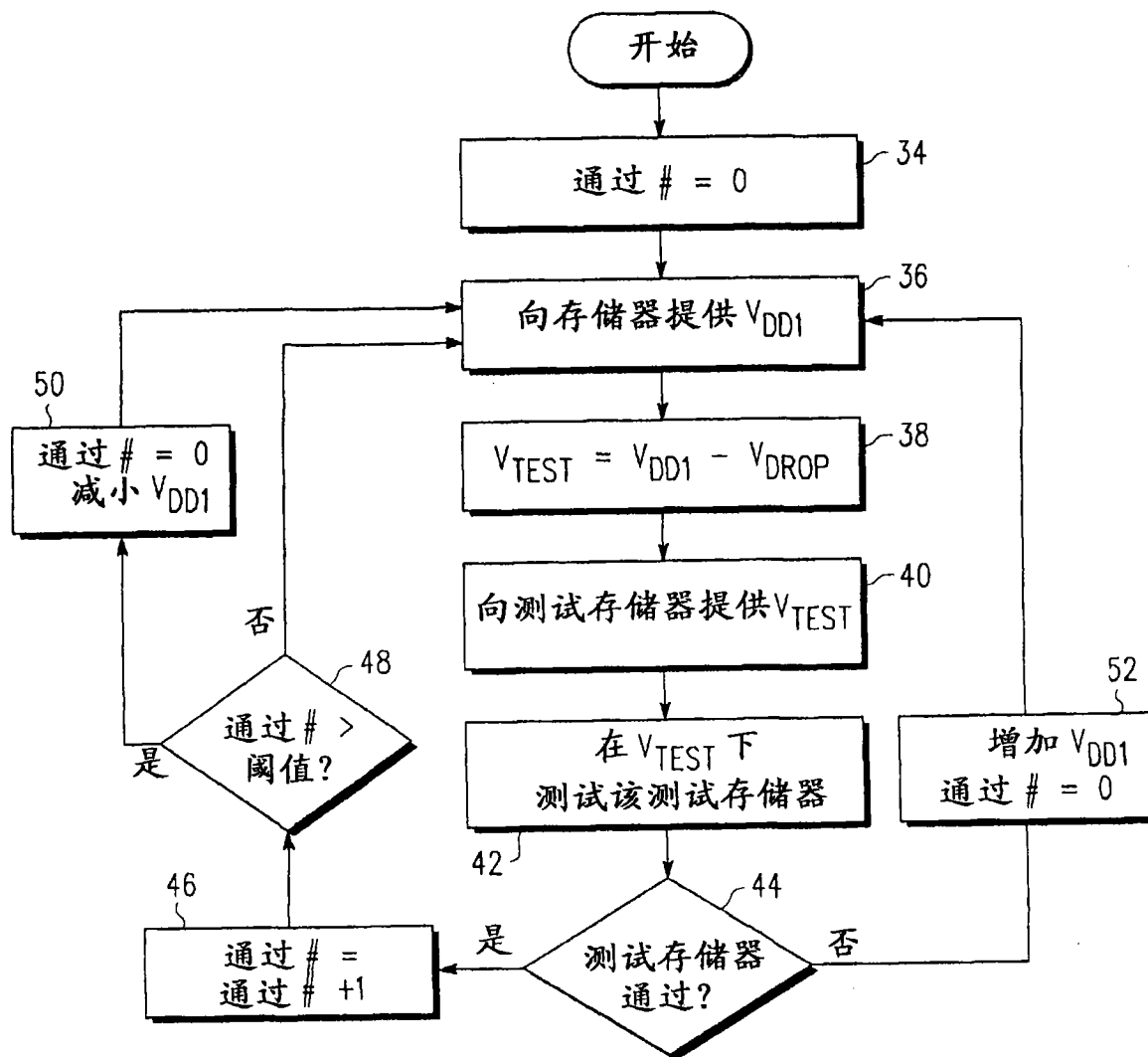


图 1



32

图2

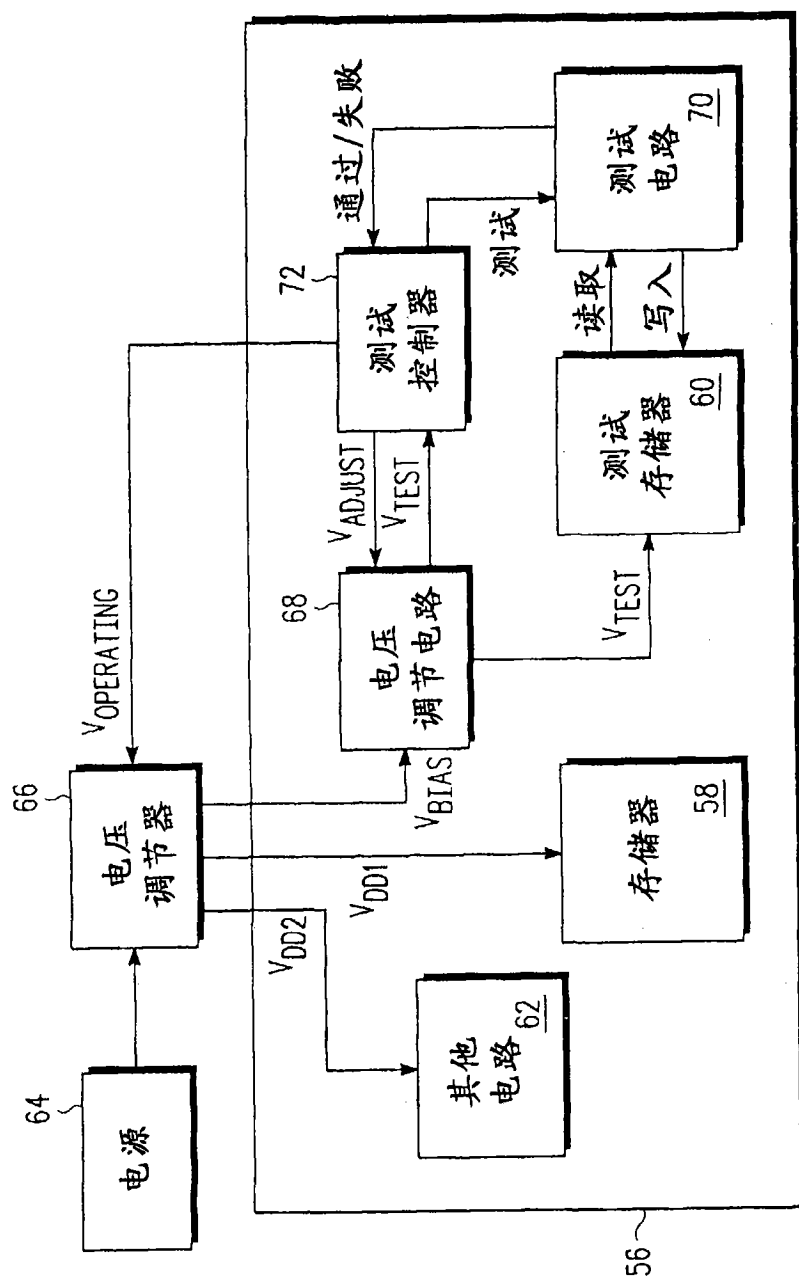


图 3

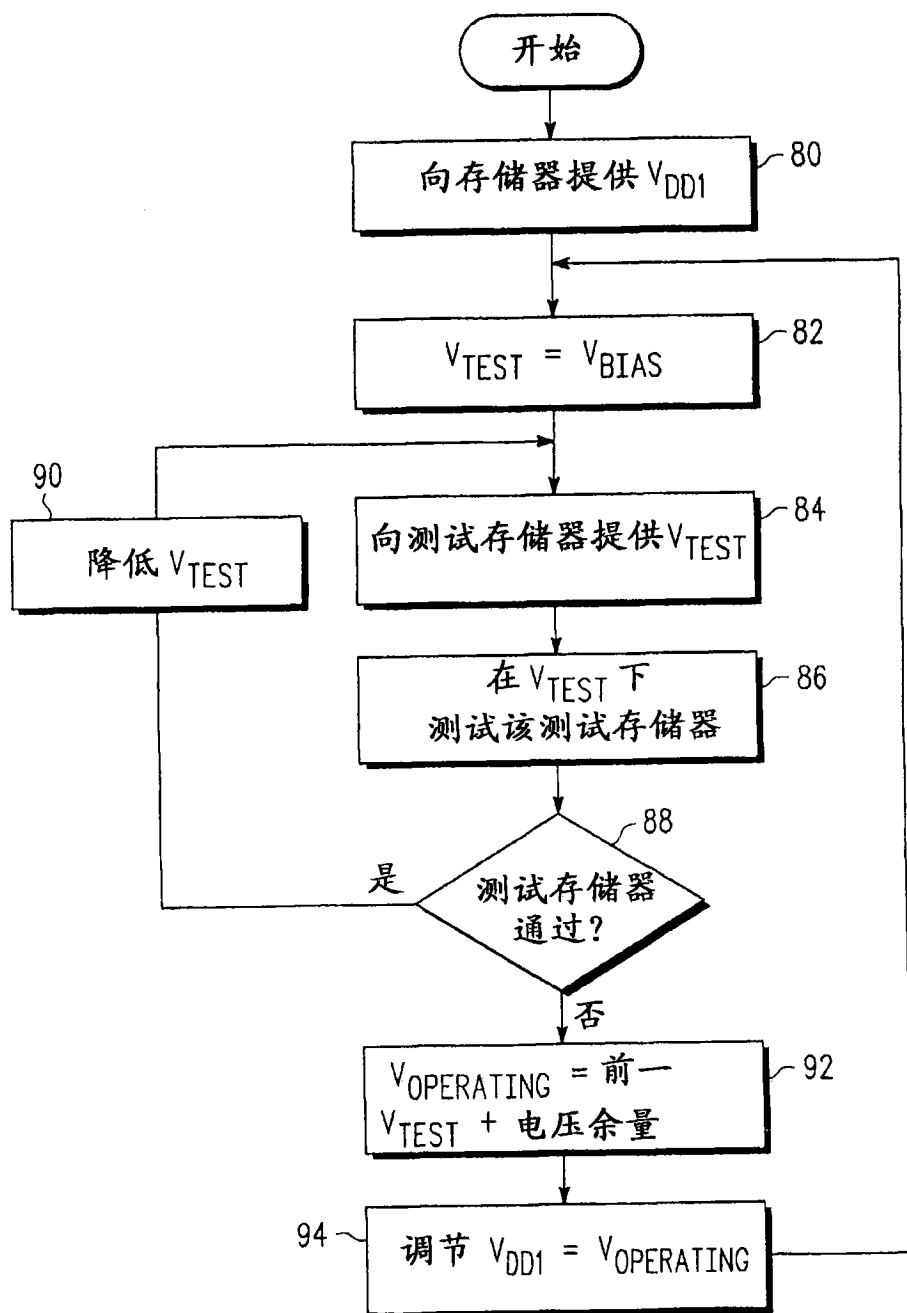
78

图 4