

1. 一种金属半导体场效应晶体管的单元，包括：

德尔塔掺杂的碳化硅金属半导体场效应晶体管，具有源、漏和栅，该栅位于该源和该漏之间并延伸进入第一导电类型的掺杂的沟道层；以及

邻近该源和该漏并在该源和该栅与该漏和该栅的各自之间扩展的碳化硅区域，该碳化硅区域具有比该掺杂的沟道层的载流子浓度更高的载流子浓度并与该栅分隔开。

2. 根据权利要求1的金属半导体场效应晶体管，其中德尔塔掺杂的碳化硅金属半导体场效应晶体管和碳化硅区域包括：

碳化硅衬底；

一在衬底上的第一导电类型碳化硅的德尔塔掺杂层；

在德尔塔掺杂层上的第一导电类型碳化硅的掺杂的沟道层，具有小于德尔塔掺杂层的至少一个载流子浓度的载流子浓度；

分别定义源和漏的在掺杂的沟道层上的欧姆接触；

在掺杂的沟道层上的第一导电类型碳化硅的盖层，该盖层具有大于掺杂的沟道层的载流子浓度的载流子浓度；

在源和漏之间的第一凹槽，该第一凹槽具有第一底部，其延伸穿过盖层进入掺杂的沟道层第一距离；

在第一凹槽中并延伸进入掺杂的沟道层的栅；以及

在源和漏之间具有第二底部的第二凹槽，其延伸小于第一距离的第二距离、穿过盖层至掺杂的沟道层，并具有各自的侧壁，各自的侧壁位于相应的源和栅与漏和栅之间并与栅、源和漏分隔开以便定义盖层的区域，该盖层在相应的源和栅与漏和栅之间延伸，以便提供碳化硅区域。

3. 根据权利要求2的金属半导体场效应晶体管，其中第二凹槽的第二底部延伸进入掺杂的沟道层第三距离。

4. 根据权利要求2的金属半导体场效应晶体管，其中碳化硅衬底包括半绝缘碳化硅衬底。

5. 根据权利要求1的金属半导体场效应晶体管，其中第一导电类型碳化硅包括n型导电类型碳化硅。

6. 根据权利要求1的金属半导体场效应晶体管，其中第一导电类

型碳化硅包括 p 型导电类型碳化硅。

7. 根据权利要求 1 的金属半导体场效应晶体管，其中碳化硅区域是注入的区域。

8. 根据权利要求 1 的金属半导体场效应晶体管，其中在单个生长步骤中生长碳化硅区域以及德尔塔掺杂层和掺杂的沟道层。

9. 根据权利要求 2 的金属半导体场效应晶体管，其中在衬底上淀积德尔塔掺杂层、掺杂的沟道层和盖层。

10. 根据权利要求 2 的金属半导体场效应晶体管，其盖层具有从 $3 \times 10^{17} \text{ cm}^{-3}$ 至 $6 \times 10^{17} \text{ cm}^{-3}$ 的载流子浓度。

11. 根据权利要求 2 的金属半导体场效应晶体管，其中盖层具有从 500 \AA 至 1000 \AA 的厚度。

12. 根据权利要求 2 的金属半导体场效应晶体管，其中德尔塔掺杂层具有从 $2 \times 10^{18} \text{ cm}^{-3}$ 至 $3 \times 10^{18} \text{ cm}^{-3}$ 的载流子浓度。

13. 根据权利要求 2 的金属半导体场效应晶体管，其中德尔塔掺杂层具有从 200 \AA 至 300 \AA 的厚度。

14. 根据权利要求 2 的金属半导体场效应晶体管，其中掺杂的沟道层具有从 $1 \times 10^{16} \text{ cm}^{-3}$ 至 $5 \times 10^{16} \text{ cm}^{-3}$ 的载流子浓度。

15. 根据权利要求 2 的金属半导体场效应晶体管，其中掺杂的沟道层具有从 1800 \AA 至 3500 \AA 的厚度。

16. 根据权利要求 2 的金属半导体场效应晶体管，还包括：

在衬底和德尔塔掺杂层之间的第二导电类型碳化硅的缓冲层。

17. 根据权利要求 16 的金属半导体场效应晶体管，其中缓冲层具有 $1.0 \times 10^{16} \text{ cm}^{-3}$ 至 $6 \times 10^{16} \text{ cm}^{-3}$ 的载流子浓度。

18. 根据权利要求 16 的金属半导体场效应晶体管，其中缓冲层具有 0.5 \mu m 的厚度。

19. 根据权利要求 16 的金属半导体场效应晶体管，其中第二导电类型碳化硅是 p 型导电类型碳化硅。

20. 根据权利要求 16 的金属半导体场效应晶体管，其中第二导电类型碳化硅是 n 型导电类型碳化硅。

21. 根据权利要求 2 的金属半导体场效应晶体管，还包括：

在源和漏之下的第一导电类型碳化硅的区域，该区域的载流子浓度大于掺杂的沟道层的载流子浓度。

22. 根据权利要求 21 的金属半导体场效应晶体管, 其中第一导电类型碳化硅的区域具有至少 $1 \times 10^{19} \text{ cm}^{-3}$ 的载流子浓度。

23. 根据权利要求 2 的金属半导体场效应晶体管, 还包括在盖层和掺杂的沟道层上的氧化物层。

24. 根据权利要求 2 的金属半导体场效应晶体管, 其中欧姆接触包括镍接触。

25. 根据权利要求 2 的金属半导体场效应晶体管, 还包括在欧姆接触上的覆盖层。

26. 根据权利要求 2 的金属半导体场效应晶体管, 其中德尔塔掺杂层和掺杂的沟道层形成具有侧壁的台面, 该侧壁定义晶体管的周边并延伸穿过德尔塔掺杂层和掺杂的沟道层。

27. 根据权利要求 26 的金属半导体场效应晶体管, 其中台面的侧壁延伸进入衬底。

28. 根据权利要求 2 的金属半导体场效应晶体管, 其中第一距离是从 $0.08 \mu\text{m}$ 至 $0.25 \mu\text{m}$ 。

29. 根据权利要求 2 的金属半导体场效应晶体管, 其中栅包括在掺杂的沟道层上的铬的第一栅层。

30. 根据权利要求 29 的金属半导体场效应晶体管, 其中栅进一步包括在第一栅层上的覆盖层, 其中覆盖层包括铂和金。

31. 根据权利要求 2 的金属半导体场效应晶体管, 其中栅包括在掺杂的沟道层上的镍的第一栅层。

32. 根据权利要求 31 的金属半导体场效应晶体管, 其中栅进一步包括在第一栅层上的覆盖层, 其中覆盖层包括金。

33. 根据权利要求 1 的金属半导体场效应晶体管, 其中栅具有从 $0.4 \mu\text{m}$ 至 $0.7 \mu\text{m}$ 的长度。

34. 根据权利要求 1 的金属半导体场效应晶体管, 其中从源至栅的距离为从 $0.5 \mu\text{m}$ 至 $0.7 \mu\text{m}$ 。

35. 根据权利要求 1 的金属半导体场效应晶体管, 其中从漏至栅的距离为从 $1.5 \mu\text{m}$ 至 $2 \mu\text{m}$ 。

36. 根据权利要求 2 的金属半导体场效应晶体管, 其中第二距离为从 500 \AA 至 1000 \AA 。

37. 根据权利要求 2 的金属半导体场效应晶体管, 其中源和第二

凹槽的第一侧壁之间的距离为从 $0.1\mu\text{m}$ 至 $0.4\mu\text{m}$; 以及

其中漏和第二凹槽的第二侧壁之间的距离为从 $0.9\mu\text{m}$ 至 $1.7\mu\text{m}$.

38. 根据权利要求 2 的金属半导体场效应晶体管, 其中第二凹槽的第一侧壁和栅之间的距离为从 $0.3\mu\text{m}$ 至 $0.6\mu\text{m}$; 以及

其中第二凹槽的第二侧壁和栅之间的距离为从 $0.3\mu\text{m}$ 至 $0.6\mu\text{m}$.

39. 一种金属半导体场效应晶体管, 包括多个根据权利要求 1 的单元, 其中从第一德尔塔掺杂的碳化硅金属半导体场效应晶体管的栅至第二德尔塔掺杂的碳化硅金属半导体场效应晶体管的栅的距离为从 $20\mu\text{m}$ 至 $50\mu\text{m}$.

40. 一种金属半导体场效应晶体管的形成方法, 包括:

形成具有源、漏和栅的德尔塔掺杂的碳化硅金属半导体场效应晶体管, 该栅位于该源和该漏之间并延伸进入第一导电类型的掺杂的沟道层; 以及

形成邻近该源和该漏并在相应的该源和该栅与该漏和该栅之间延伸的碳化硅区域, 具有大于掺杂的沟道层的载流子浓度的载流子浓度并与该栅分隔开。

41. 根据权利要求 40 的方法, 其中形成德尔塔掺杂的碳化硅金属半导体场效应晶体管并且形成碳化硅区域包括:

在碳化硅衬底上形成第一导电类型碳化硅的德尔塔掺杂层;

在德尔塔掺杂层上形成第一导电类型碳化硅的掺杂的沟道层, 该沟道层具有小于德尔塔掺杂层的至少一个载流子浓度的载流子浓度;

在掺杂的沟道层上形成分别定义源和漏的欧姆接触;

在掺杂的沟道层上形成第一导电类型碳化硅的盖层并具有大于掺杂的沟道层的载流子浓度的载流子浓度;

在源和漏之间形成具有第一底部的第一凹槽, 其延伸穿过盖层进入掺杂的沟道层第一距离;

在第一凹槽中形成栅并延伸进入掺杂的沟道层; 以及

在源和漏之间形成具有第二底部的第二凹槽, 其延伸小于第一距离的第二距离, 穿过盖层至掺杂的沟道层并具有各自的侧壁, 各自的侧壁位于相应的源和栅与漏和栅之间并与栅、源和漏分隔开, 以便定义盖层的区域, 该盖层在相应的源和栅与漏和栅之间扩展, 以便提供碳化硅区域。

42. 根据权利要求 41 的方法, 其中形成德尔塔掺杂层、掺杂的沟道层和盖层的步骤包括在单个生长步骤中外延生长德尔塔掺杂层、掺杂的沟道层和盖层的步骤。

43. 根据权利要求 42 的方法, 其中在单个生长步骤中源材料浓度被第一次改变以生长掺杂的沟道层, 被第二次改变以生长盖层。

44. 根据权利要求 42 的方法:

其中形成盖层的步骤包括在掺杂的沟道层中注入第一导电类型的掺杂剂。

45. 根据权利要求 41 的方法, 其中形成德尔塔掺杂层、掺杂的沟道层和盖层的步骤包括淀积德尔塔掺杂层、淀积掺杂的沟道层和淀积盖层的步骤。

46. 根据权利要求 41 的方法, 其中第一导电类型碳化硅包括 n 型导电类型碳化硅。

47. 根据权利要求 41 的方法, 其中第一导电类型碳化硅包括 p 型导电类型碳化硅。

48. 根据权利要求 41 的方法, 还包括在衬底和德尔塔掺杂层之间形成缓冲层的步骤。

49. 根据权利要求 48 的方法, 其中形成缓冲层包括形成 p 型导电类型碳化硅层的步骤。

50. 根据权利要求 48 的方法, 其中形成缓冲层包括形成 n 型导电类型碳化硅层的步骤。

51. 根据权利要求 48 的方法, 其中形成缓冲层包括形成未掺杂碳化硅层的步骤。

52. 根据权利要求 41 的方法, 其中形成欧姆接触的步骤包括:

在邻近德尔塔掺杂的碳化硅金属半导体场效应晶体管的源区的区域中刻蚀穿过盖层的接触窗口; 以及

在接触窗口中形成欧姆接触。

53. 根据权利要求 41 的方法, 还包括:

在源和漏之下的区域中注入 n 型掺杂剂, 以提供具有高于掺杂的沟道层的载流子浓度的 n 型导电类型碳化硅的高掺杂区域;

其中形成欧姆接触的步骤包括在高掺杂区域上形成欧姆接触。

54. 根据权利要求 53 的方法, 还包括刻蚀德尔塔掺杂层、掺杂的

沟道层、盖层和高掺杂区域以形成一个台面的步骤。

55. 根据权利要求 53 的方法，其中注入 n 型掺杂剂的步骤还包括退火 n 型掺杂剂，以便激活该 n 型掺杂剂。

56. 根据权利要求 41 的方法，还包括在德尔塔掺杂的碳化硅金属半导体场效应晶体管上生长氧化物层的步骤。

57. 根据权利要求 41 的方法，还包括在德尔塔掺杂的碳化硅金属半导体场效应晶体管上淀积氧化物层的步骤。

58. 根据权利要求 41 的方法，其中形成第二凹槽包括：

在盖层上形成用于第二凹槽的掩模；

依据掩模来刻蚀穿过盖层第二距离而延伸到掺杂的沟道层。

59. 根据权利要求 41 的方法，其中形成第二凹槽的步骤包括：

在盖层上形成用于第二凹槽的掩模；

依据掩模来刻蚀穿过盖层而延伸进入掺杂的沟道层第二距离。

60. 根据权利要求 41 的方法，其中形成第一凹槽包括：

形成用于第一凹槽的掩模；

依据掩模来刻蚀进入掺杂的沟道层第一距离。

61. 根据权利要求 40 的方法，包括：

在碳化硅衬底上形成第二导电类型的缓冲层；

单个生长步骤中外延生长所有都为第一导电类型的德尔塔掺杂层、掺杂的沟道层和盖层，第一次改变源材料载流子浓度以生长掺杂的沟道层并第二次改变源材料浓度以生长盖层；

形成用于第一导电类型注入剂的掩模；

注入第一导电类型注入剂并用退火来激活第一导电类型注入剂；

刻蚀德尔塔掺杂层、掺杂的沟道层、盖层和第一导电类型注入剂以形成一个台面；

形成用于第一凹槽的掩模，并刻蚀源和漏之间具有第一底部的第一凹槽，其延伸穿过盖层并进入掺杂的沟道层第一距离并具有各自的侧壁，该各自的侧壁位于相应的源和栅与漏和栅之间；

在盖层上并在第一凹槽中生长氧化物层；

开口用于源和漏的窗口；

在窗口上形成欧姆接触；

形成用于第二凹槽的掩模；

刻蚀第二凹槽，其延伸进入掺杂的沟道层大于第一距离的第二距离；以及

在第二凹槽中形成栅，其延伸进入掺杂的沟道层。

金属半导体场效应晶体管及其制造方法

发明领域

本发明涉及微电子器件，更具体地涉及在碳化硅中形成的金属半导体场效应晶体管（MESFET）。

背景技术

近年来，需要大功率处理能力（>20瓦）、同时在高频频例如射频（500 MHz）、S波段（3 GHz）和X波段（10 GHz）下工作的电路已经很流行。由于大功率、高频电路的增加，就相应增加了对既能处理较大功率负载同时又能在射频并在更高频率下可靠地工作的晶体管的需求。以前，双极晶体管和功率金属氧化物半导体场效应晶体管（MOSFET）已经用于大功率应用，但是在较高工作频率下这种器件的功率处理能力会受到制约。结型场效应晶体管（JFET）通常用于高频应用，但是目前公知的JFET的功率处理能力还是会受到制约。

近来，已经开发金属半导体场效应晶体管（MESFET）用于高频应用。因为只有多数载流子承载电流，所以MESFET结构可以优选用于高频应用。因为减少的栅电容允许更快的栅输入的开关时间，所以MESFET设计优于当前的MOSFET设计。因此，尽管所有的场效应晶体管都只利用多数载流子来承载电流，但MESFET的肖特基栅结构可以使MESFET更适合于高频应用。

除了结构类型之外，也许更基本地，形成晶体管的半导体材料的特性同样影响工作参数。在影响晶体管的工作参数的特性中电子迁移率、饱和电子漂移速度、击穿电场和导热系数会显著影响晶体管的高频特性和大功率特性。

电子迁移率是在电场存在情况下电子加速到它的饱和速度的快慢程度的测量值。过去，因为当施加电场时较少的电场就可能产生较多的电流，导致较快的响应时间，所以优选具有高电子迁移率的半导体材料。饱和电子漂移速度是在半导体材料中电子获得的最大速度。因为较高速度使得从源至漏的时间较短，所以对于高频应用优选的是具

有较高饱和电子漂移速度的材料。

击穿电场是肖特基结击穿和穿过器件的栅的电流突然增加时的电场强度。因为给定的材料尺寸通常可以承受较大的电场，所以优选高击穿电场的材料用于大功率、高频晶体管。由于较大的电场比较小的电场可更快地加速电子，所以对较快的瞬变过程考虑较大的电场。

导热系数是半导体材料散热的能力。在典型的工作中，所有的晶体管都产生热。大功率和高频晶体管通常产生比小信号晶体管更多的热量。当半导体材料的温度增加时，由于随着温度的增加载流子迁移率降低，所以结漏电流通常就会增加，并且通过场效应晶体管的电流通常会降低。因此，如果从半导体散热，材料将维持较低的温度并能够以较低漏电流承载较大的电流。

过去，由于III-V化合物的高电子迁移率，所以已经由n型III-V化合物例如砷化镓(GaAs)制造了非常高频率的MESFET。虽然这些器件提供了改善的工作频率和适度改善的功率处理能力，但这些材料的相对低的击穿电压和较低的导热系数制约了将它们用于大功率应用。

许多年来，已经熟知碳化硅(SiC)具有优良的物理和电学特性，理论上允许制造出相比于由硅(Si)或GaAs制造的器件可以在更高温度、更大功率和更高频率下工作的电子器件。大约 4×10^6 V/cm的高击穿电场、大约 2.0×10^7 cm/sec的高饱和电子漂移速度和大约 4.9 W/cm⁻² K的高导热系数显示了SiC适合于高频、大功率应用。遗憾的是，制造困难制约了SiC在大功率和高频应用中的使用。

近来，在硅衬底上已经制造出了具有碳化硅沟道层的MESFET(参见美国专利 Suzuki 等人的 NO.4762806 和 Kondoh 等人的 NO.4757028)。因为MESFET的半导体层是外延层，所以在其上生长每个外延层的层影响器件特性。因此，通常在Si衬底上生长的SiC外延层比在不同衬底上生长的SiC外延层具有不同的电特性和热特性。虽然在美国专利 NO.4762806 和 NO.4757028 中描述的Si衬底上SiC器件已经展示了改善的热特性，但Si衬底的使用通常制约了这种器件的散热能力。而且，在Si上生长SiC通常导致外延层缺陷，当器件工作时，该缺陷会产生大的漏电流。

采用SiC衬底已经开发出了其它MESFET。1990年6月19日提交的、目前已放弃的美国专利申请号 No.07/540488 描述了具有在SiC

衬底上生长的 SiC 外延层的 SiC MESFET, 在此引用其全文作为参考。因为在 SiC 衬底上生长的外延层改善了晶体质量, 所以这些器件比以前的器件展示了改善的热特性。然而, 为了获得大功率和高频就必须消除 SiC 的较低电子迁移率的制约。

类似地, 共同转让给 Palmour 的美国专利 No. 5270554 描述了一种具有在衬底与在其中形成沟道的 n 型层之间的 SiC 的 n⁺区域和一可选择轻掺杂的外延层在上形成的源和漏接触的 SiC MESFET。Sriram 等人的美国专利 No. 5925895 还描述了克服减弱了 MESFET 用于高频工作的性能的“表面效应”的结构和一种 SiC MESFET。Sriram 等还描述使用 n⁺源和漏接触区以及 p 型缓冲层的 SiC MESFET。在 Baliga 的标题为“High Voltage Silicon Carbide MESFETs and Methods of Fabricating the Same”的美国专利 No. 5399883 和标题为“Semiconductor Device”的公开的 PCT 申请 No. W001/67521 A1 中讨论了 MESFETs。然而, 尽管性能已在这些专利中报道, 但在 SiC MESFETs 中, 可以做出进一步的改进。

例如, 通过采用非常薄的、通过相同导电类型的轻掺杂区而偏移栅的重掺杂沟道(德尔塔掺杂的沟道), 传统的 SiC FET 就可以在 FET 的整个工作范围即从完全开启沟道直至接近夹断电压期间提供稳定的特性。在 2000 年 MRS Fall Symposium 的 Yokogawa 等人的标题为“氮德尔塔掺杂的碳化硅层的电子特性”论文以及在 2000 年 MRS Fall Symposium 的 Konstantinov 等人的标题为“低-高-低和德尔塔掺杂的碳化硅结构的研究”论文中, 详细讨论了德尔塔掺杂的沟道。在这些论文中讨论的结构采用德尔塔掺杂的沟道并提供高频应用所希望的高击穿电压。然而, 这些器件还具有由于德尔塔掺杂的沟道的较低迁移率而导致的升高的源和漏电阻, 这是不希望的。不能简单地通过增加德尔塔掺杂的沟道的载流子浓度来典型地克服增加的源和漏电阻, 因为这会降低击穿电压, 如上所述, 击穿电压是器件的重要特性。

发明内容

本发明的实施例提供一种金属半导体场效应晶体管(MESFET)的单元。MESFET 单元包括具有源、漏和栅的德尔塔掺杂的碳化硅 MESFET。栅位于源和漏之间并延伸进入掺杂的第一导电类型的沟道层

中。邻近源和漏的碳化硅区域分别在源和栅与漏和栅之间延伸。碳化硅区域具有比掺杂的沟道层的载流子浓度更高的载流子浓度。碳化硅区域还被隔开而远离栅。

在本发明的另一个实施例中，德尔塔掺杂的碳化硅 MESFET 和碳化

硅区域包括碳化硅衬底和在该衬底上的第一导电类型碳化硅的德尔塔掺杂层。在德尔塔掺杂层上的第一导电类型碳化硅的掺杂的沟道层具有小于德尔塔掺杂层的至少一种载流子浓度的载流子浓度。掺杂的沟道层上的欧姆接触分别定义源和漏。在掺杂的沟道层上的第一导电类型碳化硅的盖层具有大于掺杂的沟道层的载流子浓度的载流子浓度。第一凹槽位于源和漏之间。第一凹槽具有第一底部，其穿过盖层进入掺杂的沟道层而延伸第一距离。栅处在第一凹槽中并且延伸进入掺杂的沟道层。第二凹槽位于源和漏之间并具有第二底部，该第二底部延伸小于第一距离的第二距离、穿过盖层至掺杂的沟道层。第二凹槽具有相应的侧壁，侧壁各自位于源和栅与漏和栅之间并被隔开而远离栅、源和漏以便定义盖层的区域，该盖层在源和栅与漏和栅的各自之间延伸以提供碳化硅区域。

在本发明的进一步实施例中，第二凹槽的第二底部延伸进入掺杂的沟道层第三距离。碳化硅衬底可以是半绝缘碳化硅衬底。第一导电类型碳化硅可以是 n 型导电类型碳化硅或 p 型导电类型碳化硅。

在本发明的进一步的实施例中，碳化硅区域可以是注入的区域。在本发明的另一个实施例中，在单个生长步骤中生长具有德尔塔掺杂层和掺杂的沟道层的碳化硅区域。在本发明的进一步的实施例中，在衬底上生长德尔塔掺杂层、掺杂的沟道层和盖层。

在本发明的附加的实施例中，盖层具有从大约 $3 \times 10^{17} \text{ cm}^{-3}$ 至大约 $6 \times 10^{17} \text{ cm}^{-3}$ 的载流子浓度并且从大约 500 \AA 至大约 1000 \AA 的厚度。德尔塔掺杂层可以具有从大约 $2 \times 10^{18} \text{ cm}^{-3}$ 至大约 $3 \times 10^{18} \text{ cm}^{-3}$ 的载流子浓度并且从大约 200 \AA 至大约 300 \AA 的厚度。掺杂的沟道层可以具有从大约 $1 \times 10^{16} \text{ cm}^{-3}$ 至大约 $5 \times 10^{16} \text{ cm}^{-3}$ 的载流子浓度并且从大约 1800 \AA 至大约 3500 \AA 的厚度。

在本发明的进一步的实施例中，MESFET 还包括在衬底和德尔塔掺杂层之间的第二导电类型碳化硅的缓冲层。对于 p 型缓冲层，缓冲层可以具有从大约 $1.0 \times 10^{16} \text{ cm}^{-3}$ 至大约 $6 \times 10^{16} \text{ cm}^{-3}$ 的载流子浓度，但典型为 $1.5 \times 10^{16} \text{ cm}^{-3}$ 。缓冲层可以具有从大约 0.2 \mu m 至大约 0.5 \mu m 的厚度。对于 n 型缓冲层，缓冲层可以具有 $1 \times 10^{15} \text{ cm}^{-3}$ 或更小的载流子浓度和大约 0.25 \mu m 的厚度。第二导电类型碳化硅可以是 p 型导电类型碳化硅、n 型导电类型碳化硅或未掺杂的碳化硅。

在本发明的更进一步的实施例中，MESFET还包括在源和漏之下的第一导电类型碳化硅的区域，在该源和漏的载流子浓度具有大于掺杂的沟道层的载流子浓度。第一导电类型碳化硅的区域具有至少大约 $1 \times 10^{19} \text{ cm}^{-3}$ 的载流子浓度。在本发明的其它实施例中，MESFET还包括在盖层和掺杂的沟道层上的氧化物层。

在本发明的进一步的实施例中，欧姆接触包括镍接触。MESFET还包括在欧姆接触上的覆盖层。在本发明的更进一步的实施例中，德尔塔掺杂层和掺杂的沟道层形成具有侧壁的台面，侧壁定义晶体管的周边并延伸穿过德尔塔掺杂层和掺杂的沟道层。台面的侧壁可以或不延伸进入衬底。

在本发明附加的实施例中，第一距离可以从大约 $0.07 \mu\text{m}$ 至大约 $0.25 \mu\text{m}$ ，并且第二距离可以从大约 500 \AA 至大约 1000 \AA 。栅可以包括在掺杂的沟道层上的铬的第一栅层和在第一栅层上的包括铂和金的覆盖层。可替换的方案是，该栅可以包括在掺杂沟道层上的镍的第一栅层和在该第一栅层上的覆盖层，其中该覆盖层包括金。栅可以具有从大约 $0.4 \mu\text{m}$ 至约 $0.7 \mu\text{m}$ 的长度。从源至栅的距离可以从大约 $0.5 \mu\text{m}$ 至大约 $0.7 \mu\text{m}$ 。从漏至栅的距离可以从大约 $1.5 \mu\text{m}$ 至大约 $2 \mu\text{m}$ 。源和第二凹槽的第一个侧壁之间的距离可以从大约 $0.1 \mu\text{m}$ 至大约 $0.4 \mu\text{m}$ ，并且漏和第二凹槽的第二个侧壁之间的距离可以从大约 $0.9 \mu\text{m}$ 至大约 $1.7 \mu\text{m}$ 。第二凹槽的第一个侧壁和栅之间的距离可以从大约 $0.3 \mu\text{m}$ 至大约 $0.6 \mu\text{m}$ ，并且第二凹槽的第二个侧壁和栅之间的距离可以从大约 $0.3 \mu\text{m}$ 至大约 $0.6 \mu\text{m}$ 。从包含多个单元的晶体管中的第一栅至第二栅的距离可以从大约 $20 \mu\text{m}$ 至大约 $50 \mu\text{m}$ 。

虽然上述内容主要参照SiC MESFET来描述本发明，但本发明还提供SiC MESFET的制造方法。

附图的简要描述

图1是根据本发明实施例的金属半导体场效应晶体管(MESFET)的剖面图；以及

图2A-2H说明根据本发明实施例制造MESFET中的处理步骤。

发明的详细描述

现在，将参照图 1 和图 2A-2H 来描述本发明，图 1 和图 2A-2H 说明本发明的各种实施例。如图所示，为了说明目的放大了各层或各区的尺寸，因此来说明本发明的一般性结构。而且，参考在衬底或其它层上形成的层来描述本发明的各个方面。本领域普通技术人员应当清楚，涉及的在其它层或衬底上形成的层期待着有附加层可以插入其间。在没有插入层的情况下涉及的在另一层或衬底上形成的层在此被描述为在该层或衬底上“直接”形成的层。相同的数字始终表示相同的元件。

现在，下面将参照图 1 和 2A-2H 详细描述本发明的实施例，图 1 和 2A-2H 说明本发明的各种实施例和本发明实施例的各种制造工艺。提供金属半导体场效应晶体管 (MESFET)，其具有德尔塔掺杂层，即非常薄、重掺杂的层、经相对于德尔塔掺杂层是轻掺杂的掺杂沟道层而偏移栅。如以下详细的描述，提供一种双凹陷栅结构，其相对于传统的 MESFET 可以提高击穿电压和降低源和漏的电阻。可以采用如下所述的现有制造技术来制造根据本发明实施例的 MESFET。例如，根据本发明实施例的 MESFET 可以应用于高效线性功率放大器例如用于采用诸如码分多路访问 (CDMA) 和/或宽带 CDMA (WCDMA) 的复合调制模式的基站的功率放大器。

参照图 1，现在将详细描述根据本发明实施例的金属半导体场效应晶体管 (MESFET)。如图 1 中所见，提供 p 型或 n 型导电类型或半绝缘的单晶体碳化硅 (SiC) 衬底 10。衬底可以由选自 6H、4H、15R 或 3C 碳化硅组中的碳化硅形成。

在衬底 10 上提供 p 型碳化硅的可选缓冲层 12。可选缓冲层 12 优选由 6H、4H、15R 或 3C 多晶型的 p 型导电碳化硅形成。缓冲层可以具有大约 $1.0 \times 10^{16} \text{ cm}^{-3}$ 至大约 $6 \times 10^{16} \text{ cm}^{-3}$ 的载流子浓度，但典型为大约 $1.5 \times 10^{16} \text{ cm}^{-3}$ 的载流子浓度。适合的掺杂剂包括铝、硼和镓。缓冲层 12 可以具有从大约 $0.2 \text{ }\mu\text{m}$ 至大约 $0.5 \text{ }\mu\text{m}$ 的厚度。尽管以上描述的缓冲层 12 为 p 型碳化硅，但本发明不应当限于这种结构。可替换的方案是，缓冲层可以是未掺杂的碳化硅或非常低掺杂的 n 型导电类型的碳化硅。如果使用低掺杂的碳化硅作为缓冲层 12，那么优选缓冲层 12 的载流子浓度小于大约 $5 \times 10^{15} \text{ cm}^{-3}$ 。如果使用未掺杂或 n 型缓冲层 12，那么衬底 10 就优选为半绝缘碳化硅衬底。

缓冲层 12 可以设置在衬底 10 和德尔塔掺杂层 14 之间, 德尔塔掺杂层 14 可以是 n 型或 p 型碳化硅。德尔塔掺杂层 14 典型掺杂有在非常薄、二维层之内均匀分布的杂质, 并且典型具有高载流子浓度。然而, 德尔塔掺杂层 14 还可以具有掺杂轮廓, 即德尔塔掺杂层 14 的不同部分的载流子浓度表示典型地具有变化的深度, 在轮廓中一个或多个峰值具有较高载流子浓度。

如图 1 中所示, 在衬底 10 上设置德尔塔掺杂层 14、掺杂的沟道层 16 和盖层 18, 所有层为 n 型碳化硅。因此, 掺杂的沟道层 16 是在德尔塔掺杂层 14 上并且盖层 18 是在掺杂的沟道层 16 上。如果可选缓冲层 12 设置在衬底 10 上, 那么德尔塔掺杂层 14、掺杂的沟道层 16 和盖层 18 就可以设置在可选缓冲层 12 上。如上所述, 因为德尔塔掺杂层在它的掺杂轮廓中包含单一峰值或多个峰值, 所以掺杂的沟道层 16 具有的载流子浓度小于掺杂的沟道层 14 的掺杂轮廓中的至少一个峰值的载流子浓度。掺杂的沟道层 16 的载流子浓度还小于盖层 18 的载流子浓度。因此, 掺杂的沟道层 16 为轻掺杂, 即具有相对于德尔塔掺杂层 14 和盖层 18 两层更低的载流子浓度。

德尔塔掺杂层 14 可以由 6H、4H、15R 或 3C 多晶型的 n 型导电类型的碳化硅形成。德尔塔掺杂的 n 型层的 n 型载流子浓度从大约 $2 \times 10^{18} \text{ cm}^{-3}$ 至大约 $3 \times 10^{18} \text{ cm}^{-3}$ 的范围是适合的。适合的掺杂剂包括氮和磷。德尔塔掺杂层 14 可以具有从大约 200 Å 至大约 300 Å 的厚度。掺杂的沟道层 16 可以具有从大约 $1 \times 10^{16} \text{ cm}^{-3}$ 至大约 $5 \times 10^{16} \text{ cm}^{-3}$ 的载流子浓度并且可以由 6H、4H、15R 或 3C 多晶型的 n 型碳化硅形成。掺杂的沟道层 16 还可以具有从大约 1800 Å 到大约 3500 Å 的厚度。最终, 盖层 18 可能具有从大约 $3 \times 10^{17} \text{ cm}^{-3}$ 至大约 $6 \times 10^{17} \text{ cm}^{-3}$ 的载流子浓度和从大约 500 Å 至大约 1000 Å 的厚度。

尽管以上将德尔塔掺杂层 14、掺杂的沟道层 16 和盖层 18 描述为 n 型导电类型的碳化硅, 但应当理解, 本发明并不限于这种构成。例如, 可替换的方案是, 在互补器件中, 德尔塔掺杂层 14、掺杂的沟道层 16 和盖层 18 可以是 p 型导电类型的碳化硅。

如图 1 中进一步所示, 分别在器件的源区和漏区中设置 n⁺区域 13 和 17。作为在此使用的“n⁺”或“p⁺”指的是由比在相同层或另一层或衬底的相邻或其它区域中出现的更高载流子浓度所定义的区域。区

域 13 和 17 典型为 n 型导电类型的碳化硅并且载流子浓度大于掺杂的沟道层 16 的载流子浓度。对于 n⁺区域 13 和 17, 大约 $1 \times 10^{19} \text{ cm}^{-3}$ 的载流子浓度是适合的, 但优选尽可能高的载流子浓度。

欧姆接触 26 和 22 可以设置在注入区域 13 和 17 上并被隔开以便提供源接触 26 和漏接触 22。欧姆接触 26 和 22 优选由镍或其它适合的金属形成。氧化物层 20 进一步设置在器件的暴露表面上。

根据本发明实施例的 MESFET 包括第一凹陷部分和第二凹陷部分。第一凹陷部分具有延伸穿过盖层 18 从大约 500 Å 至大约 1000 Å 的距离至掺杂的沟道层 16 的底部。第二凹陷部分设置在第一凹陷部分的侧壁 34、36 之间。第一凹陷部分的第一侧壁 34 在源 26 和栅 24 之间, 第一凹陷部分的第二侧壁 36 在漏 22 和栅 24 之间。第二凹陷部分的底部延伸进入掺杂的沟道层大约 0.07 μm 至大约 0.25 μm 的距离。第一凹陷部分的底部也进一步延伸进入掺杂的沟道层 16 例如大约 100 Å, 但没有象第二凹陷部分的底部一样延伸进入掺杂的沟道层 16 那样远。此外, 源 26 和第一凹陷部分的第一侧壁 34 之间的距离可以从大约 0.1 μm 至大约 0.4 μm。漏 22 和第一凹陷结构的第二侧壁 36 之间的距离可以从大约 0.9 μm 至大约 1.7 μm。第一凹陷部分的第一侧壁 34 和栅 24 之间的距离可以从大约 0.3 μm 至大约 0.6 μm。第一凹陷部分的第二侧壁 36 和栅 24 之间的距离可以从大约 0.3 μm 至大约 0.6 μm。

应当理解, 尽管上述凹陷部分称为第一和第二凹陷部分, 但这些凹陷部分不应当限于这些术语。采用这些术语仅仅将一个凹陷部分与另一个凹陷部分区分。因此, 上述第一凹陷部分可以称为第二凹陷部分, 类似地, 上述第二凹陷部分可以称为第一凹陷部分。

在第一凹陷部分的侧壁 34、36 之间的第二凹陷部分中设置栅接触 24。栅接触 24 可以由铬、铂、或硅化铂、镍、或 TiWN 形成, 然而, 可以采用本领域技术人员公知以获得肖特基效应的其它金属例如金。然而, 肖特基栅接触 24 典型具有三层结构。因为铬 (Cr) 的高粘接性, 所以这种结构具有优越性。例如, 栅接触 24 可选择地包括接触掺杂的沟道层 16 的铬 (Cr) 的第一栅层。栅接触 24 还包括铂 (Pt) 和金 46 或其它高导电性金属的覆盖层。可替换的方案是, 栅接触 24 可以包括在掺杂的沟道层 16 上的第二凹陷部分的底部上的第一层镍。栅接触 24 还包括在第一层镍上的覆盖层, 其包含金层。如上所述, 可以在源和

漏接触 26 和 22 以及栅接触 24 上设置可选的金属覆盖层 28、30 和 32。覆盖层 28、30 和 32 可以是金、银、铝、铂和铜。还可以采用其它合适的高导电性金属用于覆盖层。

栅接触之下的 n 型导电类型区域的厚度定义了器件的沟道区的剖面高度并根据器件所需的夹断电压和载流子浓度来进行选择。给定了掺杂的沟道层和德尔塔掺杂层的载流子浓度，就可以采用本领域技术人员公知的方法容易地计算出用于给出的夹断电压的这些层的深度。因此，选择所需的掺杂的沟道层的厚度和载流子浓度，以便提供大于 -3 伏并优选大于 -5 伏的夹断电压。夹断电压还可以在大约 -3 伏和 -20 伏之间，但典型为大约 -5 伏和 -15 伏之间。

在选择 MESFET 的尺寸时，栅的宽度定义为垂直于电流流动的栅的尺寸。如图 1 的剖面图中所示，栅宽度向页面之内和之外延伸。栅的长度是平行于电流流动的栅的尺寸。如图 1 的剖面图中所示，栅长度是与掺杂的沟道层 16 接触的栅 24 的尺寸。例如，根据本发明实施例的 MESFET 的栅长度可以是大约 $0.4\ \mu\text{m}$ 至大约 $0.7\ \mu\text{m}$ 。另一个重要的尺寸是在图 1 的剖面图中示出的源至栅的距离，即从源接触 26 或 n⁺ 区 13 至栅接触 24 的距离。根据本发明实施例的源至栅的距离可以是大约 $0.5\ \mu\text{m}$ 至大约 $0.7\ \mu\text{m}$ 。此外，从漏 22 至栅 24 的距离可以是大约 $1.5\ \mu\text{m}$ 至大约 $2\ \mu\text{m}$ 。本发明的实施例还包括 MESFET 的多个单元，从单元的第一栅至第二栅的距离可以是大约 $20\ \mu\text{m}$ 至大约 $50\ \mu\text{m}$ 。

图 2A-2H 说明制造根据本发明实施例的 FET。如图 2A 中所示，可以在 SiC 衬底 10 上生长或淀积可选缓冲层 12。衬底 10 可以是半绝缘 SiC 衬底、p 型衬底或 n 型衬底。可选缓冲层 12 可以是具有大约 $1.5 \times 10^{16}\ \text{cm}^{-3}$ 或更小载流子浓度的 p 型碳化硅衬底。可替换的方案是，缓冲层可以是 n 型碳化硅或未掺杂的碳化硅。

如果衬底 10 是半绝缘，那么就可以按照共同转让并未决的标题为“Semi-insulating Silicon Carbide Without Vanadium Domination”的美国专利申请号 No. 09/313802 中所述来进行制造，因此，在此引入其全文作为参考。可以通过提供有足够高程度的点缺陷和足以匹配 p 型和 n 型掺杂剂程度的碳化硅衬底来制造这种半绝缘衬底，以致由点缺陷来控制碳化硅衬底的电阻率。可以通过在升高的

温度下用粉末源制造碳化硅衬底来完成这种控制，粉末源具有小于大约 $1 \times 10^{16} \text{ cm}^{-3}$ 并优选小于大约 $1 \times 10^{14} \text{ cm}^{-3}$ 的载流子浓度的重金属、过渡元素或其它深能级俘获元素。例如，可以使用具有籽晶的情况低大约 300°C -大约 500°C 的大约 2360°C 和 2380°C 之间的温度。因此，优选半绝缘衬底基本上无重金属、过渡元素掺杂剂或其它深能级俘获元素例如砷，以致不会通过这种重金属或过渡元素来控制衬底的电阻率。虽然优选半绝缘衬底不含这种重金属、过渡元素掺杂剂或其它深能级俘获元素，但是，如果这种材料的存在基本上不影响在此描述的 MESFET 的电特性时，这些元素可以认可测量的量存在而仍然从本发明的教导中受益。

如图 2B 中所示，在可选缓冲层 12 上生长或淀积德尔塔掺杂层 14、掺杂的沟道层 16 和盖层 18。应当理解，如果不包含缓冲层 12，那么就可以在衬底 10 上生长或淀积德尔塔掺杂层、掺杂的沟道层 16 和盖层 18。如图 2B 中所示，在缓冲层 12 上形成德尔塔掺杂层 14，在德尔塔掺杂层 14 上形成掺杂的沟道层 16，并且在掺杂的沟道层 16 上形成盖层 18。应当理解，可以通过第一次改变源材料浓度以生长掺杂的沟道层 16 并且第二次改变源材料浓度以生长盖层 18，可以在单一生长步骤中生长德尔塔掺杂层 14、掺杂的沟道层 16 和盖层 18。也可以在多个生长步骤中生长德尔塔掺杂层 14、掺杂的沟道层 16 和盖层 18。可替换的方案是，可以通过离子注入来形成盖层 18。

如图 2C 中所示，形成掩模 45，用于注入 n^+ 区 13 和 17。典型通过例如氮 (N) 或磷 (P) 的离子注入、随后通过高温退火来形成区 13 和 17。适合的退火温度可以是大约 1100°C -大约 1600°C 。如图 2D 中所示，可以在掩模 45 未覆盖的区域上进行离子注入来形成 n^+ 区 13 和 17。因此，在部分德尔塔掺杂层 14、掺杂的沟道层 16 和盖层 18 中注入离子，以提供具有比掺杂的沟道层 16 更高载流子浓度的高掺杂的 n 型导电碳化硅区域。一旦注入，就将该掺杂剂退火以激活该注入。

如图 2D 中所示，可以刻蚀衬底 10、缓冲层 12、德尔塔掺杂层 14、掺杂的沟道层 16、盖层 18 和 n^+ 区 13 和 17，形成定义器件周边的隔离台面。衬底 10、德尔塔掺杂层 14、掺杂的沟道层 16、盖层 18 和 n^+ 区 13 和 17 形成具有定义晶体管的周边的侧壁的台面。台面的侧壁向下延伸穿过器件的德尔塔掺杂层 14。典型地，如图 2C 中所示，形成台面以

延伸进入器件的衬底 10。台面可以延伸穿过器件的耗尽区，以便将器件中的电流流动限制到台面并减少器件的电容。如果器件的耗尽区在台面水平之下延伸，那么耗尽区就会扩展至台面之外的区域，从而产生较大的电容。优选通过如上所述的反应离子刻蚀来形成台面，然而，可以采用本领域技术人员公知的其它方法来形成台面。而且，如果不使用台面，那么可以采用其它方法例如质子轰击、用补偿原子逆掺杂或本领域技术人员公知的其它方法来隔离器件。

图 2D 进一步说明了 MESFET 的第一凹槽 43 的形成。可以通过形成用于第一凹槽 43 的掩模 47、然后刻蚀穿过盖层 18 大约 500 Å-大约 1000 Å 的距离以根据掩模 47 的凹槽来形成第一凹槽 43。刻蚀穿过盖层 18 至少到掺杂的沟道层 16 以形成第一凹槽 43。可以通过刻蚀工艺例如干法刻蚀工艺或湿法刻蚀工艺来形成第一凹槽 43。可替换的方案是，刻蚀可以继续直至进入掺杂的沟道层 16，例如大约 100 Å 或更多。刻蚀第一凹槽，以致凹槽延伸进入掺杂的沟道层 16，优选刻蚀第一凹槽但不到达掺杂的沟道层 16。

图 2E 说明在如上所述已经形成了第一凹槽 43 之后氧化物层 20 的形成。可以在现有结构的暴露表面之上、即在第一凹槽 43 中的隔离台面、 n^+ 区 13 和 17、盖层 18 和掺杂的沟道层 16 上生长或淀积氧化物层。氧化工艺去除由刻蚀工艺已经损伤的 SiC，并且还平坦化由刻蚀已经产生的表面上的粗糙性。这使以下讨论的在栅金属化形成之前进行的第二凹槽的刻蚀成为可能，以使第二凹槽更加浅，使典型地不能去除的次表面损伤和表面粗糙性最小化。

可以穿过氧化物层 20 到达 n^+ 区 13 和 17 来刻蚀接触窗。然后蒸发镍，淀积源和漏接触 26 和 22，并退火以形成如图 2F 中所示的欧姆接触。可以利用本领域技术人员公知的常规技术来进行这种淀积和退火工艺。例如，可以在大约 1050°C 的温度下进行大约 2 分钟的欧姆接触退火。然而，也可以采用其它时间和温度，例如从大约 800-1150°C 的温度和从大约 30 秒至大约 10 分钟的时间。

图 2G 说明用于 MESFET 的栅结构的第二凹槽的形成。可以通过形成第二凹槽的掩模 49、然后根据掩模 49 进行凹槽刻蚀来形成第二凹槽 40。可以将掺杂的沟道层 16 刻蚀进入大约 0.07 μm 至大约 0.25 μm 的距离，以形成凹槽 40。应当理解，刻蚀进入掺杂的沟道层 16 的这些

距离不包含穿过氧化物层 20 的刻蚀。

可以通过干法刻蚀例如电子回旋共振 (ECR) 或感应耦合等离子体 (ICP) 刻蚀来形成上述的第一和第二凹槽 43 和 40。可替换的方案是, 可以在双凹槽工艺的两个步骤中形成上述凹槽。例如, 可以在第二凹陷部分中穿过氧化物层 20 并进入掺杂的沟道层 16 来形成肖特基栅接触 24。可以首先刻蚀穿通氧化物层 20, 然后进行第二刻蚀以刻蚀进入到掺杂的沟道层 16。第一刻蚀的深度可以自始至终穿过氧化物层 20, 或者它可以仅部分穿过氧化物层 20。用于第二刻蚀的进入掺杂的沟道层 16 的优选深度为从大约 $0.07\ \mu\text{m}$ 至大约 $0.25\ \mu\text{m}$ 。类似地, 在两步骤刻蚀中刻蚀出第一凹陷部分, 如上所述, 第一刻蚀穿过盖层 18, 延伸到达掺杂的沟道层 16 或延伸进入掺杂的沟道层 16。

两次刻蚀方法比单次刻蚀具有更多的优点。一个优点是可以在晶片上的任何金属化之前进行第一刻蚀, 在相对于第一凹陷部分进行刻蚀之后允许生长热氧化物。热氧化工艺去除了由刻蚀工艺已经产生损伤的 SiC, 并且还平坦化了由刻蚀已经在表面上产生的粗糙度。这样, 使在形成栅金属化之前进行的第二凹陷部分的第二刻蚀变得更加浅, 典型地使不能去除的次表面损伤和表面粗糙度最小化。两次刻蚀方法另一个优点是更浅的第二刻蚀可以减少到达刻蚀侧壁的栅接触的量。这就使具有潜在损伤的材料的接触区最小化, 并且减少的接触区还可以减少栅电容, 因此改善了晶体管的频率响应。

图 2H 说明如上所述的栅接触 24 和可选覆盖层 28、30 和 32 的形成。例如, 可以在第二凹槽 40 中淀积铬层。典型地, 通过蒸发淀积来形成铬层。然后, 通过淀积铂和金来完成栅结构。本领域技术人员还应当清楚, 可以在形成栅结构之前或之后形成覆盖层 28 和 30。事实上, 如果采用钛/铂/金结构, 就可以在与栅结构的铂和金部分 32 相同的工艺步骤中形成覆盖层的铂和金部分。因此, 可以在形成栅接触之前或在形成栅接触之后形成覆盖层 28 和 30。

正如上面简要的叙述, 根据本发明实施例的 MESFET 提供一种双凹陷栅结构, 其同时提高击穿电压并相对于常规 MESFET 减少了源和漏的电阻。这提供了超过传统场效应晶体管的优点, 传统场效应晶体管使用牺牲源和漏的电阻以获取高击穿电压的德尔塔掺杂层。

在附图和说明书中, 已经公开了本发明典型的优选实施例, 虽然

使用了特定术语，但采用特定术语仅仅是一般性和说明性的并不用于限制目的，而且本发明的范围由以下的权利要求书来限定。

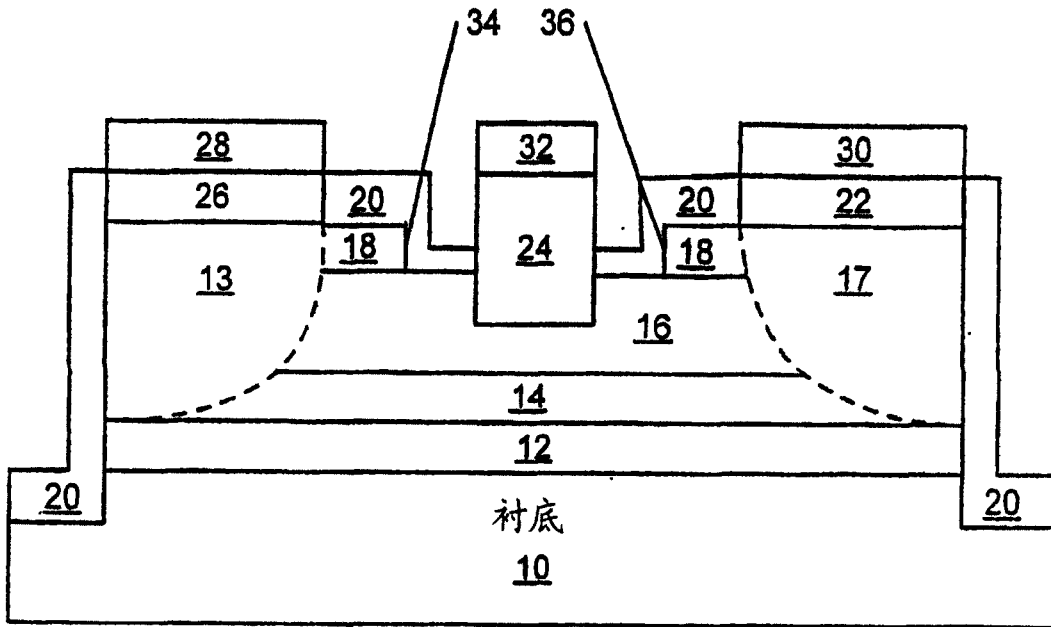


图 1

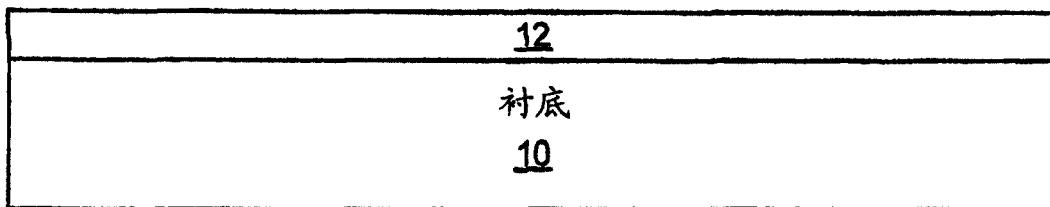


图 2A

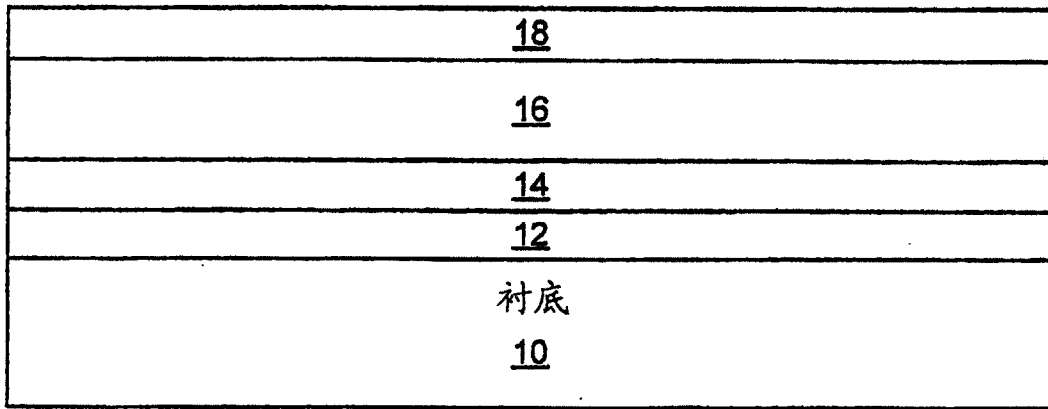


图 2B

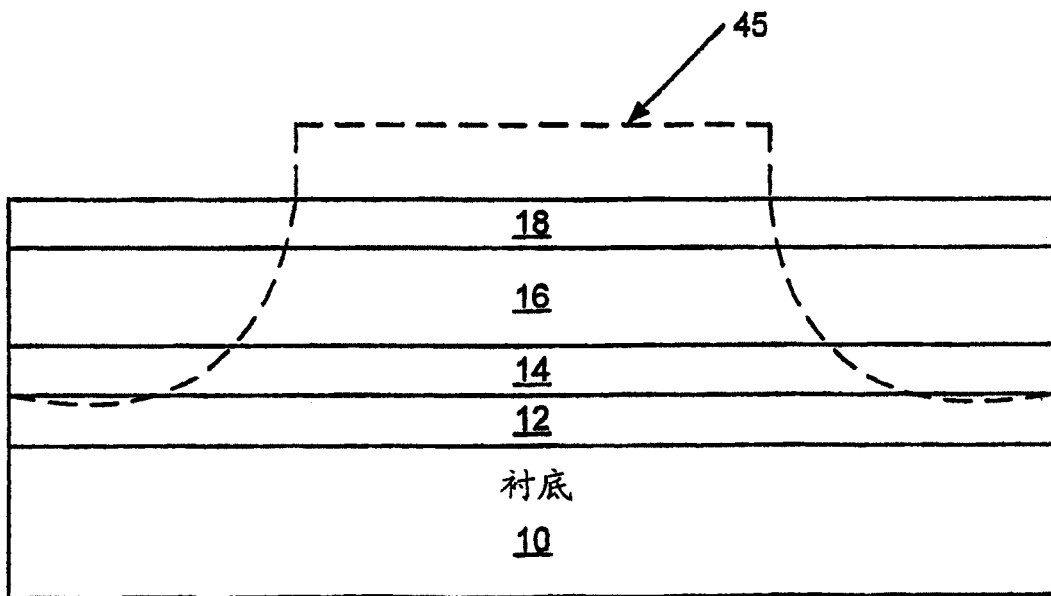


图 2C

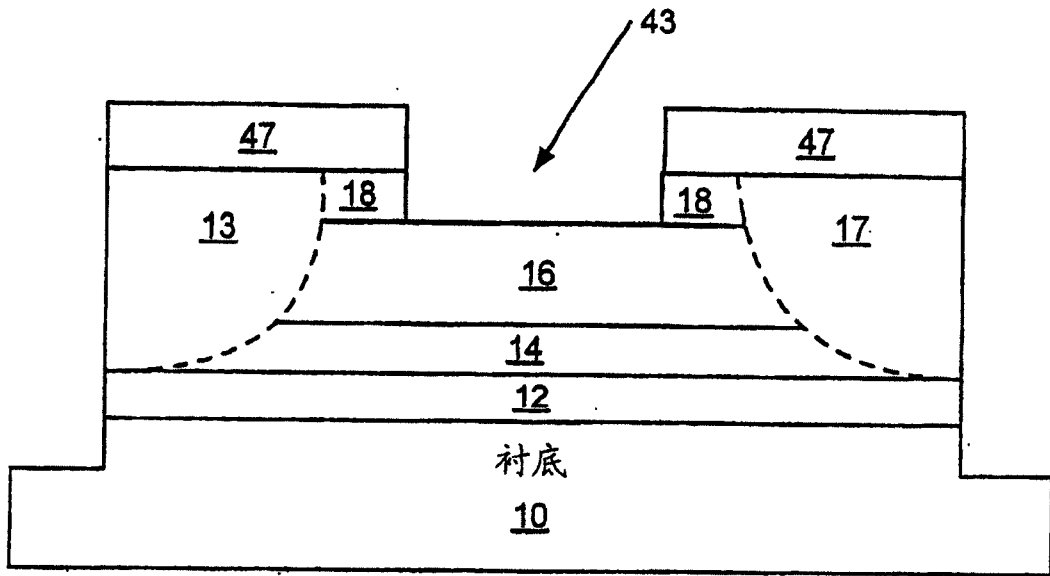


图 2D

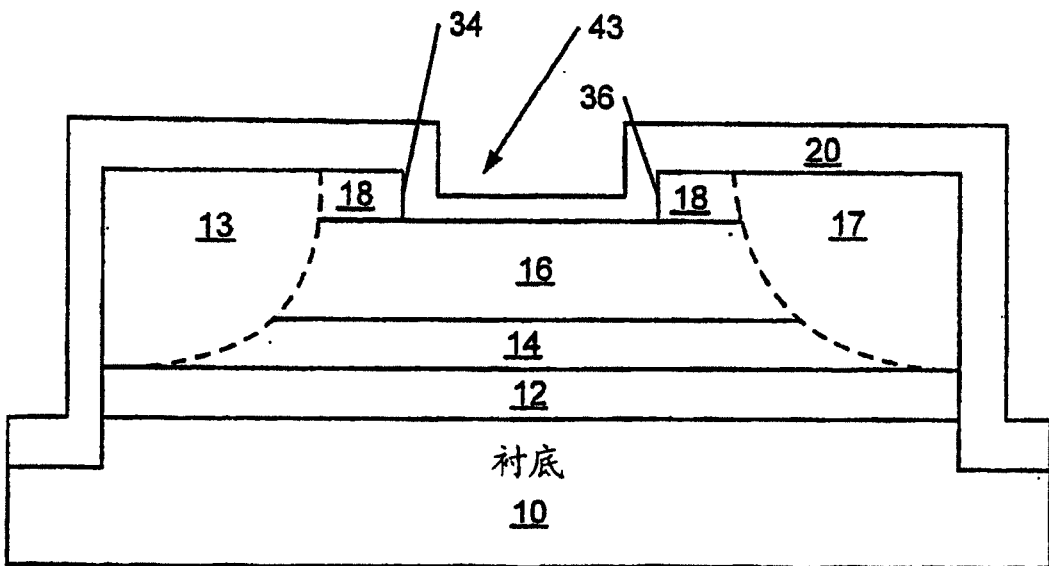


图 2E

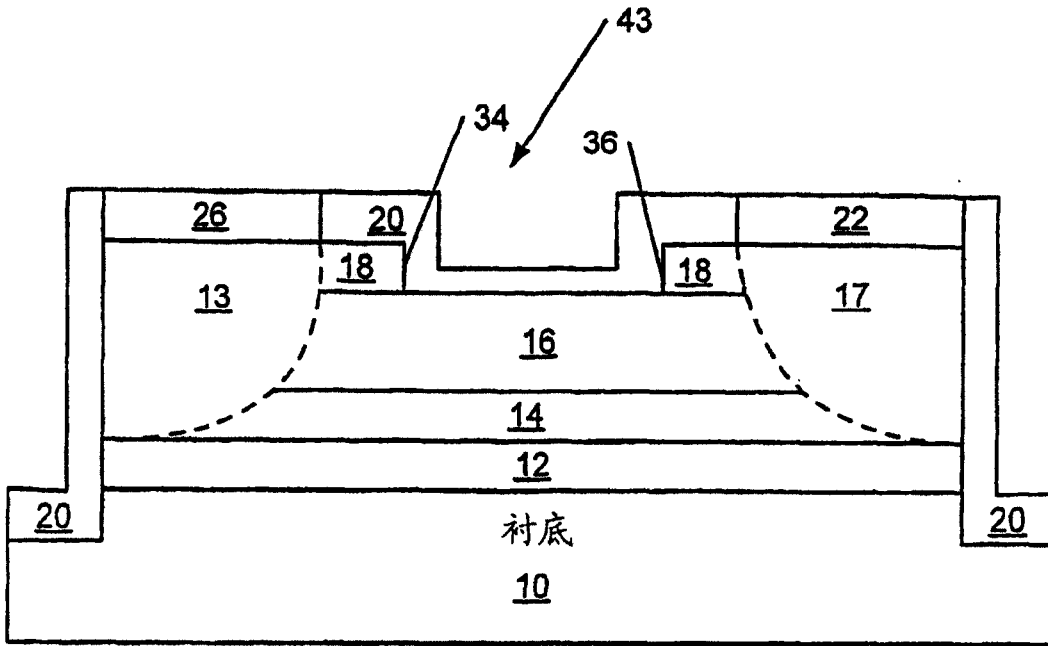


图 2F

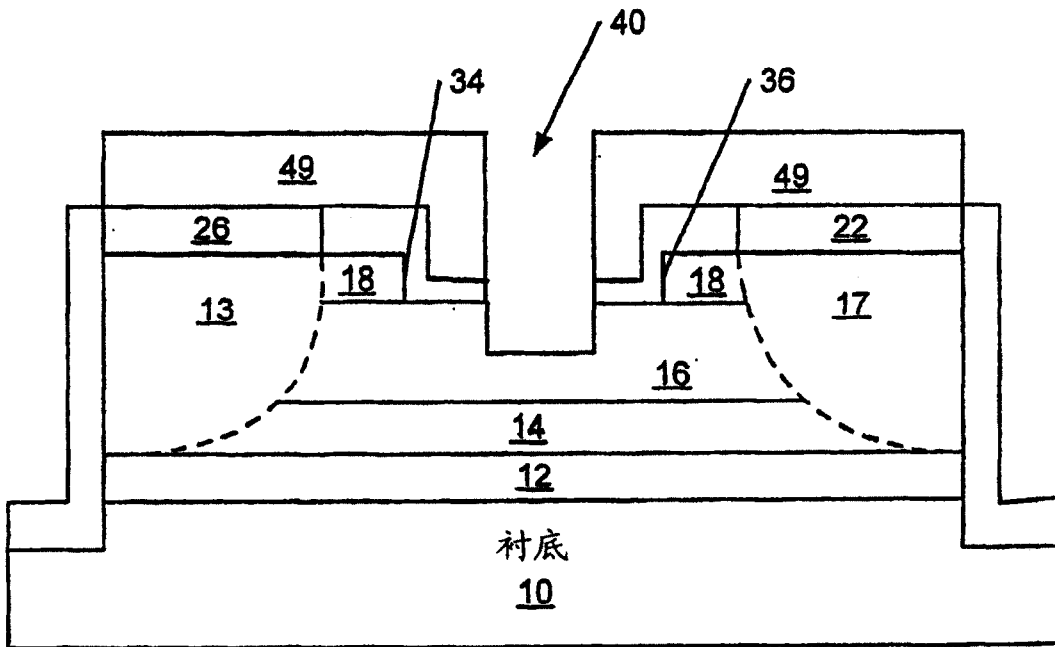


图 2G

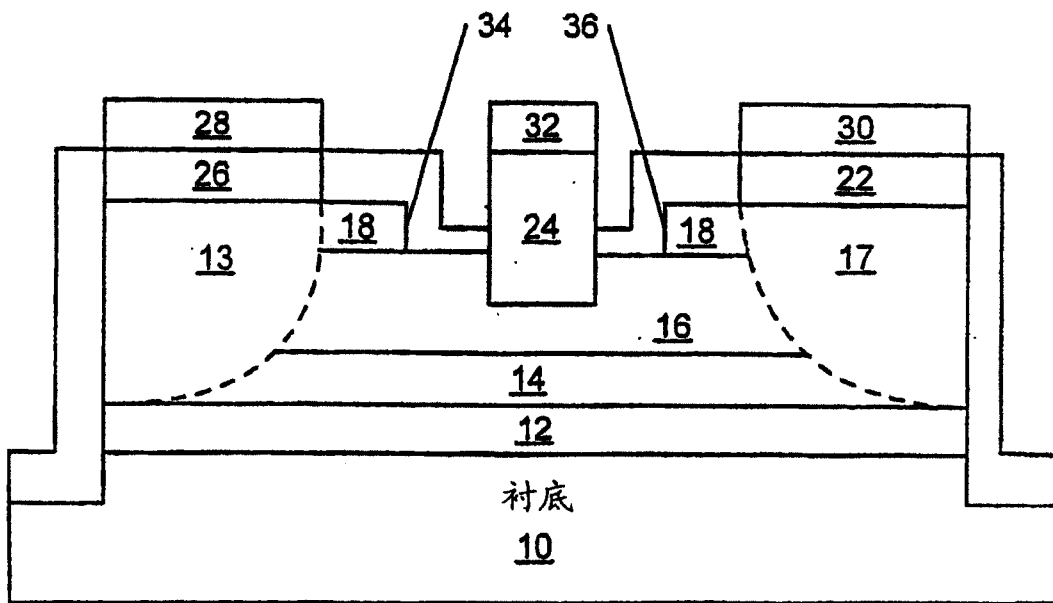


图 2H