

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4810090号  
(P4810090)

(45) 発行日 平成23年11月9日(2011.11.9)

(24) 登録日 平成23年8月26日(2011.8.26)

(51) Int. Cl.	F I				
<b>G06T 1/20 (2006.01)</b>	G06T	1/20		B	
<b>G06T 1/00 (2006.01)</b>	G06T	1/00	510		
<b>G06T 1/60 (2006.01)</b>	G06T	1/60	450G		
<b>H04N 1/21 (2006.01)</b>	H04N	1/21			
<b>H04N 1/40 (2006.01)</b>	H04N	1/40	101Z		
請求項の数 22 (全 22 頁) 最終頁に続く					

(21) 出願番号	特願2004-368529 (P2004-368529)	(73) 特許権者	000001007
(22) 出願日	平成16年12月20日(2004.12.20)		キヤノン株式会社
(65) 公開番号	特開2006-178546 (P2006-178546A)		東京都大田区下丸子3丁目30番2号
(43) 公開日	平成18年7月6日(2006.7.6)	(74) 代理人	100076428
審査請求日	平成19年12月20日(2007.12.20)		弁理士 大塚 康徳
前置審査		(74) 代理人	100112508
			弁理士 高柳 司郎
		(74) 代理人	100115071
			弁理士 大塚 康弘
		(74) 代理人	100116894
			弁理士 木村 秀二
		(74) 代理人	100130409
			弁理士 下山 治
		(74) 代理人	100134175
			弁理士 永川 行光
最終頁に続く			

(54) 【発明の名称】 データ処理装置

(57) 【特許請求の範囲】

【請求項1】

格納手段から読み出したデータに対して実行すべき一連の処理を複数の処理部分に分割し、各処理部分を実行する複数の処理ユニットと、

前記複数の処理ユニットの処理順序に対応するパラメータを保持する保持手段と、

前記パラメータに従って前記複数の処理ユニット間の接続を設定し、前記格納手段から読み出したデータを前記パラメータに対応する順で前記複数の処理ユニットに順次転送し、前記パラメータに対応する処理順序の逆順で前記複数の処理ユニットにデータの保持を依頼する保持信号を転送する転送手段と、を備えることを特徴とするデータ処理装置。

【請求項2】

前記転送手段は、前記格納手段から読み出したデータを前記パラメータに対応する順で前記複数の処理ユニットに転送することで、前記格納手段から読み出したデータを前記パラメータの示す順で前記複数の処理ユニットに順次処理させることを特徴とする請求項1に記載のデータ処理装置。

【請求項3】

前記転送手段はクロスバースイッチであることを特徴とする請求項1又は2に記載のデータ処理装置。

【請求項4】

前記クロスバースイッチは第1の処理ユニットのデータ出力を第2の処理ユニットのデータ処理ユニットのデータ入力に接続するとともに、前記第2の処理ユニットの保持信号

出力を前記第 1 の処理ユニットの保持信号入力に接続することを特徴とする請求項 3 に記載のデータ処理装置。

【請求項 5】

前記格納手段は外部メモリであることを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載のデータ処理装置。

【請求項 6】

前記保持手段は前記複数の処理ユニットの其々に対応する複数のレジスタであることを特徴とする請求項 1 乃至 5 のいずれか 1 項に記載のデータ処理装置。

【請求項 7】

設定されたパラメータに応じてリードアドレスを生成する第 1 アドレス生成部を有し、  
該リードアドレスに従って外部メモリよりデータを読み出して第 1 バッファに保持する読  
込手段と、

10

設定されたパラメータに応じてライトアドレスを生成する第 2 アドレス生成部を有し、  
第 2 バッファに格納されたデータを該ライトアドレスに従って外部メモリへ書き込む書込  
手段とを更に備え、

前記複数の処理ユニットは、前記第 1 バッファに保持されたデータに対して前記パラメ  
ータの示す順に前記一連の処理を実施し、その処理結果を前記第 2 バッファに書き込み、

前記第 1 バッファ、前記第 2 バッファおよび前記複数の処理ユニットの各々の間のデー  
タの受け渡しにおいて、受け渡すデータが有効であることを示す有効信号と、データの保  
持を依頼する保持信号を用いてハンドシェイクが行われる、ことを特徴とする請求項 1 乃  
至 6 のいずれか 1 項に記載のデータ処理装置。

20

【請求項 8】

前記外部メモリに格納されたデータは画像データであり、前記第 1 アドレス生成部は、  
設定されたパラメータに応じて、点順次、線順次或いは面順次で外部メモリに格納され  
た画像データを点順次で読み出すようにリードアドレスを生成することを特徴とする請求  
項 7 に記載のデータ処理装置。

【請求項 9】

前記読込手段において、設定されたパラメータにより指定されたアドレス範囲のデー  
タの読み込みを完了したとき、および、設定されたパラメータにより指定されたアドレ  
ス範囲のデータの書き込みを完了したとき、の少なくともいずれかにおいて、その旨の信号を  
出力する出力手段を更に備えることを特徴とする請求項 7 又は 8 に記載のデータ処理装  
置。

30

【請求項 10】

前記複数の処理ユニットは、複数のデータを並列処理する第 1 モードと、該複数の処理  
ユニットにより 1 つのデータを上位ビットと下位ビットに分割して処理する第 2 モードと  
を含むいずれかのモードで動作することが可能であることを特徴とする請求項 1 乃至 9 の  
いずれか 1 項に記載のデータ処理装置。

【請求項 11】

前記複数の処理ユニットは、ガンマ変換部、色変換部、補間部を更に備え、

前記補間部は前記ガンマ変換部からの出力データの補間と、前記色変換部からの出力デ  
ータの補間をすることを特徴とする請求項 1 に記載のデータ処理装置。

40

【請求項 12】

前記パラメータに従って、前記複数の処理ユニットのうちの任意の処理ユニットへの動  
作クロックの供給を停止することを特徴とする請求項 1 に記載のデータ処理装置。

【請求項 13】

前記パラメータに従って、前記複数の処理ユニットのうちの任意の処理ユニットへの電  
源の供給を停止することを特徴とする請求項 1 に記載のデータ処理装置。

【請求項 14】

前記複数の処理ユニットによる一連の処理は、色変換処理におけるカラーマッチング処  
理と、色変換処理におけるデバイスカラー変換処理とを含む処理であり、前記複数の処理

50

ユニットは前記保持手段のパラメータに基づいて前記処理のいずれかを選択的に実施することを特徴とする請求項 1 乃至 13 のいずれか 1 項に記載のデータ処理装置。

【請求項 15】

前記複数の処理ユニットが一連の処理をすることにより生成された出力データを複数画素単位で 32 ビットにパッキングして出力することを特徴とする請求項 1 に記載のデータ処理装置。

【請求項 16】

前記出力データが、11 ビット×2 画素+10 ビット×1 画素でパッキングされることを特徴とする請求項 15 に記載のデータ処理装置。

【請求項 17】

前記パッキングにおいて、10 ビットの画素位置が各出力色間で異なることを特徴とする請求項 16 に記載のデータ処理装置。

【請求項 18】

前記パッキングにおいて、32 ビットを 2 つの 11 ビット領域と 1 つの 10 ビット領域に分けて各領域の位置を固定し、11 ビットの画素が 10 ビット領域に配置される場合は当該画素の LSB のビットを 10 ビットの画素が配置された 11 ビット領域の LSB 位置へ配置することを特徴とする請求項 16 に記載のデータ処理装置。

【請求項 19】

前記パッキングにおいて、出力データを 3 つの 11 ビットデータにアンパックする際、10 ビットデータの 11 ビット目を隣接する画素の画素値に基づいて生成することを特徴とする請求項 16 に記載のデータ処理装置。

【請求項 20】

前記パッキングにおいて、ライン終端部分において 32 ビットのパックが完結しない場合は、残りのビットに 0 をパックすることを特徴とする請求項 15 に記載のデータ処理装置。

【請求項 21】

上記サブモジュールの処理の一部をプロセッサにて処理することを特徴とする請求項 18 に記載のデータ処理装置。

【請求項 22】

複数のデータ処理モジュールと外部メモリと制御ユニットと前記複数のデータ処理モジュールから前記外部メモリに対するアクセスを調停する第 1 のアービタとを備えたデータ処理装置であって、

前記データ処理モジュールの各々は、

前記外部メモリから読み出したデータに対して実行すべき一連の処理を複数の処理部分に分割し、各処理部分を実行する複数の処理ユニットと、

前記複数の処理ユニットの処理順序に対応するパラメータを前記制御ユニットに設定されて、当該パラメータを保持する保持手段と、

前記パラメータに従って前記複数の処理ユニット間の接続経路を設定し、前記外部メモリから読み出したデータを前記パラメータに対応する順で前記複数の処理ユニットにデータを転送し、前記パラメータに対応する処理順序の逆順で前記複数の処理ユニットにデータの保持を依頼する保持信号を転送する転送手段と、

前記外部メモリよりデータを読み出して前記複数の処理ユニットへ入力する読込手段と、

前記複数の処理ユニットによって処理されたデータを前記外部メモリへ書き込む書込手段と、

前記読込手段と前記書込手段のアクセスを調停する第 2 のアービタとを備えることを特徴とするデータ処理装置。

【発明の詳細な説明】

【技術分野】

【0001】

10

20

30

40

50

本発明はデータ処理装置に関し、特に、カラー画像データの記録或いは表示に用いられる画像処理に好適なものである。

【背景技術】

【0002】

自然画（写真）データをプリンタにて出力する際、良好な画像出力を得るためには、各種の画像処理が必要となる。図18は自然画データをプリンタにて出力する際の一般的な画像処理部を示すブロック図である。

【0003】

フレームバッファ200に格納された画像データは入力変換部201にて濃度リニアな信号に変換され、色変換部202にてプリンタの色材データ（出力デバイスカラー）に変換される。さらに、出力変換部203にて出力が補正され、中間調処理部204にてビットマップデータ（ドットパターン）に変換される。ここで、画像データの中間調処理に誤差拡散法を用いた場合、量子化誤差を周囲の画素に拡散させるためにラインバッファ205が用いられる。得られたビットマップデータはページバッファ206に一旦格納される。通常、フレームバッファ200及びページバッファ206のメモリ容量を節約するため、ページ（フレーム）の1部をバンド上に順次切り出して処理する（バンド処理）方式が用いられる。なお、以降ではバンド処理を前提とし、上記2つのバッファを特に区別せずにバンドバッファと記す。

10

【0004】

次に、不図示のプリントエンジンが起動されると、エンジンに同期してバンドバッファより上記ビットマップデータが読み出されて、画像が印刷される。

20

【0005】

これら一連の処理の内容は、入力画像の種類やプリントエンジンの種類によって異なる。例えば、入力画像がモノクロであれば色変換は省略される。また、入力画像が自然画であれば中間調処理に誤差拡散が用いられるが、入力画像がグラフィックの場合は中間調処理にディザが用いられる（例えば特許文献1参照）。また、出力デバイスカラーが3色（C, M, Y）の場合は3色分の色変換が、4色以上ではその色数分の色変換が必要である。更に、4色以上の場合には前段（カラーマッチング）と後段（デバイスカラー変換）に分割して処理される。このように多様な入力データやプリントエンジンの種類に対応するために、CPU等のプロセッサによってソフト的に画像データを処理するのが一般的である。

30

【特許文献1】特開平5-183737号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

しかしながら、上記ソフトウェアによる方法では、高解像度化に伴い処理スピード（パフォーマンス）が不足するという欠点があった。一方、ハード化した場合は、各処理モード毎にハードウェアを用意しなければならない、回路が巨大になるという問題があった。また、仕様変更等があった場合はそのハードウェアの全体を作り変えなければならないという問題があった。

40

【0007】

本発明は上述した課題を解決するものであり、多様な処理モードに対応できる柔軟なデータ処理装置を提供することを目的とする。

【課題を解決するための手段】

【0008】

上記課題を達成するための本発明によるデータ処理装置は以下の構成を備える。すなわち、

格納手段から読み出したデータに対して実行すべき一連の処理を複数の処理部分に分割し、各処理部分を実行する複数の処理ユニットと、

前記複数の処理ユニットの処理順序に対応するパラメータを保持する保持手段と、

50

前記パラメータに従って前記複数の処理ユニット間の接続を設定し、前記格納手段から読み出したデータを前記パラメータに対応する順で前記複数の処理ユニットに順次転送し、前記パラメータに対応する処理順序の逆順で前記複数の処理ユニットにデータの保持を依頼する保持信号を転送する転送手段と、を備える。

【発明の効果】

【0009】

本発明によれば、多様な処理モードに対応できる柔軟なデータ処理装置を提供できる。

【発明を実施するための最良の形態】

【0010】

以下、添付の図面を参照して本願発明の一実施形態を説明する。尚、以下の実施形態は、本願発明の技術分野における当業者による実施を容易にするために開示を提供するものであり、特許請求の範囲によって確定される本願発明の技術的範囲に含まれる一部の実施形態にすぎない。従って、本願明細書に直接的に記載されていない実施形態であっても、技術思想が共通する限り本願発明の技術的範囲に含まれることは当業者にとって自明であろう。

【0011】

なお、便宜上複数の実施形態を記載するが、これらは個別に発明として成立するだけでなく、もちろん、複数の実施形態を適宜組み合わせることで発明が成立することは、当業者であれば容易に理解できよう。

【0012】

図1は本実施形態に係る画像処理装置の一構成例を示すブロック図である。図1において、1は画像処理装置を制御するCPU、2はプログラム等を格納するROM、3はバスブリッジ、4-1~4-mはm個(mは1以上の整数)の画像処理モジュール(以下、これらを総称する場合に画像処理モジュール4と記載する)、5はDRAM7へのアクセスを調停するアービタ、6はDRAMインターフェース部、7はDRAM、8はヘッドインターフェース、9はI/Oポートである。本実施形態においてはDRAM7は、CPU1、各画像処理モジュール4-1~4-mによって共有されているが、パフォーマンス維持のため、CPU1が画像処理モジュール4とは共有しない別のRAMを持つ構成としても良い。

【0013】

次に、上述した構成による画像処理装置の処理動作について説明する。

まず、CPU1はROM2に格納されているプログラムに従って、I/Oポート9より処理すべき画像データを受け取り、バスブリッジ3、アービタ5、DRAMインターフェース部6を経てDRAM7へ格納する。次に、CPU1は画像処理モジュール4-1のコンフィグレーションレジスタにパラメータを設定し、画像処理モジュール4-1を動作させる。コンフィグレーションレジスタは各画像処理モジュール毎に設けられ、当該画像処理モジュールの動作を決定するパラメータを保持する。たとえば、画像処理モジュール4-1が処理すべきデータが格納されたRAM7のアドレス範囲や、画像処理モジュール4-1の処理の結果として得られたデータを格納すべきRAM7のアドレス範囲をパラメータとして保持する。画像処理モジュール4-1は、コンフィグレーションレジスタに設定されたアドレス範囲についてRAM7からデータの読み出しが終了したとき、或いは、コンフィグレーションレジスタに設定されたアドレス範囲についてRAM7への書き込みが終了したときに割り込みを発生し、その旨をCPU1へ通知する。

【0014】

CPU1は、割り込みを受付けると、割り込み要因を解析する。画像処理モジュール4-1の処理すべきデータの読み出し終了の場合は、次の処理すべきデータの読出しアドレス範囲を画像処理モジュール4-1のコンフィグレーションレジスタに設定し、画像処理モジュール4-1の処理を続行させる。画像処理モジュール4-1の処理したデータの書き込み終了の場合は、次の処理データの格納先となるアドレス範囲を画像処理モジュール4-1のコンフィグレーションレジスタに設定し、画像処理モジュール4-1の処理を続

10

20

30

40

50

行させると共に次の画像処理モジュール4 - 2のコンフィグレーションレジスタを設定し、画像処理モジュール4 - 2を動作させる。

【0015】

画像処理モジュール4 - 2は所定の処理を実行し、コンフィグレーションレジスタに設定されたアドレス範囲のデータの読み出しが終了するか、コンフィグレーションレジスタに設定されたアドレス範囲への処理済みデータの書き込みが終了すると割り込みを発生し、CPU1へ通知する。CPU1は、割り込みを受付けると、割り込み要因を解析する。画像処理モジュール4 - 2の処理すべきデータの読み出し終了の場合は、次の処理すべきデータの読出しアドレス範囲を画像処理モジュール4 - 2のコンフィグレーションレジスタに設定し、画像処理モジュール4 - 2の処理を続行させる。画像処理モジュール4 - 2の処理したデータの書き込み終了の場合は、次の処理データの格納先となるアドレス範囲を画像処理モジュール4 - 2のコンフィグレーションレジスタに設定し、画像処理モジュール4 - 2の処理を続行させると共に次の画像処理モジュール4 - 3のコンフィグレーションレジスタを設定し、画像処理モジュール4 - 3を動作させる。

10

【0016】

このように、前の処理が終わった直後に次の画像処理モジュールを起動し、処理データを次々と画像処理モジュールに受け渡しすることで、画像処理モジュール単位のパイプラインを構成することができる。

【0017】

以上のようにして画像処理モジュール4 - m - 1までの処理が進み、所定以上のビットマップデータが生成されると、図示しないプリントエンジンが起動される。画像処理モジュール4 - mは、プリントエンジンの同期信号に合わせて、ヘッドI/F8を経てビットマップデータをプリントエンジンへ送る。こうして、画像がプリントされる。

20

【0018】

図2は、本実施形態に係わる画像処理装置の画像処理モジュール4の内部の詳細な構成を説明するためのブロック図である。図2において、10はリードバッファ、11 - 1 ~ 11 - nはサブモジュール（以下、これらを総称する場合にサブモジュール11と記載する）、12はライトバッファ、13はアービタ、14はリードアドレス生成部、15は割り込み制御部、16はライトアドレス生成部、17はスイッチマトリクスである。

【0019】

101はコンフィグレーションレジスタであり、スイッチマトリクス17やリードアドレス生成部14、ライトアドレス生成部16等の動作パラメータを設定する。102はクロック分配部であり、装置のクロックパルスclkを当該モジュール内の各部へ分配する。なお、クロック分配部102は、コンフィグレーションレジスタ101の設定により、任意のサブモジュールへのクロックclkの供給を停止することができる。また、103は電源供給部であり、当該モジュール内の各部への電源供給を制御する。コンフィグレーションレジスタ101の設定により、任意のサブモジュールへの電源供給を停止することができる。

30

【0020】

上述したようにCPU1は画像処理モジュール4のコンフィグレーションレジスタ101に動作パラメータを設定する。この設定により、リードアドレス生成部14に対してリード開始アドレスとリード終了アドレスが設定され、リードイネーブル信号Renがセットされる。また、コンフィグレーションレジスタ101へのパラメータの設定により、ライトアドレス生成部16に対してライト開始アドレスとライト終了アドレスが設定され、ライトイネーブル信号Wenがセットされる。

40

【0021】

アービタ13はリードバッファ10のバッファの空き容量Rp及びリードアドレス生成部14のイネーブル信号Renを検出し、リードアドレスが有効（Ren = 1）でリードバッファ10にデータが格納可能（Rp > Rn（Rn：DRAM7からのリードアクセス単位（後述）））であれば、アービタ5へリードリクエスト（PREQ = 1、PNRW = 0、PNUM = Rn、PADD = Rad

50

)を発行する。一方、ライトバッファ12のデータ蓄積量 $W_p$ が所定のワード数以上( $W_p$   $W_n$  ( $W_n$ : D R A M 7へのライトアクセス単位(後述)))になると、アービタ13はライトアドレス生成部16のイネーブル信号 $W_{en}$ を検出してアービタ5へライトリクエストを発行する。すなわち、ライトアドレスが有効( $W_{en} = 1$ )でライトバッファ12よりデータが出力可能( $W_p \geq W_n$ )であれば、アービタ5へライトリクエスト( $PREQ = 1$ 、 $PNRW = 1$ 、 $PNUM = W_{num}$ 、 $PADD = W_{ad}$ )を発行する。

#### 【0022】

アービタ5は、画像処理モジュール4からのリクエスト信号 $PREQ$ を受け取ると、 $PNRW$ によりリード/ライトの判別(0:リード、1:ライト)を行い、 $PNUM$ により転送ワード数を、 $PADD$ でアドレスを検知する。CPU1及び他の画像処理モジュールからのリクエストがなければ、アービタ5は、D R A Mインターフェース部6を通じてD R A M7の該当データのアクセスを開始する。リクエストが受け付けられると、アービタ5は受領信号 $PACK$ をリクエスト元の画像処理モジュールに返す。一方、CPU1及び他のモジュールからのリクエストがある場合は、優先順位に従ってリクエストを受け付ける。

10

#### 【0023】

アービタ13は、アービタ5から受領信号 $PACK$ を受け取ると、リードリクエストの場合は受領信号 $Rack$ をリクエスト元のリードアドレス生成部14に返す。リードアドレス生成部14は、上記受領信号 $Rack$ を受け取ると、R A M 7からのデータ読み出し他のための次のアドレスを生成する。なお、リクエストしたアドレスがコンフィグレーションレジスタに設定されたリード終了アドレスであった場合は、リードイネーブル信号 $Ren$ をリセットし、リード終了信号 $Rend$ を割り込み制御部15に出力する。

20

#### 【0024】

一方、ライトリクエストに対して受領信号 $PACK$ を受け取った場合は、アービタ13は受領信号 $Wack$ をリクエスト元のライトアドレス生成部16に返す。ライトアドレス生成部16は、受領信号 $Wack$ を受け取ると、R A M 7へのデータ書き込みのための次のアドレスを生成する。なお、リクエストしたアドレスがコンフィグレーションレジスタに設定されたライト終了アドレスであった場合は、ライトイネーブル信号 $W_{en}$ をリセットし、ライト終了信号 $W_{end}$ を割り込み制御部15に出力する。

#### 【0025】

割り込み制御部15は、コンフィグレーションレジスタによってリード終了割り込みマスク及びライト終了割り込みマスクの設定が可能になっている。各割り込みマスクの設定が割り込みイネーブルとなっている場合は、上記リード終了信号 $Rend$ またはライト終了信号 $W_{end}$ によって割り込み信号 $INT$ を生成し、CPU1へ通知する。CPU1は、割り込み信号 $INT$ を受け取ると、割り込み制御部15のステータスを読み取る。割り込み要因がリード終了の場合は、CPU1は上記リード終了割り込みマスクをリセットして割り込みを解除する。さらに処理を続行する場合は、コンフィグレーションレジスタ101へのリード開始アドレスとリード終了アドレスの再設定、リードイネーブル信号のセット等の処置を行った後、リード終了割り込みマスクをセットする。同様に、割り込み要因がライト終了の場合は、ライト終了割り込みマスクをリセットして割り込みを解除する。さらに処理を続行する場合は、コンフィグレーションレジスタ101へのライト開始アドレスとライト終了アドレスの再設定、ライトイネーブル信号のセット等の処置を行った後、ライト終了割り込みマスクをセットする。

30

40

#### 【0026】

次に、D R A M 7よりデータが読み出されるとアービタ5はD R A Mデータ有効信号 $PV_{ALID}$ をリクエスト元のモジュールに返す。リクエスト元のモジュールでは、アービタ13よりリードバッファ10へデータ有効信号 $R_{valid}$ を返す。リードバッファ10はデータ有効信号 $R_{valid}$ がセットされている期間、D R A Mデータ出力信号 $PDIN$ 上のデータを格納する。この操作により、D R A M 7の $PADD (= Rad)$ で示されるアドレス(リードアドレス生成部14が生成したアドレス)からデータが読み出され、リードバッファ10へ格納される。

50

## 【 0 0 2 7 】

一方、D R A M 7 にデータを書き込む場合は、D R A M 7 の書き込みタイミングに合わせてアービタ 5 は D R A M データ有効信号 PVALID をリクエスト元のモジュールに返す。リクエスト元のモジュールでは、アービタ 1 3 よりライトバッファ 1 2 へデータ有効信号 Wvalid を返す。ライトバッファ 1 2 はデータ有効信号 Wvalid がセットされている期間、D R A M データ入力信号 PDOUT 上に書き込むデータを出力する。この操作により、ライトバッファ 1 2 のデータが D R A M 7 の PADD (= Wad) で示されるアドレス (ライトアドレス生成部 1 6 が生成したアドレス) へ格納される。

## 【 0 0 2 8 】

リードバッファ 1 0 は、サブモジュール 1 1 の処理に必要なデータが揃った時に有効信号 valid\_out をセットし、サブモジュール 1 1 の処理に必要なデータが揃っていない場合は有効信号 valid\_out をリセットする。また、サブモジュール 1 1 からの保持要求信号 stall\_in がセットされていなければ、リードバッファ 1 0 は格納されたデータをクロックに同期して順次出力する。サブモジュール 1 1 からの保持要求信号 stall\_in がセットされている場合はデータを更新しない。サブモジュール 1 1 は有効信号 valid\_out がセットされているデータのみを受け取る。なお、データの受け取りが不可能の場合は、保持要求信号 stall\_in をセットし、リードバッファ 1 0 の出力をホールドする。なお、入力データの並び替えが不要な場合は、リードバッファ 1 0 は F I F O で構成できる。同様に、出力データの並び替えが不要な場合は、ライトバッファ 1 2 は F I F O で構成できる。

## 【 0 0 2 9 】

画像処理モジュール 4 の内部は 1 つ以上の画像処理サブモジュール 1 1 によって構成されており、各サブモジュール間では、上記と同様の動作 (有効信号 valid と保持要求信号 stall によるハンドシェイク (あるモジュールの\_in は他のモジュールの\_out に接続される)) によってデータの受け渡しが行われる。

## 【 0 0 3 0 】

図 3 はリードバッファ、ライトバッファを含むサブモジュール間の信号のやり取り (上述のハンドシェイクの様子) を示すタイミングチャートである。データ送信側のサブモジュール 1 1 は、データが出力可能であればクロック clk の立ち上がり同期してデータ信号 d1 及び有効信号 valid をセットする (T 1)。次のクロックの立ち上がりで受信側からの保持要求信号 stall がセットされていなければデータが受信されたとみなし、次のデータが出力可能であればデータ信号 data 及び有効信号 valid をセットする (T 2)。次のデータが出力可能でなければ有効信号 valid をリセットする (T 3)。次のクロックの立ち上がりで受信側からの保持要求信号 stall がセットされていたら、データが受信されなかったとみなし、データ信号 data 及び有効信号 valid をホールドする (T 7)。なお、受信側からの保持要求信号 stall がセットされていても有効信号 valid がセットされていなければ (T 8)、無効データであるので、データ信号 data 及び有効信号 valid はホールドされずに次の有効データが出力される (T 9)。即ち、有効信号 valid がセットされていない時の保持要求信号 stall は無視される。

## 【 0 0 3 1 】

データ受信側のサブモジュールは、受信可能であれば有効信号 valid がセットされているデータ信号 d1 をクロック clk の立ち上がり同期して受け取る (T 1, T 2, T 4, T 5)。受信不可能であれば保持要求信号 stall をセットし、送信側のデータ出力 d 5 及び valid を保持させる (T 6)。受信可能となったら保持要求信号 stall をリセットし、送信側のデータ出力 d5 を受け取る (T 7)。

## 【 0 0 3 2 】

ライトバッファ 1 2 は、バッファに空きがあれば、サブモジュール 1 1 からの有効信号 valid\_out がセットされた時のデータ信号 data\_out をバッファに格納する。バッファに空きがなければ、保持要求信号 stall\_out をセットし、サブモジュール 1 1 の出力をホールドさせる。

## 【 0 0 3 3 】

10

20

30

40

50

スイッチマトリクス 17 は各サブモジュール 11 及びリードバッファ 10、ライトバッファ 12 との接続を行う。即ちリードバッファ 10 あるいはサブモジュール 11 の所定サブモジュールの data\_out と valid\_out, stall\_in をライトバッファ 12 あるいは別の所定サブモジュールの data\_in と valid\_in, stall\_out に各々接続する。この接続はコンフィグレーションレジスタ 101 の設定によって行われる。従って、CPU 1 によるコンフィグレーションレジスタのパラメータ設定によりスイッチマトリクス 17 の接続状態を変更することで、処理内容に応じて動的に各モジュール間の接続を変更することが可能となる。

【0034】

なお、スイッチマトリクス 17 は公知のクロスバスイッチまたはセレクタ群によって構成される。通常、接続の組み合わせが限定される場合にはセレクタを、接続の組み合わせに制限がない場合はクロスバスイッチが適している。なお、送信側の data\_out と受信側の data\_in のビット数は、接続情報に応じて有効ビットが判定できれば必ずしも一致させる必要はない。即ち、有効なビットのみ接続されていれば良い。これにより不要な接続回路を削減できる。また、コンフィグレーションレジスタ 101 の設定により、クロック分配部 102 や電源供給部 103 を制御し、データパスに接続されていないサブモジュール（即ち未使用モジュール）へのクロックや電源の少なくとも何れかの供給を止めることで、消費電力の無駄を省くことができる。

【0035】

図 4 は、本実施形態に係わる画像処理装置の各モジュールにおけるアドレス生成部（14, 16）の具体的な構成を説明するためのブロック図である。リードアドレス生成部 14、ライトアドレス生成部 16 は同一の構成であり、ともに図 4 を用いて説明する。図 4 において、18 はセレクタ、19 は加算部、20 はレジスタ、21 は比較部、22 はシーケンサである。

【0036】

まず、CPU 1 によって開始アドレスがレジスタ 20 にセットされる。シーケンサ 22 はリクエスト受領信号 ack (Rack、Wack) によって状態遷移し、状態に応じてセレクタ 18 のアドレス差分値を選択する。例えば、シーケンサ 22 は内部に 1 つ以上のカウンタを持ち、受領信号 ack によって該当カウンタがカウントアップ（またはカウントダウン）し、各カウンタのキャリー（またはボロー）によって、セレクタ 18 を制御する。従って、所定回数のアクセス毎に、セレクタより出力されるアドレス差分値が切り替わる。なお、本実施形態においては DRAM 7 への転送効率アップのため、複数ワード数単位でアクセスする。従って、アクセス単位内に不要なデータが存在する場合（即ちアクセス単位内でアドレスが不連続となる場合）、アクセス単位のワード数  $n$  ( $R_n$ 、 $W_n$ ) を変更し、不要なアクセスを防止する。

【0037】

選択されたアドレス差分値は加算部 19 にて直前のアドレスに加算され、受領信号 ack によってレジスタ 20 に保持される。レジスタ 20 の出力は比較部 21 において終了アドレスと比較され、レジスタ 20 の出力（即ちアドレス生成部のアドレス出力）が終了アドレスに一致した場合は受領信号 ack によって終了信号がセットされる。

【0038】

セレクタ 18 に入力されるアドレス差分値  $D_1 \sim D_k$  及びシーケンサのパラメータ（カウンタの進数等）は、コンフィグレーションレジスタ 101 に設定される。アドレス差分値の MSB と出力アドレスの MSB の重みを一致させることにより、負の差分値を表現することができる。なお、バーストモードのように複数ワードをまとめてアクセスする場合もあるため、アドレス差分値と出力アドレスのビット数は必ずしも一致するとは限らない。なお、通常、アドレス差分値の数は、シーケンサ 22 内のカウンタの数 + 1 となる。

【0039】

図 5 は、本実施形態に係わる上記アドレス生成部のパラメータを説明する図である。例えば、図 5 に示すようなブロック状にデータのアクセス（2次元アドレッシング）を行う場合、レジスタ 20 にはまず、開始アドレス  $A_s$  がロードされる。シーケンサ 22 はアドレ

10

20

30

40

50

ス差分値D1を選択するようにセレクタ18を制御する。セレクタ18はアドレス差分値D1を選択しているため、加算部19の出力は $A_s + D1$ となる。受領信号ackが返ってくると、レジスタ20は次のアドレスである $A_s + D1$ を出力する。ここで、水平方向のアクセス数を $w$ とすると、上記操作を $w - 1$ 回繰り返す。

【0040】

$w$ 回目のアドレス生成になると、シーケンサ22はアドレス差分値D2を選択するようにセレクタ18を制御する。従って、 $w$ 回目のアドレスは $A_s + (w - 1) \cdot D1 + D2$ となって、次のラインの先頭データ $P1,0$ がアクセスされる。次に受領信号ackが返ってくると、シーケンサ22はアドレス差分値D1を選択するようにセレクタ18を制御する。このように、シーケンサ22は $w$ 回のアクセス毎に1回アドレス差分値D2を選択し、それ以外ではアドレス差分値D1を選択するようにセレクタ18を制御する。よって、シーケンサ22では、 $w - 1$ をロードし、受領信号ackによって、カウンタを $-1$ し、カウンタが0になった時に次の受領信号ackによって $w - 1$ をリロードする $w$ 進カウンタを構成し、 $w$ 進カウンタが0になった時にアドレス差分値D2を選択する信号を生成すればよい。従って、この場合(2次元アドレッシング)のアドレス生成部のパラメータは、開始アドレス $A_s$ 、終了アドレス $A_e$ 、水平方向のアクセス数 $w$ (設定値は $w - 1$ )、2つのアドレス差分値D1、D2の合計5つとなり、これらはコンフィグレーションレジスタ101に保持される。

10

【0041】

例えば、図5に示すように、アドレスが隣接している場合、 $D1 = 1$ となる。また、右から左へアクセスする場合は、 $D1 = -1$ とすれば良い。同様に、 $90^\circ$ 回転や、飛び飛びにアクセスするような場合においても、上記パラメータを適切に設定することにより可能となる。但し、 $90^\circ$ 回転の場合は、水平方向のアクセス数 $w$ の代わりに垂直方向のアクセス数 $h$ を用いる。

20

【0042】

図6は、本実施形態に係わる上記アドレス生成部の別のシーケンスを説明する図である。例えば、図6に示すようなRGB線順次データを点順次データに変換するような場合(3次元アドレッシング)、シーケンサ22はアドレス差分値D1を2回選択した後、アドレス差分値D2を1回選択するようにセレクタ18を制御する。そして、このシーケンスを $w - 1$ 回繰り返すと、シーケンサ22はアドレス差分値D3を選択するようにセレクタ18を制御する。このようなアドレスの生成を実現するために、シーケンサ22は、

30

(1)  $c - 1$ (この例ではプレーン数 $c = 3$ )をロードし、受領信号ackによってカウンタを $-1$ し、カウンタが0になった時に次の受領信号ackによって $c - 1$ をリロードする $c$ 進カウンタと、

(2)  $w - 1$ をロードし、 $c$ 進カウンタが0の時の受領信号ackによってカウンタを $-1$ し、カウンタが0かつ $c$ 進カウンタが0の時の受領信号ackによって $w - 1$ をリロードする $w$ 進カウンタとを構成し、

(3)  $c$ 進カウンタと $w$ 進カウンタが共に0の時はアドレス差分値D3を、 $c$ 進カウンタのみ0の時はアドレス差分値D2を、それ以外ではアドレス差分値D1を選択する信号を生成する。

【0043】

従って、この場合(3次元アドレッシング)のアドレス生成部のパラメータは、開始アドレス $A_s$ 、終了アドレス $A_e$ 、プレーン数 $c$ (設定値は $c - 1$ )、水平方向のアクセス数 $w$ (設定値は $w - 1$ )、3つのアドレス差分値D1、D2、D3の合計7つとなり、これらはコンフィグレーションレジスタ101に保持される。同様に、アドレス差分値D1を色プレーン間のアドレス差分にセットすれば面順次データの点順次化も可能である。また、D2(図5の場合はD1)を逆スキャン時に2の補数に変換することで、双方向スキャンに対応させることもできる。この場合、スキャン方向判定部、2の補数変換入力セレクタ、2の補数変換部、2の補数変換出力セレクタが新たに必要になるが、逆スキャン用差分レジスタを追加して次元数を1つ追加する構成でも対応可能である。

40

【0044】

50

次に、具体的な処理を例に、各接続状態における処理の流れを説明する。

【 0 0 4 5 】

[ 第 1 の処理モード (高精度及び高速処理) ]

図 7 は、本実施形態に係わる画像処理モジュール 4 の第 1 の処理モードを説明するためのブロック図である。図 7 において、23 は入力部、24 は入力変換部、25 は色変換部、26 は出力変換部、27 は中間調処理部、28 は出力部である。このモジュールでは、RGB 点順次データより CMY 面 (バンド) 順次のビットマップ生成を行うものとする。

【 0 0 4 6 】

入力部 23 より読み出された RGB 点順次データは、入力変換部 24 にて濃度リニアな信号に変換される。濃度リニアな信号に変換された印刷データは、色変換部 25 にてプリンタの色材の濃度データ (出力デバイスカラー) に変換される。つづいて、出力変換部 26 にて出力補正され、中間調処理部 27 にてビットマップデータ (ドットパターン) に変換され、出力部 28 より出力される。画像データの中間調処理に誤差拡散法を用いた場合、前ラインの量子化誤差が入力部 23 より中間調処理部 27 に入力される。また、量子化誤差を周囲の画素に拡散させるために出力部 28 より量子化誤差を DRAM7 へ格納する。誤差バッファを DRAM7 上に構成するので、水平方向画素数の制限が解消される。

10

【 0 0 4 7 】

なお、ハード量の削減及び色材の色数制限解除のため、色変換部 25 では通常 1 つの色材データのみが出力される。従って、例えば、プリンタの色材が C, M, Y の 3 色であったとすると、3 色のビットマップを生成するのに、このモジュールは 3 回起動されることになる。

20

【 0 0 4 8 】

図 8 は、図 7 に示した機能を実現するためのサブモジュールの接続関係を示すブロック図である。図 8 において、29 は画像データの入力バッファ、30 は入力画像データのアドレス生成回路、31 は入力誤差データのアドレス生成回路、32 は誤差データの入力バッファ、33 は R 信号用入力変換 LUT、34 は G 信号用入力変換 LUT、35 は B 信号用入力変換 LUT、36 は上位ビット用色変換 3D-LUT、37 は下位ビット用色変換 3D-LUT、38 は上位ビット用 3D-LUT の補間回路、39 は下位ビット用 3D-LUT の補間回路、40 は補間出力合成用加算器、41 は上位ビット用誤差拡散回路、42 は下位ビット用誤差拡散回路、43 は画像データの出力バッファ、44 は出力画像データのアドレス生成回路、45 は出力誤差データのアドレス生成回路、46 は誤差データの出力バッファである。

30

【 0 0 4 9 】

なお、図 2 では、リードバッファおよびリードアドレス生成部の組と、ライトバッファおよびライトアドレス生成部モジュールの組が 1 組ずつ設けられた構成を示したが、以下に説明するモジュール 4 では、リードバッファおよびリードアドレス生成部の組を 2 組、ライトバッファおよびライトアドレス生成部の組を 2 組設けている。これは、誤差データ用と画像データ用のリードおよびライトバッファを設けたためである。

40

【 0 0 5 0 】

入力画像データのためのアドレス生成回路 30 は、画像データ入力バッファ 29 に所定以上の空きがある場合、アービタ 5 ヘルクエストを出すと同時にデータの処理順序に合わせて DRAM7 のアドレスを生成し出力する。DRAM7 より読み出された画像データは画像データ入力バッファ 29 に格納され、RGB の色毎に入力変換 LUT 33、34、35 に各々入力される。入力変換 LUT 33、34、35 は入力補正のためのテーブルで、本実施形態では 256 エントリ 16 ビット出力構成である。この場合、入力画像データ 8 ビットが入力され、補正されたデータが 16 ビットで出力される。なお、後述するように後段の 3D-LUT の容量削減及び補間回路の簡素化のため、テーブルに格納するデータは所定のスケールが施されている。

50

## 【 0 0 5 1 】

補正されたRGBデータ(16ビット)の上位8ビットは、上位ビット用色変換3D-LUT36で格子点データに変換され、補間回路38による線形補間を経て出力色データとなる。なお、ここでは色変換3D-LUT36に格納する格子点データに予め出力補正されたデータを格納しておくことにより、上記出力補正26も同時に行っている。本実施形態では、色変換3D-LUT36は入力されたRGBデータ(補正されたRGBデータの上位8ビット)のうちの上位4ビットより該当する小色空間の格子点の上位ビットを出力するLUTである。本実施形態では、4096エントリ8ビット出力構成となっており、RGBデータの各上位4ビットの入力から該当する格子点の上位8ビットを出力する。一方、補正されたRGBデータの上位8ビットのうちの下位4ビットはそのまま補間回路38に入力される。補間回路38は、3D-LUT36より出力された格子点データを下位4ビットのデータに基づいて線形補間して出力色データを生成する。ここで、上記小色空間を三角錐とすれば、格子点数は4となり、補間回路38における補間演算は4項積和演算となる。

10

## 【 0 0 5 2 】

同様に、下位ビット用色変換3D-LUT37は入力RGBデータ(補正されたRGBデータ16ビットのうちの下位8ビット)のうちの上位4ビットより該当する小色空間の格子点の下位ビットを出力するLUTで、例えば4096エントリ8ビット出力構成の場合、RGBデータの各上位4ビットの入力から該当する格子点の下位8ビットを出力する。一方、RGBデータ残りの下位4ビットは補間回路39に入力される。補間回路39は、3D-LUT37より出力された格子点データをRGBデータ残りの下位4ビットに基づいて線形補間して出力色データを生成する。

20

## 【 0 0 5 3 】

ところで、RGBデータの各上位4ビットの入力から該当する格子点データを出力する場合、スケールなしで格子点データの割当を行うと、RGB各座標軸は16区間に分割されるので必要な格子点数は各軸 $16 + 1 = 17$ 個となる。つまり、各軸の分割数をNとすると、 $(N + 1)^3$ 個の格子点が必要になる。上記例では $17 \times 17 \times 17 = 4913$ となり、容量が半端となるだけでなく、アクセスも複雑になる。そこで、上述したように、予め入力変換時に $15 / 16$ 倍にスケールしておくことにより、格子点数を $16 \times 16 \times 16 = 4096$ 個に削減する。なお、線形補間後のデータを元のスケールに戻すため $16 / 15$ 倍のスケールが必要になるが、3D-LUTに格納する格子点データを予め $16 / 15$ 倍して格納しておくことにより、上記元のスケールに戻す操作は不要となる。

30

## 【 0 0 5 4 】

上位の補間データ及び下位の補間データは加算器40にて小数点の位置を合わせて加算され、16ビットの色変換データが得られる。このとき、小数点以下は丸められ、入力範囲を超える値は最大値(または最小値)にリミットされる。

## 【 0 0 5 5 】

一方、入力誤差データアドレス生成回路31は、誤差データ入力バッファ32に所定以上の空きがある場合、アービタ5ヘリクエストを出すと同時にデータの処理順序に合わせてDRAM7のアドレスを生成する。DRAM7より読み出された誤差データは誤差データ入力バッファ32に格納される。そして、誤差データの上位ビットは誤差拡散回路41に、誤差データの下位ビットは誤差拡散回路42に各々入力される。誤差拡散回路42は上記補間データの下位ビット及び誤差拡散における量子化誤差の下位ビットより入力データに加算する補正值の下位ビットを生成し、誤差拡散回路41に入力する。誤差拡散回路41は上記補間データの上位ビット及び誤差拡散における量子化誤差の上位ビットより入力データに加算する補正值の上位ビットを生成し、誤差拡散回路42より入力される補正值の下位ビットと合わせて入力画像データに加算する。

40

## 【 0 0 5 6 】

補正值が加算された入力画像データは量子化され、量子化誤差が出力バッファ46に、

50

量子化コード（2値の場合は1ビットデータ）が出力バッファ43に入力される。出力バッファ43に所定数のデータが蓄積されるとアドレス生成回路44はアービタ5へリクエストを出すと同時にDRAM7への書込みアドレスを生成し出力する。一方、出力バッファ46に所定数の誤差データが蓄積されるとアドレス生成回路45はアービタ5へリクエストを出すと同時にDRAM7への書込みアドレスを生成し出力する。なお、説明を容易にするため、量子化誤差は上位・下位で分離して格納する構成となっているが、上位・下位で分離せず同一アドレスに格納するようにしても良い。

【0057】

なお、YMC等の各色毎に上記処理を繰り返す場合、3D-LUT36, 37のテーブルをY用、M用、C用に切り替える必要がある。本実施形態では、コンフィグレーションレジスタ101におけるパラメータ設定により、3D-LUT36, 37が参照するテーブルを切り替えるものとする。

10

【0058】

本構成では、内部演算精度及び高速処理に重点を置いており、パイプライン処理により内部演算精度16ビットで1クロックサイクルに1画像データを処理できる。

【0059】

[第2の処理モード（高速性重視）]

図9は、本実施形態に係わる画像処理モジュール4の第2の処理モードを説明するためのブロック図である。図9において、47は色変換部、48は出力変換部、49は中間調処理部、50は出力部である。図9において図7と同一の機能ブロックには同一の番号を付し、説明を省略する。

20

【0060】

このモジュールでは、RGB点順次データよりCMYK面（バンド）順次のビットマップ生成を2色同時に行う。

【0061】

入力部23より読み出されたRGB点順次データは、入力変換部24にて濃度リニアな信号に変換される。濃度リニアな信号に変換された印刷データは、色変換部25、47にて各々異なる色材の濃度データ（出力デバイスカラー）に変換される。つづいて、出力変換部26、48にて各色材データが出力補正され、中間調処理部27、49にてビットマップデータ（ドットパターン）に変換され、出力部50より各々色材データのバッファ領域（バンドバッファ）に出力される。同様に、量子化誤差データも各々色材データのバッファ領域（ラインバッファ）に出力される。

30

【0062】

図10は、図9の機能ブロック図を実現するためのサブモジュールの接続関係を示すブロック図である。図10において図8と同一のサブモジュールには同一の番号を付してある。以下、図8と異なる部分についてのみ説明する。

【0063】

色変換用3D-LUT36, 37には異なる出力色に対応する格子点データが格納されており、各々補間回路38, 39にて線形補間されて、誤差拡散回路41, 42に入力される。誤差拡散回路41, 42にて擬似階調化されたデータは出力バッファ43にて分離して格納される。3D-LUT36および37には、それぞれLUT33~35から出力された入力変換後の16ビットデータのうちの上位8ビットが入力される。3D-LUT36, 37は入力された8ビットデータのうちの上位4ビットを用いて格子点データを取得し、これを残りの下位4ビットデータとともに補間回路38, 39へ供給する。補間回路38, 39は、格子点データを下位4ビットデータに基づいて補間する。また、誤差拡散回路41, 42は、各色毎に誤差拡散処理を施す。

40

【0064】

出力バッファ43に所定数のデータが蓄積されるとアドレス生成回路44はアービタ5へリクエストを出すと同時にDRAM7への書込みアドレスを生成し出力する。このとき、2つのバンドバッファのアドレスを生成するため、アドレス差分値を1つ追加し、所定

50

バイト数毎に上記アドレス差分値を選択することで上記2つのバンドバッファにデータを格納する。一方、出力バッファ46に所定数の誤差データが蓄積されるとアドレス生成回路45はアービタ5へリクエストを出すと同時にDRAM7への書込みアドレスを生成し出力する。なお、説明を容易にするため、量子化誤差は各色分離して格納する構成となっているが、分離せずに同一アドレスに格納するようにしても良い。この場合は、上記アドレス生成回路45はアドレス差分値を追加する必要はない。また、出力バッファ46で分離して格納する必要もない。

#### 【0065】

この処理モードでは2色を同時に処理するので約2倍の処理速度が得られるが、1色当りの格子点データのビット数が半分になってしまう。従って、高精度な色変換を要求されるものには向いていないが、高速性を要求される用途には有効である。

10

#### 【0066】

##### [第3の処理モード]

図11は、本実施形態に係わる画像処理モジュール4の第3の処理モードを説明するためのブロック図である。図11において図9と同一の機能ブロックには同一の番号を付し、説明を省略する。

#### 【0067】

このモジュールでは、RGB点順次データよりCMYK面(バンド)順次のビットマップ生成を2色同時に行う点は第2の処理モードと同じであるが、入力画像データとして拡張色空間データに対応する。このため、内部演算精度をあげている。具体的には、入力変換の入力精度をあげるため、補間演算を導入し、出力変換を色変換部より分離して処理する構成となっている。図9との違いは色変換部と出力変換部の一括処理を示す破線がないだけであるので、その説明は省略する。

20

#### 【0068】

図12は、図11の機能ブロック図を実現するためのサブモジュールの接続関係を示すブロック図である。図8において、51及び52はセレクタである。図12において図10と同一のサブモジュールには同一の番号を付してある。以下、図10と異なる部分についてのみ説明する。

#### 【0069】

入力変換LUT33は入力補正のためのテーブルで、例えば256エン트리16ビット出力構成の場合、入力画像データの上位8ビットが入力され、補正されたデータが16ビットで出力される。ここで、入力画像データとして8ビットを超えるデータ(例えば16ビットデータ)が入力された場合は、入力画像データの上位8ビットより2つの代表値をLUT33より読出し、補間回路38において残りの下位ビットに基づいて上記2つの代表値を補間して16ビットの入力補正データを得る。なお、ここでは0は0に変換されるものとして、代表値の格納を省略する。よって、0以外の全ての代表値がLUT33に格納される。なお、前述したように、ここではスケーリングを行うので、最大値を省略する代表値とする場合は、スケーリング後の最大値に置き換える必要がある。また、ここでは補間回路38、39を上記代表値の補間演算に用いている。従って、上記LUT33の出力はセレクタ51、52を経て補間回路38、39に入力される。補間回路38、39では1次補間(2項積和演算)により補間データを生成し、各々色変換3D-LUT36、37に入力する。

30

40

#### 【0070】

なお、補間回路38、39は、LUT36からの出力を補間する場合には2項積和演算を行い、3D-LUT36からの出力を補間する場合には4項積和演算を行う用に動作を切り替える。

#### 【0071】

RGB3色の入力変換後のデータが入力されると、色変換3D-LUT36、37は各々対応する格子点データをセレクタ51、52を経て補間回路38、39に入力する。補間回路38、39は線形補間(4項積和演算)により各出力色データを生成し、各々出

50

力 変換 L U T 3 4、3 5 にて出力 補正した後、誤差拡散回路 4 1、4 2 に入力する。

【 0 0 7 2 】

なお、ここでは（色変換 3 D - L U T の出力ビット数）（出力 変換 L U T の入力ビット数）であるため、出力 変換 L U T 3 4、3 5 の出力を直接誤差拡散回路 4 1、4 2 に入力しているが、出力 変換の精度が要求される場合は、破線で示したように更に補間回路 3 8、3 9 にて線形補間したデータを誤差拡散回路 4 1、4 2 に入力するようにしても良い（すなわち、経路 a、c のように L U T 3 4、3 5 の出力をセレクタ 5 1、5 2 を経由して補間回路 3 8、3 9 へ入力し、補間出力を経路 b、d に示すように誤差拡散回路 4 1、4 2 へ入力する）。この場合は、処理に必要なサイクル数が増加するが、D R A M 7 のバスの使用効率を考慮すると、サイクル数の増加に対する処理時間の増加は比較的少ない。

10

【 0 0 7 3 】

本構成では入力 変換を 1 つの L U T にて実行しているため、入力 変換に 6 サイクルかかってしまう。さらに補間回路を共用しているため、色変換 3 D - L U T の補間に 2 サイクルかかるとすると、1 画素の処理に合計 8 サイクルかかってしまう。しかし、線形補間（4 項積和演算）及び誤差拡散をマルチサイクル処理とすることで 2 倍のクロックの使用が可能となれば、実質 4 倍以下（バスのアービトレーションの効率アップが見込めるため）に抑えることが可能である。また、1 次補間回路（2 項積和演算）を L U T 3 3 の後段に追加すれば処理時間は 3 倍以下となる。さらに、L U T を追加し、同時に 2 つの代表値を得られるように構成すれば処理時間は 1.5 倍以下となる。

20

【 0 0 7 4 】

[ 第 4 の処理モード ]

図 1 3 は、本実施形態に係わる画像処理モジュール 4 の第 4 の処理モードを説明するためのブロック図である。図 1 3 において図 1 1 と同一の機能ブロックには同一の番号を付し、説明を省略する。

【 0 0 7 5 】

前述したように、出力デバイスカラーが 4 色以上では、色変換部を前段（カラーマッチング）と後段（デバイスカラー変換）に分割処理する。これは、3 D - L U T の生成を容易にすること、無彩色の連続性を向上させること等を目的としている。第 4 の処理モードでは、上記前段処理モードを実現する。従って、色変換部 2 5 及び 4 7 で変換された色データは、出力部 5 0 より各々の色データのバッファ領域（バンドバッファ）に出力される。

30

【 0 0 7 6 】

図 1 4 は、図 1 3 の機能ブロック図を実現するためのサブモジュールの接続関係を示すブロック図である。図 1 4 において図 1 0 と同一のサブモジュールには同一の番号を付してある。以下、図 1 0 と異なる部分についてのみ説明する。

【 0 0 7 7 】

第 4 の処理モードでは色変換（前段）処理までを行い、誤差拡散処理は行わない。従って、入力誤差データアドレス生成回路 3 1、誤差データ入力バッファ 3 2、加算器 4 0、誤差拡散回路 4 1 及び 4 2、出力誤差データアドレス生成回路 4 5、誤差データ出力バッファ 4 6 は休止状態となっている。

40

【 0 0 7 8 】

入力 変換 L U T 3 3、3 4、3 5 は入力 補正のためのテーブルで、例えば 2 5 6 エントリ 1 6 ビット出力構成の場合、入力画像データの上位 8 ビットが入力され、補正されたデータが 1 6 ビットで出力される。ここで、入力画像データとして 8 ビットを超えるデータ（例えば 1 6 ビットデータ）が入力された場合は、入力画像データの上位 8 ビットより 2 つの代表値を上記 L U T より読み出し、残りの下位 8 ビットに基づいて上記 2 つの代表値を補間して 1 6 ビットの入力 補正データを得る。なお、ここでは 0 入力は 0 に変換されるものとして、代表値の格納を省略する。よって、0 以外の全ての代表値が L U T 3 3、3 4、3 5 に格納される。前述したように、ここではスケールリングを行うので、最大

50



## 【 0 0 8 5 】

## [ 第 5 の 処 理 モ ー ド ]

図 1 5 は、本実施形態に係わる画像処理モジュール 4 の第 5 の処理モードを説明するためのブロック図である。図 1 5 において、図 1 1 と同一の機能ブロックには同一の番号を付し、説明を省略する。

## 【 0 0 8 6 】

第 5 の処理モードでは、色変換部を前段（カラーマッチング）と後段（デバイスカラー変換）に分割処理する際の後段処理モードを実現する。従って、上記第 4 の処理モードによる前段処理後のデータを入力部 2 3 より読み出す。読み出されたデータは色変換部 2 5 , 4 7 にて各々異なる色材データ（デバイスカラー）に変換される。つづいて、出力変換 2 6、4 8 にて各色材データが出力補正され、中間調処理部 2 7、4 9 にてビットマップデータ（ドットパターン）に変換され、出力部 5 0 より各々色材データのバッファ領域（バンドバッファ）に出力される。同様に、量子化誤差データも各々色材データのバッファ領域（ラインバッファ）に出力される。

10

## 【 0 0 8 7 】

図 1 6 は、図 1 5 の機能ブロック図を実現するためのサブモジュールの接続関係を示すブロック図である。図 1 6 において、図 1 2 と同一のサブモジュールには同一の番号を付してある。以下、図 1 2 と異なる部分についてのみ説明する。

## 【 0 0 8 8 】

本処理モードでは色変換（後段）処理以降を行う。従って、LUT 3 3、加算器 4 0 は休止状態となっている。また、前段処理後のデータを入力するので、入力データ形式は RGB 面（バンド）順次データとなる。

20

## 【 0 0 8 9 】

入力画像データアドレス生成回路 3 0 は、画像データ入力バッファ 2 9 に所定以上の空きがある場合、アービタ 5 ヘルクエストを出すと同時にデータの処理順序に合わせて DRAM 7 のアドレスを生成し出力する。この時、面（バンド）順次データを点順次データに変換するため、図 6 に示すようなアドレス生成を行う（アドレス差分 D 1 を各バッファ間のアドレス差分に設定する）。DRAM 7 より読み出された画像データは画像データ入力バッファ 2 9 に格納され、RGB の各色データが同時に色変換用 3 D - LUT 3 6 及び 3 7 に入力される。色変換 3 D - LUT 3 6、3 7 は各々対応する格子点データをセクタ 5 1、5 2 を経て補間回路 3 8、3 9 に入力する。補間回路 3 8、3 9 は線形補間（4 項積和演算）により各出力色データを生成し、各々出力変換 LUT 3 4、3 5 にて出力補正した後、誤差拡散回路 4 1、4 2 に入力する。

30

## 【 0 0 9 0 】

なお、ここでは（色変換 3 D - LUT の出力ビット数）（出力変換 LUT の入力ビット数）であるため、出力変換 LUT 3 4、3 5 の出力を直接誤差拡散回路 4 1、4 2 に入力しているが、出力変換の精度が要求される場合は、破線で示したように補間回路 3 8、3 9 にて線形補間したデータを誤差拡散回路 4 1、4 2 に入力するようにしても良い。すなわち、LUT 3 4、3 5 の出力を経路 a、c によりセクタへ戻し、これを補間回路 3 8、3 9 で補間したデータは経路 b、c により誤差拡散回路 4 1、4 2 へ供給されるようにする。

40

## 【 0 0 9 1 】

本第 5 の処理モードでは、RGB 面（バンド）順次データより CMYK 面（バンド）順次のビットマップ生成を 2 色同時に行う。例えば、出力色が CMYK の 4 色の場合は、CM の 2 色処理を行った後、YK の 2 色処理を行う。この時、誤差拡散回路 4 1、4 2 を連携動作させることにより、2 色間のドットの分散性を向上させることが可能である。

## 【 0 0 9 2 】

なお、出力色が奇数の場合は、1 色のみの処理が発生する。この場合は、後述するように色変換部 4 7 を高精度化（16 ビット処理）に用いるようにしても良い。

## 【 0 0 9 3 】

50

図17は、1色処理（高精度モード）のときのサブモジュールの接続関係を示すブロック図である。図中、図16と同一のサブモジュールには同一の番号を付してある。以下、図16と異なる部分についてのみ説明する。

【0094】

色変換3D-LUT36は入力RGBデータの上位ビットより該当する小色空間の格子点の上位ビットを出力し、色変換3D-LUT37は入力RGBデータの上位ビットより該当する小色空間の格子点の下位ビットを出力する。色変換3D-LUT36の出力である小色空間の格子点の上位ビットはセレクタ51を経て補間回路38にて線形補間され、加算器40に入力される。一方、色変換3D-LUT37の出力である小色空間の格子点の下位ビットは、補間回路39にて線形補間され、加算器40に入力される。加算器40は上記上位の補間データ及び上記下位の補間データを小数点の位置を合わせて加算する。この時、小数点以下は丸められ、入力範囲を超える値は最大値（または最小値）にリミットされる。

10

【0095】

合成された補間データは出力変換LUT34、35に入力される。2つのLUTを用いることで1クロック（サイクル）で前記2つの代表値を生成し、セレクタ51を経て補間回路38にて線形補間されて誤差拡散回路41に入力される。本構成ではマルチサイクルで動作する部分がないので、全サブモジュールをパイプライン動作させることができる。従って、高速かつ高精度な処理が可能である。

20

【0096】

以上、説明したように上記実施形態によれば、各種画像処理に必要なハードリソースに着目してサブモジュールを構成し、各サブモジュールの接続関係や処理シーケンス、演算精度等を変更可能とすることで、多様な処理モードに対応できるコンパクトで柔軟な画像処理装置を構成できる。特に、未使用サブモジュールのクロックを停止する、或いは未使用サブモジュールの電源を停止することにより、処理速度や処理精度のみならず、消費電力等のトレードオフも可能となるため、処理内容に応じて最適な構成をとることが可能である。

【0097】

また、画像入力部を多様なフォーマットに対応できるように構成することで、分割処理（マルチシーケンス処理）が可能となり、上記ハードリソースで処理できない部分を別モジュールやCPU等のプロセッサで置き換えることも可能である。

30

【図面の簡単な説明】

【0098】

【図1】実施形態に係わる画像処理装置の一構成例を示すブロック図である。

【図2】実施形態に係わる画像処理装置のモジュール内部の構成を説明するためのブロック図である。

【図3】サブモジュール間I/Fの動作を示すタイミングチャートである。

【図4】実施形態に係わる画像処理装置の各モジュールにおけるアドレス生成部の具体的な構成を説明するためのブロック図である。

【図5】実施形態に係わるアドレス生成部のパラメータを説明する図である。

40

【図6】実施形態に係わるアドレス生成部の別のシーケンスを説明する図である。

【図7】実施形態に係わる画像処理モジュール4の第1の処理モードを説明するためのブロック図である。

【図8】第1の処理モードにおけるサブモジュールの接続関係を示すブロック図である。

【図9】実施形態に係わる画像処理モジュール4の第2の処理モードを説明するためのブロック図である。

【図10】第2の処理モードにおけるサブモジュールの接続関係を示すブロック図である。

。

【図11】実施形態に係わる画像処理モジュール4の第3の処理モードを説明するためのブロック図である。

50

【図12】第3の処理モードにおけるサブモジュールの接続関係を示すブロック図である。

【図13】実施形態に係わる画像処理モジュール4の第4の処理モードを説明するためのブロック図である。

【図14】第4の処理モードにおけるサブモジュールの接続関係を示すブロック図である。

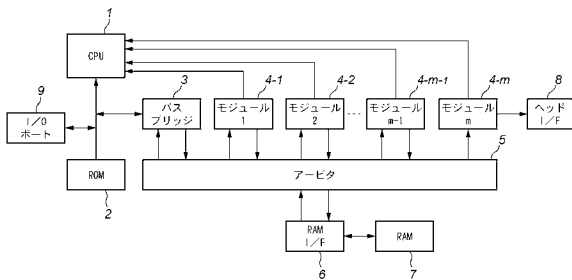
【図15】実施形態に係わる画像処理モジュール4の第5の処理モードを説明するためのブロック図である。

【図16】第5の処理モードにおけるサブモジュールの接続関係を示すブロック図である。

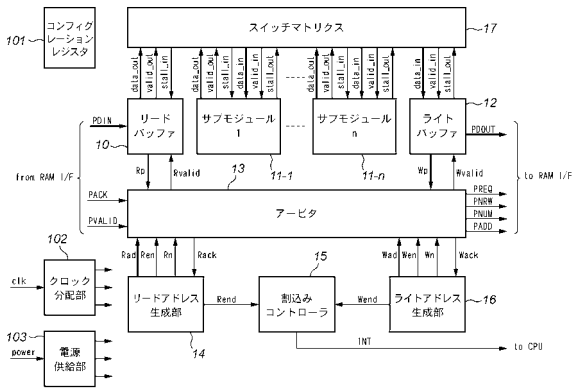
【図17】第5の処理モードにおけるサブモジュールの別の接続関係を示すブロック図である。

【図18】従来の画像処理部を示すブロック図である。

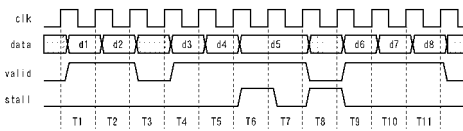
【図1】



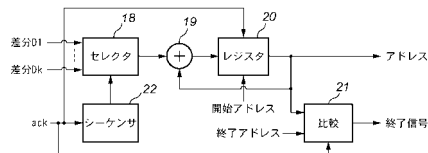
【図2】



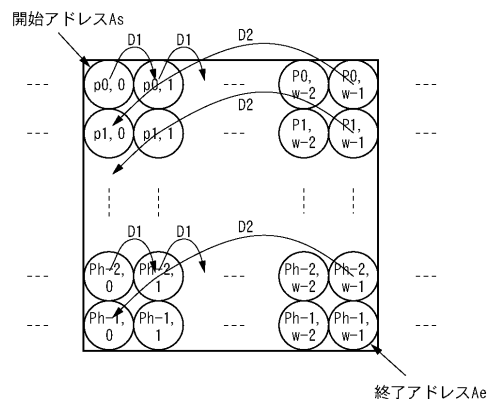
【図3】



【図4】

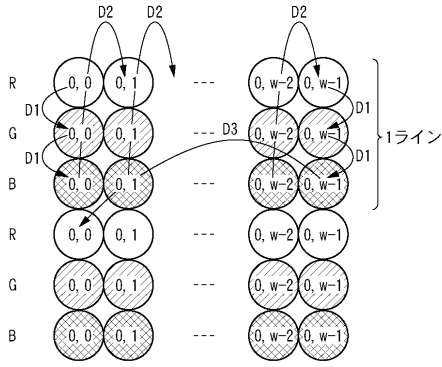


【図5】

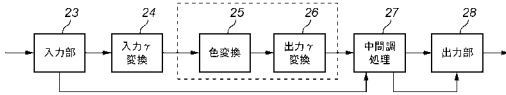


終了アドレスAe

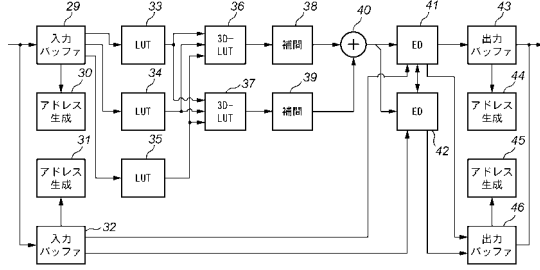
【図 6】



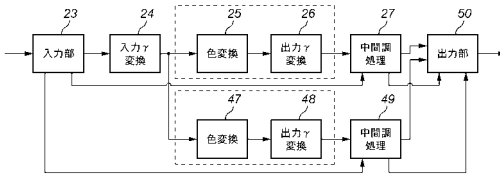
【図 7】



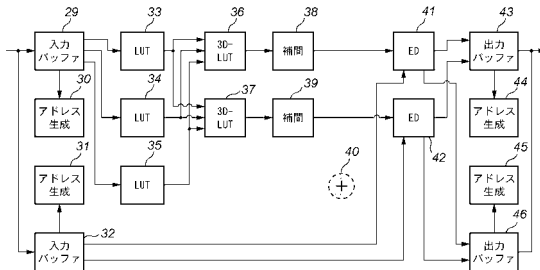
【図 8】



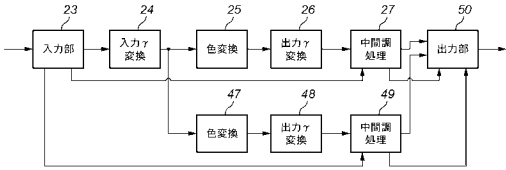
【図 9】



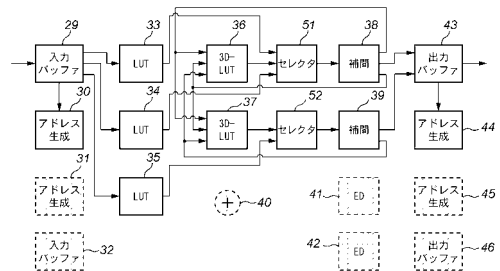
【図 10】



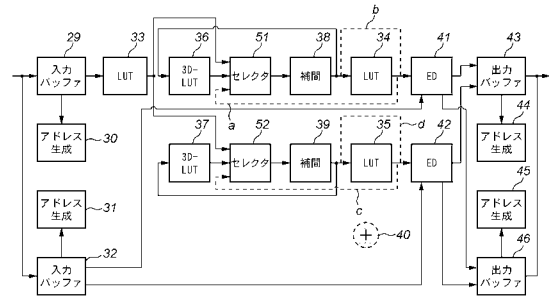
【図 11】



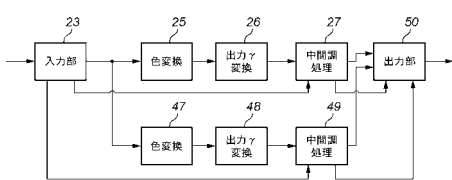
【図 14】



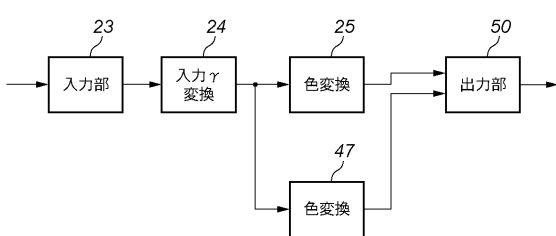
【図 12】



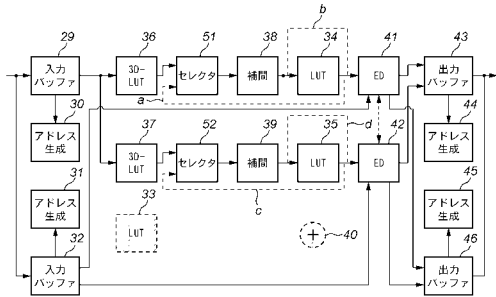
【図 15】



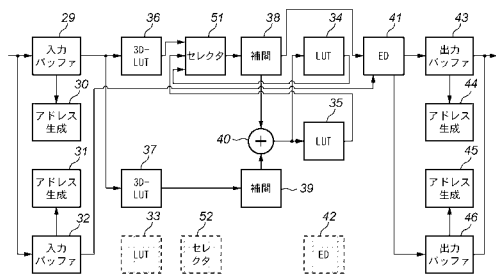
【図 13】



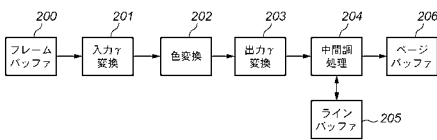
【図16】



【図17】



【図18】



---

フロントページの続き

(51)Int.Cl. F I  
H 0 4 N 1/46 (2006.01) H 0 4 N 1/46 Z

(72)発明者 石川 尚  
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

審査官 秦野 孝一郎

(56)参考文献 特開2004-222069(JP,A)  
特開2004-248066(JP,A)  
特開2004-220432(JP,A)  
特開平07-074973(JP,A)

(58)調査した分野(Int.Cl., DB名)  
G 0 6 T 1 / 2 0  
G 0 6 T 1 / 0 0  
G 0 6 T 1 / 6 0  
H 0 4 N 1 / 2 1  
H 0 4 N 1 / 4 0  
H 0 4 N 1 / 4 6