



[12] 发明专利申请公开说明书

[11] CN 87 1 00702 A

[43] 公开日 1987年11月25日

(21) 申请号 87 1 00702

(22) 申请日 87.2.17

(30) 优先权

(32) 86.2.18 (33) CA (31) 502,134

(71) 申请人 英特尔公司

地址 加拿大安大略省

(72) 发明人 迈克尔·艾费赫尔德

约翰·A·巴塞洛蒂 莱斯特·柯克兰

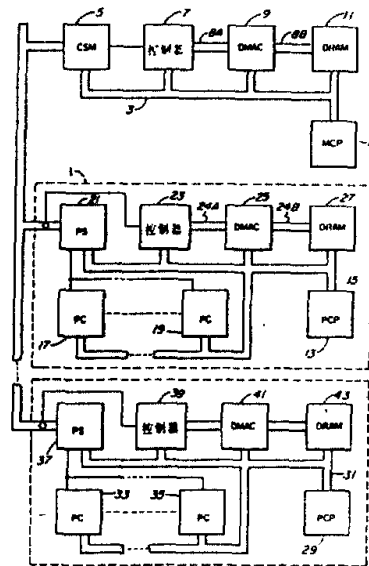
(74) 专利代理机构 中国专利代理有限公司

代理人 李先春 杜有文

(54) 发明名称 通讯开关系统

(57) 摘要

用于在一或多个外部子系统的各外部电路与主控制器间发送数字语音、数据信号及信息信号的通讯开关系统。各子系统包括一由外部控制处理器控制以在预定外部电路与电路开关矩阵间转换语音与数据信号的外部开关矩阵。语音、数据及信息信号通过主控制器的电路开关矩阵在预置时隙通道上传输。信息信号通过与主控制器及各子系统相关联的通讯控制器按位定向数据传输规协传输，并在电路开关矩阵的一或多个预置动态分配时隙通道中异步传输。



权 利 要 求 书

1、一个通讯系统，其特征为，包括：

(a) 用于控制语音与数据信号的时间多路转换的主控制器
(1, 9, 11),

(b) 用于在预置时隙通道上，对向与之相连的各种外部设备
(17 - 19, 33 - 35) 传送和从该各种外部设备接收语音和数据信号的一个或多个外部子系统 (B A Y 1 - B A Y N),

(c) 与上述主控制器和外部子系统相连的电路开关矩阵 (3),
用于在上述主控制器控制下，在外部子系统之间执行语音与数据信号的时间和空间多路转换，其特征为：

(d) 一个或多个通讯控制器 (23, 39) 与上述一个或多个外部子系统及上述电路开关矩阵相连接，用于对上述外部子系统传送和从该外部子系统接收网络层信息信号，并做为响应，在其它预置时隙通道上对电路开关矩阵传送和从该电路开关接收链接层信息信号，

(e) 另一个通讯控制器 (7) 与上述主控制器及电路开关矩阵相连接，用于发送与接收由上述一个或多个通讯控制器通过电路开关矩阵接收与发送的链接层信息信号，并做为响应，对主控制器发送和从主控制器接收网络层信息信号，

(f) 其中每一个上述通讯控制器检测链接层信息信号的传输错误，并做为响应重发上述的信息信号，

借此，对无错误信息信号的发送与接收及语音和数据信号的发送与接收同时起作用。

2、根据权利要求 1 中所述的通讯系统，其特征在于，使上述另一个通讯控制器实现多路传输，以提供同时独立对相应的与上述外部

子系统相连的一个或多个上述通讯控制器传送和由它们接收所说的链接层信息信号。

3、根据权利要求2中所述的通讯系统，其特征还在于，引入了电路（319、407）以在预置分配的时隙通道内产生时钟信号，并将其加到上述通讯控制器的时钟输入端（TXC, RXC, TXCLK, RXCLK），为此信息信号传输量是关于语音与数据信号传输量的动态变化。

4、根据权利要求1中所述的通讯系统，其特征还在于，上述主控制器包括：

（a）用于存储上述网络层信息信号及一个或多个调用处理程序的存储器（11），

（b）与上述电路开关矩阵（5）及上述存储器（11）相连的主控制处理器（1），用于执行上述程序及做为响应控制电路开关矩阵，

（c）与上述存储器（11）及上述另一个通讯控制器（7）相连的直接存储器访问控制器（9），用于在上述另一个通讯控制器与存储器之间传送上述网络层信息信号。

5、根据权利要求4中所述的通讯系统，其特征还在于，引入了电路（407，422，426，414），用于产生发送与接收时钟信号，并将其加到上述另一个通讯控制器，以动态分配时隙通道。

6、根据权利要求3，4或5中所述的通讯系统，其特征还在于，链接层信息信号根据HDL C协议进行传送与接收，且上述另一个通讯控制器（7）包含多重协议通讯控制器电路。

7、根据权利要求1，4或5中所述的通讯系统，其特征还在于，

上述电路开关矩阵(5)由包含多个数字时间/空间交叉开关电路(5A-5P)。

8、根据权利要求4或5中所述的通讯系统，其特征还在于，上述主控制处理器(1)为一微处理器电路。

9、根据权利要求4或5中所述的通讯系统，其特征为，上述存储器(11)含有一个或多个动态随机访问存储器电路。

10、根据权利要求1中所述的通讯系统，其特征在于，上述一个或多个外部子系统(BAY1-BAYN)中的每一个包括：

(a)用于存储上述网络层信息信号及一个或多个调用处理程序的存储器(27, 43)，

(b)与上述存储器相连的外部控制处理器(13, 29)，用于执行上述程序及产生响应控制信号，

(c)与上述外部控制处理器，上述电路开关矩阵及通过一个或多个电路通道与上述各种外部设备(17-19, 33-35)相连的外部开关矩阵(21, 37)，用于接收控制信号，并响应接收到的控制信号，在上述各外部设备之间及各种外部设备与电路开关矩阵之间传送与接收上述语音和数据信号，

(d)与上述存储器及上述一个或多个通讯控制器中相应控制器相连的直接存储器访问控制器(25, 41)，用于在上述相应通讯控制器与上述存储器之间传送与接收网络层信息信号。

11、根据权利要求10中所述的通讯系统，其特征还在于，引入了电路(319, 327, 329, 331, 323, 325, 333, 321, 335, 337, 339)，用以产生发送与接收时钟信号，并将其加到上述预置通讯控制器，以动态分配所述的时隙

通道。

12、根据权利要求1，10或11中所述的通讯系统，其特征还在于，所说链接层信息信号按照HDLC协议进行发送与接收，且上述每一个通讯控制器都含有多重协议通讯控制器电路。

13、根据权利要求10或11中所述的通讯系统，其特征还在于，外部开关矩阵(21, 37)含有各种数字时间/空间交叉开关电路(45, 47)。

14、根据权利要求10或11中所述的通讯系统，其特征还在于，上述外部控制器(13, 29)是一微处理器电路。

15、根据权利要求10或11中所述的通讯系统，其特征还在于，上述存储器(27, 43)含有一个或多个动态随机访问存储器电路。

16、在含有主控制器(1)，一个或多个外部子系统(BAY1-BAYN)及电路开关矩阵(5)，用于在上述主控制器控制下在上述外部子系统之间传输数字语音与数据信号的时隙通道上执行时间与空间多路转换的通讯系统中，一个信息系统的特征为：

(a) 一个或多个外部通讯控制器(23, 39)与上述一个或多个子系统及电路开关矩阵相连，用于对上述子系统传送和从该子系统接收网络层信息信号，并做为回响，在上述预置的时隙通道上对该电路开关矩阵发送和从该电路开关矩阵接收链接层信号，

(b) 另一个通讯控制器(7)与上述主控制器及上述电路开关矩阵相连接，用于传送与接收由所说的一个或多个外部通讯控制器通过上述电路开关矩阵接收与发送的链接层信息信号，并做为回响，对主控制器发送和从该主控制器接收网络层信息信号，

(c) 其中每一个上述通讯控制器检测上述链接层信息信号的传输错误，并做为回响，重发上述信息信号，

从而对信息信号的无错误传送与接收及语音与数据信号的传送与接收同时起作用。

17、根据权利要求16中所述的信息系统，其特征还在于，使上述另一个通讯控制器实现多路传输，以提供同时独立对相应的上述一个或多个外部通讯控制器传送和由它们接收上述链接层信息信号。

18、根据权利要求17中所述的信息系统，其特征还在于，上述链接层信息信号按照位元数据联接协议传送与接收。

19、根据权利要求16，17或18中所述的信息系统，其特征还在于，上述链接层信息信号按照HDL C协议方案发送与接收。

20、根据权利要求16，17或18中所述的信息系统，其特征还在于，引入了电路(319, 407)用于在预置分配的时隙通道上产生时钟信号，以加到每一个上述通讯控制器，因而信息信号传输量随语音与数据信号传输量变化，以动态分配上述时隙通道。

通 讯 开 关 系 统

一般来说本发明涉及通讯开关系统，具体地说涉及到用于在各种外部设备与主控制器之间转换并发送数字化语音、数据及信息信号的系统。

开关转换系统，例如 P A B X 过去已被广泛用于在局部及远程外部设备（例如专用电话，终端和数据机）之间传送语音与数据信号，产生及接收信息，或管理与外部设备之间的来往信号。信息信号通常在外部设备和一个或多个专用自动电话交换机（P A B X）控制电路之间传输，以指示某些实时事件，例如用户专用电话的摘机或响铃等等。

外部设备通常通过专用外部电路与 P A B X 接口，这些电路常常包括模/数与数/模转换器，以将语音信号数字化为脉冲编码调制信号（P C M）。

P A B X 制造厂商采用了各种约定或标准以简化数字化语音与数据信号的转换及传输。贝尔系统公司（Bell System Companies）提出了这样一种约定，在技术上称做 T 1 载流子约定。根据 T 1 载流子约定，数字信号分布在由 24 个 P C M 通道与数据信号组成的“帧”中。每个通道由 8 位数据或 P C M 信号组成，其信号传输速率约为 1.544 兆位/秒。因此，数字信号的一“帧”由 193 位构成，分为 24 个 8 位通道和一个帧位或同步位。

为在 P A B X 的主控制电路与外部设备之间传送信息信号，需用一控制位取代在预置通道上传输的 P C M 语音信号的最低有效位。

P C M信号由P A B X或外部设备接收，并从连续的P C M信号中取出控制位进行装配或重新组合以形成数字信息信号，这些信号加到一个或多个控制电路上以执行实时事件，例如对摘机线路产生拨号音等等。

T 1载流子约定的缺点是，由于用控制位取代最低有效位，使随机噪声进入到P C M语音信号中。此外，P C M语音通道可用于传输控制位，而数据传输通道却不能这样工作，因为这常常会破坏数据信号及丢失数据的完整性。T 1载流子约定的另一个缺点是，由于控制位包含在P C M信号中，因此信息信号不能独立于P C M语音信号而传输。

由康雷德·路易斯(Conrade Lewis)于1983年6月29日申请并已转让给迈特尔(Mitel)公司其序号为413, 426的加拿大专利申请中描述了另一个先有技术系统，该系统使用了分离的电路，既用于语音和数据信号的转换，又用于信息信号的转换。根据迈特尔的发明，主要的和外部的数字开关转换电路即开关用于在各种外部设备之间传输及发送P C M语音和数据信号，而另一个分离的信息开关用于在主控制电路与一个或多个外部设备的外部控制处理器之间传输信息信号。

由于利用专用开关传输信息信号，迈特尔系统克服了T 1载流子约定将随机噪声引入语音信号的缺点。此外，当信息信号传输频繁时，例如在系统复位或引导等状态时，这一专用信息开关可在短时间内传送大量信息信号。

但是，为了实现专用信息开关需用到相当数量的额外电路和联线。这些额外的电路和联线在线路板上占相当大的面积，且花费不小，这

不是人们所希望的。此外，主控制电路和外部控制处理器还要执行接收信息信号的错误检测程序，并对每一个接收到的信息信号给出回响。由于执行时要占用大量处理器周期，故将会大大降低系统性能。

在由布什尔 (Beuscher) 等人提出，并于 1982 年 3 月 30 日颁发给贝尔电话实验室 (Bell Telephone Laboratories) 的美国专利第 4, 322, 843 号，题为“时分开关系统的控制信息通讯装置”的专利中，描述了另一个先有技术的电路。布什尔的专利给出了用于交换控制信息及实现用户专用电话之间通讯通道的时分开关系统，该系统具有分布式的控制处理器。每个控制信息都包含一个定义控制信息最终位置的地址段，且都在预置的时隙通道内通过与一个对应的分布式控制处理器相连的一对相关的输入，输出时间多路线被传送到分时空间分段开关 (time shared space division switch) 上。语音表示符与控制信息在同一对线中传输。中央控制单元与多个外部控制单元利用选中的时间多路通道交换控制信息，其余的通道则用于传送语音信号。每个控制信息含有多个控制字，每个控制通道在每一帧中可传送一个控制字。

根据布什尔等人的专利，一个指定通道只能定义为一对时间多路线的控制通道。例如，如果通道 1 定义为某一对预置时间多路线的控制通道，则其它时间多路线对都不能用通道 1 做控制通道。在每一个有相同数值标识作为预置定义的控制通道的时隙内，主时间多路开关单元接收通过一条时间多路线输出线上预置控制通道所传输的控制信息，并将其加到开关单元的专用输出端口上，该转换单元与主控制分布单元的输入端相连。同样，在同一时隙内，时间多路转换单元将主控制分布单元的输出端接至时间多路转换单元的相应预置专用输入端，

以将另一控制信息传送到其它时间多路线对上，以便这一控制信息由外部控制单元接收。控制分布单元确定所接收的控制信息的适当最终位置，并将该信息重发回上述时间多路转换单元的输入端，发送时使用与最终位置单元有关的控制通道有相同数值标识的通道。

由于每个外部控制单元都有唯一的与此有关的控制通道，外部控制单元的数目受到每一帧中通道数目的限制，这也就限制了系统的可扩展性。

根据本发明给出了一种通讯系统，该系统用于通过电路开关矩阵转换 P C M 语音和数据信号，建立各种外部设备和外部子系统之间的联接。及实现电路开关矩阵中一个或多个指定通道中信息信号的传送和接收。根据本发明的优选实施例，通道是为适应各种不同的信息信号传输量而动态分配的。分配的通道通过电路开关矩阵实现多路传输，以使每个外部子系统可分时共享相同的通讯通道。这与布什尔等人的专利不同，在布什尔的专利中，每个外部控制单元都有一条专用的通讯通道。分配通道的时间多路传输特性使得可以很容易扩展与该系统连接的外部子系统的数目。这样，与该系统联接的子系统的数目不受帧通道数的限制，这与布什尔等人的专利中所公开的系统不同。

信息信号是按具有错误检测与问答特性的通讯协议传输的，以保证信息信号的无错误传输，这就克服了先有技术迈特尔 (MITEL) 设备需用大量处理器时间以执行错误检测程序的缺点。此外，根据本发明所用协议，各种信息信号可级联在一个单独的信息包内，这只要主控制器或处理器给出一个回响，从而简化了先有技术迈特尔设备所要求的费时的多重回响。

由于分配全部电路转换通道用于传输信息信号，本发明克服了先

有技术 T 1 载流子约定用信息信号位取代 P C M 信号位的缺点，这种取代会引入额外的噪声信号。另外根据本发明，与先有技术迈特尔设备不同，不需要额外的电路及联线即可实现专用信息开关。

此外，由于根据本优选实施例，每帧中分配用于传输信息信号的通道数可在处理器控制下动态改变，在信息信号传输繁忙时，如启动或复位时等等，本发明在每帧中可以有效地传输大量信息信号。

一般而言，本发明是一通讯系统，它含有用来控制语音和数据信号时间多路转换的主控制器；用于对连接在预置时隙通道上的各种外部设备发送和从该各外部设备接收语音和数据信号的一个或多个外部子系统；及连接到主控制器和外部子系统用于在主控制器控制下在各子系统之间执行语音和数据信号的时空多路转换的电路开关矩阵。本发明还包括连接到电路开关矩阵的一个或多个外部子系统上的一个或多个通讯控制器，用于对外部子系统传送和从该子系统接收网络层信息信号及对其它预置时隙通道上的电路开关矩阵传送和从该开关矩阵接收做为响应的链接层信息信号。另有一些通讯控制器连接到主控制器和电路开关矩阵，用于传送与接收由一个或多个通讯控制器通过电路开关矩阵所接收与发送的链接层信息信号，以及用于对主控制器发送并从主控制器接收做为响应的网络层信息信号，每个通讯控制器包括用于检测信息信号发送错误及引起响应于此的重发信息信号的电路，由此对无错误信息信号的传送与接收及语音与数据信号的传送与接收同时起作用。

更具体地说，本发明是一用于通讯系统的信息系统，该通讯系统包含主控制器，一个或多个外部子系统，及用于对在主控制器控制下在外部子系统之间传输数字语音和数据信号的时隙通道执行时间与空

间多路转换的电路开关矩阵。该系统包括一个或多个连接在一个或多个外部子系统与电路开关矩阵上的通讯控制器，以用于对子系统发送和从子系统接收网络层信息信号，及对预置时隙通道上的电路开关矩阵发送和从该开关矩阵接收做为响应的链接层信号。本发明最好是包括另一个连接到主控制器和电路开关矩阵的通讯控制器，用于传送或接收由一个或多个通讯控制器通过电路开关矩阵发送或接收的链接层信息信号，及对主控制器发送或由主控制器接收做为响应的网络层信息信号；还应包括连接在每个通讯控制器上用于检测信息信号发送错误及响应于此引起重发信息信号的电路，由此对无错误信息信号的传送与接收及语音和数据信号的传送与接收同时起作用。

假设对本领域的技术人员来说，这里的描述是针对他们的，他们应懂得数字电话和转换的概念，懂得微处理器程序设计，懂得诸如模拟中继线，模拟线性电路，数字中继线，声音发生器与接收器，声音记录电路等外部设备的结构和操作，这些外部设备通过外部电路与外部子系统接口。术语“电路开关”和“外部开关”是指这样的装置，它们用来将传送时分数字信号的各种传输线转接到其它同类型或不同类型的设备上。术语“信息信号”则指的是控制，或其他监控或指令性信号。

参考以下的详细描述及其后的图表，可以更好地理解本发明。其中：

图 1 是本发明的整体方块图，

图 2 是本发明优选实施例中电路开关矩阵部分的方块原理图，

图 3 A 与 3 B 是优选实施例中外部开关矩阵部分的方块图，

图 4 A 与 4 B 是本发明所用基本转换元件的方块图，

图5是根据本发明优选实施例的平衡驱动器/接收器及外部开关电路的原理图,

图6是根据本发明优选实施例的微处理器, DMA, DRAM, 通讯控制器及外部子系统通道分配电路的原理图,

图7是根据本发明优选实施例的微处理器, DMA, DRAM, 通讯控制器及主控制器通道分配电路的原理图,

参见图1, 其中主控制处理器MCP1通过控制总线3与电路开关矩阵CSM5, 通讯控制器电路7, 直接存储器访问控制电路DMAC9及动态随机存取存储器电路DRAM11相连接。

MCP1通常包括微处理器并与译码和控制电路相连接, 下面参考图7进一步描述其细节。电路开关矩阵CSM5通常包括各种数字交叉开关, 用于实现相应输入和输出联接之间数字信号的时间与空间开关转换。下面参考图2, 图4A和4B, 进一步讨论其细节。

电路开关矩阵CSM5亦与通讯控制电路7相连接, 电路7将通过DMAC9从DRAM11接收到的网络层信息信号在MCP1控制下转换为数据链接层信息信号, 以把这些信号通过一个或多个动态分配通道上的CSM5传送到一个或多个预置外部子系统BAY1... BAYN, 细节如下述。也就是说, 在MCP1控制下, 控制电路7将通过CSM5由子系统所接收到的数据链接层信息信号转换为网络层信息信号, 以便经DMAC9存储在DRAM11中, 详情见下述。该网络层与数据链接层信息信号指的是如国际标准化组织(ISO)所建立的通讯协议中开放系统互联参考模型的已成为公知技术的第二和第三最低层。ISO的开放系统互联参考模型是具有不同厂商和不同设计的互联系统的七层结构。虽然这一参考模型迄今主要是用在局

部地区网络领域，但根据本发明的参考模型已经应用到了远程通讯系统。

外部子系统 B A Y 1...B A Y N，通过专用电路开关线路与 C S M 5 相连。例如，如图示 B A Y 1 包括外部控制处理器 P C P 13，通过控制总线 1 5 与各种外部电路 1 7 - 1 9，外部电路开关 2 1，通讯控制器 2 3，D M A C 2 5 及 D R A M 2 7 相连。

外部开关 2 1 通过预置专用电路开关线路与 C S M 5 相连，并另有若干与外部电路 1 7 - 1 9 相连的预置双向线路。

根据本发明，外部电路 1 7 - 1 9 与外部开关 2 1 之间的联线数目比将外部开关 2 1 连接到电路开关矩阵 C S M 5 的联线数目多。这样，当 C S M 5 执行局部矩阵功能时，外部开关 2 1 通常执行通道分配或集聚功能，以将预置外部电路连接到与 C S M 5 相连的专用线路。

另有各种外部子系统（如 B A Y N），通常通过专用线路与电路开关矩阵 C S M 5 相连接。例如，B A Y N 包括外部控制处理器 P C P 2 9，P C P 2 9 通过控制总线 3 1 连接至外部电路 3 3 - 3 5，外部开关 3 7，转换器 3 9，D M A C 4 1 及 D R A M 4 3。

控制器 2 3 和 3 9 的每一个与相应的外部开关 2 1 和 3 7 共享一条专用线路，这样，控制器 2 3 和 3 9 可以直接接收信息信号，而不必先经过相应的开关 2 1 或 3 7。

诸如数据机，专用电话等外部设备通常通过平衡电话线路与外部电路 1 7 - 1 9（3 3 - 3 5）相连，以传送语音、数据及线路状态信号。如前所述，外部电路 1 7 - 1 9（3 3 - 3 5）通常包括将模拟语音信号转换为 P C M 数字信号及将 P C M 数字信号转换为模拟语音信号的转换电路，还包括用以检测状态信号及在控制总线 1 5

(31)上产生响应控制信号的线路状态电路。PCP13(29)检测由外部电路产生的控制信号,以指示如摘机,响铃等实时事件。

为解释方便,考虑这样一种方案,连接在外部电路17(BAY1)上的外部设备(如数据机)摘机,并向另一个连接在外部电路33(BAYN)上的数据机发送数据信号(如电子邮件信号)。

首先,在拨号(或DTMF)信号之后,数据机产生摘机状态信号,拨号(或DTMF)信号由外部电路17的线路状态电路检测。为响应接收到的状态和拨号信号,外部电路17通过控制总线15向PCP13发出第一控制信号。

其次,在PCP13控制下将信息信号在DRAM27中格式化。在DRAM27中信息格式化是在ISO参考模型的网络层中实现的。然后,通讯控制器23开始向电路开关矩阵CSM5发送标志信号。CSM5在MCP1控制下扫描PCM线路以检测上述标志信号,细节如下所述。检测到标志信号后,CSM5在控制器7和23之间建立起联系,并向控制器23发出继续进行的标志信号。接收到继续进行的标志信号后,控制器23通过DMAC25从DRAM27开始接收网络层信息信号,并将其转换为数据链接层信息信号,以便通过CSM5在动态分配的预置通道中传送到控制器7。

在优选实施例中,数据链接层信息信号是按照一种变化了的高级数据链接控制(HDLC)协议在控制器7和23-29中格式化的。但也可以根据任何位调整的数据链接协议(如CCITT推荐的X.25协议)进行格式化。数据处理研究公司(Datapro Research Corporation)于1982年9月发表了题为“ISO高级数据链接控制(HDLC)”的文章,其中对HDLC协议的描述值得一

读。数据链接协议的特点是，一旦信息信号从网络层（即 DRAM27）传送到链接层（即控制器 23 和 7），就可以保证对 MCP 1 的无错误传送和通过 MCP 1 进行接收。数据链接协议有若干特点，如循环冗余检查，邮包计数及重发计时等等，重发计时用于保证在信号被正确接收之前，在控制器 17 和 23 之间重发信息信号，而不需要 PCP 13 或 MCP 1 的额外服务。

通讯控制器 7 从电路开关矩阵 CSM 5 接收链接层信息信号，并将其再转换为网络层信号，通过 DMAC 9 并行存储在 DRAM 11 中。然后 MCP 1 读出存储在 DRAM 11 中的信息信号，并在控制总线 3 上产生响应控制信号，以使 CSM 5 在外部电路 17 和 33 之间建立起传输通道。通常，MCP 1 亦通过控制器 7 和 CSM 5 对 PCP 13 发出回响信息信号，以表示已接收到信息信号。

如上所述，各种这样的信息信号可级联在一个单独的链接层信息包中，以通过控制器 7 传送给 MCP 1，这只要求对接收到的所有信息给出一个回响，从而克服了先有技术中迈特尔系统的缺点，在迈特尔系统中，各信息信号通过信息开关电路传输，对接收到的每个信号都要给出一个回响。

根据前面述及的先有技术的 T 1 系统，传输信息信号需要大量时间，因为每传送一个 PCM 语音字节只能传送信息信号中的一位。然而在本系统中，传输信息信号的 PCM 通道是动态分配的，这就使得可以动态控制语音，数据及信息信号的传输量，细节如下述。

通过外部电路 17 从外部设备（即数据机）接收到的数据信号通过外部开关 21 和 CSM 5 传送到外部开关 37，由此再传送到外部开关 33，以在屏幕上进行显示或存储到外部设备的存储器中，这里

的外部设备可以是接至电路 3 3 的数据机。

另一方面，如果连接在电路 3 3 的外部设备忙，或其内存已满，则前述的数据信号（如电子邮件）可以存储到与外部控制处理器 P C P 2 9 相连的非易失存储介质上，如软磁盘。

当启动或引导系统时，通常要求将数据信号（如操作系统数据信号）从主控制处理器 M C P 1 装入到一个或多个外部子系统（BAY 1 ... BAY N）中。根据本发明，存储在 D R A M 1 1 中的数据信号通过动态分配的通道被整体传送到控制器 2 3 和 3 9，而绕过系统启动或复位前一般处于不定状态的外部开关 2 1 和 3 7。

图 2 给出了电路开关矩阵 C S M 5 的方块原理图。如前所讨论，C S M 5 通过外部开关 2 1 和 3 7 提供时间与空间的交叉连接，用于联接已分配预置的 P C M 通道的各种外部电路。在本优选实施例中，C S M 5 由迈特尔数字时间与空间交叉开关电路（简称 D X 电路）组成，这种电路提供至少 8 个 3 2 通道输入线路对 8 个 3 2 通道输出线路的时隙和空间分配。一个 D X 电路 4×4 的平面矩阵有 4 个 8 线路输入端与 4 个 8 线路输出端，由此该矩阵可提供 3 2 个双向线路，以实现 P C M 语音和数据的转换及如上参考图 1 所讨论的信息与整体数据传输。

在本领域内迈特尔 D X 电路是众所周知的，它们的全部操作描述可参考 1 9 8 4 年 7 月 3 1 日颁布给迈特尔公司的加拿大第 1, 1 7 1, 9 4 6 号专利。

根据图 2 给出的优选实施例，D X 电路 D X 1, D X 2, D X 3, ... D X 1 6（分别用 5 A, 5 B, 5 C, ... 5 P 表示）通过上述的输入端和输出端接至各自的输入和输出线路。例如，D X 1

(5A)有8条输入线连到终端LI0A, LI1A, ... LI7A, 并有8条输出线连到终端LO0A, LO1A, ... LO7A。其余的DX电路5B, 5C, ... 5P以类似方式连接到各自的输入和输出线。

在本发明的一个成功的模型中, 有10个外部子系统连接到主控制板上, 但为了解释本发明, 这里参考图1仅讨论了其中两个子系统(BAY1与BAYN)。

在本发明的这一成功模型中, 数字信号处理器形式的外部处理器也连接到CSM5, 以执行电话会议(tone conferencing), DTMF音频发生及步进音频检测。这个外部处理器不构成本发明的一部分, 但其对CSM5的操作和联接应是本领域的技术人员所熟知的。表1给出了根据本优选实施例中电路开关矩阵CSM5与上述10个外部子系统之间的联接。

表 1

连线(入)	连接	连线(出)	连接
LI0A	取自通讯控制器7	L00A	到通讯控制器7
LI1-3A	取自外部处理器	L01-3A	到外部处理器
LI4-6A	PCM取自BAY1	L04-6A	PCM到BAY1
LI7A	PCM取自BAY2	L07A	PCM到BAY2
LI0-1B	PCM取自BAY2	L00-1B	PCM到BAY2
LI2-4B	PCM取自BAY3	L02-4B	PCM到BAY3
LI5-7B	PCM取自BAY4	L05-7B	PCM到BAY4
LI0-2C	PCM取自BAY5	L00-2C	PCM到BAY5
LI3-5C	PCM取自BAY6	L03-5C	PCM到BAY6
LI6-7C	PCM取自BAY7	L06-7C	PCM到BAY7
LI0D	PCM取自BAY7	L00D	PCM到BAY7
LI1-3D	PCM取自BAY8	L01-3D	PCM到BAY8
LI4-5D	PCM取自BAY9	L04-5D	PCM到BAY9
LI6-7D	PCM取自BAY10	L06-7D	PCM到BAY10

参见图2、3A和3B,可知图1所示的外部开关21由两个DX电路45和47组成。电路45和47的输入端SIO分别接至CSM5的输出端LO4A与LO6A,DX电路47的SIO输入端还接至通讯控制器23。电路45和47的SI1输入端都接到CSM5的输出端LO5A。因此,CSM5的LO5A终端连线是由两个电路共享的,而CSM5的LO6A连线则是由DX电路47和控制器23共享。

根据本优选实施例，一条联线在每一帧中运载有 32 个时隙通道。因此，有 15 条通道用于电路 45 的 S I 1 输入端，另有 15 条通道用于电路 47 的 S I 1 输入端。

D X 电路 45 的 S O O 输出端接至 C S M 5 的 L I 4 A 输入端。电路 47 的 S O O 输出端接至 C S M 5 的 L I 6 A 输入端及控制器 23 的输出端，没有信息传输时，控制器 23 处于高阻态。连接在 C S M 5 的 L I 5 A 输入端的线路由电路 45 和 47 的 S O 1 输出端共享。

参看图 3 A 示出了四个外部电路 17, 51, 53 和 19。每个外部电路通常含有各种平衡电话线路，包括与其相连的插塞尖头和塞环，用以从诸如电话机、数据机及数据终端等外部设备接收语音和数据信号。根据本优选实施例，外部电路 17, 51, 53 和 19 中的每一个都接有 24 条平衡线路。由以上讨论可知，从平衡线路接收到的语音信号通过外部电路的模/数转换电路转换为 P C M 信号。然后将 P C M 语音信号加到 D X 电路 45 以传送到 C S M 5，如同以上参考图 1 所做的讨论。

外部电路 17 和 53 各有一条线路及一条二分线路接至 D X 电路 45，其中的二分线路分别为外部电路 51 和 19 的 1/2 输出联线所共享。同样，D X 电路 45 的 6 个输出端 S O 2 - S O 7 分别接至外部电路 17, 51, 53 和 19 的输入端。这样，在 D X 电路 45 和外部电路 17, 51, 53 和 19 之间共有 12 条线路，包括 6 条输入联线和 6 条输出联线。

参看图 3 B，为描述简单，图 3 B 中没有画出 D X 电路 47 和四个外部电路的每条联线，但其连接方式与图 3 A 所示相同。四个外部

电路用方块 57 表示，其它标号为 97-672 的平衡联线分别接至外部电路 57 的相应端。

D X 电路 45 和 47 的设置是为了连接预置的输入、输出联线，并连接 C S M 5 和预置外部电路 17, 51, 53, 19 和 57 之间的通道，以响应从 P C P 13 接收到的控制信号（图 1）。

D X 电路 45 和 47 在每一个附加子系统中（在优选实施例中标号为 10）代表外部电路对 C S M 5 的连接。

根据以上讨论，用于本发明的基本时间和空间分割开关最好是迈特尔 D X 电路。读者可参考上述迈特尔专利中对 D X 电路的详细描述。

现回到图 4 A，该图给出了一个 D X 电路（如图 2 中的 5 A）的内部电路，各种运载时分多路输入信号的输入线（通常 8 条输入线标识为 S I 0-S I 7）连接到输入数据操作装置上，如图中 101 A 和 101 B 部分所示。每一条输入线运载的数据以顺序格式接收，因此，数据的时间序列划分为帧，每一帧有 32 个通道，每个通道又分为 8 个位元而形成数据字符。在操作装置 101 A 和 101 B 中，输入信号由串行格式转换为并行格式。由此得到的信号序列通过 8 位并行联线，从每个操作装置加到数据存储器 102 A 和 102 B 两个相应部分的数据输入端 D，以下 102 A 和 102 B 称为存储器

102。数据存储器 102 A 和 102 B 中的数据存取时序由写控制逻辑电路 103 A 和 103 B 控制，103 A 和 103 B 受一对引线 S D M W 和时钟源 C 2 4 4 控制，这对引线运载时钟方波发生器

118（图 4 B）产生的时钟方波。与输入数据操作装置部分和写控制电路可以被合并一样，存储器部分当然也可以被合并。例如图中所示的数据存储器结构是 256×8 位，用于存储取自 8 条输入线中每一

条的一帧数据，每一条输入线传输的是 $2 \cdot 048$ 兆赫的串行数据流。

数据存储器 102 的输出端 Q 利用 8 位并行联线通过将要在下面描述的电路接至输出数据操作装置 104，该装置提供并行/串行转换。操作装置 104 的工作分别受输入与输出时钟信号及其 I/P CLK，O/P CLK 与 O/P LD 端输出时序信号的控制。

8 位并行输出线 105 接至相应数目的三态驱动器 106，其输出与一组 8 条输出线 S00—S07 相连接，每条输出线用于传输时分多路输出信号。

分为 8 位部分 107 A 和 3 位部分 107 B 的 256×11 位连接存储器的 8 位并行数据输入端 D 通过联线 CD (7—0) 接至控制器接口 117 (图 4 B)，以提供通常通过电路连接到 MCP 1 (或 PCP 13 或 39) 的数据源。连接存储器的 8 位并行地址输入端 AD 接至 2:1 多路器 108 的输出端，该多路器有 2 个 8 位并行输入端，其中一个输入端分为两组，一组用于接收 5 位并行线 A (4—0) 上的地址，另一组接收 3 位并行线 CAR (2—0) 上的地址，以通过控制器接口 117 与 MCP 1、PCP 13 或 39 等相连接。另一个 8 位并行输入端通过联线 CMRAC (7—0) 接至时钟方波源。写控制逻辑电路 109 A 和 109 B 的输出端接至分别连接存储器部分 107 A 和 107 B 的写线 W 上，并用联线 CCMLBW、SCR、 \sqrt{W} 及 C244 上的信号做为输入时钟信号。

分别取自连接存储器部分 107 A 和 107 B 的 Q 输出端的 8 位与 3 位并行联线接至一对相应的连接存储器数据寄存器 110 A 和 110 B 的数据输入端。连接存储器部分 107 A 和 107 B 部分的输出线还接至控制器接口 117 (图 4 B) 的输入端 CMD (7—0)

及 C M D (1 0 - 8) , 控制器接口 1 1 7 与 M C P 1、 P C P 1 3 或 3 9 等相连接。

连接到数据存储器 1 0 2 A 和 1 0 2 B 部分的输出端 Q 的联线接至与 M C P 1, P C P 1 3 或 3 9 等相连接的控制器接口 1 1 7 的输入端 D M D (7 - 0)。

连接存储器数据寄存器 1 1 0 A 的 8 位输出端接至多路器 1 1 0 和 1 1 1 的相应 8 位并行输入端。多路器 1 1 0 的第二个 8 位输入端接至数据存储器 (以下标识为 1 0 2) 的输出端, 多路器 1 1 0 的 8 位并行输出端接至串行/并行转换器输出数据操作装置 1 0 4 的输入端。多路器 1 1 1 的 8 位并行输出端中的 7 位接至数据存储器 1 0 2 的地址输入端 A D, 而第 8 位则通过反相器 1 1 9 接至存储器 1 0 2 的输出使能输入端。多路器 1 1 1 的第二个 8 位并行输入端接至控制器接口 1 1 7 的地址输出端 A (4 - 0) 和存储器地址输出端 C A R (2 - 0)。此外, 第三个 7 位并行输入端通过联线 D M W A C (6 - 0) 与时钟方波发生器 1 1 8 相连。

连接存储器数据寄存器 1 1 0 B 的输出位 8 - 1 0 接至或门 1 1 2 的三位并行输入端 C M D R 1 0。或门 1 1 2 的第二输入端与控制器接口 1 1 7 的引线 C A R 7 相连接。或门 1 1 2 的输出接至多路器 1 1 0 的输入选择端, 由此可选择多路器的两个输入端之一。

传送第 8 和 9 位的连接存储器数据寄存器部分 1 1 0 B 的输出线接至再定时寄存器 1 1 3 的输入端。上述位元传送到逻辑电路 1 2 0, 而 1 个位元输出线接至串行/并行转换器 1 1 4 的输入端。再定时寄存器 1 1 3 (标识为 X C) 的第 9 位输出线用于控制一图中未示出的外部电路。来自控制器接口 1 1 7 的引线 C A R 6 与 C A R 5 与逻辑

电路 1 2 0 相连。

连接存储器数据寄存器 1 1 0 输出线上的串行位元在串行/并行转换器 1 1 4 中转换为并行格式，并按 8 位并行格式从转换器 1 1 4 的输出端 Q 加至输出驱动器控制寄存器 1 1 5。传送输出驱动控制信号的寄存器 1 1 5 的输出引线 CDC (7 - 0) 接至输出使能控制逻辑电路 1 1 6 的相应输入端，该电路的输出驱动使能输入线 ODE 可由外部电路相连接而来，以使输出三态驱动器依据外部电路而处于一种特殊状态。输出使能逻辑控制电路 1 1 6 的输出线接至输出三态驱动器 1 0 6 的控制输入端。

微处理器控制器接口电路 1 1 7 (图 4 B) 通过引线 E、R/ \bar{W} MR、CE、地址总线 A (5 - 0) 及数据总线 D (7 - 0) 与上述具有 MCP 1、PCP 1 3 或 3 9 的电路接口，这些引线在图 1 中示为控制总线 3 (或在外部子系统中为控制总线 1 5 或 3 1)。控制器接口 1 1 7 的输入是 8 条数据存储器读数据线 DMD (7 - 0)，及 1 1 条连接存储器读数据线 CMD (7 - 0) 及 CMD (1 0 - 8)。控制器接口 1 1 7 的输出是单独的控制器连接存储器的低电平、高电平写使能线 CCMLBW 与 CCMHBW、5 条地址位线 A (4 - 0)、控制器地址寄存器位 CAR (2 - 0)，用于规定数据与连接存储器地址的控制器地址寄存器位 (7 - 5) 及用于规定连接存储器输入数据 CD (7 - 0) 的 8 条连线。

工作时，在连线 SIO—SI 7 上接收输入信号，并在输入数据操作装置的串行/并行转换器中 (1 0 1 A 和 1 0 1 B 部分) 由串行转换为并行数据。然后将该并行数据写入到与数据存储器 1 0 2 对应的语音存储器。由连接存储器 1 0 7 组成的地址存储器存储将要读出

到相应数据操作装置 104 的并行/串行转换器中的数据字的地址，并由此直接加到输出线 S00—S07 上。

这样，这个电路完成了如上所述的时间分割开关转换和空间分割开关转换的组合。

MCP1（或 PCP13 或 29）可以对数据存储器 10 已做读访问及对连接存储器 107 做读、写访问。因此，当数据存储器 102 中存储经过 8 条串行输入线接收的一帧 8 位字节数据时，MCP1（或 PCP13 或 29）可通过控制总线读出其中任意数据，这是由数据存储器 102 的输出通过其输出线 DMD（7—0）与控制器接口 117 的输入端相连实现的。这样，MCP1 就可以读出输入 PCM 线上传输的数据信号。

MCP1（或 PCP13 或 29）通过数据线 CD（7—0）按照与多路器 108 相连的引线 A（4—0）及 CAR（2—0）规定的地址对连接存储器 107 做写操作，并通过由连接存储器 107A 的输出端接至控制器接口 117 相应输入端的联线 CMP（7—0）读出连接存储器的内容。

MCP1（或 PCP13 或 29）还可以按如下方法直接对输出线 S00—S07 做写操作。将取自连接存储器的信号暂时存储到数据寄存器 110A 和 110B 中。连接存储器数据寄存器 110A 的高 8 位输出（CMDR（7—0））接至多路器 110 的两个并行输入端口之一，而数据存储器 102 的输出位则接至多路器的另一输入端。由于数据寄存器 110B 的第 10 位与 MCP1（或 PCP13 或 29）的 CAR 7 线上的位元一起控制多路器 110 的两组输入，通过 110 输出到输出数据操作装置 104 与 PCM 输出线，很显然

MCP 1 (或PCP 13或29)可以用自己的信号在输出线上取代取自数据存储器102的PCM字。

前面已经注意到,当取自上述类似的开关矩阵的信号存储在数据存储器102中时,利用控制器接口117,这些信号可以通过联线DM D (7-0)由数据存储器102的输出端直接读入到MCP 1 (或PCP 13或29)。这简化了控制器与控制器之间的通讯。

数据存储器102中存储的信号通常按照连接存储器107A中存储信号规定的地址指定给PCM联线与时隙,且这些信号通过连接存储器数据寄存器110A和8位并行线CMD R (7-0)用做多路器111的输入。此外,MCP 1 (或PCP 13或29)可以直接规定通过存储器地址线CAR (2-0)与A (4-0)用做数据存储器102输出的替换字,地址线CAR (2-0)及A (4-0)用做多路器111的输入。多路器111的第三个信号源是与时钟方波发生器118 (图4B)相连的时序信号线DMWAC (6-0)。

MCP 1 (或PCP 13或29)按照联线CAR (2-0)与A (4-0)规定的地址及写控制逻辑电路109A与109B规定的时间将11位字(位0-10)写入连接存储器的107A与

107B部分。控制逻辑电路109A与109B对与其相关联的存储器产生写命令信号。连接存储器的第10位用于选择数据存储器或连接存储器中的位元7-0做为待传送到串行输出线上的8位字源。

根据第10位的状态,位元7-0或者组成通过联线CMD R (7-0)及多路器110待传送到输出数据操作装置的字,或者在相应的通道时间内选择数据存储器中256个8位字之一传送到相应的输出联线上。前面已经描述过,位元10通过或门112传送,该或门改变多

路器 110 的状态，定义可以由此通过传送到输出数据操作装置 104 的特殊数据源。

连接存储器的第 9 位用于控制外部电路。该位由连接存储器数据寄存器的 110 B 部分接收，根据时钟时序信号 C488 在再定时寄存器 113 中对其相位进行修改，并给出在 X C 线上以控制图中未示出的外部电路。

位元 8 由连接存储器数据寄存器 110 B 部分通过再定时寄存器 113 与逻辑电路 120 传送到串行/并行转换器 114，随后各位由串行/并行转换器 114 转换为 8 位并行格式，并存储到输出驱动器控制寄存器 115 中。输出信号加到输出使能控制逻辑电路 116，再由此加到输出三态驱动器 106 控制门。这就规定了相应输出线上三态驱动器的传送及输出的阻抗状态。

当第 10 位为 0 时，连接存储器的位元 7-0 规定了在对应连接存储器单元的通道时间内待传送到对应连接存储器单元的串行输出线上的数据存储器字。这样，当第 10 位为 0 时，7-0 位为地址信号，由引线 C M D R (7 - 0) 通过多路器 111 加到数据存储器 102 的 A D 输入端。

当第 10 位为 1 时，连接存储器的 7-0 位构成要在对应连接存储器单元的通道时间内传送到对应连接存储器单元的串行输出线上的数据字。如前所述，数据字通过多路器 110 传输。

M C P 1 (或 P C P 1 3 或 2 9) 可以读出数据存储器的串行输入线内容而不必关心帧、通道、位元时序及串行/并行转换。通过对连接存储器做写操作，M C P 1 (或 P C P 1 3 或 2 9) 可以通过串行输出线传送数据字，这使得定时及并行/串行转换实现自动控制。

该DX电路可以在任意输入、输出线上的输入、输出通道之间转换信号，亦可向MCP1（或PCP13或29）传送和从MCP1（或PCP13或29）接收数据，及将数据传送到任意输出线或预置时隙通道上。此外，MCP1（或PCP13或29）可以控制DX电路内的开关转换通道。DX电路还可以控制或传送数据到另一外部设备。DX电路已经集成为一单片。通过各种利用DX电路传送数据的能力的这种方式而大大增加了本发明的功能。

图5示出了从线路LO4A、LO5A与LO6A上接收CSM5信号的平衡接收器201与203。标为SPARE的附加联线提供了对CSM5的另一条联线的连接。时序信号FP与C244通过底板时序与控制总线（没有示出）接收，时序信号是在主控制板上产生的，详细描述在下面参考图7给出。接收器203另有一输入联线，此处没有被连接。由底板接收到的信号最好是平衡差动信号，并且是在接收器201与203的反相与非反相输入端接收。负载电阻R_{pu}接至接收器201与203的非反相输入端及接至+5伏电源。接收器201与203将接收到的信号转换为不平衡信号，以加到DX电路45和47，如以上参考图3A和3B所做的讨论。

特别是，接收器201的第一输出端接至DX电路45的SIO输入端，接收器201的第二输出端接至DX电路47的SIO输入端及HDL_{CRX}端以实现控制器23的传输。接收器201的第三输出端接至DX电路45和47的SI1输入端。接收器203分别传送帧脉冲FP和时钟信号C244信号的第一和第二输出端接至DX电路45和47的控制输入端，并进一步传送到通道选择逻辑电路，更详细描述在下面参考图6给出。

D X 电路 4 5 的 S 0 0 输出端接至平衡输出驱动器 2 0 5 以建立与 C S M 5 的 L I 4 A 联线的连接。D X 电路 4 7 的 S 0 0 输出端与驱动器 2 0 5 的第二输入端相连接, HDLCDX 端亦连接于此端, 在下面参考图 6 将进行更详细的讨论。驱动器 2 0 5 的第三输入端与 D X 电路 4 5 和 4 7 的 S 0 1 输出端相连接。驱动器 2 0 5 的第四输入端未连接, 以备进一步扩充。

D X 电路 4 5 的输出端 S 0 2 - S 0 7 分别接至双向缓冲器电路 2 0 7 的输入端 C 0 1 - C 0 6。D X 电路 4 7 的输出端 S 0 2 - S 0 7 接至电路 2 0 7 的输入端 C 0 7 - C 0 1 2。缓冲器电路 2 0 7 的输出端 C I 1 - C I 6 分别接至 D X 电路 4 5 的输入端 S I 2 - S I 7, 电路 2 0 7 的输出端 C I 7 - C I 1 2 分别接至 D X 电路 4 7 的输入端 S I 2 - S I 7。D X 电路 4 5 和 4 7 的地址输入端 A 0 - A 5 与微处理器地址总线相连接, 参考图 6 讨论如下, D X 电路 4 5 和 4 7 的数据端 D 0 - D 7 与数据总线相连接, 讨论亦在下面参考图 6 给出。

为方便起见, 缓冲器电路 2 0 7 示为一单独双向缓冲器电路, 它有 2 4 个输入端及 2 4 个输出端。但换句话说也可以是任意数目(如三个)的双向缓冲器电路, 这些电路具有预定数目(如 8 个)的输入与输出端。

现参见图 6 的外部子系统原理图, 它示出了其地址输入线 A 0 - A 1 9 与地址总线 3 0 1 相连接的微处理器 3 0 0。微处理器 3 0 0 的数据输入端 D 0 - D 7 与数据总线 3 0 3 相连, 微处理器 3 0 0 的控制输入端与控制总线 3 0 5 相连。地址总线 3 0 1 的地址线 A 0 - A 5 与 D X 电路 4 5 和 4 7 (图 5) 的控制器接口(如上面参考图 4 B

讨论的接口 117) 的地址输入端相连。同样, 数据总线 303 与控制器接口的数据输入端相连, 控制总线 305 的 \overline{FP} 、C244、E、 R/\overline{W} 、MR 及 CE 信号线还与控制器接口的其它输入端相连。

根据成功的实施例, 微处理器 300 是莫托洛拉 (Motorola) 型 MC68008, 8 位微处理器, 时钟频率为 8.192 千兆赫。

根据以上参考图 1 所做的讨论, DRAM 27 与数据、地址和控制总线相连接, 且最好是 64 K 字节存储器, 在上述成功的实施例中所用的是 8 个 64 K × 1 位的 DRAM 片子。根据该成功的实施例, 片子安插在外部电路板上的插座中, 并预先跳线以适应 9 个多路地址这就使得可以用 256 K × 1 位的 DRAM 片子来取代, 以进一步扩充存储器地址。列选择与行选择信号的产生使用的是常用方法。

图示出了一个使能译码器电路 307, 其 A、B、C 三个输入端与地址总线 301 的 A14、A15 及 A16 地址线相连接。此外, 译码器 307 的负使能输入端 G1 和 G2A 还与或非门 309 的输出端及地址总线 301 的 A17 地址线相连。或非门 309 的输入端与 A18 和 A19 地址线相连。译码器 307 的 G2B 使能输入端通过负载电阻 P_u 与逻辑高电平 +5 伏电源相连。

译码器 307 的第一、第四和第六输出端未被连接。其第二输出端同或非门 311 的第一输入端相连, 译码器 307 的第三输出端接至 DMAC 25 的片选输入端 \overline{CS} , 如以上参考图 1 所做的讨论。

DMAC 25 进一步分别通过地址、数据及控制总线 301、303 和 305 与 PCP 13 相连接。

DMAC 25 的 DMA 请求与回响端经电路通道与通讯控制器 23 相连, 由以上讨论可知, 通讯控制器 23 最好是 HDLC 控制器。

特别是，DMA通道1请求（REQ1）接至控制器23的输出端RXDA，DMA通道2请求（REQ2）接至控制器23的发送缓冲器空端TXBE，DMA通道1和2的回响输出 $\overline{ACK1}$ 与 $\overline{ACK2}$ 接至与非门311的第二、第三输入端，其输出端则接至控制器23的片使能输入端CE。通道0请求端及回响端REQ0与 $\overline{ACK0}$ 未连接。

根据本优选实施例，控制器23是一片莫托洛拉68652—CHDLC控制电路，时钟频率为2·048兆赫/秒，DMAC25是一片英特尔（Intel）8257—5DMA控制器电路，时钟频率亦为2·048兆赫/秒。

图示出了一个使能译码器电路315，其输入端A、B、C和D分别接至地址总线301的A1，A2，A3和A0上，使能输入端G接至译码器307的第十五输出端。使能电路315的输出端Q0—Q4未连接。电路315的Q5、Q6及Q7输出端分别接至控制器23的传输使能（TXE）、接收使能（RXE）及模式维持MM输入端。

控制器23的串行输入端RXSI传送由接收器201接收到的HDLCRX信号（图5）。控制器23的传输串行输出端TXSO通过三态门317接至平衡驱动器205的HDLCDX端。如上所讨论，由于DX电路47的输出端S00共享CSM5的LI5A联线，因此，在控制器23没有传输有效数据时要求HDLCTX端处于高阻态。

三位元通道容量寄存器319的三个输入端接至数据总线303的D0、D1及D2数据线，寄存器319的Q0、Q1和Q2输出端分别接至与非门321、323及325的第一输入端。

图示出了一个触发器 3 2 7，其输入端 J 接 + 5 伏电源，输入端 K 接至接收器 2 0 3 的 F P 输出端，其时钟输入端接至接收器 2 0 3 的 C 2 4 4 输出端。触发器 3 2 7 的输出端 \bar{Q} 接至级联计数器 3 2 9 和 3 3 1 的时钟输入端。计数器 3 2 9 的计数溢出输出端 C 0 接至计数器 3 3 1 的使能输入端 P。计数器 3 2 9 的输出端 Q 4 接至或非门 3 3 3 的第一输入端，计数器 3 3 1 的输出端 Q 1 接至或非门 3 3 3 的第二输入端。计数器 3 3 1 的输出端 Q 2、Q 3 和 Q 4 分别接至与非门 3 2 5、3 2 3 与 3 2 1 的第二输入端。

或非门 3 3 3 和与非门 3 2 1、3 2 3 及 3 2 5 的输出端分别接至与非门 3 3 5 的四个输入端。与非门 3 3 5 的输出端接至门 3 1 7 的三态使能输入端及或非门 3 3 7 的第一输入端。或非门 3 3 7 的第二输入端与触发器 3 2 7 的输出端 \bar{Q} 相连接。

或非门 3 3 7 的输出端接至触发器 3 3 9 的输入端 D 及控制器 2 3 的传输时钟输入端 (T X C)。触发器 3 3 9 的时钟输入端与接收器 2 0 3 的输出端 C 2 4 4 相连，而触发器 3 3 9 的输出端 Q 则接至控制器 2 3 的接收时钟输入端 (R X C)。因此，加到控制器 2 3 的输入端 R X C 的接收时钟信号是从加到传送输入端 T X C 的发送时钟信号经过一个时钟周期的移位得到的。接收时钟的这种移位是由于系统时序的原因，结果是使控制器 2 3 具有 D X 电路的时间特性，从而简化了与 C S M 5 的直接接口技术。

控制器 2 3 的接收状态端和接收数据输出端 R X S A 和 R X D A 分别接至优先级编码电路 3 4 1 的第一、第二输入端，其输出端接至 P C P 1 3 的中断输入端 I N T。此外，控制器 2 3 的输出端 T X B E 还与优先级编码电路 3 4 1 的另一输入端相连。

工作时，将预先确定的三位数据字装入到通道容量寄存器 3 1 9，用于分别启动产生对控制器 2 3 输入端 T X C 和 R X C 的传送及接收的时钟信号，以在预先确定的时隙通道内实现信息信号的传送和接收。触发器 3 2 7 的输出端 \bar{Q} 产生 4 8 8 千赫的信号以加到或门 3 3 7，计数器 3 2 9 及 3 3 1 上。计数器 3 2 9 输出端 Q 4 产生 7.8 千赫的信号。计数器 3 3 1 的输出端 Q 1、Q 2、Q 3 和 Q 4 分别给出加到或非门 3 3 3 和与非门 3 2 5、3 2 3 与 3 2 1 的 1 6 千赫、3 2 千赫、6 4 千赫与 1 2 8 千赫的时钟信号。根据通道容量寄存器 3 1 9 输出端 Q 0、Q 1、Q 2 上的各种逻辑信号，上述时钟信号分别选通相应的与非门 3 2 1、3 2 3 和 3 2 5。特别地，参见下面表 2，这里示出了对于加到通道容量寄存器 3 1 9 的各种 D 0、D 1 与 D 2 的值，信息信号的通道分配及由此而得的信息信号的传送/接收速率。

表 2

D 0	D 1	D 2	分配通道	传送/接收速率
1	1	1	0	1 6 K 位/秒
0	1	1	0, 1 6	1 2 8 K 位/秒
0	0	1	0, 8, 16, 24	2 5 6 K 位/秒
0	0	0	0, 4, 8, 12, 16, 20, 24, 28	5 1 2 K 位/秒

参看图 7，它示出了主控制处理器 1 通过地址总线 4 0 0 的地址线 A 1—A 7 及控制总线 4 0 1 与 D M A C 9 相连接。此外，中断请求端 $\overline{I R Q}$ 与 M C P 1 的中断输入端 I N T 相连接。每个 M C P 1 与 D M A C 9 的 $\overline{D T A C K}$ 端也连在一起。地址总线 4 0 0 的地址线

A 8 - A 2 3 与缓冲锁存器 4 0 2 相连。M C P 1 的数据端 D 0 - D 1 5 通过数据总线 4 0 3 与缓冲锁存器 4 0 4 相连。缓冲锁存器 4 0 2 及 4 0 4 的输出端与 D M A C 9 的多路输入端 A 8 / D 0 - A 2 3 / D 1 5 相连。D M A C 9 的锁存控制输出线 L C T R L 与锁存器 4 0 2 及 4 0 4 的控制输入端相连，以作用于地址线与数据线的多路传输。

M C P 1 通过数据总线 4 0 3、地址总线 4 0 0 及控制总线 4 0 1 与 D R A M 1 1 相连，并通过相应的控制器接口（图中没有示出）与 C S M 5 的专用 D X 电路相连，以便通过地址、数据及控制总线直接读和写 D X 电路。

图示的通讯控制器 7 的控制输入端与控制总线 4 0 1 相连，数据输入端 D 0 - D 1 5 与数据总线 4 0 3 相连。此外，若干问答信号在 D M A C 9 与控制器 7 之间传输。特别地，D M·A 通道 2 的请求信号由控制器 7 的一个 H D L C 接收数据有效输出端（R X D A）产生，经过反相器 4 0 2 反相，加到 D M A C 9 的 $\overline{R E Q 2}$ 输入端。控制器 7 的传送缓冲器空输出端（T X B E）经过反相器 4 0 3 接至 D M A C 9 的 $\overline{P C L 3}$ 输入端。控制器 7 的接收状态可用输出端（R X S A）经反相器 4 0 4 与 D M A C 9 的 $\overline{P C L 2}$ 输入端相连。D M A C 9 的输出端 $\overline{D O N E}$ 与通道回响输出端 $\overline{A C K 3}$ 经过或门 4 0 5 与反相器 4 0 6 接至控制器 7 的一个控制输入端。

地址总线 4 0 0 的地址线 A 0 - A 2 与译码器 4 0 7 的输入端相连，为控制器 7 提供其它的控制信号及使能信号。特别地，译码器 4 0 7 的输出端 Q 0 接至控制器 7 的接收器使能输入端（R X E N），而译码器 4 0 7 的输出端 Q 1 接至控制器 7 的发送使能输入端 T X E N。

译码器 4 0 7 的 Q 2 输出端传送一个标为 START TX 的信号以加到或门 4 0 8 的第一输入端，该或门的第二输入端接至反相器 4 0 3 的输出端，其输出端则接至 D M A C 9 的 D M A 通道 3 的请求输入端 $\overline{R E Q 3}$ 。译码器 4 0 7 的 Q 3 输出端与控制器 7 的模式维持输入端 M M 相连，译码器 4 0 7 的 Q 4 输出端与主控制器的通道选择电路相连，详述如下。

图中示出了用于产生上述帧脉冲信号 F P 与时钟信号 C 2 4 4 的时序电路，这些信号用于同步主控制器与外部设备之间的 P C M 数据传输。为了产生分谐波时钟频率，振荡器 1 0 最好以 1 6 · 3 8 4 兆赫的频率去驱动计数器 4 1 2 的时钟输入端。计数器 4 1 2 可以用一系列按常用方法级联的计数器来取代。

为了同步子系统与主控制器之间的时序，计数器 4 1 2 的输出端 C 2 4 4 与一平衡传送驱动器（图中未示出）相连，以便通过底板连接传送到外部子系统。计数器 4 1 2 的输出端 C 4 8 8 接至触发器 4 1 4 的时钟输入端。计数器输出端 C 9 2 6，C 1 9 5 2 与 C 3 9 0 4 接至与非门 4 1 6 的三个输入端。其输出端接至反相器 4 1 8。计数器输出端 C 9 2 6，C 1 9 5 2 及 C 3 9 0 4 还接至与非门 4 2 0 的三个输入端；计数器输出端 C 7 8 0 8、C 1 5 6 2 5，C 3 1 2 5 0，C 6 2 5 0 0 及 C 1 2 5 0 0 0 接至与非门 4 2 0 的其它输入端。输出端 C 1 2 5 0 0 0 还和或非门 4 2 2 的第一输入端相连，其第二输入端接译码器 4 0 7 的 Q 4 输出端。译码器 4 0 7 产生通道分配信号 $1 2 8 \sqrt{6 4}$ ，如下所述。

与非门 4 2 0 的输出端接至反相器 4 2 4 及或非门 4 2 6 的第一输入端。反相器 4 2 4 的输出端接至与非门 4 2 8 的第一输入端，其

第二输入端与计数器 4 1 2 的输出端 C 1 2 5 0 0 0 相连。与非门 4 2 8 的输出端接至或门 4 3 0 的第一输入端，其第二输入端与计数器 4 1 2 的输出端 C 4 8 8 相连。或门 4 3 0 的输出端传送上述的帧脉冲信号 F P。

或非门 4 2 2 的输出端接至或非门 4 2 6 的第一输入端，其输出端接至触发器 4 1 4 的 J 输入端。反相器 4 1 8 的输出端接至触发器 4 1 4 的 K 输入端。

与非门 4 1 6 的反相输出端在任一个 3 2 个 8 位时隙通道中的第一位期间(即 0 位)产生一个高逻辑电平信号。而非门 4 2 0 的输出端在除了第 1 6 和第 3 2 时隙通道的第一位以外的期间产生高逻辑电平信号。

当或非门 4 2 2 接至译码器 4 0 7 输出端 Q 4 的第二输入端为逻辑高电平时，或非门 4 2 2 的输出端产生一个低逻辑电平，而当接至译码器 4 0 7 的 Q 4 输出端为逻辑低电平时，或非门 4 2 2 的输出端每半帧(即 1 6 通道)在高、低逻辑电平之间变化一次。与非门 4 2 0 的输出端在除了第 1 6 和第 3 2 通道的第一位以外的期间为高电平。这样，当译码器 4 0 7 的 Q 4 输出端为逻辑高电平时，触发器 4 1 4 的输出端 Q 在除了通道 1 6 和 3 2 以外的期间为逻辑低电平，而触发器 4 1 4 的输出端 Q 只在第 3 2 时间通道内才是逻辑高电平。

触发器 4 1 4 的输出端 Q 接至与非门 4 3 2 的第一输入端，其第二输入端与时钟信号源 C 4 8 8 (即计数器 4 1 2) 相连。因此，与非门 4 3 2 在其输出端产生 4 8 8 千赫的时钟信号，该时钟信号在译码器 4 0 7 的 Q 4 输出端为逻辑高电平时能通过通道 1 6 和 3 2，而当 Q 4 输出端为逻辑低电平时，C 4 8 8 时钟信号只能通过通道 3 2。

为更好地理解本发明的操作与结构，讨论HDL C协议的原理与特点是有益的。如前所述，链接层提供了由网络层传来的信号的无错误点对点传输。“无错误”一词只意味着链接层能够正确发送所接收到的信号，而不涉及在联接发送与接收HDL C控制器的物理介质上实际传输中可能出现的错误。物理介质由“物理层”一词表示，根据本发明，物理层由HDL C控制器的互联通讯线路组成。直到接收端的链接层将所接收到的信号向上传送到相应的网络层，才能认为信息信号帧（由一个或多个信息信号组成）已经发送。这样，主控制器与外部子系统各自的链接层必须协调工作，才能保证发送正确。

根据本发明的一个成功模型，HDL C协议部分地由通讯控制器（控制器7，23，…29）本身实现，这些控制器产生并检测循环冗余码（CRC），及部分地由相联的处理器（MCP1，PCP12…PCP29）之一来实现，这些处理器给信息信号帧分配预先确定的序号，以检测接收到的帧是否超出序列，而因此要求重发。

HDL C信息信号帧的结构用下面表3加以说明。

表 3

标志	地址	控制	信息	FCS	标志
01111110	8位	8位	8位	16位	01111110

所有帧均起始及终止于一个由位元序列01111110组成的标志信号。这个标志用来实现发送控制器与接收控制器之间的同步。当处于闲置状态时，通讯控制器在连续的帧之间产生并发送一系列连续的位元“1”，这是常用的帧间时间填充。

由于可能在这一帧中任意地方找到6个或更多的连续的位元1（即为部分信息信号），HDL C提供了一种方法以达到这些非标志

连续“1”位元序列的透明性(transparency)。该发送控制器检查帧的内容, 包括地址, 控制与循环冗余码检验(FCS)部分, 并在5个连续“1”位元的所有序列后插入一个0位, 由此保证不会误认标志序列。接收控制器检查接收到的帧, 并略去直接跟在5个连续“1”位元后的任何“0”位元。

标志后面是地址域, 根据本发明, 这个地址域没有用到。

信息帧的目的是实现从一个控制器到另一个控制器的实际数据传输。所有信息帧由跨越网络层/链接层边界的数据包生成。一旦由网络层向链接层传递信息, 就可以保证发送正确。这样, 链接层缓存信息帧直到正确地传送完每一帧信息帧中的数据只是跨越链接层与网络层边界的数据。通讯控制器用标志、控制字节及FCS字节来保证信息帧的正确发送。

该帧中的帧检验序列或其FCS部分, 是16位的序列, 在结束标志之前发送。FCS位的功能是检查起始标志后, FCS位前各位元的错误, 不包括上述为透明性插入的0位元。接收控制器按常用方法对FCS位元做循环冗余检测(CRC), 以确定传输中是否发生错误, 并做为响应由相关联的处理器启动恢复或重发过程。

由一个控制字节可以识别帧的类型, 帧序号和/或回响帧序号, 其细节如下述。控制字节的格式取决于被传送帧的类型, 可分为: 信息类, 监控类及非序号类, 如下表四所定义。

表 4

控制域位元								控制域类型
7	6	5	4	3	2	1	0	
0	N(S)			0	N(R)			信息
1	0	S(N)		0	N(R)			监控
1	1	F(N)		0	F(N)			非序号

“传送序号” $N(S)$ 由相关联的处理器分配给信息帧。相关联的处理器还分配“接收序号” $N(R)$ ，并指定接收控制器要接收的下一帧的序号，接收控制器对具有递增到 $N(R)$ 但不包括 $N(R)$ 序号的所有的帧给出回响。

监控帧的目的是控制信息帧的传输，他们用来根据序号 $N(R)$ 对接收到的规定信息帧给出回响或对规定的信号帧要求重发。控制域（标为 $S(N)$ ）的监控位 4 和 5 被编码为 00 或 01，00 表示接收控制器准备好，01 则表示拒绝已接收的信息帧。

非序号帧提供用于链接层控制的亚协议（metaprotocol）。它们用来建立、撤消或复位各种通讯控制器之间的联接。“非序号”一词指的是这些帧中没有序号的事实，因为这些帧与信息帧的传送无直接关系。修正位 5，4，2，1 及 0（标为 $F(N)$ ）的设置值是为实现以下两个主要功能：如下讨论的非序号回响（00-110）及异步平衡工作方式的设置（11-100）。异步平衡工作方式定义协议为双向及异步的，其中每个控制器既发送命令和回响信号也接收命令和回响信号。

如上所讨论，序号 $N(S)$ 分配给每一个 HDLC 帧，发送 HDLC 帧的目的是为彼此区分信息帧。这使得接收控制器及其相关联的处理器能够识别输入的信息帧，亦使得发送控制器及其相关联的处理器可以正确解释回响信号或拒绝回响信号。

如上所讨论，信息信号缓存在链接层中。根据本发明，在接收到回响之前链接层中可缓存多至三个这样的信息信号。序号的分配由 000 开始，随后依次以 1 为单位增加。

由发送控制器相关处理器待分配给发送信息帧的下一个发送序号被指定为发送状态变量 $V(S)$ 。在联接建立或复位后， $V(S)$ 值为 0。 $V(S)$ 表示发送控制器及其相关处理器的滑窗上限。其细节如下所述。

在联线的接收端，与接收控制器相关的处理器修改接收到的状态变量 $V(R)$ ， $V(R)$ 规定了在输入信息帧中期望要接收的下一个发送序号 $N(S)$ 。联接建立或复位后， $V(R)$ 值亦为 0。当接收到预期的序号后， $V(R)$ 值加 1。在控制域内，对于每个传送的信息帧或监控帧而言， $V(R)$ 的现时值分配给了接收序号 $N(R)$ 。

与发送控制器相联的处理器修改预期回响变量 $A(S)$ ，其值等于最长时间的未完成信息帧序号。 $A(S)$ 表示上述发送控制器滑窗的下限。联接建立或复位后， $A(S)$ 值为 0。

$N(R)$ 值用于回响接收到的在 $A(S)$ 到 $N(R) - 1$ 之间的所有帧。根据接收到接收控制器的回响增加 $A(S)$ 值，直到其值等于 $N(R)$ ，此时，接收到的下一个回响与接收控制器预期接收到的下一帧相同。由此可知，对已接收到 $N(R)$ 回响的帧再发回响时，将不起作用，因为此时 $A(S)$ 与 $N(R)$ 的值相等。

如上所讨论，在本发明中使用 HDLC 协议的目的是保证信息信号包的正确传送。因此，错误校正是这一协议的最重要特点。为了校正错误该协议使用了再发送策略。当发送完一信息帧而不再有未发送完的帧时（即 $A(S) = V(S)$ ），发送控制器的相联处理器将执行一子程序，以实现指定为 T1 的内部重发定时器。在此过程中接收到对所有当前未完成帧的回响后，定时器终止。如果接收到一个回响，发送控制器的相联处理器检测已发送的一个或全部在传送中丢失或损坏的帧，且他们没有被接收控制器接收到。因此，处理器停止定时器 T1，并使发送控制器重发序号从 $A(S)$ 到 $V(S) - 1$ 的所有未完成帧，发送按序号顺序进行。然后重新启动定时器 T1。发送控制器在内部缓存所有的发送帧，直到它们接到来自接收控制器及其相联处理器的回响。重发时， $N(R)$ 值被改为当前 $V(R)$ 值，而 $N(S)$ 值保持其最初的发送值不变。发送控制器相联处理器保存控制器必须重发某一特定帧窗（window of frames）的次数的数值。如果计数值超出预置值，处理器通常采用复位链接层的方法执行恢复过程。

当接收控制器接收到其 $N(S)$ 值与当前 $V(R)$ 值相等的帧时，相联处理器将执行一子程序以启动指定为 T2 的回响定时器。如果这个定时器已在工作，其工作不受影响。在发送控制器发送信息帧同时 T2 正在工作时，该帧中控制域的 $N(R)$ 值将被赋予当前 $V(R)$ 值，并且当接收控制器相联处理器检测到这种情况时，就终止定时器 T2。当 T2 定时器在反方向传送任何信息帧之前终止时，则传送一具有 $S(N) = 00$ 以指明接收器准备好的监控帧，并传送等于 $V(R)$ 的 $N(R)$ 值。这样，定时器 T2 的目的是双重的。首先，

它允许接收控制器在产生回响之前可接收若干帧信息，以使接收器准备好的必须能传送与接收的帧数减少到最小值；其次，通过简单地向相反方向（即向前一发送控制器）发送一个 $N(R)$ 等于当前 $V(S)$ 值的信息帧以回响所有已接收到的帧，这使得接收控制器有可能不产生和发送接收器准备好的监控帧。在本领域，这一过程称为“背负式”运载（piggy-backing）回响。

或者通过发送一接收器准备好监控信号或者通过“背负式运载”回响，定时器 T_2 可以保证接收控制器在给出回响之前只等待某一预定时间。理想的情况为，定时器 T_2 的设备应使在定时器 T_1 终止前，接收控制器发出回响信号给发送控制器。

当接收控制器及相联处理器遇到信息帧中 $N(S)$ 与 $V(R)$ 不相等时，该帧被检测为超出序列，因此，有错误发生。当前一信息帧在传输中被破坏并且该帧的物理层的CRC检验失败，或因回响丢失或未在适当的时间内到达时，上述情况可能发生。接收控制器设置一内部标志以指出控制器处于拒绝状态。在没有设置标志的情况下，接收控制器就产生一个 $S(N) = 01$ 的监控帧，指出拒绝条件并使 $N(R)$ 值等于 $V(R)$ 。

当发送控制器及其相联处理器接收到指出拒绝条件的监控帧时，所有序号小于 $N(R)$ 的未完成帧被认为将被回响，而所有序号在 $N(R)$ 到 $V(S) - 1$ 之间的未完成帧则被重新发送。

当正确地接收到 $N(S) = V(R)$ 的信息帧时，接收控制器相联处理器将内部拒绝标志复位。内部标志的目的是保证当接收控制器处于拒绝状态时，只能发送一个拒绝功能。显然，拒绝帧的增多会引起大量不必要的重新发送。

当接收控制器发送的包括指示拒绝条件的监控帧丢失时，定时器 T 1 保证最终重新发送没有得到回响的信息帧。

这样，监控帧中监控位元 S (N) 的目的是双重的。首先，这使接收控制器相联处理器可以在定时器 T 1 终止前请求重新发送，因而加快了最终接收正确的信息帧，其次，这防止了当定时器 T 1 还在工作而接收控制器处于拒绝条件时，发送控制器发送其它帧。这些帧只有在定时器终止后才重发，因为引起拒绝条件的帧还没有得到回响。

只有当接收到序号外的信息帧后，才生成包括指示拒绝帧的监控帧。这些帧在物理层检测到失败的 C R C 的帧时不被发送。

H D L C 协议主要用做有专用扩展线的工作站之间的点对点协议。根据本发明，通讯控制器 7 通过 C S M 5 多路化，以实现许多工作站之间的通讯（即 H D L C 控制器 2 3... 3 9 等）。

正常工作时，控制器 2 3 和 3 9 都接收“空”标志（即主控制器发出的至少连续 7 个逻辑“1”位元）。为实现上面所述过程，M C P 1 向连接存储器数据寄存器 1 1 0 A 和 1 1 0 B 的各种内部寄存器写入“空”标志，如同以上参考图 4 A 所做的讨论。连接存储器数据寄存器的内容在上述动态分配的时隙通道内传送到专用的控制器 2 3 和 3 9。

同样，控制器 2 3 和 3 9 都产生用于传输及存储到相关联的连接存储器数据寄存器 1 1 0 A 与 1 1 0 B 的空标志。响应于中断子程序结束，M C P 1 不断查询内部数据寄存器，速率大约为每 5 毫秒一次。

考虑本发明的工作情况，当与 B A Y 1 的外部电路 1 7 - 1 9 之一相联的专用电话摘机时，有关的线路状态电路给出一个摘机信号。P C P 1 3 按一般方法不断扫描线路状态电路并检测摘机信号。做为

响应，PCP 13在DRAM 27中将一网络层信息信号格式化，以便传送到MCP 1。启动调节DMAC 25激活前经过的内部传送保证时间（即由PCP 13执行一循环程序），以通过控制器23向MCP 1传送信息信号。这样，在该经过的时间内，若干信息信号可在DRAM 27中实现级联。如上所讨论，这减少了单独发送要求单独回响的必要性。一旦发送保证定时器终止（即约5毫秒后），按如上所述，PCP 13分配给信息包一序号N(S)。对于特定联线（即特定子系统），发送与接收控制器（分别为23和7）之间的序号是唯一的。这样，不同的一个子系统（即BAY N）可以在具有相同序号N(S)的不同联线上传送链接层信息信号包。但是，主控制板上的控制器7通过CSM 5区分不同的联线，从而跟踪不同的序号。

参见图6，PCP 13在地址线A0、A1、A2与A3上产生出预置地址信号以加到译码器315上。做为响应，其输出端Q5变为高电平，从而通过输入端TXE使能控制器23。如上所述，然后，响应于接收从与非门335加到其输入端TXC的时钟信号，控制器23开始在分配的时隙通道内产生起始标志（即01111110）。在分配的时隙通道内产生连续的起始标志以实现沿PCM联线LI5A的传输及在DX电路5A（图2）的连接存储器数据寄存器110A或110B的有关内部寄存器中的存储。如上所讨论，MCP 1通过有关控制器接口117不断查询连接存储器数据寄存器110A与110B（如图4B）。当在内部寄存器中检测到起始标志时，MCP 1给出一“继续进行”标志，以便存储到连接存储器数据寄存器110A或110B的内部寄存器中，这些寄存器与接至控制器23的LO5A数据联线上的分配通道有关，其细节在下面讨论。

在等待接收来自MCP1的“继续进行”标志回响时，PCP13对DMAC25初始化，以便从DRAM27向控制器23传送信息信号。在此中间，额外的信息信号可缓存在DRAM27中，以便在信息信号包中传输。

在指定的时隙通道内，DMAC25直接向控制器23传送存储在DRAM27中的信息信号。DMAC25用来代替PCP13从DRAM27向控制器23传送数据。在数据传输速率为64K位/秒时，每125毫秒就要执行一次PCP13的中断服务，以通过PCP13从DRAM27向控制器23传送数据。PCP13不能足够快地执行中断服务，将导致控制器23的溢出，这使得在加到输入端TXC的发送时钟信号已经终止后才接收那里的数据，结果使数据丢失。DMAC25保证了从DRAM27到HDL23的有效、快速的数据传输。

如上所讨论，定义一个传送窗(transmit window)以建立缓存的未传送信息帧的最大数目。在优选实施例中，采用了序号 $N(S) = 000, 001$ 和 010 。回响前的未完成信息包的数目(即窗的大小)取决于DRAM27的大小。如上所讨论，本发明使用的是64K字节的DRAM27(可扩展为256K字节)。因此，如果使用较大的DRAM27(即256K字节)来缓存大量的信息信号，可以大大增加窗的尺寸。

如上所讨论，MCP1有效地查询CSM5以检测起始标志。检测到由控制器23产生的起始标志后，MCP1通过CSM5在控制器23和控制器7之间(即通过DX电路5A在连线LI5A和LOOA之间)建立电路开关联接。而且MCP1还在地址总线400

的地址线 A 0 - A 2 上产生预置信号以加至译码器 4 0 7。结果使其输出端 Q 0 变为高电平，由此对控制器 7 的输入端 R X E N 加一高电平逻辑信号，并允许控制器 7 接收其输入端 R X S I 上的起始标志以响应来自与非门 4 3 2 由输入端 R X C L K 接收到的时钟信号，如上所讨论。根据接收的起始标志和 H D L C 协议的位同步特性，控制器 7 使其自身与控制器 2 3 同步。为实现同步，控制器 7 要求至少接收 1 到 1.5 个起始标志。同步时，M C P 1 通过 C S M 5 沿联线 L O 5 A 对控制器 2 3 产生前述的“继续进行”标志。根据优选实施例，“继续进行”标志指定为 0 7 F H，写入到 D X 电路 5 A 的输出连接存储器数据寄存器中并沿 L O 5 A 数据线传输。因此，要求一个 P C M 帧（即 1 2 5 毫秒）以同步接收与发送控制器，并为接收控制器产生并发送一继续进行标志。同时，P C P 1 3 设置控制器 2 3 工作在接收器方式，以检测继续进行标志 0 7 F H，并在接收到这一标志时通过输出端 R X D A 对优先级编码电路 3 4 1 产生中断。

为响应通过优先级编码器 3 4 1 接收到的中断，P C P 1 3 允许 D M A C 2 5 开始向控制器 2 3 传送存储在 D R A M 2 7 中的信息信号。特别是，P C P 1 3 在联接于译码器 3 0 7 的地址线 A 1 4、A 1 5 和 A 1 6 上产生预置信号，作为响应，译码器 3 0 7 在接至与非门 3 1 1 的输出端 Q 2 上产生的逻辑低电平信号。信息信号存储在控制器 2 3 的内部 8 位 H D L C 发送缓冲器中。待传送帧的第一个 8 位部分（在起始标志之后）是如上讨论的控制字节。该控制字节分别包括上述的 传送与接收序号 N (S) 和 N (R)。该控制字节按照控制器 2 3 的输入端 T X C 接收到的来自或非门 3 3 7 的时钟信号沿联线 L I 5 A 传输，并从与非门 3 3 5 加一使能信号到缓存器 3 1 7，

如上所讨论。

D M A C 2 5 随后接收存储于 D R A M 2 7 中信息信号的 8 位部分并将其加到控制器 2 3 的内部 8 位发送缓存器。发送缓存器的内容由控制器 2 3 的输出端 T X S O 发送出去，发送取决于加到缓存器 3 1 7 的使能信号及加到其输入端 T X C 的时钟信号。随后的 8 位部分用同样方式传送。信息信号的每个 8 位部分传送完后，控制器 2 3 的发送缓冲器空 (T X B E) 变为高电平，发出一道 D M A 请求，以从 D R A M 2 7 接收下一个 8 位部分。D M A 请求通过 D M A C 2 5 的输出 $\overline{A C K 2}$ 变为低电平得到回响，这使与非门 3 3 1 的输出端变为低电平，从而使能控制器 2 3。

为响应通过 C S M 5 在控制器 7 的输入端 R X S I 上接收到的链接层信息信号包，控制器 7 的输出端 R X D A 变高电平，以对 D M A C 9 产生 D M A 通道 2 请求。在控制器 7 的输入端 R X S I 接收的串行数据被同步并在加到 R X C L K 端时钟信号的上升沿移位移进一个 8 位控制字符移位寄存器。前述的“0”删除工作是在接收串行数据时完成的，这样，如上所讨论，数据字符不会被误译为标志信号。在接收起始标志及控制字节后接收的数据位，通过各种其它内部移位寄存器传输并加到控制器 7 的 D 0 - D 1 5 端。然后，输出端 R X D A 变为高电平，对 D M A C 9 产生 D M A 通道 2 的中断请求。

为响应 D M A 通道 2 请求，D M A C 9 通过数据总线 4 0 3 及锁存器 4 0 4 接收在控制器 7 的 D 0 - D 1 5 端上出现的网络层信息信号。根据按常用方法加到锁存器 4 0 4 在 D M A C 9 的输出端 L C T R L 上产生的预置控制信号，信息信号由锁存器 4 0 4 锁存到 D M A C 9 的多路输入端。然后，D M A C 9 按预置地址将接收的信息信号部分

存入 D R A M 1 1。

传送完信息帧的最后一个 8 位部分时，控制器 2 3 产生前述的帧的 F C S 部分，如上所述，F C S 部分在规定的时隙通道上传输，由控制器 7 通过 C S M 5 接收。控制器 7 对 1 6 位 F C S 部分做二进制加法，因而用常用方法实现 C R C 检验。

如果 C R C 检验通过，则由控制器 7 向控制器 2 3 传送一监控帧，包括接收器准备好功能，及表示对所有序号小于 $N(R)$ 的帧的回响的 $N(R)$ 当前值。如上所述，监控帧用做回响。

然后，接收状态有效输出端 (R X S A) 变为高电平，因此对外部控制线通道 2 ($\overline{P C L 2}$) 产生中断。这表示信息包已发送，使 D M A C 9 通过其输出端 I R Q 对 M C P 1 产生中断请求。做为响应，M C P 1 禁止 D M A C 9，并继续执行正常操作 (即查询 C S M 5 中 D X 电路的连接存储器数据寄存器以检测其它起始标志)。

如上所述，如果 C R C 检验失败，则放弃已接收的信息信号包 (即控制器 7 不向控制器 2 3 发回响)，使控制器 2 3 重新发送。发送结束标志后，控制器 2 3 的输出端 T X B E 变高电平，中断 P C P 1 3。P C P 1 3 通过译码器 3 1 5 服务此中断，由此通过使输入端 T X E 变低电平去禁止控制器 2 3 的发送器。

如上所讨论，采用了若干种策略以保证信息信号的正确传输。例如，当重发定时器 T 1 终止时 (大约 1 5 0 毫秒后)，控制器 2 3 将重发信息信号包。反之，如果控制器 2 3 在定时器终止前发送第 2 个信息包，则控制器 7 接收这一信息包但检测到错误序号，置位内部拒绝标志，并产生指出拒绝条件 (即 $S(N) = 0 1$) 的监控帧。做为响应，控制器 2 3 重发这两个信息包。

这样，只有当序号 $N(S)$ 及 FCS 检验无误时，信息帧才能通过 DMA 25 传送到网络层。根据本发明，网络层信息信号（即信息帧的内容）包括由预定字节数目组成的地址头部分，用以指出信息的最终位置。例如，该信息可以用来启动各种操作系统程序的子程序，以实现各种功能，如调用等等。

当 DRAM 11 填满时，不能再接收其它信息信号时，控制器 7 产生另一监控帧，指出接收控制器没有准备好（即 $S(N) = 10$ ）。一旦 DRAM 11 中存储的数据被处理，有空间缓存其它数据时，就发送接收器准备好的监控帧（即 $S(N) = 00$ ）。

由于每个通讯控制器的发送与接收通道是独立的，每个控制器都同时在“听”起始标志，并发送空标志。

为从控制器 7 向外部子系统控制器之一（即控制器 23）发送信息信号，MCP 1 在 DRAM 11 中将信息信号格式化。如上所述，信息信号被分配一个序号 $N(S)$ 。参见图 7，MCP 1 在接至译码器 407 的地址总线 400 中地址线 $A_0 - A_2$ 上产生预置地址信号。做为响应，译码器 407 的输出端 Q1 变为高电平，由此，通过输入端 TXEN 使能控制器 7。然后根据在其输入端 TXCLK 接收到的来自与非门 432 的时钟信号，控制器 7 在指定时隙通道内开始产生起始标志位（即：01111110）。

通讯控制器 23 在其输入端 RXSI 上接收并检测 HDLC 标志信号，该信号由控制器 7 产生并从 CSM 5 的输出联线 LO5A 接收。然后控制器 23 利用其输出端 RXSA 和 RXDA 通过优先级编码器 341 产生中断信号。控制器 23 同时请求通过其输入端 $\overline{REQ1}$ 控制 DMA 通道 1。随后的信息信号由控制器 23 按上述的同样方法接

收。当信息信号全部接收完时，控制器7产生结束标志信号，并由控制器23接收。为响应这个信号，控制器23通过编码器341中断PCP13。然后，PCP13通过其与译码器315的输出端Q6相连的输入端RXE禁止控制器23。

控制器7利用DMA通道3通过DMAC9从DRAM11接收信息信号。特别地，MCP1在地址总线400的地址线A0—A2上产生预置地址信号，以使译码器407的输出端Q2变为低电平。于是，或非门408的输出变为低电平，使DMAC9的输入端 $\overline{REQ3}$ 上产生通道3中断请求。DMAC9在其输出端 $\overline{ACK3}$ 上产生回响信号，以通过或门405和反相器406加到控制器7的一个预置控制输入端。DMAC9开始通过数据总线403从DRAM11向控制器7的D0—D15端传送数据。出现在D0—D15端上的信息信号根据链接层协议装入一内部发送缓存器，如上所述，并传送到输出端TXSO。发送链接层信息信号后，发送缓存器空，控制器7的输出端TXBE变为高电平，以通过DMAC9的输入端 $\overline{PCL3}$ 和 $\overline{REQ3}$ 请求再从DRAM11发送另一数据（即信息信号）。

DMA传输完成后，DMAC9在其输出端DONE产生一控制信号，通过或门405与反相器406加到上述控制器7的预置控制输入端。

如上所述，为首次在外部子系统控制器（即23或39）与控制器7之间建立通讯联系，外部控制器发送起始标志，并将其存入CSM5中相关DX电路的指定内部连接存储器数据寄存器中。MCP1按大约每10毫秒一次的速率查询有效联接，及按每100毫秒一次的速率查询无效联接。当MCP1在无效联接上检测到起始标志后，就按如上所述产生并发送“继续进行”标志。为响应接收到的继续进

行标志，外部通讯控制器（即23或39）在非序号帧中（即位5，4，2，1，0分别为1，1，1，0，0）产生上述的SABM标志。为响应接收到的SABM标志，控制器7给出非标号回响信号（即非标号帧中位5，4，2，1，0分别为0，0，1，1，0）。

本发明通讯系统中的任一通讯控制器在正常工作时可通过发送SABM帧使联线复位。接收到SABM帧后，接收控制器用一非序号回响帧回答，并将所有上述状态变量复位为0。接收到回答SABM帧的非序号回响帧后，发送工作站再将所有状态变量复位为0。两边工作站内部缓存的所有信息帧将被放弃。这时联接已被复位，并可恢复信息传输。

总而言之，本发明通过使用电路开关与包括数字交叉开关（如迈特尔DX电路）的外部开关矩阵实现了电路与成组转换（Packet Switching）技术的组合，从而满足了语音，数据及信息转换对数字PABX的要求。

主控制处理器与外部控制处理器，MCP1与PCP13（或29）分别共享一系列任务，这些任务实现全系统的功能。主控制处理器MCP1有最高权力，在调用处理软件下工作，以产生调用进程，DTMF声调，接口软磁盘及提供会议（Conferencing）联接等等。MCP1亦设置CSM5矩阵的连接，并向一个或多个外部控制处理器，PCP13或PCP29等等，提供信息信号。

外部控制处理器（PCP13或29）依次缓存实时事件如摘机信号或拨号信号，并通过高级数据联接协议的信息信号与主控制处理器MCP1通讯。在本发明的一个成功的实例中，两个通道（通道0和16）用于从主控制器向外部控制器传送信息信号，8个传输通道

(0, 4, 8, 12, 16, 20, 24 和 28) 用于从一个或多个外部处理器 (PCP 13 或 29 等) 发送信息信号。用主控制处理器 MCP 1 查询多个传输通道以检测信息信号。

此外, 在系统启动或复位时, 一条为通讯控制器 (23 或 39) 服务的专用 DMA 通道经信息系统提供从主控制器到外部子系统的成块数据传输。

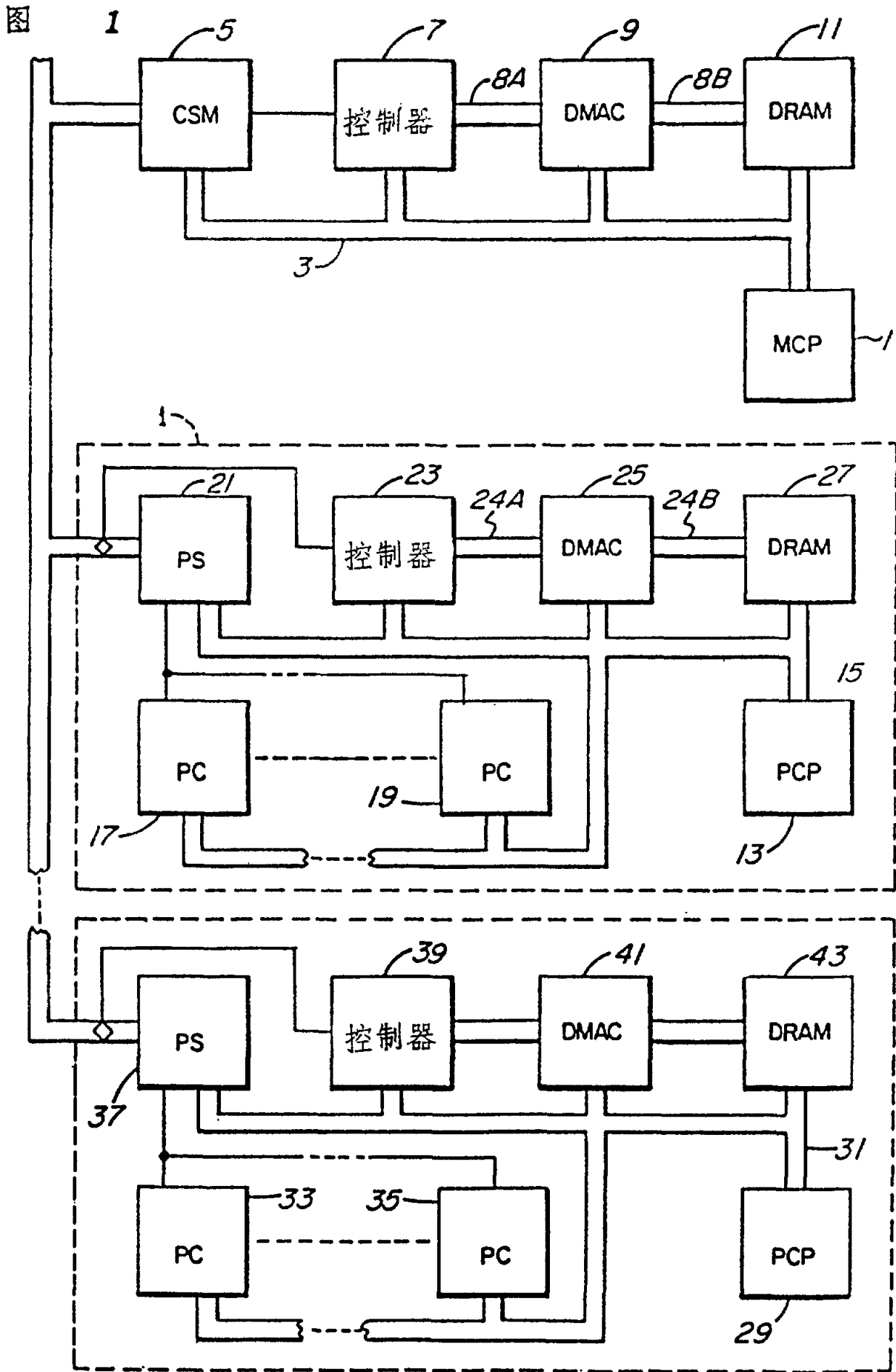
应用此处公开的原理, 了解本发明的本领域的技术人员可以实现多种其他的变型或其他的实施例。例如, 尽管本优选实施例涉及的是一由主控制板与 10 个外部子系统组成的通讯系统, 其信息信号通过电路与外部开关传送, 但人们却可以希望建立一个子系统的组合, 其电路开关和外部开关矩阵都安放在一块板上。在这种所选择的实施例中, 由于外部开关与主控制处理器 MCP 1 安装在同一块板上, 因此, 信息信号无须通过通讯控制器传输。于是, 电路开关矩阵和外部开关矩阵皆可由控制总线构成。

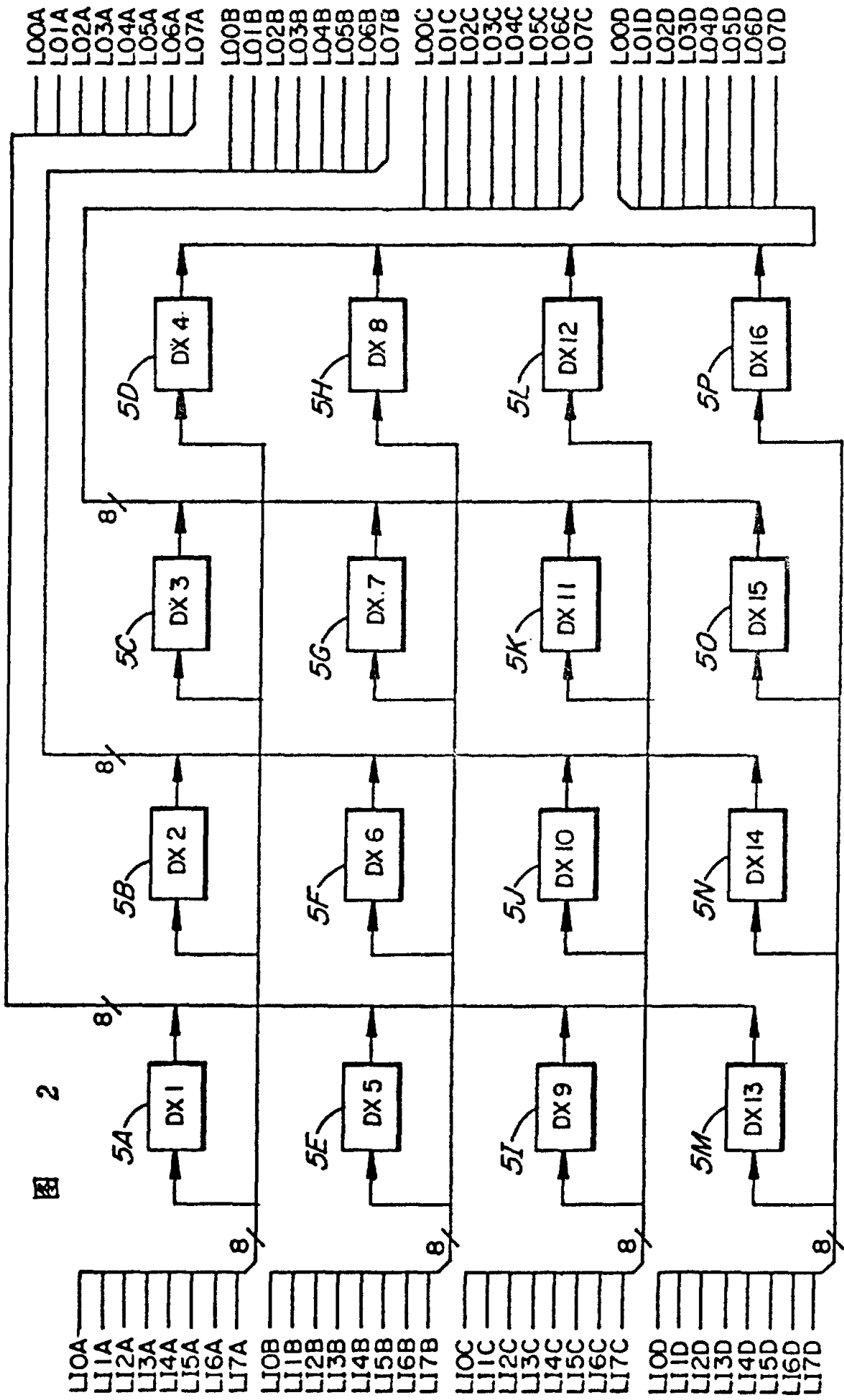
又如上讨论, 若使用多于 10 个的外部子系统, 只要对 CSM 5 电路开关矩阵做适当修改以适应大量联线即可, 这是因为每个子系统不象先有技术系统那样要求独立的专用时隙通道。根据本发明, CSM 5 查询信息通道, 因此使主通讯控制器 7 有效地实现多路传输。

此外, 由于外部子系统可以在 PCM 帧的动态分配的 1 到 8 条通道上传输信息信号, 很显然, 通过 CSM 5 BAY 对 BAY (或子系统对子系统) 的信息信号通讯是可能的。人们预期, 随着数字电路与数据机的出现, 这里描述的各种类型和型式的信息信号将能够利用动态分配的时隙通道在外部子系统, 智能外部设备 (如数字电话) 与主控制器之间进行传输。

尽管本发明的这一优选实施例使用了一种变化的HDL C协议，但应知道，根据本发明，该系统还可以按照任何通用的位元数据联接协议实现，例如CCITT推荐的X·25协议。

所有这样的变型和所选的实施例都被认为在如附录中权利要求所定义本发明的范围之内。





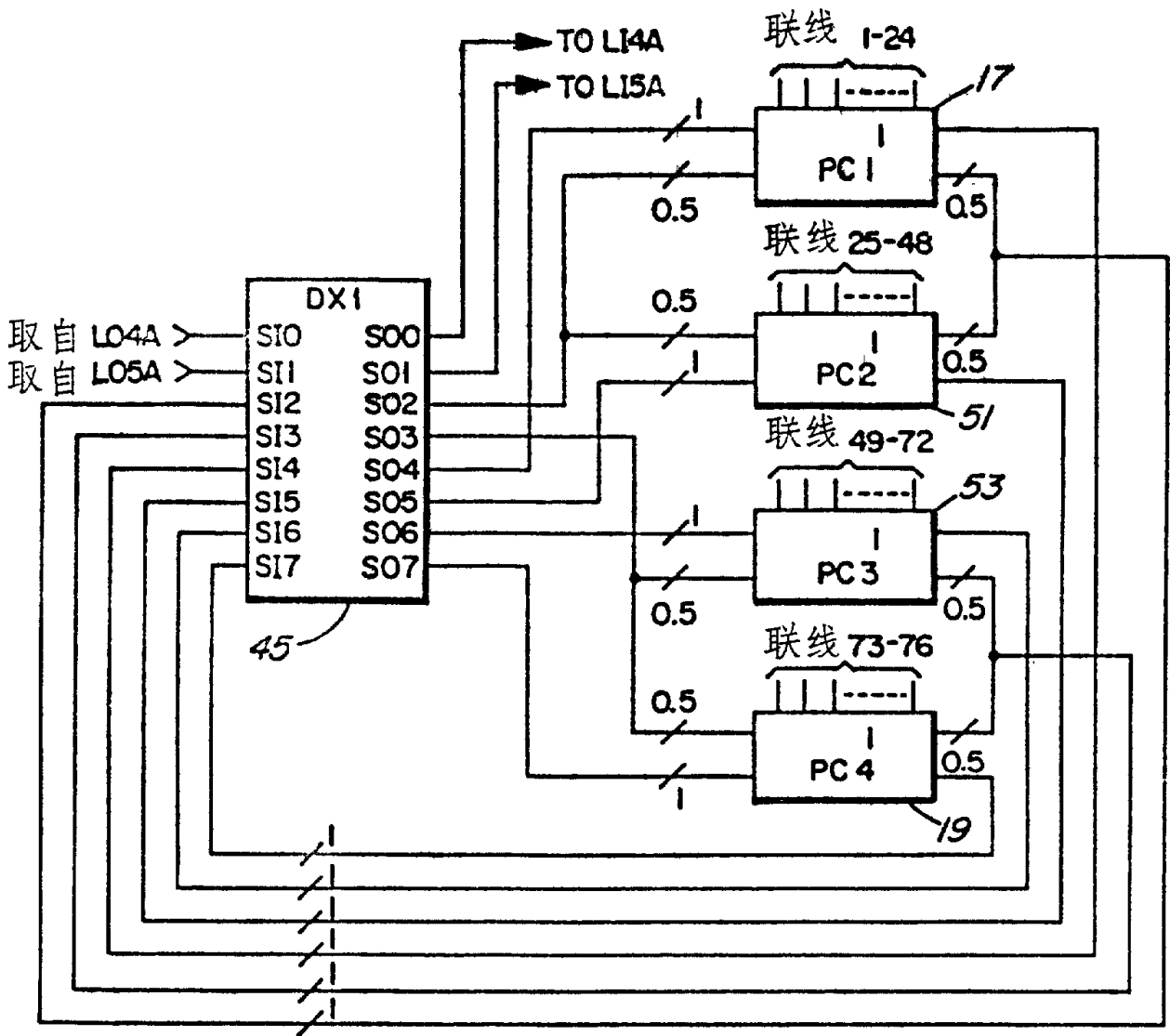


图 3A

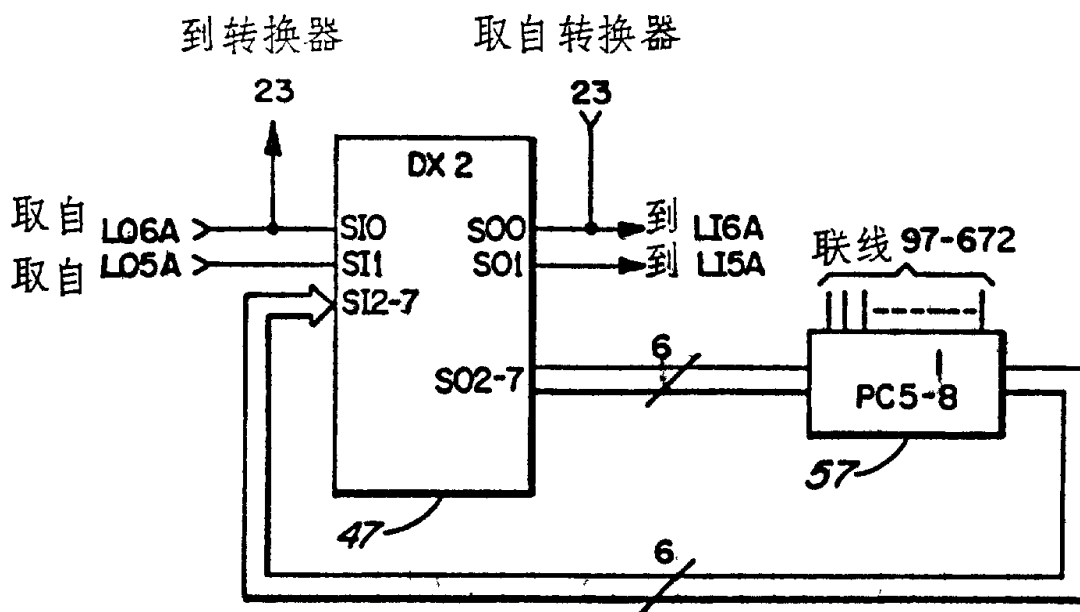


图 3B

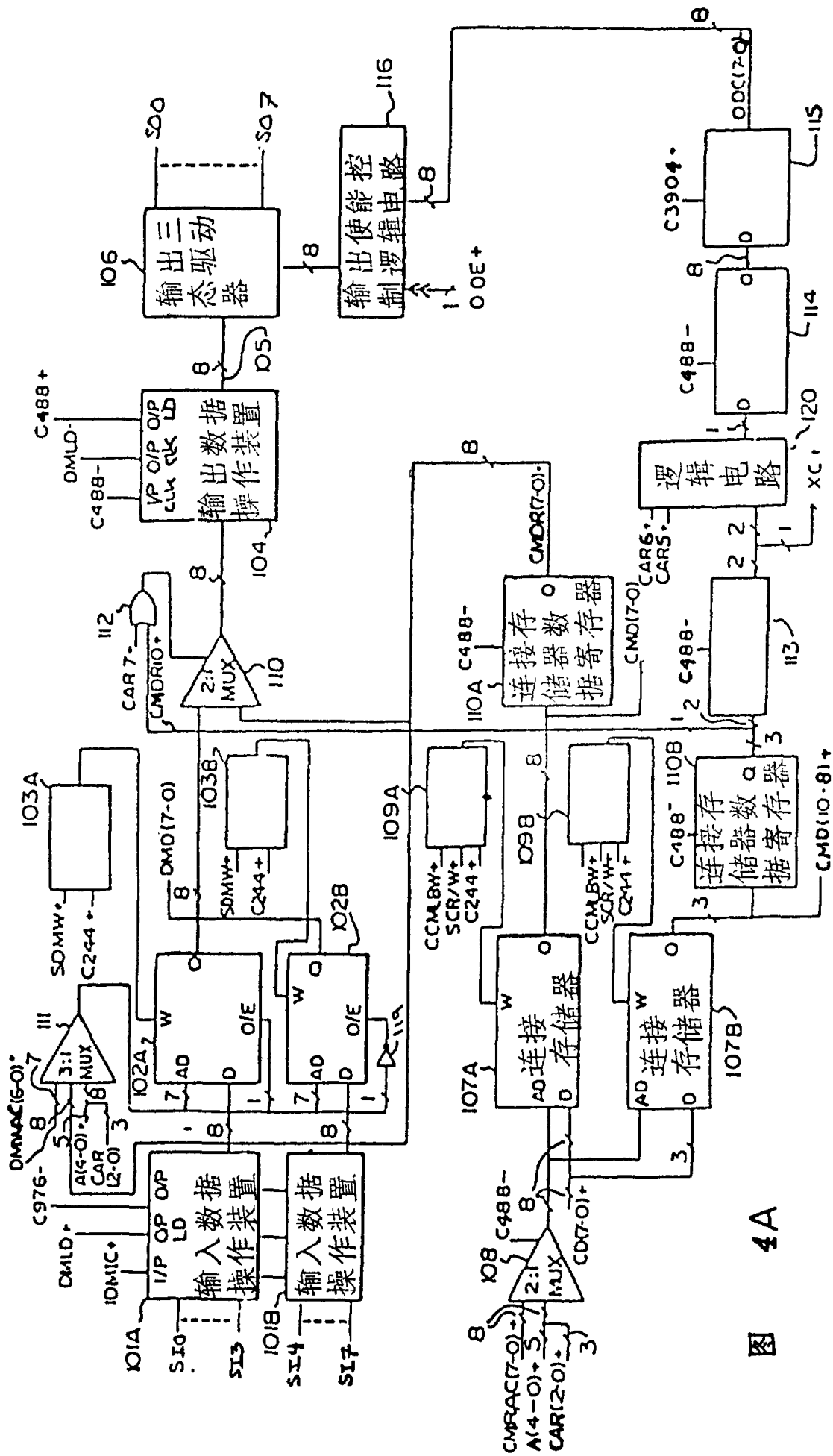
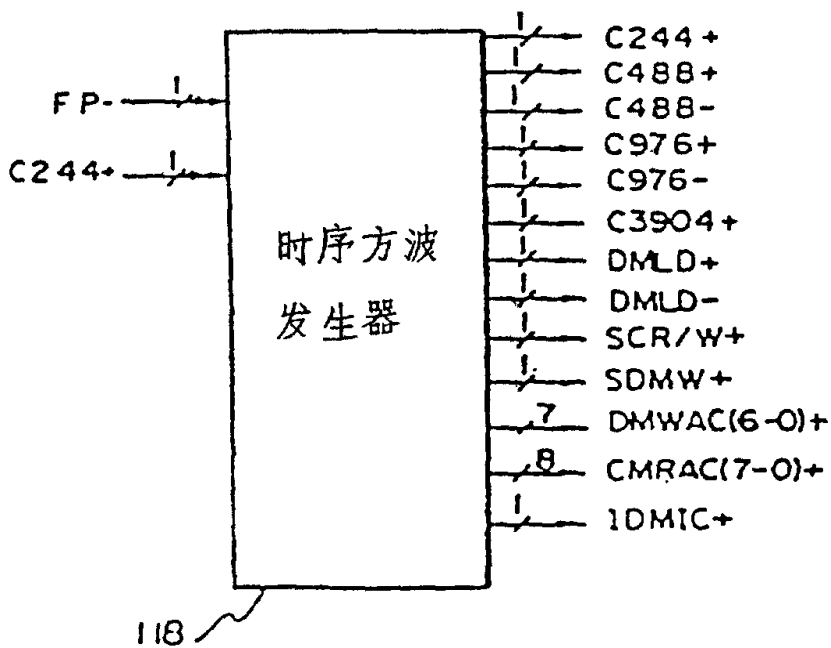
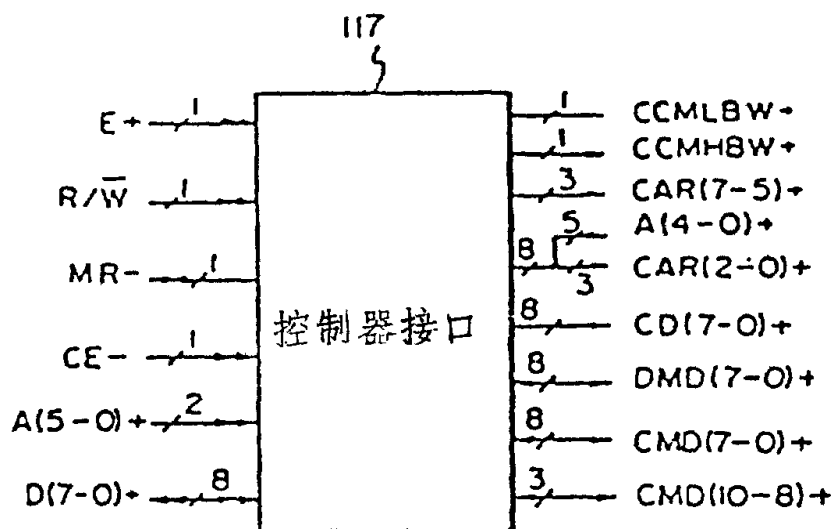


图 4A

图 4B



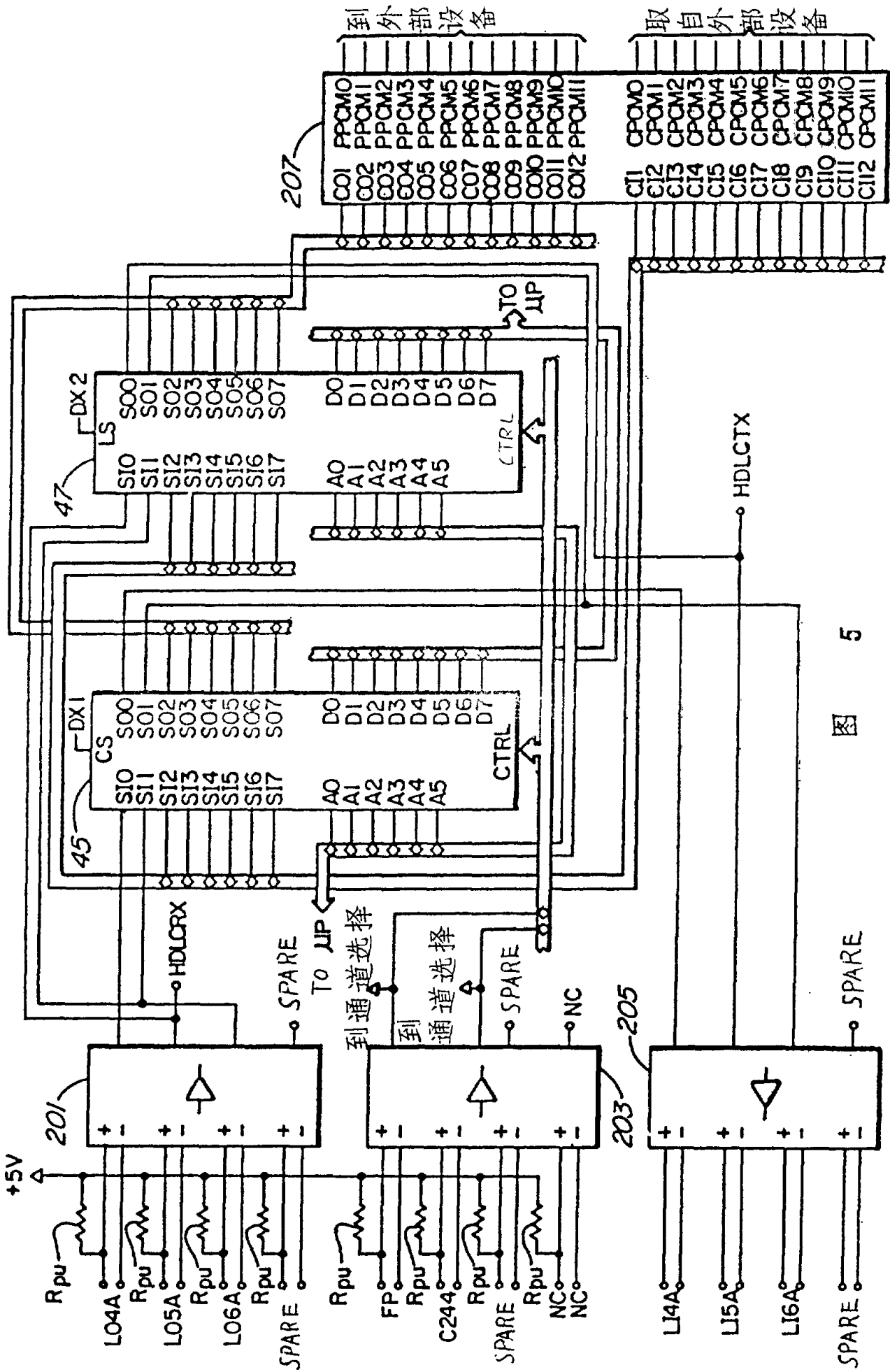


图 5

5

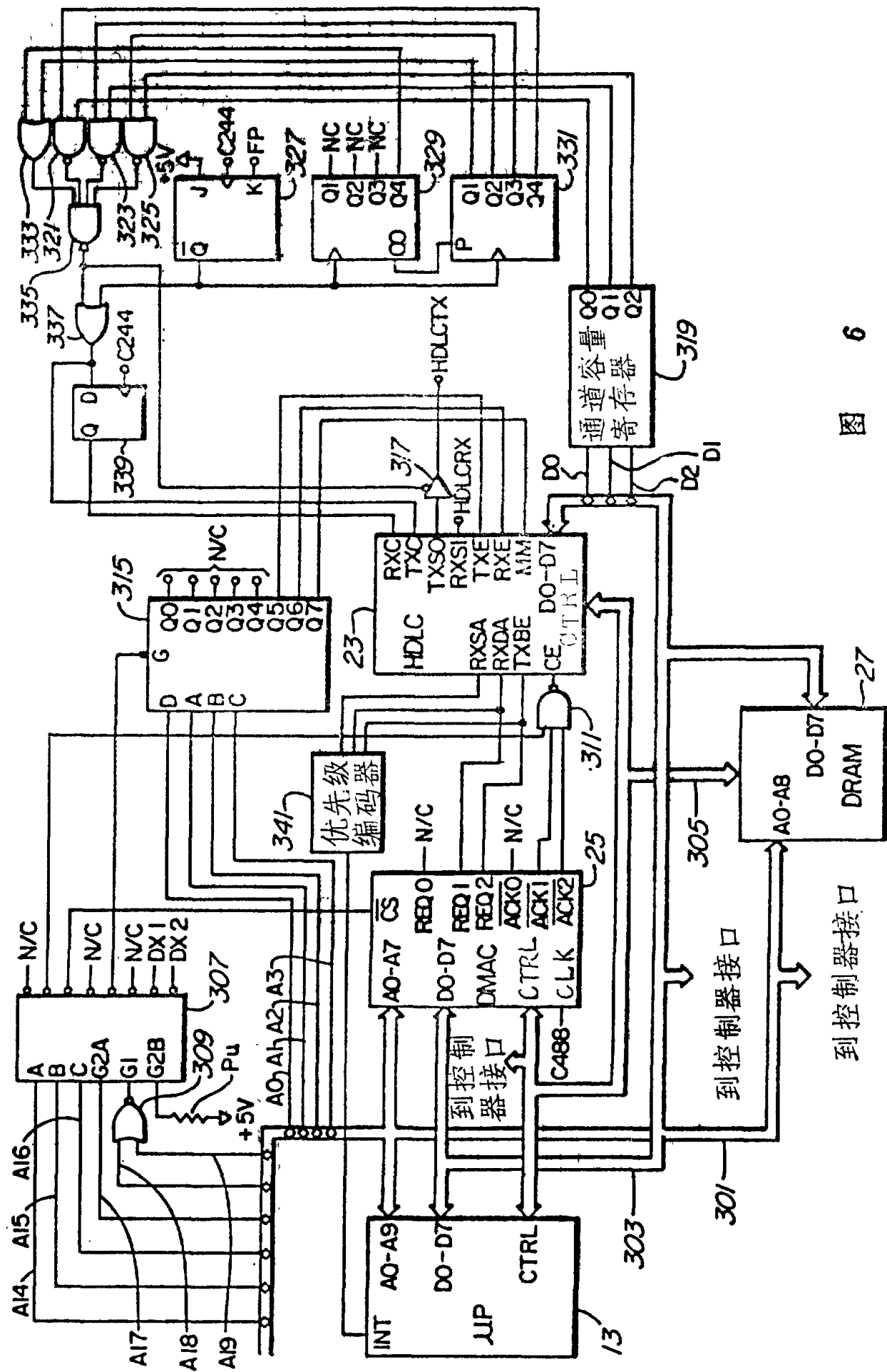


图 6

图 7

